

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-4755

(P2020-4755A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 8 F	4 M 1 0 4
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 T	
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 3 C	
H O 1 L 21/28 (2006.01)	H O 1 L 29/78 6 5 2 K	
H O 1 L 29/423 (2006.01)	H O 1 L 21/28 3 0 1 A	
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2018-119592 (P2018-119592)
 (22) 出願日 平成30年6月25日 (2018.6.25)

(71) 出願人 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 鎌田 泰幸
 大阪府大阪市中央区北浜四丁目5番33号
 住友電気工業株式会社内
 Fターム(参考) 4M104 AA03 BB01 BB40 CC05 DD43
 DD74 DD75 EE03 EE11 FF06
 FF27 GG09 GG18 HH20

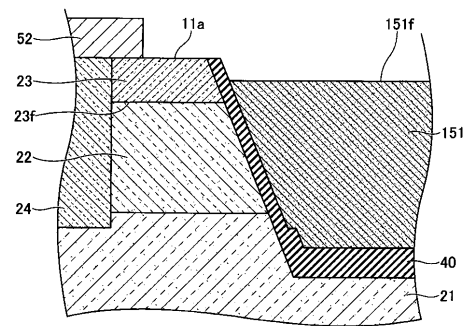
(54) 【発明の名称】 炭化珪素半導体装置の製造方法

(57) 【要約】

【課題】炭化珪素半導体を用いた縦型トランジスタにおいて、信頼性の高い半導体装置を製造することのできる、炭化珪素半導体装置の製造方法を提供する。

【解決手段】縦型トランジスタとなる炭化珪素半導体装置の製造方法は、表面が酸化されているゲートトレンチ130を有する炭化珪素エピタキシャル基板に、ポリシリコン151aを成膜し、表面が酸化されているゲートトレンチ130をポリシリコン151aにより埋め込む工程と、ゲートトレンチ130を除く領域のポリシリコン151aを化学機械研磨により除去する工程と、ゲートトレンチ130内のポリシリコン151aを前記炭化珪素エピタキシャル基板の表面11aより深い位置まで酸化する工程と、を有する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

縦型トランジスタとなる炭化珪素半導体装置の製造方法であって、
表面が酸化されているゲートトレンチを有する炭化珪素エピタキシャル基板に、ポリシリコンを成膜し、表面が酸化されている前記ゲートトレンチを前記ポリシリコンにより埋め込む工程と、
前記ゲートトレンチを除く領域のポリシリコンを化学機械研磨により除去する工程と、
前記ゲートトレンチ内のポリシリコンを前記炭化珪素エピタキシャル基板の表面より深い位置まで酸化する工程と、
を有する炭化珪素半導体装置の製造方法。

10

【請求項 2】

前記炭化珪素エピタキシャル基板は、前記炭化珪素エピタキシャル基板の表面側の第 1 の導電型の層と、前記第 1 の導電型の層よりも深い前記第 1 の導電型と異なる第 2 の導電型の層とを有しており、
前記酸化する工程では、前記ゲートトレンチ内のポリシリコンを前記第 1 の導電型の層と前記第 2 の導電型の層の界面よりも浅い位置まで酸化する請求項 1 に記載の炭化珪素半導体装置の製造方法。

【請求項 3】

前記ゲートトレンチは、前記第 2 の導電型の層よりも深くまで形成されている請求項 2 に記載の炭化珪素半導体装置の製造方法。

20

【請求項 4】

前記ゲートトレンチは、
前記炭化珪素エピタキシャル基板の表面に酸化膜を形成し、前記酸化膜の上に窒化膜を形成する工程と、
前記ゲートトレンチが形成される領域の酸化膜及び窒化膜を除去し、開口部を形成する工程と、
前記酸化膜及び窒化膜の開口部における前記炭化珪素エピタキシャル基板を表面より除去し、ゲートトレンチを形成する工程と、

30

により形成されるものであって、

前記ポリシリコンは、前記ゲートトレンチ内及び窒化膜の上に成膜されるものであり、
化学機械研磨によるポリシリコンの除去は、前記窒化膜の表面が露出するまで行われる請求項 1 から請求項 3 のいずれか一項に記載の炭化珪素半導体装置の製造方法。

【請求項 5】

前記ポリシリコンが酸化される膜厚は、前記酸化膜の膜厚と前記窒化膜の膜厚の和よりも厚い請求項 4 に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、炭化珪素半導体装置の製造方法に関するものである。

【背景技術】

40

【0002】

炭化珪素は、従来から半導体装置に幅広く用いられている珪素に比べてバンドギャップが広いことから、高耐圧の半導体装置等に用いられている。このような炭化珪素を用いた半導体装置では、耐圧等の観点より、基板の第 1 の面にソース電極、第 2 の面にドレイン電極が形成されているいわゆる縦型トランジスタがある。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2015 - 135862 号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0004】**

縦型トランジスタでは、炭化珪素エピタキシャル基板の表面にゲートトレンチとなる溝を形成し、ゲートトレンチの内部にゲート絶縁膜を形成し、ゲート絶縁膜の上に、ゲートトレンチを埋め込むように、ポリシリコンによりゲート電極が形成されている。このような構造の縦型トランジスタでは、製造バラツキ等により、電圧を印加した際にゲート電極の端部近傍で破壊が生じる場合がある。

【0005】

このため、炭化珪素半導体を用いた縦型トランジスタにおいて、信頼性の高いものが求められる。

10

【課題を解決するための手段】**【0006】**

本実施形態の一観点によれば、縦型トランジスタとなる炭化珪素半導体装置の製造方法は、表面が酸化されているゲートトレンチを有する炭化珪素エピタキシャル基板に、ポリシリコンを成膜し、表面が酸化されているゲートトレンチをポリシリコンにより埋め込む工程を有している。更に、ゲートトレンチを除く領域のポリシリコンを化学機械研磨により除去する工程と、ゲートトレンチ内のポリシリコンを炭化珪素エピタキシャル基板の表面より深い位置まで酸化する工程と、を有している。

【発明の効果】**【0007】**

20

本開示によれば、信頼性の高い縦型トランジスタを製造することのできる炭化珪素半導体装置の製造方法を提供することができる。

【図面の簡単な説明】**【0008】**

【図1】図1は炭化珪素半導体装置の構造図である。

【図2】図2は炭化珪素半導体装置の構造の説明図である。

【図3】図3は本開示の実施形態の炭化珪素半導体装置の構造の説明図である。

【図4】図4は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(1)である。

。

【図5】図5は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(2)である。

30

。

【図6】図6は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(3)である。

。

【図7】図7は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(4)である。

。

【図8】図8は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(5)である。

。

【図9】図9は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(6)である。

。

【図10】図10は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(7)である。

40

【図11】図11は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(8)である。

【図12】図12は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(9)である。

【図13】図13は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(10)である。

【図14】図14は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(11)である。

【図15】図15は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(12)である。

50

である。

【図 1 6】図 1 6 は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図 (1 3) である。

【図 1 7】図 1 7 は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図 (1 4) である。

【図 1 8】図 1 8 は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図 (1 5) である。

【発明を実施するための形態】

【 0 0 0 9 】

実施するための形態について、以下に説明する。

10

【 0 0 1 0 】

[本開示の実施形態の説明]

最初に本開示の実施形態を列記して説明する。以下の説明では、同一または対応する要素には同一の符号を付し、それらについて同じ説明は繰り返さない。

【 0 0 1 1 】

〔 1 〕 本開示の一態様に係る半導体装置は、縦型トランジスタとなる炭化珪素半導体装置の製造方法であって、表面が酸化されているゲートトレンチを有する炭化珪素エピタキシャル基板に、ポリシリコンを成膜し、表面が酸化されている前記ゲートトレンチを前記ポリシリコンにより埋め込む工程と、前記ゲートトレンチを除く領域のポリシリコンを化学機械研磨により除去する工程と、前記ゲートトレンチ内のポリシリコンを前記炭化珪素エピタキシャル基板の表面より深い位置まで酸化する工程と、を有する。

20

【 0 0 1 2 】

縦型の炭化珪素トランジスタでは、ゲートトレンチを形成し、ポリシリコンによりゲートトレンチを埋め込むことによりゲート電極が形成される。しかしながら、製造バラツキ等により、ゲート電極の一部が、ゲートトレンチの縁の炭化珪素半導体層の上に絶縁膜を介し乗り上げている状態で形成される場合がある。このような状態の炭化珪素トランジスタでは、高電圧を印加した際に、絶縁破壊等が生じやすく、信頼性の低下を招きやすいことが、発明者の経験上、知見として得られている。

【 0 0 1 3 】

本開示は、このような破壊が生じることを確実に防ぐため、ゲートトレンチ内のゲート電極を形成するためのポリシリコンを炭化珪素エピタキシャル基板の表面より深い位置まで酸化する。これにより、ゲート電極の一部が、ゲートトレンチの縁より炭化珪素半導体層の上に乗り上げることを防ぎ、信頼性を向上させることができる。

30

【 0 0 1 4 】

〔 2 〕 前記炭化珪素エピタキシャル基板は、前記炭化珪素エピタキシャル基板の表面側の第 1 の導電型の層と、前記第 1 の導電型の層よりも深い前記第 1 の導電型と異なる第 2 の導電型の層とを有しており、前記酸化する工程では、前記ゲートトレンチ内のポリシリコンを前記第 1 の導電型の層と前記第 2 の導電型の層の界面よりも浅い位置まで酸化する。

【 0 0 1 5 】

40

〔 3 〕 前記ゲートトレンチは、前記第 2 の導電型の層よりも深くまで形成されている。

【 0 0 1 6 】

〔 4 〕 前記ゲートトレンチは、前記炭化珪素エピタキシャル基板の表面に酸化膜を形成し、前記酸化膜の上に窒化膜を形成する工程と、前記ゲートトレンチが形成される領域の酸化膜及び窒化膜を除去し、開口部を形成する工程と、前記酸化膜及び窒化膜の開口部における前記炭化珪素エピタキシャル基板を表面より除去し、ゲートトレンチを形成する工程と、により形成されるものであって、前記ポリシリコンは、前記ゲートトレンチ内及び窒化膜の上に成膜されるものであり、化学機械研磨によるポリシリコンの除去は、前記窒化膜の表面が露出するまで行われる。

50

【 0 0 1 7 】

〔 5 〕 前記ポリシリコンが酸化される膜厚は、前記酸化膜の膜厚と前記窒化膜の膜厚の和よりも厚い。

【 0 0 1 8 】

〔 本開示の実施形態の詳細 〕

以下、本開示の一実施形態（以下「本実施形態」と記す）について詳細に説明するが、本実施形態はこれらに限定されるものではない。

【 0 0 1 9 】

最初に、いわゆる縦型の炭化珪素半導体装置であるトランジスタにおいて、ゲート電極が形成されている部分の近傍で破壊が生じる場合があることについて説明する。縦型トランジスタでは、炭化珪素エピタキシャル基板の表面にゲートトレンチとなる溝を形成し、ゲートトレンチの内部にゲート絶縁膜を形成し、更に、ゲート絶縁膜の上にポリシリコンを成膜して、ゲートトレンチを埋め込む。この後、ゲートトレンチに埋め込まれているポリシリコンを除くポリシリコンをエッチバック等により除去することにより、ゲートトレンチ内のポリシリコンによりゲート電極を形成する。しかしながら、エッチバック等におけるエッチング量のバラツキやリソグラフィにおける下地との重ね合わせズレなどにより、ゲート電極形成後にゲートトレンチの縁が絶縁膜を介しゲート電極の端の一部により覆われた状態となる場合がある。

【 0 0 2 0 】

具体的には、縦型トランジスタでは、図 1 に示されるように、炭化珪素単結晶基板 1 0 の第 1 の面 1 0 a の上に、第 1 の n 型層 2 1、p 型層 2 2、第 2 の n 型層 2 3 が順に形成されている。また、第 2 の n 型層 2 3、p 型層 2 2、第 1 の n 型層 2 1 を除去することにより、断面が V 字状のゲートトレンチが形成されており、ゲートトレンチの側壁には、第 2 の n 型層 2 3、p 型層 2 2、第 1 の n 型層 2 1 の一部が露出している。また、ゲートトレンチの側壁は、ゲート絶縁膜 4 0 に覆われており、ゲート絶縁膜 4 0 の上に成膜されたポリシリコンにより、ゲートトレンチの内部が埋め込まれて、ゲート電極 5 1 が形成されている。

【 0 0 2 1 】

ゲート電極 5 1 を形成する際には、ゲートトレンチの内部のポリシリコンを除き、ポリシリコンを R I E（Reactive Ion Etching）等によるエッチバックにより除去する。しかしながら、ウェハ全体において均一にポリシリコンをエッチバックすることは極めて困難である。このため、図 2 にも示されるように、ウェハのある領域では、ゲートトレンチの縁の第 2 の n 型層 2 3 の上に、ゲート絶縁膜 4 0 を介し、ゲート電極 5 1 の端の一部が乗上げた状態となる場合がある。

【 0 0 2 2 】

尚、ゲートトレンチより離れた領域には、p 型となる不純物元素をイオン注入することにより、不純物濃度の高い高濃度 p 型領域 2 4 が形成されており、第 2 の n 型層 2 3 及び高濃度 p 型領域 2 4 の一部の上には、ソース電極 5 2 が形成されている。ソース電極 5 2 は N i 膜により形成されており、第 2 の n 型層 2 3 及び高濃度 p 型領域 2 4 は、炭化珪素半導体により形成されており S i を含んでいるため、熱処理をすることにより、N i と S i とが合金化され、N i S i 合金層が形成される。このように形成される N i S i 合金層により、ソース電極 5 2 と炭化珪素半導体層の第 2 の n 型層 2 3 とのコンタクト抵抗を低くすることができる。また、炭化珪素単結晶基板 1 0 の第 1 の面 1 0 a とは反対の第 2 の面 1 0 b には、ドレイン電極 5 3 が形成されている。

【 0 0 2 3 】

上記のように、ゲート電極 5 1 を形成する際に、R I E 等によるエッチバックが不十分であったり、リソグラフィにおける下地との重ね合わせズレが生じると、図 1 及び図 2 に示されるように、ゲート電極 5 1 の端の一部は、ゲートトレンチの縁の第 2 の n 型層 2 3 の上に、ゲート絶縁膜 4 0 を介し乗上げた状態となる。即ち、ゲート電極 5 1 の端の一部が、炭化珪素半導体層の表面よりも上に位置しており、ゲート絶縁膜 4 0 を介し乗り上

げた状態となる。このようなトランジスタに、高電圧を印加すると、図 2 の一点鎖線 2 A で囲まれた領域において電界集中が発生し、トランジスタが破壊されてしまう場合がある。

【0024】

第 1 の n 型層 2 1 は、n 型となる不純物元素が比較的低い濃度でドーピングされている層であり n 型ドリフト層である。p 型層 2 2 は、p となる不純物元素がドーピングされている p 型ボディ層である。第 2 の n 型層 2 3 は、第 1 の n 型層 2 1 よりも、n 型となる不純物元素が高い濃度でドーピングされている n 型層である。

【0025】

縦型トランジスタでは、ゲート電極 5 1 に所定の電圧が印加されると、p 型層 2 2 のゲート絶縁膜 4 0 の近傍の領域にチャネルが形成され、第 1 の n 型層 2 1 と第 2 の n 型層 2 3 との間が導通する。これにより、ソース電極 5 2 とドレイン電極 5 3 との間に電流が流れ、半導体装置がオンになる。尚、ゲート電極 5 1 に所定の電圧が印加されていない場合には、p 型層 2 2 にはチャネルは形成されず、ソース電極 5 2 とドレイン電極 5 3 との間には電流は流れないためオフ状態となる。

【0026】

(炭化珪素半導体装置)

次に、本実施形態における縦型トランジスタとなる炭化珪素半導体装置について説明する。本実施形態における半導体装置は、図 3 に示されるように、ゲート電極 1 5 1 の上面 1 5 1 f の位置が、炭化珪素半導体層の表面 1 1 a よりも下であって、p 型層 2 2 と第 2 の n 型層 2 3 との界面 2 3 f よりも上になるように形成されている。尚、炭化珪素半導体層の表面 1 1 a とは、後述する炭化珪素半導体層と炭化珪素半導体層の上に形成される後述する酸化シリコン膜との界面となる面である。このようにゲート電極 1 5 1 を形成することにより、トランジスタに、高電圧を印加した場合であっても、ゲート電極 1 5 1 の端における電界集中を防ぐことができ、トランジスタが破壊されることを防ぎ、信頼性を向上させることができる。

【0027】

(炭化珪素半導体装置の製造方法)

次に、本実施形態における炭化珪素半導体装置の製造方法について、図 4 ~ 図 1 1 に基づき説明する。

【0028】

最初に、図 4 に示されるように、炭化珪素単結晶基板 1 0 の上の炭化珪素エピタキシャル層 1 1 の表面 1 1 a より、A 1 をイオン注入することにより、p 型層 2 2 を形成し、表面 1 1 a の浅い領域に P をイオン注入することにより第 2 の n 型層 2 3 を形成する。更に、第 2 の n 型層 2 3 及び p 型層 2 2 の一部に、p 型となる不純物元素となる A 1 をイオン注入することにより、高濃度 p 型領域 2 4 を形成する。尚、本願においては、炭化珪素単結晶基板 1 0 の上に、炭化珪素半導体層である炭化珪素エピタキシャル層 1 1 が形成されているものを炭化珪素エピタキシャル基板と記載する場合がある。よって、炭化珪素エピタキシャル層 1 1 の表面 1 1 a は、炭化珪素エピタキシャル基板の表面でもある。

【0029】

第 2 の n 型層 2 3 は、n 型となる不純物元素である P をイオン注入することにより、炭化珪素エピタキシャル層 1 1 の表面 1 1 a より所定の深さの領域まで形成する。また、p 型層 2 2 は、p 型となる不純物元素となる A 1 をイオン注入することにより形成し、第 2 の n 型層 2 3 よりも深い領域に形成する。尚、炭化珪素エピタキシャル層 1 1 は、n 型となる不純物元素である P が約 $1 \times 10^{16} \text{ cm}^{-3}$ の濃度でドーピングされている。従って、炭化珪素エピタキシャル層 1 1 において、イオン注入により形成されている第 2 の n 型層 2 3、及び、p 型層 2 2 を除く領域が、第 1 の n 型層 2 1 となる。

【0030】

次に、図 5 に示されるように、炭化珪素エピタキシャル層 1 1 の表面 1 1 a、即ち、第 2 の n 型層 2 3 及び高濃度 p 型領域 2 4 の表面に、酸化シリコン膜 1 6 1 を形成し、酸化

10

20

30

40

50

シリコン膜 161 の上に、窒化シリコン膜 162 を成膜する。具体的には、炭化珪素エピタキシャル層 11 を表面 11a より、熱酸化することにより酸化シリコン膜 161 を形成する。酸化シリコン膜 161 は、酸素雰囲気中において 1350 の温度まで加熱した熱酸化により形成され、形成される酸化シリコン膜 161 の膜厚は、50 nm ~ 80 nm である。これにより、炭化珪素エピタキシャル層 11 の表面 11a は、酸化シリコン膜 161 との界面まで後退する。窒化シリコン膜 162 は、酸化シリコン膜 161 の上に、原料ガスとして、 SiH_2Cl_2 と NH_3 との混合ガスを用いて、減圧 CVD (chemical vapor deposition) により成膜することにより形成される。形成される窒化シリコン膜 162 の膜厚は、80 nm ~ 120 nm である。

【0031】

次に、図 6 に示されるように、窒化シリコン膜 162 に開口部 162a を形成し、更に、酸化シリコン膜 161 に開口部 161a を形成する。この開口部 161a 及び開口部 162a は、炭化珪素エピタキシャル層 11 においてゲートトレンチが形成される領域に形成される。具体的には、窒化シリコン膜 162 の上に、スピンコーター等によりフォトリソ resist を塗布し、露光装置により露光、現像を行うことにより、開口部 161a 及び開口部 162a が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、レジストパターンの開口部において、RIE により窒化シリコン膜 162 を除去することにより開口部 162a を形成し、更に、酸化シリコン膜 161 を除去することにより開口部 161a を形成し、炭化珪素エピタキシャル層 11 の表面 11a を露出させる。RIE に用いられるガスは、 CF_4 、 CHF_3 、Ar の混合ガスであり、レジストパターンの開口部において、酸化シリコン膜 161 を完全に除去するまで行う。この後、不図示のレジストパターンは、酸素ガスを用いたアッシングにより除去し、更に、硫過水洗浄、RCA 洗浄を行う。

【0032】

次に、図 7 に示されるように、酸化シリコン膜 161 及び窒化シリコン膜 162 の開口部 161a 及び開口部 162a における炭化珪素エピタキシャル層 11 を除去することにより、ゲートトレンチ 130 を形成する。このようにゲートトレンチ 130 を形成することにより、ゲートトレンチ 130 の側壁 130a には、第 2 の n 型層 23、p 型層 22、及び、第 1 の n 型層 21 の一部が露出する。ゲートトレンチ 130 は、炭化珪素エピタキシャル層 11 の表面 11a より 1.2 μm ~ 1.4 μm の深さとなるように形成されており、p 型層 22 よりも深い位置まで形成される。

【0033】

次に、図 8 に示されるように、ゲートトレンチ 130 において露出している炭化珪素の表面を酸化することにより酸化シリコン膜 41 を形成し、更に、酸化シリコン膜 41 及び窒化シリコン膜 162 の上に、ポリシリコン膜 141a を形成する。具体的には、酸素及び窒素を含むガス中で、1100 ~ 1350 の温度まで加熱することにより、ゲートトレンチ 130 において露出している炭化珪素の表面を酸化し、酸化シリコン膜 41 を形成する。このように形成される酸化シリコン膜 41 の膜厚は、55 nm ~ 60 nm である。この後、酸化シリコン膜 41 及び窒化シリコン膜 162 の上に、減圧 CVD により、ポリシリコン膜 141a を成膜する。ポリシリコン膜 141a は、CVD 装置のチャンバー内に、 SiH_4 と H_2 を供給し、600 ~ 650 の成膜温度で成膜することにより形成する。このように形成されるポリシリコン膜 141a の膜厚は、45 nm ~ 65 nm である。

【0034】

次に、図 9 に示されるように、ゲートトレンチ 130 の底面 130b のポリシリコン膜 141a の上に、レジストパターン 163 を形成する。具体的には、ポリシリコン膜 141a の上に、スピンコーター等によりレジストを塗布し、硬化させた後、RIE 等によりレジストをエッチバックにより除去する。これにより、ゲートトレンチ 130 の底面 130b のポリシリコン膜 141a の上に、高さが 0.2 μm ~ 0.4 μm のレジストパターン 163 が形成される。尚、このエッチバックでは、酸素ガスが用いられ、エッチバック

10

20

30

40

50

時に露出したポリシリコンはエッチングされない。

【0035】

次に、図10に示されるように、ゲートトレンチ130の底面130bのポリシリコン膜141aを残し、露出しているポリシリコン膜141aを除去し、更に、レジストパターン163を除去する。具体的には、レジストパターン163が形成されていない領域の表面が露出しているポリシリコン膜141aを SF_6 、Ar、 O_2 の混合ガスを用いたRIEにより除去する。この後、レジストパターン163は、酸素ガスを用いたアッシングにより除去し、更に、硫過水洗浄、RCA洗浄を行う。

【0036】

次に、図11に示されるように、ゲートトレンチ130の底面130bにおいて、ポリシリコン膜141aにより覆われている酸化シリコン膜41を残し、露出している酸化シリコン膜41を除去する。具体的には、ポリシリコン膜141aにより覆われていない表面が露出している酸化シリコン膜41をフッ酸によるウェットエッチングにより除去する。これにより、ゲートトレンチ130の側壁130aにおいて、第2のn型層23、p型層22、及び、第1のn型層21の一部が露出する。この後、硫過水洗浄、RCA洗浄を行う。

10

【0037】

次に、図12に示されるように、ゲートトレンチ130の底面130bの上のポリシリコン膜141a及びゲートトレンチ130の側壁130aの炭化珪素を酸化し、酸化シリコン膜141及び酸化シリコン膜142を形成する。具体的には、酸素及び窒素を含むガス中で、1100 ~ 1350 の温度まで加熱する。これにより、ゲートトレンチ130の底面130bの上のポリシリコン膜141aを酸化して酸化シリコン膜141を形成し、ゲートトレンチ130の側壁130aの炭化珪素の表面を酸化して酸化シリコン膜142を形成する。このように形成される酸化シリコン膜141及び酸化シリコン膜142と、酸化シリコン膜41とは一体化し、これらによりゲート絶縁膜40が形成される。

20

【0038】

次に、図13に示されるように、全面に不純物元素がドーブされた導電性を有するポリシリコン膜151aを成膜することにより、ゲートトレンチ130を埋め込む。ポリシリコン膜151aは、CVD装置のチャンバー内に SiH_4 、 N_2 、 PH_3 を供給し、550 ~ 600 の温度で成膜することにより形成する。成膜されるポリシリコン膜151aの膜厚は、1.0 μm ~ 1.5 μm であり、ゲートトレンチ130においては、ゲート絶縁膜40の上に成膜され、ゲートトレンチ130が埋め込まれる。

30

【0039】

次に、図14に示されるように、CMP (chemical mechanical polishing: 化学機械研磨) によりゲートトレンチ130に埋め込まれているポリシリコン膜151aを除きポリシリコン膜151aを除去する。CMPによるポリシリコン膜151aの除去は、窒化シリコン膜162の表面が露出するまで行い、窒化シリコン膜162の表面が露出したら、ポリシリコン膜151aの除去を停止する。これにより、ゲートトレンチ130内のみ埋め込まれているポリシリコン膜151aが残る。CMPはエッチバックと比較して、均一にポリシリコン膜151aを除去することができる。また、窒化シリコンは、酸化シリコンに比べて、CMPによる終点検出がしやすい。従って、CMPによるポリシリコン膜151aを除去する際には、窒化シリコン膜162が形成されていることが好ましい。この後、硫過水洗浄、RCA洗浄を行う。

40

【0040】

次に、図15に示されるように、露出しているポリシリコン膜151aの表面を酸化し、酸化シリコン膜164を形成する。具体的には、酸素雰囲気において、900 の温度で、露出しているポリシリコン膜151aを表面より熱酸化することにより、酸化シリコン膜164を形成する。酸化シリコン膜164は、約200 nmの厚さまで形成され、残存するポリシリコン膜151aによりゲート電極151が形成される。

【0041】

50

尚、この状態における酸化シリコン膜 1 6 1 の膜厚は 5 0 n m ~ 8 0 n m であり、窒化シリコン膜 1 6 2 の膜厚は 3 0 n m ~ 7 0 n m である。従って、酸化シリコン膜 1 6 1 の膜厚と窒化シリコン膜 1 6 2 の膜厚との和は、8 0 n m ~ 1 5 0 n m であり、酸化シリコン膜 1 6 4 は、これよりも厚く形成される。よって、ゲート電極 1 5 1 の上面 1 5 1 f、即ち、ゲート電極 1 5 1 と酸化シリコン膜 1 6 4 との界面の位置は、炭化珪素エピタキシャル層の表面 1 1 a よりも下であり深くなっている。また、p 型層 2 2 と第 2 の n 型層 2 3 との界面 2 3 f よりも上であり浅くなっている。尚、一回では、ゲート電極 1 5 1 の上面 1 5 1 f の位置が、この位置にならない場合には、後の酸化シリコン膜 1 6 4 を除去した後、再びポリシリコン膜 1 5 1 a の熱酸化を行うことを繰り返す。

【 0 0 4 2 】

次に、図 1 6 に示されるように、窒化シリコン膜 1 6 2 を除去する。具体的には、前記ポリシリコン膜 1 5 1 a の熱酸化時に窒化シリコン膜 1 6 2 上がわずかに酸化されるので、フッ酸によりこの酸化膜を除去した後、熱リン酸により窒化シリコン膜 1 6 2 を除去する。この後、硫過水洗浄、R C A 洗浄を行う。

【 0 0 4 3 】

次に、図 1 7 に示されるように、露出した酸化シリコン膜 1 6 1 及び 1 6 4 の上に、層間絶縁膜 1 7 0 を形成する。具体的には、酸化シリコン膜 1 6 1 及び 1 6 4 の上に、C V D により膜厚が 1 μ m の酸化シリコン膜を成膜することにより層間絶縁膜 1 7 0 を形成する。

【 0 0 4 4 】

次に、図 1 8 に示されるように、ソース電極 5 2 及びドレイン電極 5 3 を形成する。具体的には、層間絶縁膜 1 7 0 の上に、フォトリソストを塗布し、露光装置による露光、現像を行うことにより、第 2 の n 型層 2 3 と高濃度 p 型領域 2 4 との境界を含む領域の直上に開口部を有する不図示のレジストパターンを形成する。この後、R I E 等によりレジストパターンの開口部における層間絶縁膜 1 7 0 を第 2 の n 型層 2 3 及び高濃度 p 型領域 2 4 の表面が露出するまで除去することにより、層間絶縁膜 1 7 0 に開口部を形成する。この後、酸素ガスを用いたアッシング等により不図示のレジストパターンを除去した後、金属膜を成膜し、層間絶縁膜 1 7 0 の開口部を埋め込むことによりソース電極 5 2 を形成する。このように形成されるソース電極 5 2 は、第 2 の n 型層 2 3 及び高濃度 p 型領域 2 4 と接触しており、必要に応じて熱処理を行う。更に、炭化珪素単結晶基板 1 0 の第 2 の面 1 0 b には、スパッタリング等により金属膜を成膜することにより、ドレイン電極 5 3 を形成する。

【 0 0 4 5 】

以上の工程により、本実施形態における炭化珪素半導体装置を作製することができる。以上の工程により作製された本実施形態における炭化珪素半導体装置は、図 3 に示されるように、ゲート電極 1 5 1 の上面 1 5 1 f の位置は、炭化珪素半導体層の表面 1 1 a よりも下であり深く、p 型層 2 2 と第 2 の n 型層 2 3 との界面 2 3 f よりも上であり浅い。このようにゲート電極 1 5 1 を形成することにより、トランジスタに高電圧を印加した場合であっても、電界集中を防ぐことができ、トランジスタが破壊されることを防ぎ、信頼性を向上させることができる。

【 0 0 4 6 】

以上、実施形態について詳述したが、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

【 符号の説明 】

【 0 0 4 7 】

1 0	炭化珪素単結晶基板
1 0 a	第 1 の面
1 0 b	第 2 の面
1 1	炭化珪素エピタキシャル層
1 1 a	表面

10

20

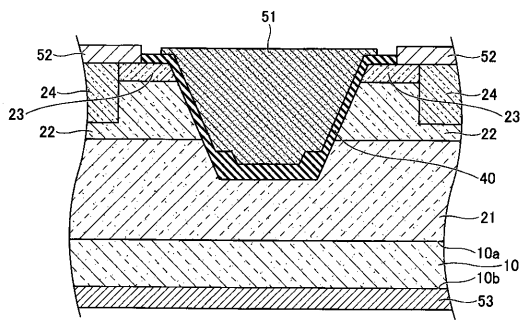
30

40

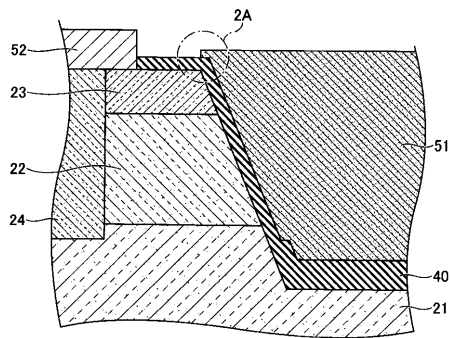
50

2 1	第 1 の n 型層	
2 2	p 型層	
2 3	第 2 の n 型層	
2 3 f	界面	
2 4	高濃度 p 型領域	
4 0	ゲート絶縁膜	
4 1	酸化シリコン膜	
5 1	ゲート電極	
5 2	ソース電極	
5 3	ドレイン電極	10
1 3 0	ゲートトレンチ	
1 3 0 a	側壁	
1 3 0 b	底面	
1 4 1	酸化シリコン膜	
1 4 1 a	ポリシリコン膜	
1 4 2	酸化シリコン膜	
1 5 1	ゲート電極	
1 5 1 a	ポリシリコン膜	
1 5 1 f	上面	
1 6 1	酸化シリコン膜	20
1 6 1 a	開口部	
1 6 2	窒化シリコン膜	
1 6 2 a	開口部	
1 6 3	レジストパターン	
1 6 4	酸化シリコン膜	
1 7 0	層間絶縁膜	

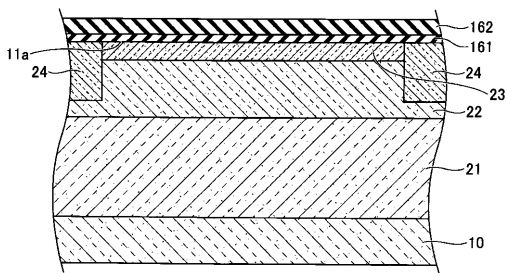
【 図 1 】



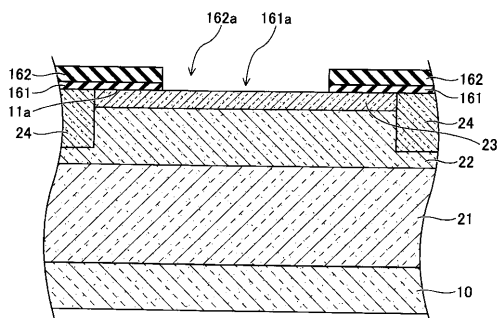
【 図 2 】



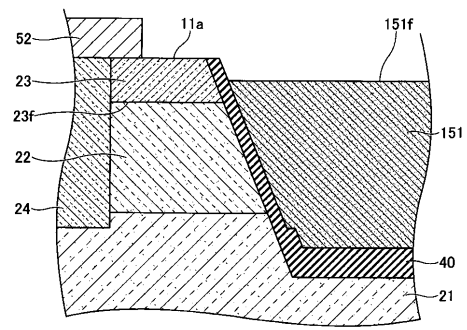
【 図 5 】



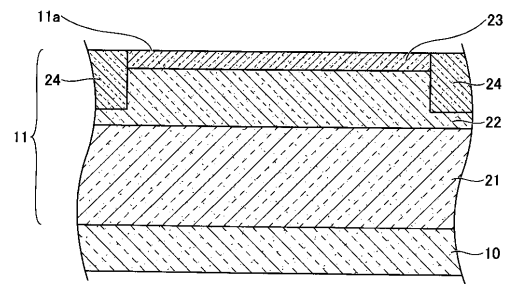
【 図 6 】



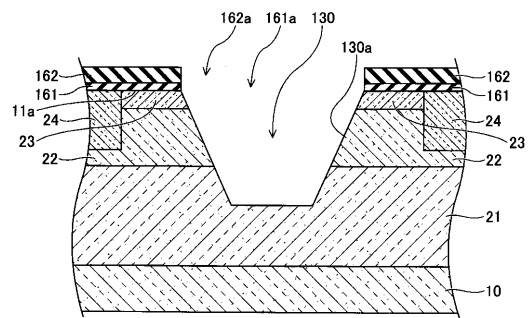
【 図 3 】



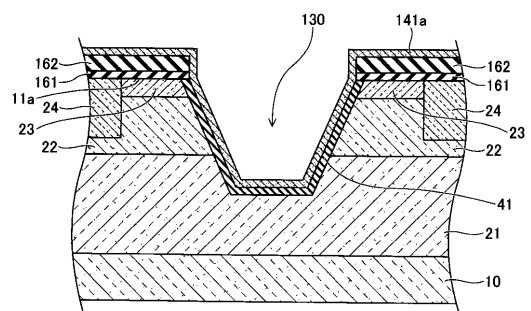
【 図 4 】



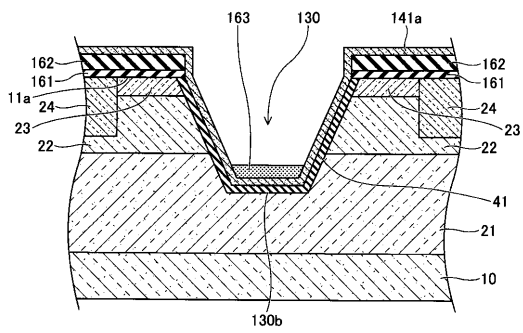
【 図 7 】



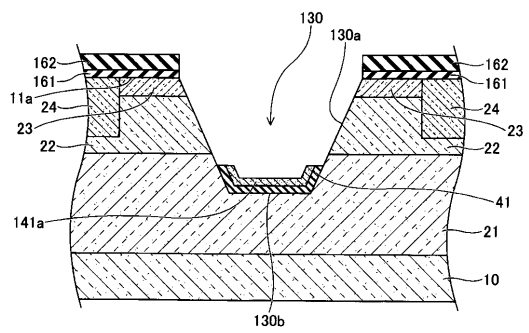
【 図 8 】



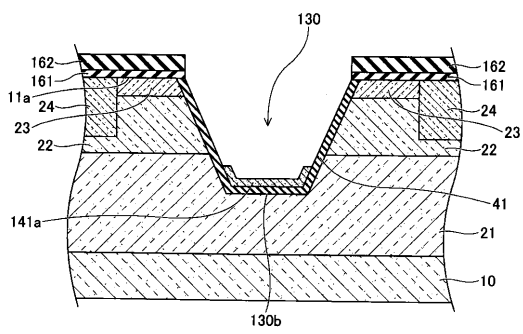
【図 9】



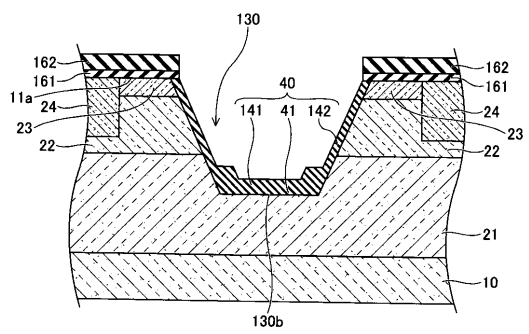
【図 11】



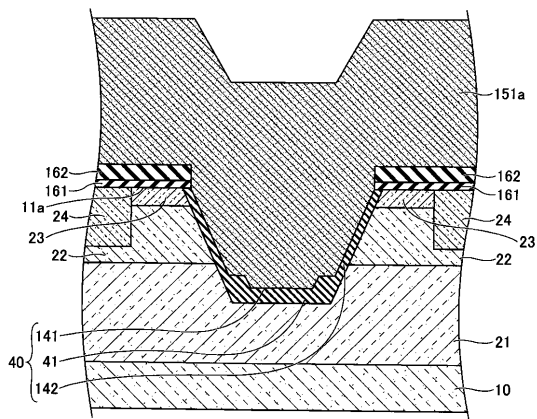
【図 10】



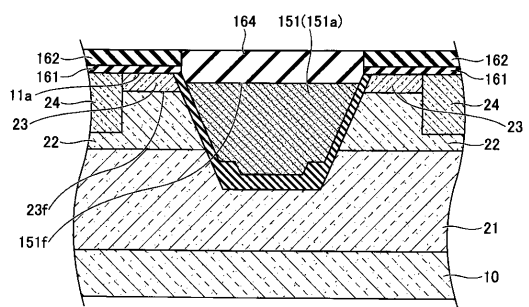
【図 12】



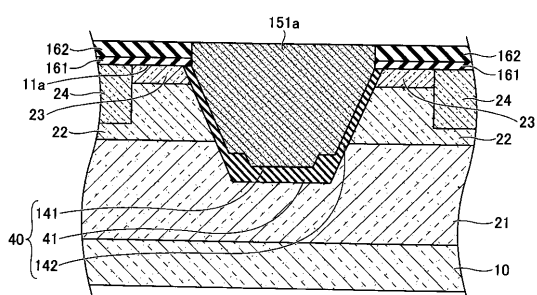
【図 13】



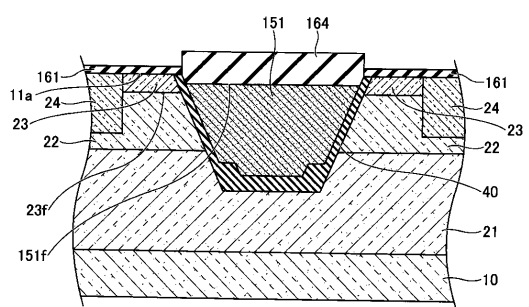
【図 15】



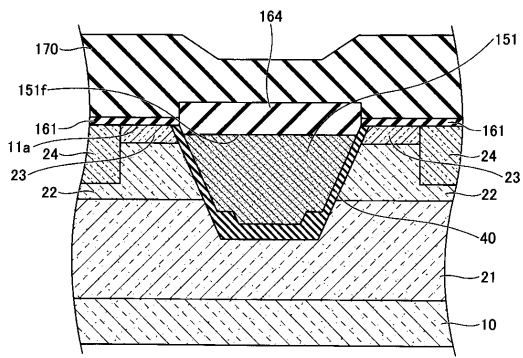
【図 14】



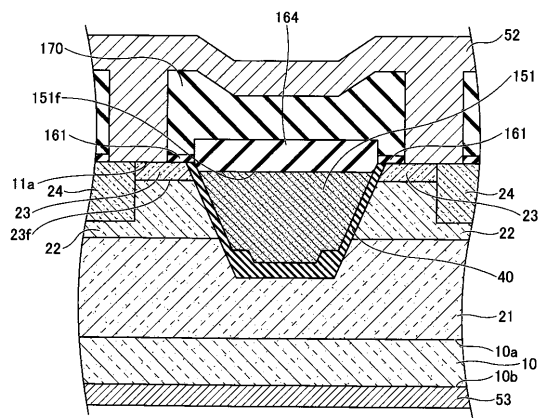
【図 16】



【図 17】



【図 18】



フロントページの続き

(51) Int. Cl.			F I			テーマコード (参考)	
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	21/28		<i>3 0 1 B</i>	
<i>H 0 1 L</i>	<i>29/41</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/58		<i>G</i>	
<i>H 0 1 L</i>	<i>21/283</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/44		<i>L</i>	
			<i>H 0 1 L</i>	21/283		<i>B</i>	