(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 23/15

(11) 공개번호 10-2004-0031680
(43) 공개일자 2004년04월13일

(21) 출원번호 10-2003-7005411
(22) 출원일자 2003년04월17일
번역문 제출일자 2003년04월17일
(86) 국제출원번호 PCT/JP2002/008322
(87) 국제공개번호 WO 2003/017364
(86) 국제출원출원일자 2002년08월16일
(87) 국제공개일자 2003년02월27일

(81) 지정국 국내특허 : 일본, 대한민국, 미국,

(30) 우선권주장 JP-P-2001-00248001 2001년08월17일 일본(JP)
JP-P-2001-00247990 2001년08월17일 일본(JP)

(71) 출원인 시티즌 워치 콤파니, 리미티드
일본 도쿄 188-8511 니시도쿄-시 타나시쪼 6-쪼메 1-12

(72) 발명자 가사이다까오
일본도쿄188-8511니시도쿄-시타나시쪼6-쪼메1-12시티즌워치콤파니,리미티드내

와까스기마꼬또
일본도쿄188-8511니시도쿄-시타나시쪼6-쪼메1-12시티즌워치콤파니,리미티드내

다까스기쯔네지
일본도쿄188-8511니시도쿄-시타나시쪼6-쪼메1-12시티즌워치콤파니,리미티드내

(74) 대리인 박장원

심사청구 : 없음

(54) 전자 장치 및 그 제조 방법

요약

절연성 세라믹 기판과 상기 세라믹 기판의 표면을 덮는 봉합부재로 구성되는 하우징을 포함하고, 상기 하우징의 내부에 적어도 1개의 전자 요소가 실장되어 있는 전자 장치를 제조하는 방법. 무기 분말과 바인더를 포함하는 복합물의 소성에 의하여 평판형의 세라믹 기판을 성형한 후, 미리 정해진 장치 디자인에 따라서 형상 가공을 하고, 상기 성형된 세라믹 기판의 표면에 금속화층을 형성하고, 세라믹 기판의 소정의 영역에 전자 요소를 실장하고, 세라믹 기판을 봉합부재로 밀봉한다.

대표도

도 4

명세서

기술분야

본 발명은 전자 장치의 제조 방법에 관한 것으로, 더욱 상세하게는, 세라믹제 하우징에 반도체 소자나 수정 공진자(crystal resonator) 등을 실장한 전자 장치의 제조 방법에 관한 것이다. 본 발명의 방법은, 특히 다수개 제작 (multiple production) 방식으로 전자 장치를 제조하는데 유용하다. 본 발명은 또한 이러한 제조 방법을 사용하여 제조되는 전자 장치에 관한 것이다.

배경기술

주지된 바와 같이 현재 각종 전자 장치가 제안되어 실용적인 사용을 위하여 공급되고 있다. 예를 들면, IC칩을 탑재한 IC 패키지, 수정 공진자를 탑재한 수정 진동자, IC칩과 수정 공진자를 탑재한 수정 발진기 등이 있다. 이러한 전자 장치는 통상, 절연 기판과 그 커버로 구성되는 하우징(케이스 혹은 케이싱이라고도 불린다)에 전자 요소를 실장하고, 밀봉함으로써 제조되고 있다. 절연기판의 재료로서는 글래스, 세라믹스, 실리콘 등의 무기 재료가 사용되고 있다.

최근에는 전자 장치를 대량으로 생산하기 위하여, 다수개 제작 (multiple production) 방식이 제안되었다. 이 방식을 사용하면, 1장의 대형 무기 재료 기판을 준비한 후, 그 기판에 다수의 하우징을 만들어 넣고, 전자 요소를 실장한 후, 완성된 전자 장치를 하나씩 개별 분리함으로써 하나의 제조 공정에서 다수개의 전자 장치를 동시에 제조할 수 있다.

예를 들면, 일본공개특허공보 소60-187117호 공보에는 각각 요부를 구비한 제1 및 제2 유리판을 밀봉하여 케이싱을 구성하고, 그 케이싱의 내부에 압전소자를 설치함으로써, 다수의 압전 진동자를 동시에 제조하는 방법이 개시 되어 있다. 이 제조 방법에 의하면, 각각의 유리판에 다수의 오목부를 화학적 에칭에 의하여 형성하고, 압전 소자를 장치한 후, 2장의 유리판을 오목부 끼리 마주 보도록 하여 포개고, 진공중에서 가열함으로써 접착, 밀봉한다. 마지막으로, 밀봉된 2장의 유리판에 금을 그어, 스크래치선에 따라 나누면, 다수의 압전 진동자를 얻을 수 있다.

또한 일본공개특허공보 평5-121985호 공보에도, 압전 진동자의 제조 방법이 개시되어 있다. 이 제조 방법에 의하면, 복수의 압전 진동자편을 실장하는 제1 기판과, 이 기판과 마주보는 제2 기판을 접합하여 압전 진동자편을 밀폐 내장하는 접합 기판을 형성한 후, 접합 기판을 절단하여 다수의 압전 진동자를 얻을 수 있다. 기판에는 실리콘 웨이퍼나 글래스 기판이 사용되며, 또한 압전 진동자편을 수납하기 위한 공동을 형성하기 위하여 선택 에칭법이 사용된다.

상기한 바와 같이 압전 진동자를 다수개 제작 방식으로 제조하는 종래의 방법의 경우, 공동을 형성하는 하우징의 재료로서, 실리콘이나 글래스를 사용한 예는 존재하지만, 세라믹스를 사용한 예는 그다지 알려져 있지 않다. 이것은 세라믹스로부터 하우징을 형성하기 위하여 소성 전의 미수축 그린 시트의 상태로 빠르게 하우징 혹은 그것에 가까운 형태로 가공하고, 소정 패턴으로 고온 금속 재료 배선을 형 성한 후, 약1550 1650℃의 고온으로 소성하므로, 약20%의 치수 수축을 감수하여야 하기 때문이다. 소성후의 기판에 이와 같은 치수 수축이 있으면, 얻어지는 하우징의 형상이나 치수에 불균일이 발생하고, 원료에 대한 제품 비율의 저하를 피할 수 없다.

세라믹스로부터 하우징을 제조하는 경우에 발생하는 상술한 바와 같은 치수 수축의 문제점은, 소성 후의 기판이 대형일수록 심각하다. 예를 들면, 일본공개특허공보 평11-340350호 공보에는 세라믹 그린 시트를 적층하고, 복수개의 공동을 형성한 후, 소성하여 각 공동의 위치에 상응하는 일체형의 봉합부재를 포개고, 한꺼번에 모든 공동을 밀봉하여 복수개의 하우징을 형성하는 방법이 제안되어 있으나, 소성 시의 약20%의 치수 수축에 의한 문제점을 해소하지는 못하였다. 즉, 복수개의 봉합부재를 동시에 형성하기 위해서는, 치수 마진을 많이 잡을 필요가 있으며, 소성후의 대형 기판을 다수개 제작을 위한 가공 장치나 실장 장치에 적재하는 경우에, 복수의 하우징들 간의 치수 정밀도 악화에 의하여 연속 인덱스 가공이 불가능하기 때문이다.

이와 같은 문제점을 설명하기 위하여, 기판 재료로서 세라믹스를 사용하고 다수개 제작 방식으로 수정 진동자를 제조하는 종래의 방법을 아래에 설명한다.

우선, 각각 도1a 및 도1b에 도시하는 바와 같이, 2종류의 레귤러 사이즈의(regular size) 시트 (2a) 및 (2b)를 준비한다. 이를 위하여, 세라믹 분말, 바인더 등을 포함하는 슬러리로부터 레귤러 사이즈 폭을 갖는 긴 그린시트를 형성한다. 이 긴 시트로부터 사전에 설정된 수축률에 기초한 치수로 레귤러 사이즈의 시트(2b) (도1b) 를 외형 펀칭하고, 이 때, 적층 처리를 위한 작업 기준구멍(27)을 펀칭한다. 이어서, 레귤러사이즈의 시트(2b)의 작업 기준구멍(27)을 기준으로, 전자 요소를 수납하기 위한 공동(12)을 펀칭하여 레귤러 사이즈의 시트(2a) (도1a)를 형성한다. 그 다음, 소정 매수의 레귤러 사이즈의 시트 (2a) 및 (2b)를 미리 정해진 조합으로 적층 압착시킨다. 적층공정은 예를 들면, 200 250℃에서 일정 시간에 걸쳐 프레스 압착함으로써 실시할 수 있다. 도 2는 이와 같이 하여 얻어진 적층 그린 시트(2)를 나타낸 것이다. 이 도면에서, 이하의 공정으로 만들어지는 브레이크선(29) 등도 이해를 돕기 위하여 간단하게 도시하고 있다.

이어서, 얻어진 적층 그린 시트(2)를 각각 도 2의 선분III-III에 따른 단면도인 도 3a 도 3e에 도시하는 바와 같이 순서에 따라 가공한다.

우선, 얻어진 적층 그린 시트(2)의 작업 기준구멍(27)을 기준으로 도 3a에 도시하는 바와 같이, 표면과 이면을 도통시키기 위한 관통홀(13)을 개공한다.

이어서, 도 3b에 도시하는 바와 같이 적층 그린 시트(2)에 표면 배선층(21 및 26), 이면 배선층(22), 그리고 전기적 도통부(23)를 형성한다. 이 공정을 완성하기 위하여, 앞의 공정에서 개공한 관통홀(13)에 W, Mo 등의 고융점 금속을 충전하여 전기적 도통부(23)를 형성시킨다. 이어서, W, Mo 등의 고융점 금속을 도포함으로써 표면 배선층 (21) 및 (26)과 그리고 이면 배선층(22)을 형성한다. 그 후, 금형에서, 적층 그린 시트(2) 두께의 약50% 깊이로 절개부를 만들어, 브레이크선(29)을 형성한다. 브레이크선(29)은 제조 공정의 도중에 세라믹 기판을 전자 장치의 단위로 분리하기 위한 것이다. 그 후, 적층 그린 시트(2)를 수소 분위 기 하에서 1550 1650℃의 온도로 소성한다. 이 소성으로 20% 치수 수축이 이뤄지고, 공동, 관통홀, 배선층, 브레이크선이 형성된 세라믹 기판(2)이 완성된다.

이어서, 세라믹 기판(2)을 그 브레이크선(29)에 따라 잘라 나눈다. 도 3c에 도시하는 바와 같이 각각 목적으로 하는 전자 장치의 단위에 상당하는 세라믹 기판(2)이 얻어진다. 즉, 이 세라믹 기판(2)은 전자 장치의 전구체(precursor)라고 할 수 있다.

이어서, 세라믹 기판(2)을 도 3d에 도시하는 바와 같이 캐리어(지그)(30)에 적재하고, 도 3e에 도시하는 최종 제조 공정으로 이행한다.

먼저, 세라믹 기판(2)에 형성된 공동(12)에 수정 공진자(1)를 실장한다. 이 실장을 위하여, 세라믹 기판(2)에 대한 배선층(21)에 도전 페이스트(24)를 도포하고, 수정 공진자(1)를 실장한 후 가열한다. 예를 들면, 도전 페이스트가 Ag 함유 열경화성 수지일 때, 그 가열 온도는 약180℃이다.

수정 공진자(1)의 실장이 완료된 후, 세라믹 기판(2)의 표면에 봉합부재(여기에서는 코바르(kovar)를 사용)(3)를 포개어 기밀 밀봉한다. 이 기밀 밀봉을 위하여, 세라믹 기판(2)의 접합 위치에 박막형의 저온 금속 납땜재(여기에서는 Au-Sn 합금의 납땜재를 사용)를 설치하여 접합층(25)을 형성한 후, 세라믹 기판(2)과 봉합부재(3)를 접합층(25)을 사이에 두고 납땜한다. 이와 같이 하여 제작한 수정 진동자(10)는 완성 검사 후에 시장에 출시된다.

그런데, 상기 한 제조 방법이나 기타 다수개 제작 방식에 기초하는 제조방법에는 많은 문제점이 존재한다. 예를 들면, 세라믹 기판 상에 복수의 공동을 형성하 고 있지만, 개개의 공동의 위치 정밀도가 나쁘기 때문에, 복수개의 봉합부재를 동시에 일체화할 수 없고, 공동을 개별 분리하여 지그에 적재하고 나서 전자 요소의 실장이나 봉합부재의 밀봉을 할 필요가 있어, 제조 공정이 복잡하다. 또한 각 공동을 개별 분리할 때에, 발생하는 가루가 공동의 내부에 유입되는 문제나, 공동이 있는 세라믹 기판을 지그에 적재하는 단계에서, 공동에 파편이 유입되는 문제가 있다.

발명의 개요

본 발명의 목적은 상술한 바와 같은 종래 기술의 문제점을 해결하고, 수정 진동자나 수정 발진기를 포함한 각종 전자 장치를 그 전자 요소를 수납하는 하우징을 세라믹스로 구성하여, 다수개 제작 방식으로 간단하고 또한 높은 수율로 제조하는 것이 가능한 제조 방법을 제공하는데 있다.

본 발명의 목적은 또한 그와 같은 전자 장치의 제조방법으로서 자를 때 발생하는 가루나 파편이 공동의 내부에 유입되지 않게 하는 제조 방법을 제공하는데 있다.

본 발명의 목적은, 또한, 수정 진동자, 수정 발진기를 포함한 각종 전자 장치로서, 그 전자 요소를 수납하는 하우징이 세라믹스로 형성되어 있음에도 불구하고 다수개 제작 방식으로 제조하는 것이 가능한 전자 장치를 제공하는데 있다.

본 발명의 이러한 목적이나 기타 목적에 대하여 아래의 상세한 설명으로부터 용이하게 이해할 수 있을 것이다.

본 발명은, 한 양상에 있어서, 절연성 세라믹 기판과 상기 세라믹 기판의 표 면을 덮는 봉합부재로 구성되는 하우징을 포함하며, 하우징의 내부에 적어도 1개의 전자 요소가 실장되어 있는 전자 장치를 제조하는 방법에 있어서,

무기 분말과 바인더를 포함하는 복합물의 소성에 의하여 평판형의 세라믹 기판을 제작한 후,

상기 세라믹 기판을 사전에 정해진 장치 디자인에 따라서 형상 가공하여 형상화된 세라믹 기판을 형성하는 공정과,

상기 형상화된 세라믹 기판의 표면에 금속화층을 형성하는 공정과,

상기 부형된 세라믹 기판의 소정의 영역에 상기 전자 요소를 실장하는 공정과,

상기 전자 요소를 실장한 상기 세라믹 기판을 상기 봉합부재로 밀봉하는 공정를 포함하여 구성된 것을 특징으로 하는 전자 장치의 제조 방법에 있다.

이 제조 방법에서는 상기 부형된 세라믹 기판의 표면 중에 상기 봉합부재와 접촉하는 영역에도 상기 금속화층을 형성하는 것이 바람직하다.

또한 본 발명은, 다른 양상에 있어서, 절연성 세라믹 기판과 상기 세라믹 기판의 표면을 덮는 봉합부재로 구성되는 하우징을 포함하고, 상기 하우징의 내부에 적어도 l개의 전자 요소가 실장되어 있는 전자 장치를 제조하는 방법에 있어서,

무기 분말과 바인더를 포함하는 복합물의 소성에 의하여 복수의 전자 장치를 최종적으로 제공할 수 있는 크기를 가지는 평판형의 큰 세라믹 기판을 제작한 후,

상기 큰 세라믹 기판을 사전에 정해진 장치 디자인에 따라서 형상 가공하여, 부형된 큰 세라믹 기판을 형성하는 공정과,

상기 부형된 큰 세라믹 기판의 표면에 금속화층을 형성하는 공정과,

상기 부형된 큰 세라믹 기판의 소정의 영역에 상기 전자 요소를 실장하는 공정과,

상기 전자 요소를 실장한 상기 큰 세라믹 기판을 상기 봉합부재로 밀봉한 복수개의 전자 장치를 제조하는 공정과,

상기 큰 세라믹 기판으로부터 상기 전자 장치를 개별 분리하는 공정을 포함하여 이루어진 것을 특징으로 하는 전자 장치의 제조 방법이다.

이 제조 방법에서는 상기 부형된 세라믹 기판의 표면 중에 상기 봉합부재와 접촉하는 영역에도 상기 금속화층을 형성하는 것이 바람직하다.

또한, 본 발명은, 그 다른 양상에 있어서, 절연성 세라믹 기판과 상기 세라믹 기판의 표면을 덮는 봉합부재로 구성되는 하우징을 포함하고, 상기 봉합부재의 내부에 적어도 l개의 전자 요소가 실장되어 있는 전자 장치를 제조하는 방법에 있어서,

무기 분말과 바인더를 포함하는 복합물의 소성에 의하여 복수의 전자 장치를 최종적으로 제공할 수 있는 크기를 가지는 평판형의 큰 세라믹 기판을 제작한 후,

사전에 정해진 장치 디자인에 따라서, 상기 큰 세라믹 기판 내에 단위 기판을 프레이밍(framing)함과 동시에, 각각의 단위 기판을 형상 가공하여, 형상화된 단위 기판을 형성하는 공정과,

상기 큰 세라믹 기판으로부터 상기 단위 기판을 잘라내는 공정과,

상기 단위 기판의 표면에 금속화층을 형성하는 공정과,

상기 단위 기판의 소정의 영역에 상기 전자 요소를 실장하는 공정과,

상기 전자 요소를 실장한 상기 단위 기판을 상기 봉합부재로 밀봉한 전자 장치를 제조하는 공정과,

상기 단위 기판으로부터 상기 전자 장치를 개별 분리하는 공정을 포함하여 이루어진 것을 특징으로 하는 전자 장치의 제조 방법이다.

이 제조 방법에서는 상기 큰 세라믹 기판의 일부에 가기준 위치를 마련하여 상기 단위 기판을 프레이밍하고, 상기 큰 세라믹 기판 내에 복수개의 상기 단위 기판을 프레이밍 하며, 및/또는 상기 단위 기판의 표면상에 상기 봉합부재와 접촉하는 영역에도 상기 금속화층을 형성하는 것이 바람직하다.

이러한 전자 장치의 제조 방법은, 특히, 다음과 같이 실시하는 것이 바람직하다.

(1) 상기 세라믹 기판, 큰 세라믹 기판 또는 단위 기판의 표면에 후막 도체 페이스트를 도포하고, 소성함으로써 상기 금속화의 층을 형성한다.

(2) 상기 형상 가공 공정에 있어서, 상기 세라믹 기판, 큰 세라믹 기판 또는 단위 기판의 사전에 정한 위치에 그 기판을 관통하는 적어도 1개의 관통홀 및/또는 적어도 1개의 전자 요소 탑재용 공동을 형성한다.

(3) 상기 관통홀에 후막 도체 페이스트를 충전하고, 소성함으로써 금속화 가공을 하고, 상기 전자 요소를 외부의 요소 등과 접속하기 위한 전기적 도통부를 형성한다.

(4) 상기 후막 도체 페이스트로서 Ag를 주성분으로 한 페이스트를 사용한다.

(5) 상기 금속화층 상에 도금층을 형성한다.

(6) 상기 봉합부재에 의한 밀봉을 상기 세라믹 기판, 큰 세라믹 기판 또는 단위 기판의 표면에 형성된 저온 금속 납땜재 또는 저융점 글래스로 이루어지는 접합층을 사이에 두고 실시한다.

(7) 상기 저온 금속 납땜재로서, Au-Sn 합금, Au-Ge 합금, Au-Si 합금 또는 Ag-Ge 합금의 박 또는 페이스트를 사용한다.

또한 본 발명은, 다른 양상에 있어서, 절연성 세라믹 기판과 상기 세라믹 기판의 표면을 덮는 봉합부재로 구성되는 하우징을 포함하고, 상기 하우징의 내부에 적어도 1개의 전자 요소가 실장되어 있는 전자 장치에 있어서,

상기 개체의 세라믹 기판이 무기 분말과 바인더를 포함하는 복합물을 소성하여 형성된 평판형의 세라믹 기판으로 이루어지고,

상기 세라믹 기판에는 상기 전자 요소를 외부의 요소 등과 접속하기 위한 적어도 1개의 전기적 도통부가 갖추어져 있고,

상기 전기적 도통부는 상기 세라믹 기판의 소성 후에 그 세라믹 기판을 관통하여 형상 가공에 의하여 형성된 관통홀에 후막 도체 페이스트를 충전하고, 소성에 의하여 금속화 가공함으로써 형성된 것이고,

상기 세라믹 기판의 표면에는 상기 세라믹 기판을 소성한 후에 후막 도체 페이스트의 소성에 의하여 형성된 금속화층이 구비되어 있고, 또한 상기 세라믹 기판과 상기 봉합부재가 상기 세라믹 기판 상에 형성된 저온 금속 납땜재 또는 저융점 글래스로 이루어지는 접합층을 사이에 두고 용착되어 있는 것을 특징으로 하는 전 자 장치이다.

본 발명의 전자 장치에서는 상기 전자 요소가 상기 세라믹 기판의 소성 후에 그 세라믹 기판을 형상 가공함으로써 형성된 공동에 실장되어 있는 것이 바람직하다.

또한 상기 후막 도체 페이스트가 Ag를 주성분으로 하는 페이스트로 이루어지는 것이 바람직하다. 또한, 후막 도체 페이스트로부터 형성된 금속화층 상에 추가적으로 도금층을 가지는 것이 바람직하다. 상기 저온 금속 납땜재는 Au-Sn 합금, Au-Ge 합금, Au-Si 합금 또는 Ag-Ge 합금의 박 또는 페이스트인 것이 바람직하다.

이 때, 본원 명세서에 있어서 사용되고 있는 용어에 대하여 설명하면, 「전자 요소」란 넓은 의미로 사용되고 있고, 전자 장치에 통상 실장되어 있는 반도체 소자, 예를 들면 IC칩, LSI칩, VLSI칩 등이나, 축전기, 콘덴서, 레지스터, 콘덕트 등의 부품이나, 수정 공진자 등을 포함하고 있다. 또한 따라서, 「전자 장치」라는 용어는 본원 명세서에서 사용한 경우, 전자 요소를 사용한 각종 장치, 예를 들면 반도체 장치나 수정 진동자, 수정 발진기 등을 의미하고 있다. 즉, 본 발명을 효과적으로 적용할 수 있는 한 전자 장치나 그것에 실장되는 전자요소는 특별히 종류가 한정되는 것은 아니다. 또한, 「그린 시트」는 반드시 습식 닥터 브레이드법에 의한 성형체를 가리키는 것은 아니며, 무기 분말과 바인더의 복합물을 성형하여 이루어지는 시트상의 미소성체 전부를 가리키고 있다.

도면의 간단한 설명

도 1a 및 도 1b는 각각 종래의 수정 진동자의 제조에 사용되는 레귤러 사이 즈의 시트의 평면도이다.

도 2는 레귤러 사이즈의 시트의 적층에 의하여 제조된 적층 그린 시트의 평면도이다.

도 3a 도 3e는 각각, 도 2의 적층 그린 시트를 사용하여 수정 진동자를 제조하는 종래의 방법을 순서에 따라 도시한 단면도이다.

도 4는 본 발명에 의한 수정 진동자의 바람직한 일실시예를 나타낸 단면도이다.

도 5는 본 발명에 의한 수정 진동자의 또 하나의 바람직한 실시예를 나타낸 단면도이다.

도 6는 본 발명에 의한 수정 발진기의 바람직한 일실시예를 도시한 단면도이다.

도 7a 도 7f는 본 발명의 수정 진동자를 다수개 제작 방식으로 제조하는 방법을 순서에 따라 도시한 단면도이다.

도 8a 도 8g는 본 발명의 수정 진동자를 단수개 제작 방식으로 제조하는 방법을 순서에 따라 나타낸 단면도이다.

발명의 상세한 설명

본 발명에 의한 전자 장치의 제조 방법 및 전자 장치는 각각 여러 가지 형태로 유리하게 실시할 수 있다.

본 발명의 방법으로 제조되는 전자 장치는 상기한 바와 같이 각종 전자 장치를 포함하지만, 그 하우징은 기본적으로 절연 기판과, 그 절연 기판의 표면을 덮는 봉합부재로 구성된다. 또한 하우징은 그 내부에 적어도 1개의 전자 요소를 수납하기 위하여, 그 전자 요소의 수납에 충분한 형상 및 치수를 가지는 공동 (이른 바 용기부)을 구비하고 있는 것이 일반적이다. 공동은 통상, 기판의 표면에 소정의 깊이로 판 오목부와, 그것을 폐색하도록 씌울 수 있는 봉합부재의 배면에 의하여 규정된다. 또 다른 방법에 의하면, 공동은 평판형의 기판과, 그 기판 상에 포개어진 중앙에 개구를 가진 테두리체에 의하여 규정되어도 된다. 봉합부재의 배면은, 평탄하여도 되고 또는 기판의 오목부에 대응하는 영역에 소정 깊이의 오목부를 가지고 있어, 양자의 오목부의 조합에 의하여 하나의 공동을 형성하고 있어도 된다. 기판의 표면과 봉합부재의 배면의 양방에 오목부가 존재하면, 그들에 의하여 형성되는 공동의 거의 중앙부에 전자 요소를 배치할 수 있기 때문에, 공동 내벽에 전자 요소가 의도하지 않게 접촉하는 것을 방지하는 효과도 있다.

전자 장치의 하우징에 대해서 더 상세히 설명하면, 하우징의 한편을 구성하는 절연 기판은 평판형의 세라믹 기판이다. 기판 재료로서 세라믹 재료는 이하에 열거하는 것에 한정되지 않으나, 알루미나, 멀라이트, 코지라이트, 글래스 세라믹스 등을 포함한다. 특히, 알루미나, 글래스 세라믹스 등이 기판 재료로서 가장 접합하다

세라믹 기판은, 프레스 성형법, 압출 성형법, 닥터 브레이드법 등으로 제조할 수 있지만, 통상, 넓은 면적을 가진 세라믹 기판의 제조에는 원료의 무기 분말이나 바인더 등을 포함하는 슬러리로부터 그린 시트를 성형하고, 또한 이것을 소성함으로써 제조하는 방법을 취한다. 그린 시트의 성형에는 바람직하게는 닥터 브레 이드법이 사용되고, 그 때에 사용되는 무기 분말은 상기한 바와 같은 기판 재료의 분말이며, 그 입경은 통상 약 0.3 0.6㎛이다. 이와 같은 세라믹 분말을 바인더, 예를 들면 폴리비닐부티랄(PVB) 등의 유기 바인더, 가소제, 용제 등과 혼합하여 슬러리를 조제한 후, 그린 시트로 가공한다.

그린 시트의 두께는, 적용된 성형 조건 등에 따라 널리 변동 가능하지만, 통상 약100 300㎛이다. 이어서, 얻어진 그린 시트를 필요한 매수만큼 적층하여, 소망하는 세라믹 기판에 대응하는 두께를 가진 적층체로 한다. 그린 시트의 적층수는 따라서 그 두께나 세라믹 기판의 두께에 따라 변동 가능하다. 또한 최적의 적층수를 결정함에 있어, 적층체의 치수는 그 후의 소성공정에서 통상 20%정도 수축이 일어날 수 있다는 것을 고려하는 것이 바람직하다.

상기와 같이 하여 닥터 브레이드법에 의하여 그린 시트부터 적층체를 제작한 후, 소성공정으로 이행한다. 즉, 본 발명의 방법에서는 종래의 방법과 같이 그 부드러운 적층체에 공동용 오목부나 관통홀 등을 형성하고, 이어서 소성을 실시하는 것은 불필요하며, 기판의 변형이나 치수 정밀도의 불균일 발생 등을 방지할 수 있다. 소성공정은 제작한 적층체를 소성화로에 넣고, 통상의 방법에 따라서 실시할 수 있다. 이 때, 알루미나 세라믹스의 경우, 바람직하게는 산화 분위기가 적용된다. 소성온도는 통상, 약1550 1650℃의 범위이다. 소성온도는 필요에 따라, 이 온도 범위보다 저온 또는 고온이어도 된다. 소성에 의하여 얻어지는 세라믹 기판의 두께는, 통상 약300 500㎛이다.

세라믹 기판은 바람직하게는 그 표면에 공동을 가진다. 이 공동은 상기한 바 와 같이 하여 세라믹 기판의 소성이 완료된 후에 그 기판의 표면에 형성된 것이다. 공동의 형성에 사용하는 가공 방법으로서는 특별히 한정되지 않으나, 레이저 트리밍, 호닝 등을 들 수 있다. 이와 같이 하여 형성되는 공동의 형상 및 사이즈는 전자 요소의 상세, 전자 장치의 디자인 등에 따라 폭넓게 변동될 수 있고, 그 깊이는 통상, 약0.03 0.1mm이다.

세라믹 기판의 공동에는 전자 요소가 실장된다. 전자 요소는 상기한 바와 같이 반도체 소자나, 수정 공진자 등이다. 이들 전자 요소는 통상, 1개만 공동 내에 실장되지만, 전자 장치의 디자인 등에 의하여 2개 또는 그 이상의 전자 요소가 조합되거나, 혹은 서로 독립하여 실장되어 있어도 된다. 또한 공동의 내부에는 특히 그 빈 영역을 이용하여, 전자 장치의 완성에 필요한 추가 요소, 예를 들면 각종 부품이 실장되어 있어도 되고, 배선층, 전극 등이 설치되어 있어도 된다.

또한 세라믹 기판의 공동에는 전자 요소를 외부의 요소 등과 접속하기 위한 내부 배선 등(본원 명세서에서는 총칭하여「전기적 도통부」라 한다)을 구비하는 것이 바람직하다. 이 전기적 도통부는 특히 제조 공정의 간략화를 위하여, 세라믹 기판의 측면에 구비하는 것이 바람직하다. 기판에 공동의 오목부를 형성하는 공정과 동시에 혹은 별도의 공정으로, 기판에 관통홀을 형성한 후, 그 관통홀에 바람직하게는 후막 도체 페이스트를 충전하고, 소성에 의하여 금속화 가공함으로써, 배선층과 동시에 형성할 수 있기 때문이다. 후막 도체 페이스트는 바람직하게는 배선층의 형성에 사용되는 것과 같은 Ag/Pd 페이스트 등이다.

상기한 바와 같은 전자 요소는 예를 들면 세라믹 기판의 표면 등에 소정 패 턴으로 배선층을 형성한 후, 그것에 접속하도록 하여 설치할 수 있다. 배선층은 바람직하게는, 후막 도체 페이스트를 소정의 패턴으로 도포하고, 소성하여 금속화층으로 함으로써 형성할 수 있다. 후막 도체 페이스트로서는 바람직하게는 Ag를 주성분으로 하는 금속 페이스트, 예를 들면 Ag, Ag/Pt, Ag/Pd 페이스트 등, 혹은 Cu 페이스트, Au 페이스트 등의 각종 금속 페이스트를 용도에 따라 적절히 사용할 수 있다. 특히 Ag/Pd 페이스트가 유용하다. 이러한 배선층의 두께는 넓은 범위에서 변경할 수 있으나, 통상 약5 30㎛이고, 바람직하게는 약10 20㎛이다.

하우징을 형성하기 위하여 세라믹 기판과 조합되어 사용되는 봉합부재는 특별히 한정되지 않으며, 평판형이어도 되고, 평판에 오목부를 구비한 상자형이어도 된다. 봉합부재의 사이즈는 상기 세라믹 기판에 준할 수 있으며, 그 두께는 통상, 약0.1 1.0mm이며, 바람직하게는 약0.05 0.20mm이다. 또한 봉합부재의 형성 재료도 특별히 한정하지 않으나, 예를 들면 코바르(Fe/Ni/Co합금), 42% Ni-Fe합금, 세라믹스 등의 금속 재료로부터 봉합부재를 형성하여도 되고, 또는 예를 들면 글래스 세라믹스 등의 절연 재료로부터, 납땜 접합부가 후막 도체 페이스트로 금속화되지 않는 봉합부재를 형성하여도 된다. 이 봉합부재에도 필요에 따라 배선층 등의 가공이 실시되어 있어도 된다.

본 발명의 전자 장치에 있어서, 그 하우징은 세라믹 기판과 봉합부재를 저온 금속 납땜재를 사이에 두고 용착하여 일체화함으로써 형성되고, 바람직하게는 기밀 밀봉한다. 세라믹 기판과 봉합부재의 용착은 세라믹 기판 상에, 그 표면에 이미 형성되어 있는 배선층, 바람직하게는 후막 도체 페이스트의 금속화화에 의한 배선층 상에 봉합부재의 배면이 접촉하도록 하여 봉합부재를 재치한 후, 그 접촉면을 저온 금속 납땜재로 이루어지는 접합층을 사이에 두고 납땜함으로써 보다 유리하게 행할 수 있다. 저온 금속 납땜재의 납땜은 통상의 방법에 따라서 실시할 수 있다.

접합층을 형성하기 위한 저온 금속 납땜재는 예를 들면 Au-Sn합금, Au-Ge합금, Au-Si합금, Ag-Ge합금 등의 박, 페이스트 등을 사용할 수 있다. 이러한 접합층의 두께는, 넓은 범위에서 변경할 수 있지만, 통상 약5 25㎛이다.

또한 세라믹 기판과 봉합부재의 접합 강도를 높이는 등을 위하여, 양자의 접합 구조를 여러가지로 개량하는 것이 권장된다. 예를 들면, 후막 도체 페이스트의 금속화에 의한 배선층 상에 추가로 도금층을 형성한 후, 상술한 바와 같은 접합층을 설치하는 것이 바람직하다. 도금층은 예를 들면 Ni 및 Au의 비전해 도금층 등이 유용하다. 이와 같은 도금층은 공정중의 납땜면이나 접합면을 보호하고, 저온 금속 납땜재와의 습윤성을 향상시키며, 내식성을 높이는데 유효하다. 또한 이러한 도금층의 두께는, 넓은 범위에서 변경할 수 있지만, 통상 비전해 Ni층은 약3㎛이상, Au층은 약0.05 1㎛이다.

본 발명에 의한 전자 장치는 여러 가지 수법을 사용하여 제조할 수 있다. 바람직하게는, 본 발명의 전자 장치는 평판형의 세라믹 기판을 그 원료로부터 적층, 소성 등의 일련의 가공 처리를 거쳐 제작한 후, 그 세라믹 기판의 표면에 후막 도체 페이스트로부터 금속화층을 형성하고, 세라믹 기판의 금속화층과 봉합부재를 저온 금속 납땜재를 사이에 두고 용착함으로써 유리하게 제조할 수 있다.

본 발명의 전자 장치는 특히, 다음과 같은 공정을 순서대로 실시함으로써 유 리하게 제조할 수 있다. 또한, 각각의 공정에 있어서, 그 상세를 이미 설명한 경우에는 중복 설명을 생략한다. 또한 각 공정은 필요한 경우에는 그 순서를 변경하여 실시하여도 된다.

(1) 세라믹 기판의 형성

프레스 성형법, 압출 성형법, 닥터 브레이드법 등에 의하여 그린 시트를 성형하고, 또한 이것을 소성하여 평판형의 세라믹 기판을 형성한다.

(2) 공동의 형성

세라믹 기판의 표면에, 전자 요소를 수용하는 공동을 형성한다. 또한, 이 공동의 형성과 동시에, 또는 그 전후에 전기적 도통부를 형성하기 위한 관통홀이나 기타 가공부를 형성한다.

(3) 금속화층의 형성

세라믹 기판의 표면에 사전에 정한 패턴으로 후막 도체 페이스트를 도포하고 소성함으로써 금속화층을 형성한다. 이 경우에, 만약 세라믹 기판에 관통홀이 있다면, 금속화층의 형성 전에 그 관통홀에도 후막 도체 페이스트를 충전 및 소성하여, 전기적 도통층을 함께 형성하여도 된다.

또한 세라믹 기판과 봉합부재의 용착은 이어지는 공정에서 형성되는 접합층을 사이에 두고 유리하게 실시할 수 있으나, 더욱 바람직하게는, 이미 형성되어 있는 금속화층 상에 도금층, 바람직하게는 Ni 및 Au의 비전해 도금층을 형성할 수 있다. 이 도금층에는 내식성을 개선하는 작용이 있고, 양자간에 있어서 보다 높아진 접합 강도를 얻을 수 있기 때문이다.

(4) 전자 요소의 실장

세라믹 기판에 형성된 공동에 전자 요소를 실장한다. 실장 방법은, 상용 기법을 사용하여 실시할 수 있다. 예를 들면, 세라믹 기판상의 배선층에 도전 페이스트를 사이에 두고 전자 요소를 실장할 수 있다. 또한 도전 페이스트 사용 이외의 실장 방법으로서는 예를 들면, BGA법, 납땜법 등을 들 수 있다.

(5) 접합층의 형성

세라믹 기판 및(또는) 봉합부재의 접합 위치에 저온 금속 납땜재를 배치하여 접합층을 형성한다.

(6) 세라믹 기판과 봉합부재의 용착

세라믹 기판과 봉합부재를 접합층을 사이에 두고 용착한다. 목적으로 하는 전자 장치가 얻어진다. 얻어진 전자 장치는 통상 완성 검사에 사용된다.

본 발명의 전자 장치는 또한 단수개 제작 방식으로 제조하여도 되고, 그렇지 않으면, 다수개 제작 방법으로 제조하여도 된다. 본 발명의 전자 장치는 특히 다수개 제작 방식으로 제조하는 것이 유리하고, 그와 같이 함으로써 본 발명의 작용 효과를 유감없이 발휘할 수 있다. 즉 본 발명의 전자 장치는 큰 사이즈의 세라믹 기판을 적층, 소성 등의 일련의 가공 처리를 거쳐 제작한 후, 그 세라믹 기판의 표면에 있어서 전자 요소를 수용하기 위한 공동의 형성으로부터, 전기적 도통부의 형성, 전자 요소의 실장, 그리고 봉합부재에 의한 공동의 밀봉까지 일관된 공정을 실시하고, 마지막으로, 세라믹 기판 상에 만들어진 복수개의 전자 장치를 1개씩 분리하는 것을 기본으로 하고 있다.

본 발명의 전자 장치의 제조 방법은 특히, 다음과 같은 공정을 순서대로 실시함으로써 유리하게 제조할 수 있다. 또한, 각각의 공정에 있어서, 그 상세가 이미 설명되어 있을 때에는 그 중복 설명을 생략한다. 또한 각 공정은 필요하다면 그 순서를 변경하여 실시하여도 된다.

(1) 세라믹 기판의 형성

프레스 성형법, 압출성형법, 닥터 브레이드법 등에 의하여 레귤러 사이즈의 폭의 긴 그린 시트를 성형한다. 그린 시트는 전자 장치의 다수개 제작 방식을 사용하기 때문에 그를 위한 충분한 사이즈일 것이 적어도 필요하다. 또한, 2매 또는 그 이상의 그린 시트를 적층하여 소정 두께의 적층체를 얻는다. 이 적층체를 통상 산화 분위기 하에서 약1550 16 50℃에서 소성하면, 약20%의 치수 수축을 수반하여 목적으로 하는 평판형의 세라믹 기판이 얻어진다.

(2) 단위 기판의 프레이밍과 공동 등의 가공

세라믹 기판의 표면에 그 외형을 기준으로 하여 단위 기판을 프레이밍 한다. 이 때 프레이밍하는 단위 기판의 수는 특별히 한정되지 않으나, 통상, 2개 또는 그 이상이다. 또한 단위 기판의 프레이밍과 동시에, 그 세라믹 기판의 표면에, 전자 요소를 수납하게 하기 위한 공동, 전기적 도통부를 형성하기 위한 관통홀, 마지막 단계에서 세라믹 기판으로부터 전자 장치를 분리하기 위한 브레이크선을 가공한다. 이 가공 공정은, 레이저 트리밍이나 호닝 등으로 실시할 수 있다.

(3) 단위 기판 잘라내기

상기한 바와 같이 하여 공동 등의 가공이 완료된 후, 각각에 공동 등을 구비 한 단위 기판을 세라믹 기판으로부터 잘라내는 이 잘라내기 공정은, 상용 슬라이서 등을 사용하여 행할 수 있다.

(4) 금속화의 가공

잘라낸 단위 기판의 일부에 본 기준 위치를 마련하고, 금속화 가공을 한다. 본 기준 위치로서는 통상, 단위 기판이 인접하는 외주의 두 변이 사용된다. 우선, 금속화 가공을 위해서, 후막 도체 페이스트를 단위 기판의 관통홀에 충전함과

동시에, 단위 기판의 표면에도 사전에 정한 패턴으로 후막 도체 페이스트를 도포한다. 이어서, 후막 도체 페이스트를 산화 분위기 하에서 약850 900℃에서 소성한다. 금속화 층(배선 패턴, 전극 패턴 등)과 전기적 도통층(내부 배선)이 각각의 단위 기판에 형성된다.

또한 단위 기판과 봉합부재의 용착은 이어지는 공정에서 형성되는 접합층을 사이에 두고 유리하게 실시할 수 있지만, 더욱 바람직하게는 이미 형성되어 있는 금속화층(배선 패턴) 상에, 도금층 바람직하게는 Ni 및 Au의 비전해 도금층을 형성할 수 있다. 이 도금층에는 공정 중의 납땜면이나 접합면의 내식성이나 저온 금속 납땜재와의 습윤성을 개선하는 작용 등이 있어, 양자간에 있어서 보다 높은 접합 강도를 얻을 수 있기 때문이다.

(5) 전자 요소의 실장

단위 기판에 형성한 공동에 전자 요소를 실장한다. 실장 방법은, 상용 기법을 사용하여 실시할 수 있다. 예를 들면, 단위 기판상의 배선층에 도전 페이스트, 예를 들면 Ag 함유 열경화성 수지를 도포한 후에 전자 요소의 일단을 설치하고, 약280℃로 가열함으로써 전자 요소를 실장할 수 있다. 또한 도전 페이스트의 사용 이외의 실장 방법으로서는 예를 들면, BGA법, 납땜법 등을 들 수 있다.

(6) 봉합부재에 의한 단위 기판의 공동의 밀봉

단위 기판 및/또는 봉합부재의 접합 위치에 저온 금속 납땜재를 배치하여 접합층을 형성한 후, 단위 기판과 봉합부재를 그 접합층을 사이에 두고 용착한다. 납땜재는 박, 페이스트 등이다. 또한 단위 기재나 봉합부재의 재질에 따라서 납땜재 이외의 것으로부터 접합층을 형성하여도 된다. 공동이 기밀 밀봉되고, 복수개의 전자 장치가 들어간 전자 장치가 얻어진다.

(7) 전자 장치 잘라내기

단위 기판으로부터 미리 넣어둔 브레이크선을 따라서 전자 장치를 분리한다. 이 분리 공정도, 상용 슬라이서 등을 사용하여 실시할 수 있다. 분리된 각각의 전자 장치는 통상 완성 검사를 받게 된다.

실시예

다음으로, 본 발명을 실시례에 의하여 상세하게 설명한다. 여기에서 언급하는 실시례는 본 발명을 예시하기 위한 것이며, 본 발명을 한정하는 것은 아니다.

도 4는 본 발명 방법에 의하여 제조되는 수정 진동자의 바람직한 일실시 태양을 도시한 단면도이다. 수정 진동자(10)는 평판형의 세라믹 기판(2)과 그 표면을 덮은 코바르(Fe/Ni/Co 합금)제의 봉합부재(3)로 구성되는 하우징을 구비하고 있다. 세라믹 기판(2)은 알루미나를 주원료로서 포함하는 슬러리의 성형에 의하여 얻은 그린 시트를 소성함으로써 제조한 것이다. 세라믹 기판(2)의 표면에는 사각형의 공 동(12)이 형성되어 있다. 공동(12)과 상자형 봉합부재(3)의 내부 공간에 의하여 규정되는 공간에는 수정 공진자(1)가 실장되어 있다. 수정 공진자(1)의 일단은 세라믹 기판(2)의 표면에 형성된 배선층(21) 상에 도전 페이스트(24)를 사이에 두고 설치되어 있다. 배선층(21)은 도시하는 바와 같이 봉합부재(3)와 도통하지 않도록 절연되어 있다. 또 이 배선층(21)은 세라믹 기판(2)을 관통하여 형성된 내부 배선(23)을 거쳐 세라믹 기판(2)의 이면(하우징의 표면)에 형성된 배선층(22)에 접속되어 있다. 배선층(21, 22 및 26)은 세라믹 기판(2)의 표면에 후막 도체 페이스트를 도포하고, 소성(금속화 가공)에 의하여 형성된 것이고, 또한 내부 배선(23)은 세라믹 기판(2)에 형성된 관통홀에 후막 도체 페이스트를 충전하고, 마찬가지로 금속화 가공에 의하여 형성된 것이다. 이 때 사용된 후막 도체 페이스트는 Ag/Pd 페이스트이다. 또한 미도시하였으나, 후막 도체 페이스트로부터 형성된 배선층 상에 도금층, 예를 들면 Ni 및 Au의 비전해 도금층을 실시하여도 된다.

세라믹 기판(2)과 봉합부재(3)는 도시한 바와 같이 세라믹 기판(2) 상에 순차적으로 형성된 배선층(26)과 저온 금속 납땜재로 이루어지는 접합층(25)을 사이에 두고 용착되어 있다. 이 때 사용하는 저온 금속 납땜재는 20% Sn-Au로 이루어지는 납땜재이다. 또한 이 납땜재를 대신하여, 동일한 조성의 페이스트 등을 사용하여도 된다.

도 5는 도 4의 수정 진동자의 일변형례이다. 이 수정 진동자(10)에서는 세라믹 기판(2)과 소다 글래스로 이루어진 봉합부재(3)가 세라믹 기판(2) 상에 형성된 저융점 글래스로 이루어진 접합층(29)을 사이에 두고 용착되어 있다. 기타 구성은, 도 4의 수정 진동자와 기본적으로 동일하다.

도 6는 본 발명에 의한 전자 장치인 수정 발진기의 바람직한 일 태양을 나타낸 단면도이다. 수정 발진기(50)는 도시한 바와 같이 이미 도 4를 참조하여 설명한 수정 진동자(10)를 구비하는 동시에, 그 세라믹 기판(2)의 이면에, IC칩(60)이 실장되어 있다. IC칩(60)은 폴리이미드 수지(61)로 기판상에 밀봉되는 동시에, 본딩 와이어(62)를 사이에 두고 배

선층(22)에 접속되어 있는 장치의 기밀 밀봉에는 봉합부재(63)가 사용되고 있다.

또 도 7a 도 7f는 도4에 도시한 수정 진동자의 본 발명의 방법에 의한 제조 공정을 순서에 따라 나타낸 것이다.

공정(A): 세라믹 기판의 형성

아래 조성의 슬러리를 조제한다.

세라믹 분말: 알루미나 (입경 0.4㎛) 100 중량부

바인더, 가소제, 분산제: 폴리비닐부티랄(PVB), 올레인산 2.5 중량부

용제: 메틸에틸케톤(MEK) 55중량부

이 슬러리로부터 닥터 브레이드법에 의하여 폭 250mm, 길이 250mm 및 두께 130㎛의 레귤러 사이즈의 폭의 긴 그린 시트를 성형한다. 각각의 그린 시트를 소성한 후 치수가 폭200mm ×길이200mm인 외형을 가지도록 펀칭한 후, 합계 4장의 그린 시트를 적층하고, 산화 분위기 하에서 약1550 1650℃로 약2시간에 걸쳐 소성한다. 도 7a에 도시하는 두께 400㎛의 평판형의 세라믹 기판(2)이 얻어진다.

공정(B): 단위 기판의 프레이밍 및 공동 등의 가공

도 7b에 도시하는 바와 같이 세라믹 기판(2)에 설치한 가기준 위치(미도시)를 프레이밍 지그(40)의 위치 잡기 돌기(41, 42 및 43)에 밀어붙여 세라믹 기재(2)를 고정한다. 이어서, 도 7c에 도시하는 바와 같이 세라믹 기판(2) 중에 4개의 작업 기준 구멍(27)을 형성하고 또한 4개의 단위 기판(20)을 프레이밍한다. 작업 기준 구멍이나 단위 기판의 수는 임의로 변경 가능하다. 또한 이 프레이밍과 함께, 세라믹 기판(2)은 그 상태에서, 각각의 단위 기판(20) 중에 복수 개(도에서는 9개)의 공동(l2)을 레이저 드릴링에 의하여 형성한다. 또한 이 공동(12)의 형성과 동시에, 내부 배선을 형성하기 위한 관통홀(미도시)도 레이저 트리밍에 의하여 형성한다. 관통홀(13)의 구멍지름은 약100㎛이다. 또한, 최종 제품을 단위 기판으로부터 분리하는 브레이크선(미도시)도, 세라믹 기판에 그 두께의 약50%까지 노치(notch)부를 넣어 형성한다.

공정(C): 단위 기판의 분리

상기와 같이 하여 각각의 단위 기판(20)에 공동 등을 가공한 후, 각각 복수개의 공동(12)을 가지는 단위 기판(20)을 슬라이싱하고, 도 7c에 도시하는 바와 같이 세라믹 기판(2)으로부터 분리한다.

공정(D): 배선층 등의 형성

도 7c에 도시한 단위 기판(20)의 선분 D-D에 따른 일부 확대 단면도인 도 7d에 도시하는 바와 같이 Ag/Pd 후막 페이스트를 관통홀(참조 번호23에 대응하는 영역)에 충전한 후, 동일한 Ag/Pd 후막 페이스트를 세라믹 기판(2)의 표리 양면에 미리 정한 패턴으로 두께30㎛로 도포한다. 그 후, Ag/Pd 후막 페이스트를 산화 분위 기 하에서 약850℃로 약1시간 소성한다. 금속화층으로 이루어지는 배선층(21, 22 및 26) 및 내부 배선(23)이 형성된다. 또한, 참조 번호 29는 최종 제품을 잘라 분리하기 위한 선공정에서 가공된 브레이크선이다.

또한, 미도시하였으나, 상기한 바와 같이 하여 형성한 배선층(21, 22 및 26)상에, 각각, Ni 및 Au등의 비전해 도금층을 형성하는 것이 바람직하다. 이들 도금층은 공정중의 납땜면이나 접합면의 내식보호와, 저온 금속 납땜재와의 습윤성 향상에 유효하다.

공정(E): 수정 공진자의 실장

도 7e에 도시하는 바와 같이 세라믹 기판(2)의 배선층(21) 상에 수정 공진자(1)를 실장한다. 배선층(21)의 소정 부위와 수정 공진자(1)의 일단에 도전 페이스트 (Ag 함유 열경화성 수지)(24)를 도포하고, 약180℃로 경화 처리한다. 또한, 이 단계에서 수정 공진자의 주파수 조정도 한다.

공정(F): 세라믹 기판과 봉합부재의 용착

도 7f에 도시하는 바와 같이 세라믹 기판(2)의 봉합부재 접합 위치에 저온 금속 납땜재(Au-Sn 납땜재)를 설치하여 접합층(25)을 형성한 후, 세라믹 기판(2)과 코바르제의 봉합부재(3)를 접합층(25)을 사이에 두고 납땜에 의하여 용착한다. 완전히 기밀 밀봉한 수정 진동자(10)가 얻어진다. 본 예에서는 1개의 단위 기판에 합계 9개의 수정 진동자(10)가

실장된다.

상기 일련의 공정을 거쳐 각각의 단위 기판에 9개의 수정 진동자를 만들어 넣은 다음, 수정 진동자를 브레이크선(29)을 따라서 슬라이싱하고, 분리한다. 마지 막으로, 각각의 수정 진동자에 대한 완성 검사를 한다.

도 4에 도시한 수정 진동자는 이하에 도 8a 도 8g를 참조하여 순서에 따라 설명하는 바와 같이 단수개 제작 방식으로도 유리하게 제조할 수 있다.

공정(A): 세라믹 기판의 형성

아래 조성의 슬러리를 조제한다.

세라믹 분말 : 알루미나 (입경 0.4㎛) 100 중량부

바인더, 가소제, 분산제: 폴리비닐부티랄 (PVB), 올레인산 2.5중량부

용제: 메틸에틸케톤(MEK) 55 중량부

이 슬러리로부터 닥터 브레이드법에 의하여 두께 130㎛의 그린 시트를 성형한다. 4매의 그린 시트를 적층하고, 산화 분위기 하에서 약1550 1650℃로 약1시간에 걸쳐 소성한다. 도 8a에 도시하는 두께 400㎛의 평판형의 세라믹 기판(2)이 얻어진다.

공정(B): 공동 및 관통홀의 형성

세라믹 기판(2)의 표면에, 도 8b에 도시하는 바와 같은 직방체상의 공동(12)을 호닝에 의하여 형성한다. 또한 이 공동(12)의 형성과 동시에, 전기적 도통부를 형성하기 위한 관통홀(13)도 레이저 트리밍에 의하여 형성한다. 관통홀(13) 구멍지름은 약150㎛이다.

공정(C): 배선층 등의 형성

Ag/Pd 후막 페이스트를 관통홀(13)에 충전한 후, 동일한 Ag/Pd 후막 페이스트를 세라믹 기판(2)의 표리 양면에 사전에 정해진 패턴으로 도포한다. 그 후, Ag/Pd 후막 페이스트를 산화 분위기 하에서 약850℃로 약1시간에 걸쳐 소성한다. 도 8c에 도시하는 바와 같이 금속화층으로 이루어지는 배선층(21, 22 및 26) 및 전기적 도통부(23)가 형성된다.

공정(D): 도금층의 형성

상기와 같이 금속화층에서 형성한 배선층(21, 22 및 26) 상에 추가로 도금층을 형성하는 것이 바람직하다. 도 8d에서는 3㎛ 두께의 비전해 Ni 도금층 및 0.5㎛ 두께의 비전해 Au 도금층 (31) 및 (32)를 형성하였다. 이들 도금층은 공정 중의 납땜면이나 접합면의 내식보호와 저온 금속 납땜재의 습윤성 향상에 유효하다. 또한, 이하의 공정에서는 이들 도금층을 가지지 않는 세라믹 기판을 사용한 예에 대하여 설명한다.

공정(E): 수정 공진자의 실장

도 8e에 도시하는 바와 같이 세라믹 기판(2)의 배선층(21) 상에 수정 공진자(1)를 실장한다. 배선층(21)의 소정 부위와 수정 공진자(1)의 일단에 도전 페이스트 (Ag 함유열 경화성 수지)(24)를 도포하고, 약180℃에서 경화 처리한다. 또한, 이 단계에서 수정 공진자의 주파수 조정도 한다.

공정(F): 접합층의 형성

도 8f에 도시하는 바와 같이 세라믹 기판(2)의 봉합 부재 접합 위치에 저온 금속 납땜재(Au-Sn 납땜재)를 설치하여 접합층(25)을 형성한다.

공정(G): 세라믹 기판과 봉합부재의 용착

세라믹 기판(2)과 코바르(Fe/Ni/Co합금)제의 봉합부재(3)를 접합층(25)을 사 이에 두고 납땜에 의하여 용착한다. 도 8g에 도시하는 바와 같이 완전히 기밀 밀봉한 수정 진동자(10)가 얻어진다.

또한 상술한 바와 같은 일련의 제조 공정에 있어서, 봉합부재로서 코바르를 대신하여 글래스(절연 재료)를 사용하고, 세라믹 기판과 봉합부재를 저융점 글래스를 사이에 두고 용착하면, 제5도에 모식적으로 나타낸 수정 진동자(10)가 얻어진다. 마지막으로, 이 수정 진동자(10)에 대한 완성 검사를 한다.

산업상 이용 가능성

이상 설명한 바와 같이 본 발명에 의하면, 수정 진동자, 수정 발진기, 반도체 장치 등의 전자 장치를 제조할 때에, 그 전자 요소를 수납하는 하우징을 세라믹스로부터 형성하여 비용의 절감을 꾀할 수 있다.

또한 본 발명에 의하면, 전자 장치의 제조에 다수개 제작 방식을 채용할 수 있어, 전자 장치를 일시에 대량으로 또한 단축된 공정으로 높은 수율로 제조할 수 있고, 이 때, 세라믹스의 수축에 기인하는 결함의 발생도 없다.

또한, 세라믹 기판 상에 다수개의 공동을 형성하는 경우 금속 배선 형상이나 위치가 흩어지기 때문에, 전자 요소의 실장, 봉합부재의 밀봉 등의 후 공정이 실시 곤란하나, 본 발명에서는 그와 같은 곤란이 없다. 또한 고밀도 IC의 실장 등에 대응하여 미세한 배선을 하우징 내에 형성하는 경우에, 위치 정밀도가 더 한층 요구되지만, 본 발명의 경우, 이 요구도 만족할 수 있다.

또한 본 발명에 의하면, 세라믹 기판으로부터 잘라낸 단위 기판이 종래의 지그의 역할을 완수할 수 있기 때문에, 전자 장치의 제조 공정 중에, 세라믹 기판에 뚫은 공동의 내부에 자를 때 발생하는 가루나 파편이 유입되는 일도 없다.

또한 종래의 기술에서는 공동의 치수 정밀도가 낮고, 그 불균일을 보완하기 위하여 박상의 저온 금속 납땜재를 후막으로 사용하여야 했지만, 본 발명에서는 그와 같은 문제도 없다.

(57) 청구의 범위

청구항 1.

절연성 세라믹 기판과 그 세라믹 기판의 표면을 덮는 봉합부재로 구성되는 하우징을 포함하고, 상기 하우징의 내부에 적어도 1개의 전자 요소가 실장되어 있는 전자 장치를 제조하는 방법에 있어서,

무기 분말과 바인더를 포함하는 복합물의 소성에 의하여 평판형의 세라믹 기판을 제작한 후,

상기 세라믹 기판을 사전에 정해진 장치 디자인에 따라서 형상 가공하여 형상화된 세라믹 기판을 형성하는 공정과,

상기 형상화된 세라믹 기판의 표면에 금속화층을 형성하는 공정과,

상기 형상화된 세라믹 기판의 소정의 영역에 상기 전자 요소를 실장하는 공정과,

상기 전자 요소를 실장한 상기 세라믹 기판을 상기 봉합부재로 밀봉하는 공정을 포함하여 이루어진 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 2.

제1항에 있어서,

상기 형상화된 세라믹 기판의 표면 중 상기 봉합부재와 접촉시키는 영역에도 상기 금속화층을 형성하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 3.

절연성 세라믹 기판과 상기 세라믹 기판의 표면을 덮는 봉합부재로 구성되는 하우징을 포함하고, 상기 하우징의 내부에 적어도 1개의 전자 요소가 실장되어 있는 전자 장치를 제조하는 방법에 있어서,

무기 분말과 바인더를 포함하는 복합물의 소성에 의하여 상기 복수의 전자 장치를 최종적으로 제공할 수 있는 크기를 가지는 평판형의 큰 세라믹 기판을 제작한 후,

상기 큰 세라믹 기판을 사전에 정해진 장치 디자인에 따라서 형상 가공하여 형상화된 큰 세라믹 기판을 형성하는 공정과,

상기 형상화된 큰 세라믹 기판의 표면에 금속화층을 형성하는 공정과,

상기 형상화된 큰 세라믹 기판의 소정의 영역에 상기 전자 요소를 실장하는 공정과,

상기 전자 요소를 실장한 상기 큰 세라믹 기판을 상기 봉합부재로 밀봉한 복수의 전자 장치를 제조하는 공정과,

상기 큰 세라믹 기판으로부터 상기 전자 장치를 개별 분리하는 공정을 포함하여 이루어진 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 4.
제 3항에 있어서,

상기 형상화된 큰 세라믹 기판의 표면 중 상기 봉합부재와 접촉하는 영역에서도 상기 금속화층을 형성하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 5.
절연성 세라믹 기판과 상기 세라믹 기판의 표면을 덮는 봉합부재로 구성되는 하우징을 포함하고, 상기 봉합부재의 내부에 적어도 1개의 전자 요소가 실장되어 있는 전자 장치를 제조하는 방법에 있어서,

무기 분말과 바인더를 포함하는 복합물의 소성에 의하여 상기 복수의 전자 장치를 최종적으로 제공할 수 있는 크기를 가지는 평판형의 큰 세라믹 기판을 제작한 후,

사전에 정해진 장치 디자인에 따라서, 상기 큰 세라믹 기판 중에 단위 기판을 프레이밍함과 동시에, 각각 단위 기판을 형상 가공하여 형상화된 단위 기판을 형성하는 공정과,

상기 큰 세라믹 기판으로부터 상기 단위 기판을 잘라내는 공정과,

상기 단위 기판의 표면에 금속화층을 형성하는 공정과,

상기 단위 기판의 소정의 영역에 상기 전자 요소를 실장하는 공정과,

상기 전자 요소를 실장한 상기 단위 기판을 상기 봉합부재로 밀봉하는 전자 장치를 제조하는 공정과,

상기 단위 기판으로부터 상기 전자 장치를 개별 분리하는 공정을 포함하여 이루어진 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 6.
제 5항에 있어서,

상기 큰 세라믹 기판의 일부에 가기준 위치를 마련하여 상기 단위 기판을 프레이밍하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 7.
제 5항 또는 제 6항 중 어느 한 항에 있어서,

상기 큰 세라믹 기판 중에 복수개의 상기 단위 기판의 프레이밍하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 8.
제 5항 내지 제 7항 중 어느 한 항에 있어서,

상기 단위 기판의 표면 중 상기 봉합부재와 접촉하는 영역에도 상기 금속화층을 형성하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 9.
제 1항 내지 제 8항 중 어느 한 항에 있어서,

상기 세라믹 기판, 큰 세라믹 기판 또는 단위 기판의 표면에 후막 도체 페이스트를 도포하고, 소성함으로써 상기 금속화층을 형성하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 10.
제 1항 내지 제 9항 중 어느 한 항에 있어서,

상기 형상 가공 공정에 있어서, 상기 세라믹 기판, 큰 세라믹 기판 또는 단위 기판의 사전에 정해진 위치에 그 기판을 관통하는 적어도 1개의 관통홀 그리고/또는 적어도 1개의 전자 요소 탑재용 공동을 형성하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 11.
제 10항에 있어서,

상기 관통홀에 후막 도체 페이스트를 충전하고 소성함으로써 금속화 가공을 하고, 상기 전자 요소를 외부의 요소 등과 접속시키기 위한 전기적 도통부를 형성하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 12.
제 9항 내지 제 11항 중 어느 한 항에 있어서,

상기 후막 도체 페이스트로서 Ag를 주성분으로 한 페이스트를 사용하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 13.
제 1항 내지 제 11항 중 어느 한 항에 있어서,

상기 금속화층 상에 도금층을 추가로 형성하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 14.
제 1항 내지 제 13항 중 어느 한 항에 있어서,

상기 봉합부재에 의한 밀봉을, 상기 세라믹 기판, 큰 세라믹 기판 또는 단위 기판의 표면에 형성된 저온 금속 납땜재 또는 저융점 글래스로 이루어지는 접합층을 사이에 두고 실시하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 15.
제 14항에 있어서,

상기 저온 금속 납땜재로서, Au-Sn합금, Au-Ge합금, Au-Si합금 또는 Ag-Ge합금의 박 또는 페이스트를 사용하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 16.
제 1항 내지 제 15항 중 어느 한 항에 있어서,

상기 전자 요소로서 수정 공진자를 사용하는 것을 특징으로 하는 전자 장치의 제조 방법.

청구항 17.
절연성 세라믹 기판과 상기 세라믹 기판의 표면을 덮는 봉합부재로 구성되는 하우징을 포함하고, 상기 봉합부재의 내부에 적어도 1개의 전자 요소가 실장되어 있는 전자 장치에 있어서,

상기 하우징의 세라믹 기판이 무기 분말과 바인더를 포함하는 복합물을 소성하여 형성된 평판형의 세라믹 기판으로 이루어지고,

상기 세라믹 기판에는 상기 전자 요소를 외부의 요소 등과 접속하기 위한 적어도 1개의 전기적 도통부가 구비되고 있고,

상기 전기적 도통부는 상기 세라믹 기판의 소성 후에 그 세라믹 기판을 관통하여 형상 가공에 의하여 형성된 관통홀에 후막 도체 페이스트를 충전하고, 소성에 의하여 금속화 가공함으로써 형성된 것이며,

상기 세라믹 기판의 표면에는 상기 세라믹 기판의 소성 후에 후막 도체 페이스트의 소성에 의하여 형성된 금속화층이 구비되어 있고, 또한 상기 세라믹 기판과 상기 봉합부재가 상기 세라믹 기판 상에 형성된 저온 금속 납땜재 또는 저융점 글래스로 이루어지는 접합층을 사이에 두고 용착되어 있는 것을 특징으로 하는 전자 장치.

청구항 18.
제 17항에 있어서,

상기 전자 요소가 상기 세라믹 기판의 소성 후에 그 세라믹 기판을 형상 가공함으로써 형성된 공동에 실장되어 있는 것을 특징으로 하는 전자 장치.

청구항 19.
제 17항 또는 제 18항 중 어느 한 항에 있어서,

상기 후막 도체 페이스트가 Ag를 주성분으로 한 페이스트로 이루어지는 것을 특징으로 하는 전자 장치.

청구항 20.
제 17항 내지 제 19항 중 어느 한 항에 있어서,

상기 금속화층 상에 도금층을 추가적으로 가지는 것을 특징으로 하는 전자 장치.

청구항 21.
제 17항 내지 제 20항 중 어느 한 항에 있어서,

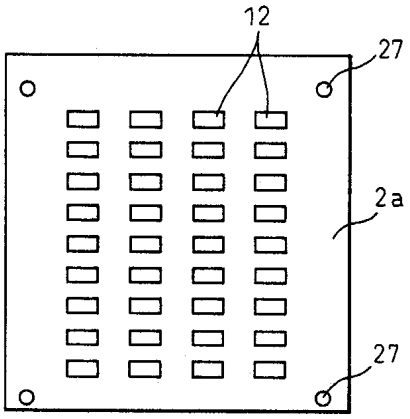
상기 저온 금속 납땜재가 Au-Sn합금, Au-Ge합금, Au-Si합금 또는 Ag-Ge합금의 박 또는 페이스트인 것을 특징으로 하는 전자 장치.

청구항 22.
제 17항 내지 제 21항 중 어느 한 항에 있어서,

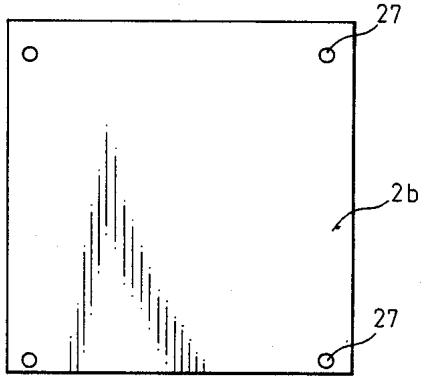
상기 전자 요소가 수정 공진자인 것을 특징으로 하는 전자 장치.

도면

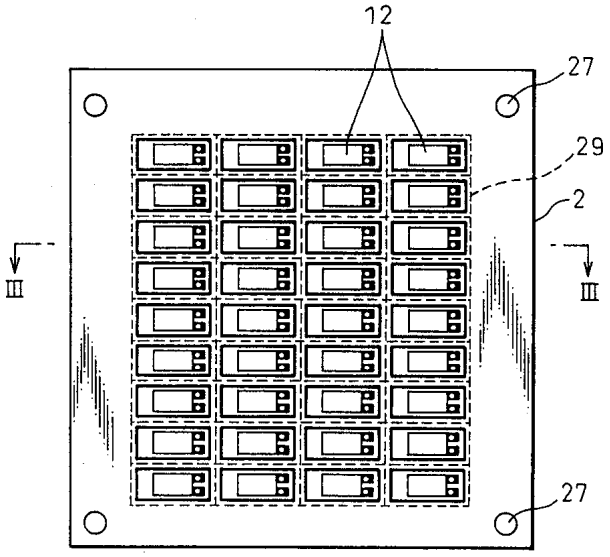
도면1a



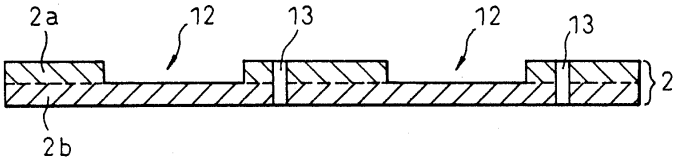
도면1b



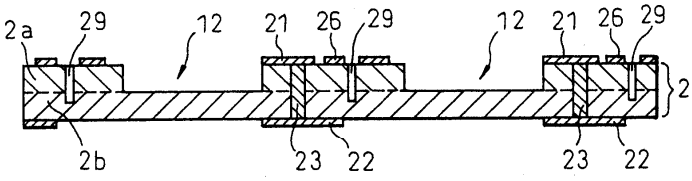
도면2



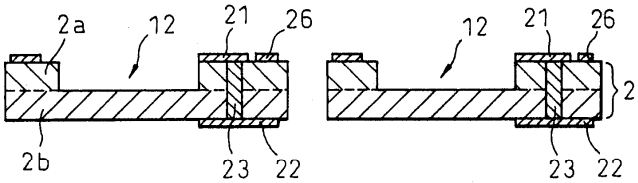
도면3a



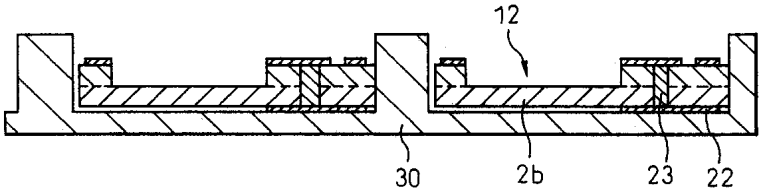
도면3b



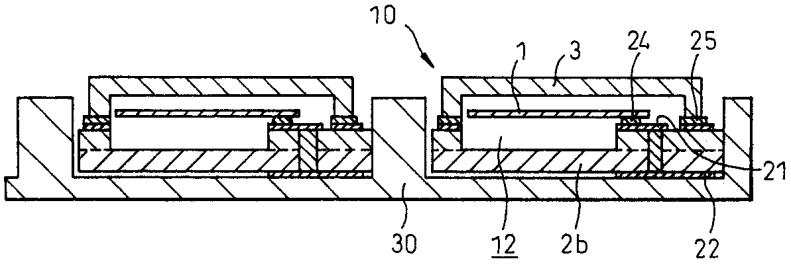
도면3c



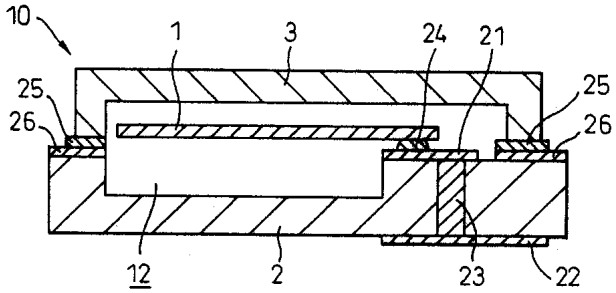
도면3d



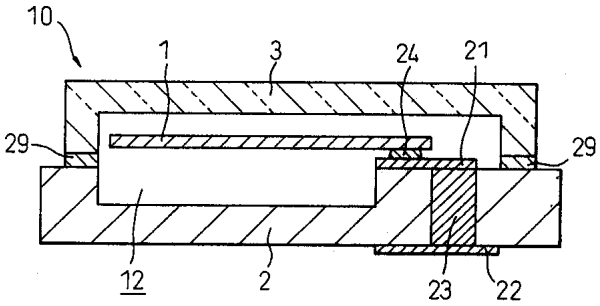
도면3e



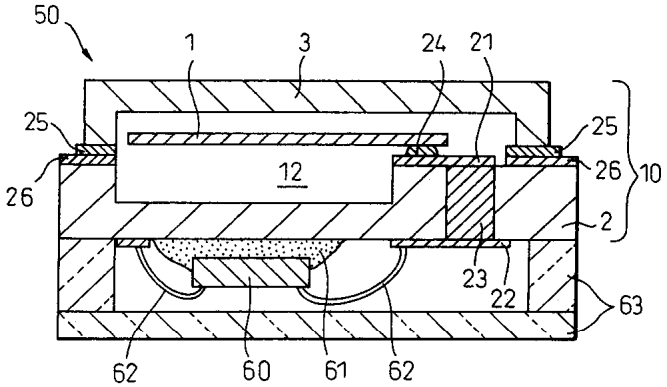
도면4



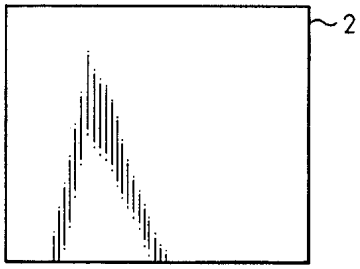
도면5



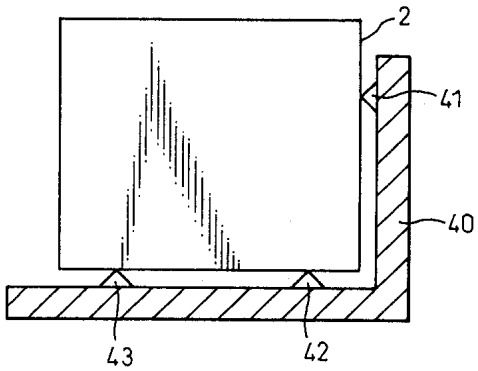
도면6



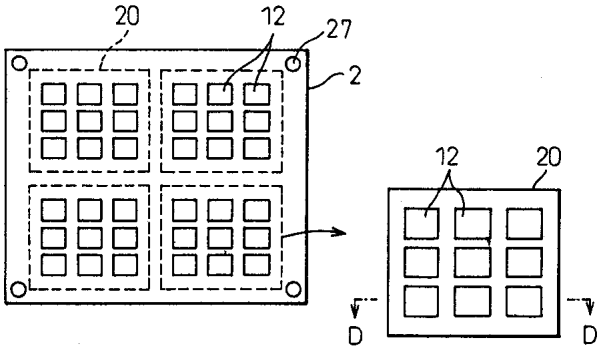
도면7a



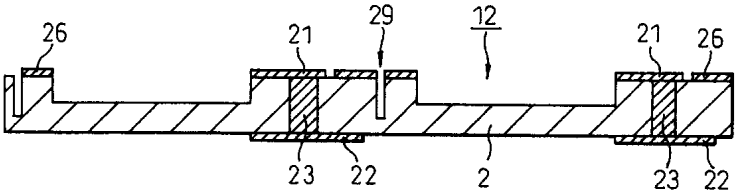
도면7b



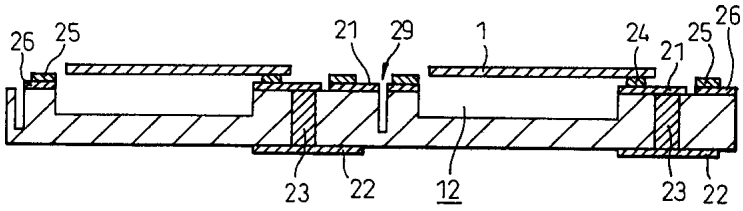
도면7c



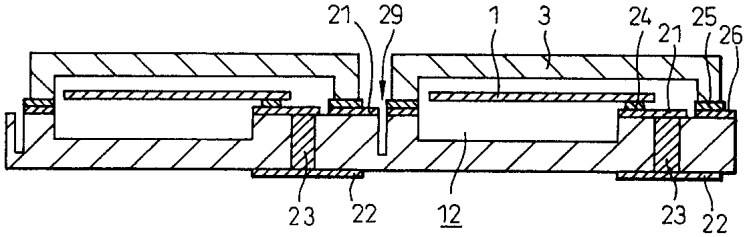
도면7d



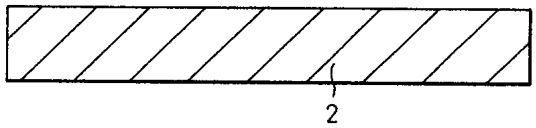
도면7e



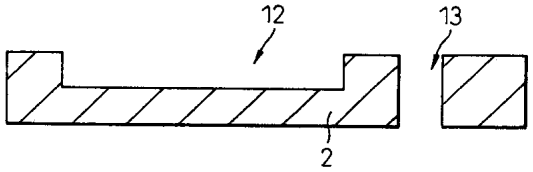
도면7f



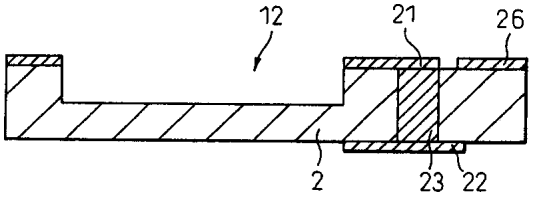
도면8a



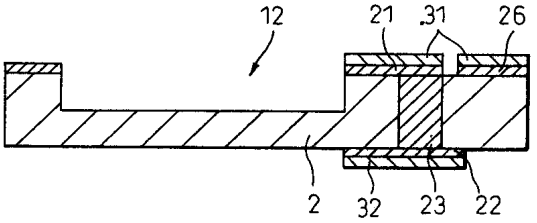
도면8b



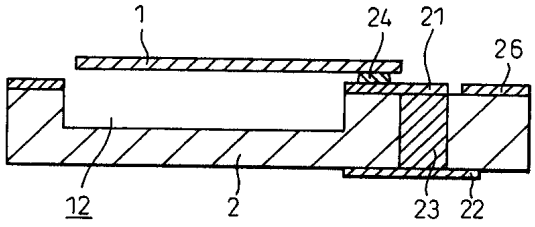
도면8c



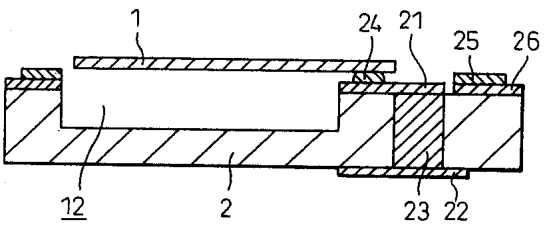
도면8d



도면8e



도면8f



도면8g

