

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4956295号
(P4956295)

(45) 発行日 平成24年6月20日 (2012. 6. 20)

(24) 登録日 平成24年3月23日 (2012. 3. 23)

(51) Int. Cl.			F I		
G06F	3/00	(2006.01)	G06F	3/00	R
G11C	11/409	(2006.01)	G11C	11/34	354A
G11C	11/407	(2006.01)	G11C	11/34	362S
H04L	25/02	(2006.01)	H04L	25/02	J

請求項の数 14 (全 14 頁)

(21) 出願番号	特願2007-169015 (P2007-169015)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成19年6月27日 (2007. 6. 27)	(74) 代理人	100080816 弁理士 加藤 朝道
(65) 公開番号	特開2009-9289 (P2009-9289A)	(72) 発明者	柴田 友之 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内
(43) 公開日	平成21年1月15日 (2009. 1. 15)	審査官	坂東 博司
審査請求日	平成22年5月13日 (2010. 5. 13)		

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

送信装置から受信装置へ複数のバスを介してビット列を並列に順次転送するデータ転送装置であって、

前記送信装置は、偶数ビットと奇数ビットにそれぞれ分けて前記複数のバスを介して転送されるビット列において、連続する偶数ビットの間および連続する奇数ビットの間でそれぞれビットが反転したか否かを示すフラグを生成して前記受信装置へ送信するフラグ生成回路と、

前記フラグに基づいて前記ビット列を符号化して前記受信装置へ送信する符号化回路と、を備え、

前記受信装置は、前記ビット列と前記フラグに基づいて前記ビット列を復号化する復号化回路を備えたことを特徴とする、データ転送装置。

【請求項2】

前記データ転送装置は、送信装置から受信装置へ2本のバスを介して4:2の平行・シリアル変換に基づいてビット列を並列に順次転送するデータ転送装置であることを特徴とする、請求項1に記載のデータ転送装置。

【請求項3】

前記フラグ生成回路は、前記2本のバスそれぞれを介して転送されるビット列の連続するビットがいずれも反転する場合に限り有意のフラグを生成して前記受信装置へ送信するように構成され、

前記符号化回路は、前記フラグが有意の場合に限り前記ビット列を反転して前記受信装置へ送信するように構成され、

前記復号化回路は、前記フラグが有意の場合に限り前記ビット列を反転するように構成されたことを特徴とする、請求項 2 に記載のデータ転送装置。

【請求項 4】

前記フラグ生成回路は、自身が生成するとともに前記受信装置へ送信したフラグを受信するか、または、自身が生成したフラグを記憶し、前記 2 本のバスそれぞれを介して転送される連続するビットがいずれも反転し、かつ、前記フラグが有意でない場合、および、前記 2 本のバスそれぞれを介して転送される連続するビットが少なくともいずれか一方において反転せず、かつ、前記フラグが有意の場合に限り有意のフラグを生成して前記受信装置へ送信するように構成されたことを特徴とする、請求項 3 に記載のデータ転送装置。

10

【請求項 5】

送信装置から受信装置へ第 1 のビットを第 1 のバスを介して送信するとともに第 2 のビットを第 2 のバスを介して送信し、第 3 のビットを前記第 1 のバスを介して送信するとともに第 4 のビットを前記第 2 のバスを介して送信する工程を繰り返すように構成されたデータ転送装置において、

反転フラグを転送するように構成された第 3 のバスをさらに備え、

前記送信装置は、フラグ生成回路と符号化回路とをさらに備え、

前記受信装置は、復号化回路をさらに備え、

前記フラグ生成回路は、前記第 1 ないし第 4 のビットおよび前記反転フラグを入力し、前記第 1 のビットと第 3 のビットとの間でビットが反転し、前記第 2 のビットと第 4 のビットとの間でビットが反転し、かつ、前記反転フラグが有意でない場合、または、前記第 1 のビットと前記第 3 のビットとの間もしくは前記第 2 のビットと第 4 のビットとの間の少なくともいずれか一方でビットが反転せず、かつ、前記反転フラグが有意の場合には前記反転フラグを有意のフラグとして出力し、それ以外の場合には有意でないフラグとして前記第 3 のバスへ出力するように構成され、

20

前記符号化回路は、前記第 1 ないし第 4 のビットと前記反転フラグを入力し、前記反転フラグが有意の場合には前記第 1 ないし第 4 のビットを反転し、それ以外の場合にはそのまま、前記第 1 および第 2 のバスへ出力するように構成され、

前記復号化回路は、前記第 1 ないし第 4 のビットおよび前記反転フラグを入力し、前記反転フラグが有意の場合には前記第 1 ないし第 4 のビットを反転し、それ以外の場合にはそのまま出力するように構成されたことを特徴とするデータ転送装置。

30

【請求項 6】

前記符号化回路は、前記第 1 のビットまたは第 3 のビットおよび前記反転フラグを入力して前記第 1 のバスへ出力する XOR 回路と、前記第 2 のビットまたは第 4 のビットおよび前記反転フラグを入力して前記第 2 のバスへ出力する XOR 回路と、を備えたことを特徴とする、請求項 1 に記載のデータ転送装置。

【請求項 7】

前記復号化回路は、前記第 1 のビットまたは第 3 のビットおよび前記反転フラグを入力する XOR 回路と、前記第 2 のビットまたは第 4 のビットおよび前記反転フラグを入力する XOR 回路と、を備えたことを特徴とする、請求項 1 または 2 に記載のデータ転送装置。

40

【請求項 8】

前記フラグ生成回路は、前記第 1 のビットおよび第 3 のビットを入力する第 1 の XOR 回路と、前記第 2 のビットおよび第 4 のビットを入力する第 2 の XOR 回路と、前記第 1 および第 2 の XOR 回路の出力を入力する AND 回路と、前記 AND 回路の出力および前記反転フラグを入力して前記第 3 のバスへ出力する第 3 の XOR 回路と、を備えたことを特徴とする、請求項 1 ないし 3 のいずれか一に記載のデータ転送装置。

【請求項 9】

第 1、第 2 および第 3 のデータ転送装置として、請求項 1 ないし 8 のいずれか一に記載

50

のデータ転送装置を備え、

前記第1および第2のデータ転送装置の出力を前記第3のデータ転送装置に入力するように構成された多段のデータ転送装置。

【請求項10】

請求項1ないし9のいずれかーに記載のデータ転送装置を備えた半導体記憶装置。

【請求項11】

送信装置から受信装置へ複数のバスを介してビット列を並列に順次転送するデータ転送方法であって、

偶数ビットと奇数ビットにそれぞれ分けて前記複数のバスを介して転送されるビット列において、連続する偶数ビットの間および連続する奇数ビットの間でビットが反転したか 10
否かを示すフラグを生成して前記受信装置へ送信するフラグ生成工程と、

前記フラグに基づいて前記ビット列を符号化して前記受信装置へ送信する符号化工程と、

前記ビット列と前記フラグに基づいて前記ビット列を復号化する復号化工程と、を含むことを特徴とする、データ転送方法。

【請求項12】

前記データ転送方法は、送信装置から受信装置へ2本のバスを介して4:2の平行・シリアル変換に基づいてビット列を並列に順次転送するデータ転送方法であることを特徴とする、請求項11に記載のデータ転送方法。

【請求項13】

前記フラグ生成工程において、異なるバスのそれぞれを介して転送されるビット列の連続するビットがいずれも反転する場合に限り有意のフラグを生成して前記受信装置へ送信し、

前記符号化工程において、前記フラグが有意の場合に限り前記ビット列を反転して前記受信装置へ送信し、

前記復号化工程において、前記フラグが有意の場合に限り前記ビット列を反転することを特徴とする、請求項12に記載のデータ転送方法。

【請求項14】

前記フラグ生成工程において、自身が生成するとともに前記受信装置へ送信したフラグを受信するか、または、自身が生成したフラグを記憶し、前記2本のバスそれぞれを介して転送される連続するビットがいずれも反転し、かつ、前記フラグが有意でない場合、および、前記2本のバスそれぞれを介して転送される連続するビットが少なくともいずれか一方において反転せず、かつ、前記フラグが有意の場合に限り有意のフラグを生成して前記受信装置へ送信することを特徴とする、請求項13に記載のデータ転送方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置に関し、特に、低消費電力のデータ転送装置を備えた半導体記憶装置に関する。

【背景技術】

【0002】

多ビットプリフェッチ化や語構成の増加(x16、x32等)に伴って、半導体記憶装置の動作電流において、RWBS(Read/Write Bus、リードライトバス)充放電電流の占める割合が大きくなってきている。

【0003】

したがって、4ビットプリフェッチに基づくDDR2 SDRAM、8ビットプリフェッチに基づくDDR3 SDRAMなどの半導体記憶装置の動作電流を削減するには、RWBSの充放電電流を削減することが効果的である。

【0004】

図6は、従来の半導体記憶装置のうち、4ビット平行転送方式に基づくDDR2

10

20

30

40

50

SDRAMの構成図(図6(A))および1DQ当たりのバス信号の極性図(図6(B))を示す。なお、1DQに相当する期間は、図6(B)の $t_1 \sim t_4$ である。

【0005】

図7は、従来の半導体記憶装置のうち、4:2のP/S(Parallel/Serial、パラレル・シリアル)変換による時分割転送方式に基づくDDR2 SDRAMの構成図(図7(A))および1DQ当たりのバス信号の極性図(図7(B))を示す。

【0006】

図6(A)および図7(A)を参照すると、RWBSの本数は、前者の方式において4本であったものが、後者の方式において2本に削減されている。

【0007】

なお、特許文献1において、従来技術におけるSSO(Simultaneous Switching Output、同時スイッチング出力)ノイズやシステムの消費電流を低減するバス信号極性判断回路が開示され、特許文献2において、データインバージョン機能を搭載したDDR SDRAMが開示されている。

【0008】

【特許文献1】特開平5-334206号公報

【特許文献2】特開2004-133961号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

以下の分析は、本発明者によってなされたものである。

【0010】

4ビットパラレル転送方式における1DQ当たりのトランジエント回数、すなわち、バスにおいて極性が変化する回数は、図6(B)に示したワーストデータパターンにおいて4回である。

【0011】

一方、4:2P/S変換による時分割転送方式における1DQ当たりのトランジエント回数は、図7(B)に示したワーストデータパターンにおいて4回となっている。

【0012】

すなわち、4ビットパラレル転送方式を4:2P/S変換による時分割転送方式に変更した場合、バスの本数は減るものの、RWBS充放電電流は必ずしも減るとは限らない。

【0013】

なお、特許文献1および2に開示された技術をDDR SDRAMのRWBSの充放電電流を削減する用途に適用した場合、大規模な多数決回路等が必要とされるため、これらの回路によって動作電流が増加し、回路規模(面積)も増大し、動作速度が低化する問題がある。

【0014】

したがって、半導体記憶装置において、動作電流の増加、回路規模の増大、動作速度の低化を回避しつつ、RWBSの充放電電流を削減することが課題となる。

【課題を解決するための手段】

【0015】

本発明の第1の視点に係るデータ転送装置は、送信装置から受信装置へ複数のバスを介してビット列を並列に順次転送するデータ転送装置であって、前記送信装置は、偶数ビットと奇数ビットにそれぞれ分けて前記複数のバスを介して転送されるビット列において、連続する偶数ビットの間および連続する奇数ビットの間でビットが反転したか否かを示すフラグを生成して前記受信装置へ送信するフラグ生成回路と、前記フラグに基づいて前記ビット列を符号化して前記受信装置へ送信する符号化回路と、を備え、前記受信装置は、前記ビット列と前記フラグに基づいて前記ビット列を復号化する復号化回路を備えたことを特徴とする。

【0016】

10

20

30

40

50

第1の展開形態のデータ転送装置は、送信装置から受信装置へ2本のバスを介して4：2の平行・シリアル変換に基づいてビット列を並列に順次転送するデータ転送装置であってもよい。

【0017】

第2の展開形態のデータ転送装置は、前記フラグ生成回路は、前記2本のバスそれぞれを介して転送されるビット列の連続するビットがいずれも反転する場合に限り有意のフラグを生成して前記受信装置へ送信するように構成され、前記符号化回路は、前記フラグが有意の場合に限り前記ビット列を反転して前記受信装置へ送信するように構成され、前記復号化回路は、前記フラグが有意の場合に限り前記ビット列を反転するように構成されてもよい。

10

【0018】

第3の展開形態のデータ転送装置は、前記フラグ生成回路は、自身が生成するとともに前記受信装置へ送信したフラグを受信するか、または、自身が生成したフラグを記憶し、前記2本のバスそれぞれを介して転送される連続するビットがいずれも反転し、かつ、前記フラグが有意でない場合、および、前記2本のバスそれぞれを介して転送される連続するビットが少なくともいずれか一方において反転せず、かつ、前記フラグが有意の場合に限り有意のフラグを生成して前記受信装置へ送信するように構成されてもよい。

【0019】

本発明の第2の視点に係るデータ転送装置は、送信装置から受信装置へ第1のビット A_0 を第1のバスを介して送信するとともに第2のビット A_1 を第2のバスを介して送信し、第3のビット A_2 を前記第1のバスを介して送信するとともに第4のビット A_3 を前記第2のバスを介して送信する工程を繰り返すように構成されたデータ転送装置において、反転フラグ F を転送するように構成された第3のバスをさらに備え、前記送信装置は、フラグ生成回路と符号化回路とをさらに備え、前記受信装置は、復号化回路をさらに備え、前記フラグ生成回路は、前記第1ないし第4のビット $A_0 \sim A_3$ および前記反転フラグ F を入力し、前記第1のビット A_0 と第3のビット A_2 との間でビットが反転し、前記第2のビット A_1 と第4のビット A_3 との間でビットが反転し、かつ、前記反転フラグ F が有意でない場合、または、前記第1のビット A_0 と前記第3のビット A_2 との間もしくは前記第2のビット A_1 と第4のビット A_3 との間の少なくともいずれか一方でビットが反転せず、かつ、前記反転フラグ F が有意の場合には前記反転フラグ F を有意のフラグとして出力し、それ以外の場合には有意でないフラグとして前記第3のバスへ出力するように構成され、前記符号化回路は、前記第1ないし第4のビット $A_0 \sim A_3$ と前記反転フラグ F を入力し、前記反転フラグ F が有意の場合には前記第1ないし第4のビット $A_0 \sim A_3$ を反転し、それ以外の場合にはそのまま、前記第1および第2のバスへ出力するように構成され、前記復号化回路は、前記第1ないし第4のビット $A_0 \sim A_3$ および前記反転フラグ F を入力し、前記反転フラグ F が有意の場合には前記第1ないし第4のビット $A_0 \sim A_3$ を反転し、それ以外の場合にはそのまま出力するように構成されたことを特徴とする。

20

30

【0020】

第4の展開形態のデータ転送装置における前記符号化回路は、前記第1のビット A_0 または第3のビット A_2 および前記反転フラグ F を入力して前記第1のバスへ出力するXOR回路と、前記第2のビットまたは第4のビットおよび前記反転フラグ F を入力して前記第2のバスへ出力するXOR回路と、を備えることが好ましい。

40

【0021】

第5の展開形態のデータ転送装置における前記復号化回路は、前記第1のビット A_0 または第3のビット A_2 および前記反転フラグ F を入力するXOR回路と、前記第2のビット A_1 または第4のビット A_3 および前記反転フラグ F を入力するXOR回路と、を備えることが好ましい。

【0022】

第6の展開形態のデータ転送装置における前記フラグ生成回路は、前記第1のビット A_0 および第3のビット A_2 を入力する第1のXOR回路と、前記第2のビット A_1 および

50

第4のビットA₃を入力する第2のXOR回路と、前記第1および第2のXOR回路の出力を入力するAND回路と、前記AND回路の出力および前記反転フラグFを入力して前記第3のバスへ出力する第3のXOR回路と、を備えることが好ましい。

【0023】

第7の展開形態の多段のデータ転送装置は、第1、第2および第3のデータ転送装置として、前記データ転送装置を備え、前記第1および第2のデータ転送装置の出力を前記第3のデータ転送装置に入力するように構成されてもよい。

【0024】

第8の展開形態の半導体記憶装置は、上記いずれかのデータ転送装置を備えることが好ましい。

10

【0025】

本発明の第3の視点に係るデータ転送方法は、送信装置から受信装置へ複数のバスを介してビット列を並列に順次転送するデータ転送方法であって、偶数ビットと奇数ビットにそれぞれ分けて前記複数のバスを介して転送されるビット列において、連続する偶数ビットの間および連続する奇数ビットの間でビットが反転したか否かを示すフラグを生成して前記受信装置へ送信するフラグ生成工程と、前記フラグに基づいて前記ビット列を符号化して前記受信装置へ転送する符号化工程と、前記ビット列と前記フラグに基づいて前記ビット列を復号化する復号化工程と、を含むことを特徴とする。

【0026】

第9の展開形態のデータ転送方法は、送信装置から受信装置へ2本のバスを介して4：2の平行・シリアル変換に基づいてビット列を並列に順次転送する方法であってもよい。

20

【0027】

第10の展開形態のデータ転送方法は、前記フラグ生成工程において、異なるバスのそれぞれを介して転送されるビット列の連続するビットがいずれも反転する場合に限り有意のフラグを生成して前記受信装置へ送信し、前記符号化工程において、前記フラグが有意の場合に限り前記ビット列を反転して前記受信装置へ送信し、前記復号化工程において、前記フラグが有意の場合に限り前記ビット列を反転してもよい。

【0028】

第11の展開形態のデータ転送方法は、前記フラグ生成工程において、自身が生成するとともに前記受信装置へ送信したフラグを受信するか、または、自身が生成したフラグを記憶し、前記2本のバスそれぞれを介して転送される連続するビットがいずれも反転し、かつ、前記フラグが有意でない場合、および、前記2本のバスそれぞれを介して転送される連続するビットが少なくともいずれか一方において反転せず、かつ、前記フラグが有意の場合に限り有意のフラグを生成して前記受信装置へ送信してもよい。

30

【発明の効果】

【0029】

本発明の半導体記憶装置によって、従来の半導体記憶装置に対し、動作電流の増加、回路規模の増大、動作速度の低下を抑えつつ、RWSの充放電電流を削減することができる。

40

【発明を実施するための最良の形態】

【0030】

本発明の実施形態に係るデータ転送装置について、図面を参照して詳細に説明する。

【0031】

本発明の実施形態に係るデータ転送装置は、図1を参照すると、送信装置10から受信装置20へ複数のバスを介してビット列を並列に順次転送するデータ転送装置である。

【0032】

送信装置10は、前記複数のバスを介して転送されるビット列の前後のビットが反転したか否かを示すフラグを生成して受信装置20へ送信するフラグ生成回路11と、前記フラグに基づいて前記ビット列を符号化して受信装置20へ送信する符号化回路12と、を

50

備える。

【0033】

受信装置20は、前記ビット列と前記フラグに基づいて前記ビット列を復号化する復号化回路21を備える。

【0034】

本発明の実施形態に係るデータ転送装置を、4:2パラレル・シリアル変換による時分割転送に適用した場合について、図1を参照してさらに詳細に説明する。

【0035】

データ転送装置は、送信装置10から受信装置20へ第1のビット A_0 を第1のバスBUS1を介して送信するとともに第2のビット A_1 を第2のバスBUS2を介して送信し、第3のビット A_2 を第1のバスBUS1を介して送信するとともに第4のビット A_3 を第2のバスBUS2を介して送信する工程を繰り返すように構成される。

10

【0036】

データ転送装置は、反転フラグFを転送するように構成された第3のバスBUS3をさらに備える。

【0037】

フラグ生成回路11は、第1ないし第4のビット $A_0 \sim A_3$ および反転フラグFを入力し、第1のビット A_0 と第3のビット A_2 との間でビットが反転し、第2のビット A_1 と第4のビット A_3 との間でビットが反転し、かつ、反転フラグFが有意でない場合、および、第1のビット A_0 と第3のビット A_2 との間または第2のビット A_1 と第4のビット A_3 との間の少なくともいずれか一方でビットが反転せず、反転フラグFが有意の場合には反転フラグFを有意のフラグとして出力し、それ以外の場合には有意でないフラグとして第3のバスBUS3へ出力する。

20

【0038】

符号化回路12は、第1ないし第4のビット $A_0 \sim A_3$ と反転フラグFを入力し、反転フラグFが有意の場合には第1ないし第4のビット $A_0 \sim A_3$ のビットを反転し、それ以外の場合にはそのまま、第1のバスBUS1および第2のバスBUS2へ出力する。

【0039】

復号化回路21は、第1ないし第4のビット $A_0 \sim A_3$ および反転フラグFを入力し、反転フラグFが有意の場合には第1ないし第4のビット $A_0 \sim A_3$ のビットを反転し、それ以外の場合にはそのまま出力する。

30

【実施例1】

【0040】

図2は、本発明の第1の実施例に係るデータ転送装置の詳細な構成図である。

【0041】

図3(A)は、本発明の第1の実施例に係るデータ転送装置の構成図であり、図3(B)は、バス信号の極性図である。

【0042】

図3(A)を参照すると、本実施例に係るデータ転送装置は、従来の4:2P/S変換による時分割転送を行うRWB S転送方式(図7(A))に対し、時分割された前後のデータが変化したか否かを表すフラグ線RWB S_Iを1本追加し、4:2+1の変換を行う。

40

【0043】

本実施例に係るデータ転送装置は、図2を参照すると、RWB S転送の前後において、XOR(排他的論理和)回路からなる符号化回路12と復号化回路21とを備える。

【0044】

図3(B)および図4は、一例として、DDR2(4ビットプリフェッチ)に対して、本発明を適用した場合におけるデータ転送装置のバス信号の極性図である。

【0045】

はじめに、DDR2における、1DQ当りのREAD動作を説明する。

50

【 0 0 4 6 】

従来例のRWBS転送方式(図7(A))では、RWBSをドライブする前に、4つの並列データ $A_0 \sim A_3$ (4ビットプリフェッチ)を4:2のP/S変換回路において、2並列かつ2時分割とする。

【 0 0 4 7 】

例えば、データを $A_0 A_1 A_2 A_3$ の順に出力する場合、はじめに、データ A_0 をRWBS__R、データ A_1 をRWBS__Fを介して転送し、次に、データ A_2 をRWBS__R、データ A_3 をRWBS__Fを介して転送する。

【 0 0 4 8 】

図7(B)に示すように、データ $A_0 \sim A_3$ の組($A_0 A_1 A_2 A_3$)として、(XX00)を転送した後に(1100)を転送する場合について考える。ここで、Xは任意の値である。

10

【 0 0 4 9 】

このとき、RWBS__RおよびRWBS__Fを介して、 $A_2 A_3 A_0 A_1 A_2 A_3$ の順、すなわち、(00) (11) (00)の順にデータが送信される。

【 0 0 5 0 】

すると、図7(B)のように、1DQ当たりのトランジェント回数は4回となる。

【 0 0 5 1 】

このような従来の4:2P/S変換回路に対して、図2に示すように、フラグ生成回路11と、符号化回路12と、復号化回路21と、反転フラグを転送するバスRWBS__Iとを追加する。

20

【 0 0 5 2 】

符号化回路12は、ビット A_0 または A_2 および反転フラグFを入力して第1のバスRWBS__Rへ出力するXOR回路XOR4と、ビット A_1 または A_3 および反転フラグFを入力して第2のバスRWBS__Fへ出力するXOR回路XOR5と、を備える。

【 0 0 5 3 】

また、復号化回路21は、ビット A_0 または A_2 および反転フラグFを入力するXOR回路XOR6と、ビット A_1 または A_3 および反転フラグFを入力するXOR回路XOR7と、を備える。

【 0 0 5 4 】

フラグ生成回路11は、ビット A_0 および A_2 を入力する第1のXOR回路XOR1と、ビット A_1 および A_3 を入力する第2のXOR回路XOR2と、第1および第2のXOR回路の出力を入力するAND回路AND1と、AND回路AND1の出力および反転フラグFを入力して第3のバスRWBS__Iへ出力する第3のXOR回路XOR3と、を備える。

30

【 0 0 5 5 】

上記の場合と同様に、データ $A_0 \sim A_3$ の組($A_0 A_1 A_2 A_3$)として、(XX00)を転送した後、(1100)を転送する場合を考える。

【 0 0 5 6 】

このとき、図2のフラグ生成回路11には、図7(B)に示すように、データ $A_2 A_3 A_0 A_1 A_2 A_3$ として、(00) (11) (00)が入力される。

40

【 0 0 5 7 】

いま、フラグFの初期値は0とする。データ $A_2 A_3 A_0 A_1$ として、(00) (11)が入力され、フラグFとして0が入力された場合、フラグ生成回路11は、フラグFとして1を出力する。次に、データ $A_0 A_1 A_2 A_3$ として(11) (00)が入力され、フラグFとして1が入力された場合、フラグ生成回路11は、フラグFとして0を出力する。このとき、フラグは、0 1 0の順に遷移する。

【 0 0 5 8 】

符号化回路12において、フラグFとのXOR演算を取った場合、データ $A_2 A_3 A_0 A_1 A_2 A_3$ は、(00) (00) (00)として、バスへ送出される(図3(B)

50

))。

【0059】

このとき、図3(B)を参照すると、RWBS__R、RWBS__F、RWBS__Iにおけるトランジェントの回数を、1回の4ビットプリフェッチ動作(すなわち、RWBS転送サイクルの2サイクル)当たり、2回に抑えることができる。

【0060】

したがって、1回の4ビットプリフェッチ動作当たり、4回のトランジェントが発生していた従来の方式(図7(B))と比較して、トランジェントの回数を半分の2回に減らすことができる。

【0061】

もう一つの例として、図8に示すように、データ $A_0 \sim A_3$ の組($A_0 A_1 A_2 A_3$)として、(XX01)を転送した後、(1000)を転送する場合について考える。

【0062】

このとき、RWBS__RおよびRWBS__Fを介して、 $A_2 A_3 A_0 A_1 A_2 A_3$ の順、すなわち、(01) (10) (00)の順にデータが送信される。

【0063】

従来の転送方式を用いた場合、図8を参照すると、1DQ当たりのトランジェント回数は3回となる。

【0064】

同一のデータを、本発明の第1の実施例に係るデータ転送装置によって転送した場合、図4を参照すると、1DQ当たりのトランジェント回数を2回に減らすことができる。

【0065】

また、本実施例に係るデータ転送装置は、バス転送前において、時分割された2つのデータ間でデータ比較(すなわち、時分割データ A_0 、 A_2 のXOR演算と、 A_1 、 A_3 のXOR演算)を行うことによって、バスにおいてデータを転送している間に、次に転送すべきデータの比較も同時にパイプライン処理することができるため、処理を高速化することもできる。

【0066】

WRITE動作においても、RWBSドライブ前後の(2+1)のシリアルデータから4つのパラレルデータへとS/P変換されるだけであるから、本実施例に示した方式によって、READ時と同様に電流を削減する効果が得られる。

【0067】

また、RWBS消費電流は

$$I = C * V * F$$

$$C * \text{RWBSトランジェント回数}(Tr) / \text{RWBS転送サイクル}$$

$$C * Tr$$

である。ここで、CはRWBS配線容量である。

【0068】

したがって、単位サイクル中(RWBS転送サイクル、tCCD)のRWBSの最大トランジェント回数を削減することによってRWBS充放電電流を削減することができ、高速動作を損なうことなく、消費電流を削減することができる。

【0069】

本実施例に係るデータ転送装置においては、RWBSの充放電電流(トランジェント回数)を削減するために、大規模な多数決回路を用いることなく、4:2+1の(3データでの)変換単位としている。

【0070】

すなわち、本実施例に係るデータ転送装置は、大規模な多数決回路を使用しないため、多数決回路自身による面積増大、消費電流増加、比較判定結果待ちによる速度の低下(転送遅延)を回避することができる。

【0071】

10

20

30

40

50

また、高速化のために、バス転送前における時分割された2データ間でデータ比較を行うことにより、あるデータのバス転送中に次の転送データの比較を同時に行うパイプライン処理も可能としている。

【実施例2】

【0072】

8ビットプリフェッチのDDR3においても、実施例1における、4:2+1の時分割転送を単位とした、多段式のRWB S転送方式とすることによって、簡単な回路構成に基づいてRWB S充放電電流を削減することができる。

【0073】

図9(A)は、従来のデータ転送装置(8ビットパラレル転送方式)の構成図である。

10

【0074】

従来の8ビットパラレルのデータ転送装置において、データ $A_0 \sim A_7$ の組($A_0 A_1 A_2 A_3 A_4 A_5 A_6 A_7$)として、(00000000)が転送された後、(11111111)が転送されたとき、トランジエント回数は最大の8回となる。

【0075】

図9(B)は、従来のデータ転送装置(8:4P/S変換による時分割転送方式)の構成図である。

【0076】

8:4のP/S変換回路による時分割転送方式による従来のデータ転送装置において、データ $A_0 \sim A_7$ の組($A_0 A_1 A_2 A_3 A_4 A_5 A_6 A_7$)として、(XXXX0000)が転送された後、(11110000)が転送されたとき、トランジエント回数は最大の8回となる。

20

【0077】

図5は、本発明の第2の実施例に係るデータ転送装置の構成図である。

【0078】

第2の実施例に係るデータ転送装置は、本発明をDDR3に適用した場合に相当する。

【0079】

8ビットプリフェッチ動作(RWB S転送サイクル、4サイクル)においては、実施例1の4:2+1の時分割変換による転送を多段構成として、RWB Sを分離動作(本実施例では半分に分割した)させる方式とする。

30

【0080】

本実施例に係るデータ転送装置は、面積の増加を防ぎ、実装密度の高い構成とすることができる。

【0081】

DDR3の場合においても、実施例1のDDR2と同様に、RWB S充放電電流を削減することができる。

【産業上の利用可能性】

【0082】

本発明は、DDR2 SDRAMおよびDDR3 SDRAMにおけるRWB S転送に対して適用することができる。

40

【図面の簡単な説明】

【0083】

【図1】本発明の実施の形態に係るデータ転送装置の構成図である。

【図2】本発明の第1の実施例に係るデータ転送装置の詳細な構成図である。

【図3】本発明の第1の実施例に係るデータ転送装置の構成図およびバス信号の極性図である。

【図4】本発明の第1の実施例に係るデータ転送装置におけるバス信号の極性図である。

【図5】本発明の第2の実施例に係るデータ転送装置の構成図である。

【図6】従来のデータ転送装置(4ビットパラレル転送方式)の構成図およびバス信号の極性図である。

50

【図7】従来のデータ転送装置（4：2P/S変換による時分割転送方式）の構成図およびバス信号の極性図である。

【図8】従来のデータ転送装置のバス信号の極性図である。

【図9】従来のデータ転送装置（8ビット平行転送方式および8：4P/S変換による時分割転送方式）の構成図である。

【符号の説明】

【0084】

10 送信装置

11 フラグ生成回路

12 符号化回路

20 受信装置

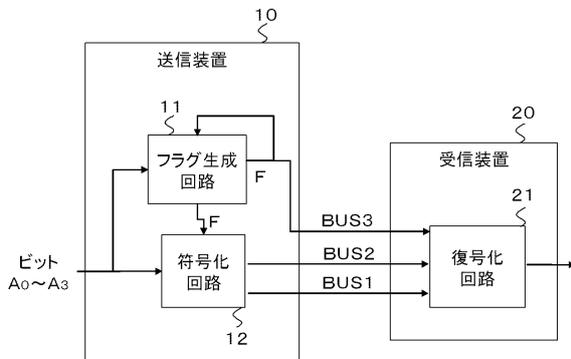
21 復号化回路

BUS1、BUS2、BUS3、RWBS_R、RWBS_F、RWBS_I バス
MUX マルチプレクサ

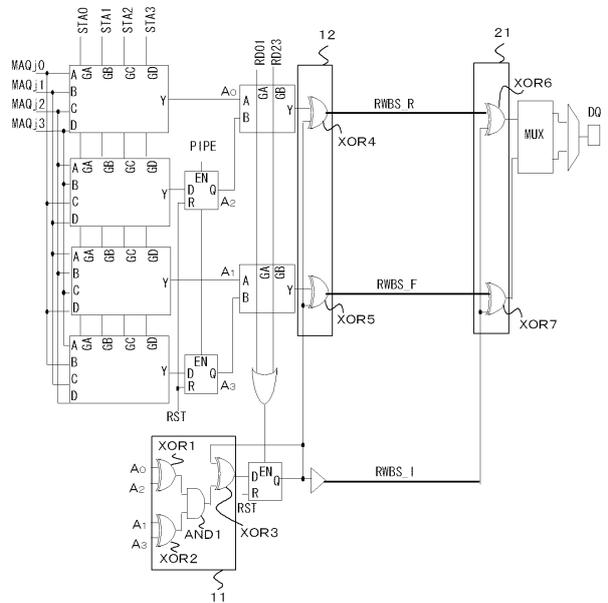
XOR1、...、XOR7 XOR回路

AND1 AND回路

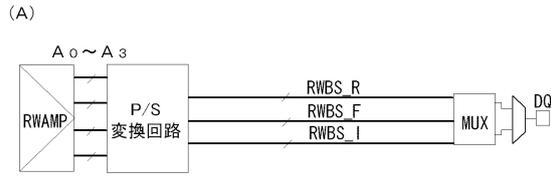
【図1】



【図2】



【 図 3 】



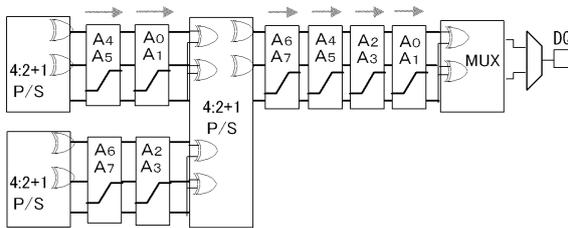
【 图 4 】

	t1	t2	t3	t4
RWBS_R	0(A ₂)	0(A ₀)	1(A ₂)	
RWBS_F	1(A ₃)	1(A ₁)	1(A ₃)	
RWBS_I	0(F)	1(F)	1(F)	

(B)

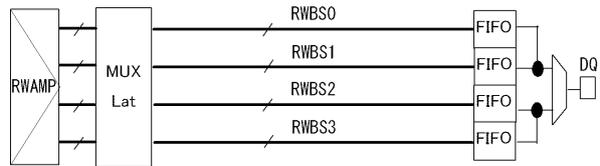
	t1	t2	t3	t4
RWBS_R	0(A ₂)	0(A ₀)	0(A ₂)	
RWBS_F	0(A ₃)	0(A ₁)	0(A ₃)	
RWBS_I	0(F)	1(F)	0(F)	

【 图 5 】



【 图 6 】

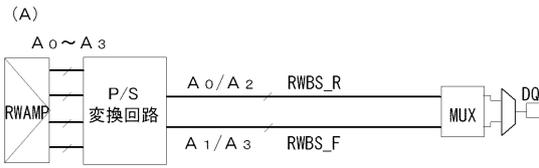
(A)



(B)

	t1	t2	t3	t4
RWBS0	0(A ₀)	1(A ₀)		
RWBS1	0(A ₁)	1(A ₁)		
RWBS2	0(A ₂)	1(A ₂)		
RWBS3	0(A ₃)	1(A ₃)		

【 図 7 】



【 図 8 】

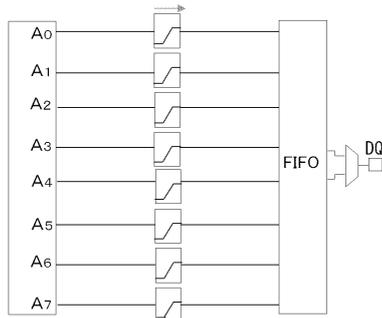
	t1	t2	t3	t4
RWBS_R	0(A ₂)	1(A ₀)	0(A ₂)	
RWBS_F	1(A ₃)	0(A ₁)	0(A ₃)	

(B)

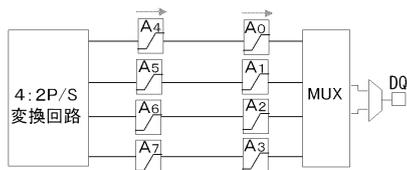
	t1	t2	t3	t4
RWBS_R	0(A ₂)	1(A ₀)	0(A ₂)	
RWBS_F	0(A ₃)	1(A ₁)	0(A ₃)	

【 図 9 】

(A)



(B)



フロントページの続き

(56)参考文献 米国特許出願公開第2006/0215473(US, A1)

特開2007-110258(JP, A)

特開平3-100975(JP, A)

特開平3-97171(JP, A)

特開昭62-217387(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/00

G11C 11/407

G11C 11/409

H04L 25/02