

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-282237
(P2007-282237A)

(43) 公開日 平成19年10月25日(2007. 10. 25)

(51) Int. Cl. F I テーマコード (参考)
H O 4 L 25/49 (2006. 01) H O 4 L 25/49 A 5 K O 2 9

審査請求 未請求 請求項の数 20 O L (全 18 頁)

<p>(21) 出願番号 特願2007-98643 (P2007-98643) (22) 出願日 平成19年4月4日(2007. 4. 4) (31) 優先権主張番号 10-2006-0030751 (32) 優先日 平成18年4月4日(2006. 4. 4) (33) 優先権主張国 韓国 (KR)</p>	<p>(71) 出願人 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416 (74) 代理人 100064908 弁理士 志賀 正武 (74) 代理人 100089037 弁理士 渡邊 隆 (74) 代理人 100108453 弁理士 村山 靖彦 (74) 代理人 100110364 弁理士 実広 信哉</p>
--	---

最終頁に続く

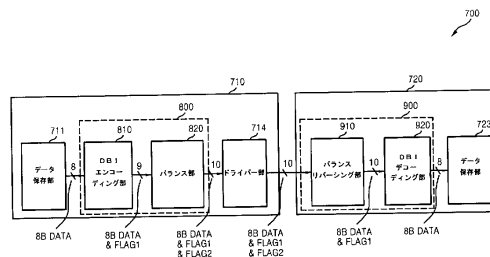
(54) 【発明の名称】 データバスインバージョンを使う低電力バランスコード

(57) 【要約】

【課題】メモリリフレッシュに必要な電力消費を減らす方法及び装置を提供する。

【解決手段】メモリリフレッシュに必要な電力消費を減らすための方法及び装置は、ゼロとDBI最大値との間で相異なる場合のためのゼロの数の間に第1デルタを有するDBIデータであるデータバスインバージョンを使ってエンコーディングされたデータを受信し、ゼロよりさらに大きくてDBI最大値より小さいか同じである最小数と最小数に第1デルタより小さな第2デルタを加えたものと同一の最大数との間で、相異なる場合のためのゼロの数を有するデータを出力できる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

ゼロと DBI 最大値との間で相異なる場合のためのゼロの数の間に第 1 デルタを有するデータであるデータパスインバージョンを使ってエンコーディングされたデータを受信する段階と、

前記 DBI データのうち (across the DBI data) ゼロの数をバランスするために前記 DBI データをバランスコーディングする段階と、

ゼロよりさらに大きくて前記 DBI 最大値より小さいか同じである最小数と前記最小数に前記第 1 デルタより小さな第 2 デルタを加えたものとの最大数との間で、相異なる場合のためのゼロの数を有するデータを出力する段階と、を備えることを特徴とする方法

10

【請求項 2】

前記第 2 デルタは、前記第 1 デルタの 2 分の 1 であることを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記バランスコーディングは、n 回反復され、前記第 2 デルタは、

前記第 1 デルタを 2^n で割ったものより大きいか同じであることを特徴とする請求項 1 に記載の方法。

【請求項 4】

前記バランスコーディング段階は、それぞれのケースに対して、

マルチビットデータとインバージョン指示器とを含む DBI データ内のデータ "0" の数をカウンティングする段階と、

20

前記データ "0" の数を前記最小数と比べる段階と、

前記数が前記最小数より大きいか同じである時、フラグを "1" に設定し、前記フラグと前記 DBI データとをエンコーディングされたデータに出力する段階と、

前記数が前記最小数より小さい時、前記フラグを "0" に設定する段階と、

前記データ "0" の数に 1 を加算したものを前記最小数と比べる段階と、

前記データ "0" の数に 1 を加算したものが前記最小数より大きいか同じである時、前記フラグ及び前記 DBI データをエンコーディングされたデータに出力する段階と、

データ "0" の数に 1 を加算したものが前記最小数より小さい時、前記マルチビットデータ内の少なくとも最下位 2 ビットの値を変更し、前記インバージョン指示器、前記フラグ、及び前記変更されたマルチビットデータをエンコーディングされたデータに出力する段階と、を備えることを特徴とする請求項 1 に記載の方法。

30

【請求項 5】

前記変更する段階は、

少なくとも最下位 2 ビットをインバーティングする段階を含むことを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記変更する段階は、

少なくとも最下位 2 ビットをゼロに設定する段階を含むことを特徴とする請求項 4 に記載の方法。

40

【請求項 7】

前記少なくとも最下位 2 ビットは、前記マルチビットデータのビットの数の 2 分の 1 より小さく、前記マルチビットデータのビットの数の 4 分の 1 より大きいか同じように変更されることを特徴とする請求項 4 に記載の方法。

【請求項 8】

前記バランスコーディングは、n 回反復され、前記少なくとも最下位 2 ビットは、前記マルチビットデータのビットの数を 2^n で割ったものより小さく、前記マルチビットデータのビットの数を 2^{n+1} で割ったものより大きいか同じように変更されることを特徴とする請求項 4 に記載の方法。

50

【請求項 9】

前記出力段階は、

前記エンコーディングされたデータをメモリに保存する段階を含むことを特徴とする請求項 4 に記載の方法。

【請求項 10】

前記方法は、

前記メモリに保存されたエンコーディングされたデータを読み取る段階と、

前記インバージョン指示器の値、前記フラグの値、及び前記少なくとも最下位 2 ビットの値によって前記少なくとも最下位 2 ビットを保存する段階と、をさらに備えることを特徴とする請求項 9 に記載の方法。

10

【請求項 11】

前記方法は、

前記インバージョン指示器によって前記マルチビットデータを反転させる段階をさらに備えることを特徴とする請求項 10 に記載の方法。

【請求項 12】

バランシング部を備えるシステムにおいて、

前記バランシング部は、

マルチビットデータ及びインバージョン指示器を含むデータバスインバージョンデータを受信し、前記 DBI データ内のデータ“0”の数がゼロより大きく、DBI 最大ゼロの数より小さいか同じであるデータ“0”の最小数より小さい時に第 1 値になり、前記 DBI データ内のデータ“0”の数が前記最小数より大きいか同じである時に第 2 値になるフラグを出力し、またデータ“0”の数に 1 を加算したものが前記最小数より小さい時にトリガー信号を出力するロジックレベル検出器と、

20

前記ロジックレベル検出器から前記マルチビットデータの少なくとも最下位 2 ビットと前記トリガー信号とを受信し、前記トリガー信号にตอบสนองして前記少なくとも最下位 2 ビットを変更し、一方では変更されていない前記最下位ビットを出力するマルチプレクサと、を備え、

前記バランシング部は、

前記変更されていない前記最下位ビットを除いたマルチビットデータ、前記インバージョン指示器、及び前記フラグをさらに出力することを特徴とするシステム。

30

【請求項 13】

前記マルチプレクサは、

前記少なくとも最下位 2 ビットを反転させることを特徴とする請求項 12 に記載のシステム。

【請求項 14】

前記マルチプレクサは、

前記少なくとも最下位 2 ビットをゼロに設定することを特徴とする請求項 12 に記載のシステム。

【請求項 15】

前記バランシング部は、 n 回使われ、最下位ビットの数は、前記マルチビットデータのビットの数を 2^n で割ったものより小さく、前記マルチビットデータのビットの数を 2^{n+1} で割ったものより大きいか同じように変更されることを特徴とする請求項 12 に記載のシステム。

40

【請求項 16】

前記システムは、

前記バランシング部からの出力を保存するためのメモリをさらに備えることを特徴とする請求項 12 に記載のシステム。

【請求項 17】

前記システムは、

前記インバージョン指示器、前記フラグ、前記最下位ビットを除いたマルチビット

50

データ及び前記最下位ビットを受信し、前記インバージョン指示器の値、前記フラグの値、及び前記フラグの前記少なくとも最下位2ビットの値によって前記最下位ビットを復旧し、一方では変更されていない前記最下位ビットを出力するバランスリバーシング部をさらに備えることを特徴とする請求項12に記載のシステム。

【請求項18】

前記システムは、

バランスリバーシング部をさらに備え、

前記バランスリバーシング部は、

前記インバージョン指示器、前記少なくとも最下位2ビット及び前記フラグを受信し、前記インバージョン指示器、前記フラグ、及び前記少なくとも最下位2ビットのパターンが前記最下位ビットが変更されたということを表わす時にトリガー (t r i g g e r) 信号を出力するパターン検出器と、

10

前記最下位ビット及び前記トリガー信号を受信し、前記トリガー信号に応答して前記最下位ビットを復旧し、一方では変更されていない前記最下位ビットを出力するマルチプレクサと、を含み、

前記バランスリバーシング部は、前記最下位ビットを除いた前記インバージョン指示器及びマルチビットデータをさらに出力することを特徴とする請求項12に記載のシステム

【請求項19】

前記システムは、

前記インバージョン指示器及び前記マルチビットデータを受信し、前記マルチビットデータを復旧するデコーディング部をさらに備えることを特徴とする請求項18に記載のシステム。

20

【請求項20】

プロセッサによって実行される時、前記プロセッサが方法を実行させる実行可能な命令を提供する記録媒体 (m a c h i n e - r e a d a b l e m e d i u m) において、

前記方法は、

マルチビットデータとインバージョン指示器とを含むデータバスインバージョン (D B I) データ内のデータ " 0 " の数をカウンティングする段階と、

前記データ " 0 " の数をゼロより大きくてゼロの D B I 最大数より小さいか同じであるデータ " 0 " の最小数と比べる段階と、

30

前記数が前記最小数より大きいと同じである時、フラグを " 1 " に設定し、前記フラグと前記 D B I データとをエンコーディングされたデータに出力する段階と、

前記数が前記最小数より小さい時、前記フラグを " 0 " に設定する段階と、

前記データ " 0 " の数に1を加算したものと前記最小数とを比べる段階と、

前記データ " 0 " の数に1を加算したものが前記最小数より大きいと同じである時、前記フラグ及び前記 D B I データをエンコーディングされたデータに出力する段階と、

前記データ " 0 " の数に1を加算したものが前記最小数より小さい時、前記マルチビットデータ内の少なくとも最下位2ビットの値を変更し、前記インバージョン指示器、前記フラグ、及び前記変更されたマルチビットデータをエンコーディングされたデータに出力する段階と、を備えることを特徴とする記録媒体。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリリフレッシュ (r e f r e s h) に必要な電力を減らすための方法及び装置に係り、より詳細には、メモリのリフレッシュ期間の間に使われるバランスリバーシングのための方法及び装置に関する。

【背景技術】

【0002】

インターフェースシステムは、基本的に情報を信号に変換する送信器 (t r a n s m i

50

t t e r)、前記信号を伝送する伝送媒体、前記信号を受信して使うことができる情報に変換する受信器とを含む。

【0003】

通常のインターフェースシステムに使われるドライバーは、インバーター型であり、例えば、データが1である時は電流パスがなく、データが0である時は前記伝送媒体を介して電流パスがある。

【0004】

したがって、前記データレベルによって前記ドライバーの全体電流消費は変化することができ、これは結果的に同時スイッチングノイズ (S i m u l t a n e o u s S w i t c h i n g N o i s e、SSN) を発生させる。

10

【0005】

また、前記インターフェースシステムの電圧源の間の寄生インダクタンスは、ノイズ、例えば、ジッタ (j i t t e r) の原因になり、前記データ信号の電圧マージン (v o l t a g e m a r g i n) や時間マージンを減少させる。結局ノイズは、データ周波数及びシステム性能を低下させる。

【0006】

速くて高性能 (例えば、減少されたノイズ) の伝送 (t r a n s m i s s i o n) を提供するのに使われる多くのコーディング技術が存在する。

【0007】

相異なるコーディング技術は、相異なるトレードオフ (t r a d o f f s)、例えば、deployment、オーバーヘッド (o v e r h e a d)、遷移密度 (t r a n s i t i o n d e n s i t y) 及びDCバランス、アライメント (a l i g n m e n t)、エラー (保護、検出、複製 (r e p l i c a t i o n s))、及び複雑性 (c o m p l e x i t y、ゲート数 (g a t e c o u n t)) を提供できる。

20

【0008】

8 B / 1 0 B は、ストリーム (s t r e a m) 内に0と1との数が同一になるように保証することで適切なDCバランスを保証する効果的な遷移 (t r a n s i t i o n s)、整列の容易性 (前記バイトがビットストリーム内で開始する所を探すこと)、強靭性 (r o b u s t n e s s、エラーに対する耐性 (t o l e r a n c e))、及び低いデザイン複雑度 (l o w d e s i g n c o m p l e x i t y) を提供する広く使われるコーディング技術の一つである。

30

【0009】

前記8 B / 1 0 Bコーディング方法は、8ビットシンボルを10ビットシンボルにマッピングする。前記8 B / 1 0 B内で使われるすべてのコードは、3ないし10の遷移を有する。

【0010】

各コードワードは、一つの列 (r o w) で4個よりさらに多い1または0を発生させないか、または一つよりさらに大きい不均衡 (i m b a l a n c e) をもたらさない。このような性質を用いてそれぞれのキャラクター (c h a r a c t e r) は、二つのマッピング (前記コード及び前記コードの反転) に割り当てられ、前記伝送過程は、+ 1と- 1との間で不一致 (r u n n i n g d i s p a r i t y) を維持するために適当なコード (+ / -) を選択できる。

40

【0011】

これは、二つのシンボルのストリングで0ほど1が存在するというを意味し、列であまりにも多い0または1が存在しないということの意味する。

【0012】

これは、インタシンボル干渉 (i n t e r s y m b o l i n t e r f e r e n c e) を減らすのに助けになるために高速 (h i g h r a t e s) で伝送される必要がある信号のために重要な特性 (a t t r i b u t e) である。

【0013】

50

このようなすべての特性は、8 B / 10 B が最も広く使われるコーディング方法になるようにした。しかし、8 B / 10 B は、25%の大きいオーバーヘッド（例えば、データの比率より25%さらに大きいシンボル比率）、高いコーディング複雑性（high coding complexity）、及び大きいレイアウト面積（large layout area）を有する。

【0014】

また、さらに速いコンピュータ装置（computing devices）のための要求が増加するにつれてこのような装置が動作する周波数が増加して来た。このようなさらに高い周波数はさらに多い電力を要求する。大部分のコンピューティングシステムは、保存されたデータを維持するために周期的なリフレッシュを要求することができる動的メモリ（dynamic memories）を使う。

10

【0015】

典型的に、マルチビットデータが“1”をさらに多く含むほど、前記マルチビットデータをリフレッシュするのにさらに多い電力が要求される。

【0016】

図9に図示されたデータバスインバージョン（Data Bus Inversion、DBI）方法は、前記8 B / 10 B方法のコーディングの複雑性、レイアウト面積、及び電力消費を減らすために使われうる。

【0017】

具体的に、前記DBI方法は、マルチビットデータ（例えば、8ビットデータ）を受信する段階（S910）、及び前記マルチビットデータで0と1との数を計算する段階（S920）を含む。

20

【0018】

その次に、S930段階で、0の数が既定の値（k、例えば、8ビットデータに対して4）を超過するか否かが決定されうる。

【0019】

S940段階で、前記既定の値（k）が超過されれば、前記データワードは反転されることができ、フラグ（flag）は第1値（例えば、1）に設定しうる。

【0020】

S950段階で、前記既定の値（k）が超過されていないなければ、前記データワードは維持されることができ、前記フラグは第2値（例えば、0）に設定しうる。

30

【0021】

前記データは、前記フラグ値によってデコーディングされうる。前記フラグは、インバージョン指示器（inversion indicator）としての役割を果す。

【0022】

しかし、前記DBI方法が使われてもデータ“0”の数は、一つから四つの間であり得る。したがって、前記最高電流消費は、相変らず $4 \times IDQ$ （静的電流（quiescent current））であり得る。ここで、 $1 \times IDQ$ は、一つのDQ当り電流消費の量を表わす。

【発明の開示】

40

【発明が解決しようとする課題】

【0023】

本発明が果そうとする技術的な課題は、前記関連技術（related art）の制限と短所とに起因した一つ以上の問題を実質的に克服するバランスコーディングのための方法及び装置を提供することにある。

【課題を解決するための手段】

【0024】

したがって、メモリリフレッシュに必要な電力消費を減らす方法及び装置を提供することが本発明の一実施形態の一特徴である。

【0025】

50

メモリリフレッシュの間にノイズを減らす方法及び装置を提供することが本発明の一実施形態の一特徴である。

【0026】

メモリリフレッシュの間に使うバランシングコーディングのための方法及び装置を提供することが本発明の一実施形態の一特徴である。

【0027】

前述した本発明の特徴、本発明の他の特徴及び長所のうち少なくとも一つは、ゼロ (zero) と DBI 最大値との間で相異なる場合のためのゼロの数の間に第 1 デルタを有するデータであるデータバインバージョンを使ってエンコーディングされたデータを受信する段階、前記 DBI データのうち (across the DBI data) ゼロの数をバランスするために前記 DBI データをバランシングする段階、及びゼロよりさらに大きくて前記 DBI 最大値より小さいか同じである最小数と前記最小数に前記第 1 デルタより小さな第 2 デルタを加えたものとの最大数との間で、相異なる場合のためのゼロの数を有するデータを出力する段階を含む方法を提供することによって実現される。

10

【0028】

前記第 2 デルタは、前記第 1 デルタの 2 分の 1 になりうる。前記バランシングコーディングは、 n 回反復されることができ、前記第 2 デルタは、前記第 1 デルタを 2^n で割ったものより大きいと同じであり得る。

【0029】

前記バランシングコーディングは、それぞれの場合のためにマルチビットデータとインバージョン指示器とを含む DBI データ内のデータ "0" の数をカウンティングする段階、前記データ "0" の数を前記最小数と比べる段階、前記数が前記最小数より大きいと同じである時にフラグを "1" に設定し、前記フラグと前記 DBI データとをエンコーディングされたデータに出力する段階、前記数が前記最小数より小さい時に前記フラグを "0" に設定する段階、前記データ "0" の数に 1 を加算したものが前記最小数より大きいと同じである時に前記フラグ及び前記 DBI データをエンコーディングされたデータに出力する段階、及びデータ "0" の数に 1 を加算したものが前記最小数より小さい時に前記マルチビットデータ内の少なくとも最下位 2 ビットの値を変更し、前記インバージョン指示器、前記フラグ、及び前記変更されたマルチビットデータをエンコーディングされたデータに出力する段階とを含みうる。

20

30

【0030】

前記変更する段階は、前記少なくとも最下位 2 ビットをインバーティングする段階を含みうる。前記変更する段階は、前記少なくとも最下位 2 ビットをゼロに設定する段階を含みうる。

【0031】

変更された前記少なくとも最下位 2 ビットは、前記マルチビットデータのビットの数の 2 分の 1 より小さく、前記マルチビットデータのビットの数の 4 分の 1 より大きいと同じであり得る。

【0032】

前記バランシングコーディングは、 n 回反復されうる。変更された前記少なくとも最下位 2 ビットは、前記マルチビットデータのビットの数を 2^n で割ったものより小さく、前記マルチビットデータのビットの数を 2^{n+1} で割ったものより大きいと同じであり得る。

40

【0033】

前記出力段階は、前記エンコーディングされたデータをメモリに保存する段階を含みうる。前記方法は、前記メモリに保存されたエンコーディングされたデータを読み取る段階、及び前記インバージョン指示器の値、前記フラグの値、及び前記少なくとも最下位 2 ビットの値によって前記少なくとも最下位 2 ビットを保存する段階とを含みうる。前記方法は、前記インバージョン指示器の値によって前記マルチビットデータを反転させる段階を含みうる。

50

【0034】

前述した本発明の特徴、本発明の他の特徴及び長所のうち少なくとも一つは、マルチビットデータ及びインバージョン指示器を含むデータバスインバージョンデータを受信し、前記DBIデータ内のデータ“0”の数がゼロより大きくてDBI最大ゼロの数より小さいか同じであるデータ“0”の最小数より小さい時に第1値になり、前記DBIデータ内のデータ“0”の数が前記最小数より大きいか同じである時に第2値になるフラグを出力し、またデータ“0”の数に1を加算したものが前記最小数より小さい時にトリガー信号を出力するロジックレベル検出器と、前記ロジックレベル検出器から前記マルチビットデータの少なくとも最下位2ビットと前記トリガー信号とを受信し、前記トリガー信号にตอบสนองして前記少なくとも最下位2ビットを変更し、一方では変更されていない前記最下位ビットを出力するマルチプレクサを含むbalancing部と、を備えるシステムを提供することで実現されうる。

【0035】

また、前記balancing部は、前記変更されていない前記最下位ビットを除いたマルチビットデータ、前記インバージョン指示器、及び前記フラグをさらに出力できる。

【0036】

前記マルチプレクサは、前記少なくとも最下位2ビットを反転させるか前記少なくとも最下位2ビットをゼロに設定できる。

【0037】

前記balancing部は、n回使われることができ、前記最下位ビットの数は前記マルチビットデータのビットの数を 2^n で割ったものより小さく、前記マルチビットデータのビットの数を 2^{n+1} で割ったものより大きいか同じように変更されうる。

【0038】

前記システムは、前記balancing部からの出力を保存するためのメモリを含みうる。前記システムは、前記インバージョン指示器、前記フラグ、前記最下位ビットを除いたマルチビットデータ及び前記最下位ビットを受信し、前記インバージョン指示器の値、前記フラグの値、及び前記マルチビットデータの前記少なくとも最下位ビットの値によって前記最下位ビットを復旧し、一方では変更されていない前記最下位ビットを出力するbalancing部を含みうる。

【0039】

前記システムは、前記インバージョン指示器、前記少なくとも最下位2ビット及び前記フラグを受信し、前記インバージョン指示器、前記フラグ、及び前記少なくとも最下位2ビットのパターンが前記最下位ビットが変更されたということを表わす時にトリガー(trigger)信号を出力するパターン検出器と、前記最下位ビット及び前記トリガー信号を受信し、前記トリガー信号にตอบสนองして前記最下位ビットを復旧し、一方では変更されていない前記最下位ビットを出力するマルチプレクサを含むbalancing部と、を含みうる。

【0040】

前記balancing部は、前記最下位ビットを除いた前記インバージョン指示器及びマルチビットデータをさらに出力できる。

【0041】

前記システムは、前記インバージョン指示器及び前記マルチビットデータを受信し、前記マルチビットデータを復旧するデコーディング部を含みうる。

【0042】

前述した本発明の特徴、本発明の他の特徴及び長所のうち少なくとも一つは、プロセッサによって実行される時、前記プロセッサが前述した何れか方法を実行させる実行可能な命令を提供する記録媒体を提供することによって実現されうる。

【発明の効果】

【0043】

本発明によれば、メモリリフレッシュに必要な電力消費を減らしうる。また、メモリリ

フレッシュの間にノイズを減らしうる。

【発明を実施するための最良の形態】

【0044】

前記技術的課題を果たすための本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施形態を例示する添付図面及び添付図面に記載された内容を参照しなければならない。以下、添付した図面を参照して、本発明の望ましい実施形態を説明することによって、本発明を詳しく説明する。各図面に付された同じ参照符号は、同じ部材を表わす。

【0045】

本発明の実施形態によるコーディング方法は、2以上のフラグ（例えば、電力消費及びノイズをさらに減少させるためのインバージョン指示器に追加して一つ以上のフラグ）を使うことができる。

【0046】

図1は、本発明の一実施形態によるエンコーディング方法のフローチャートである。まず、S110段階で、前記マルチビットデータ内のデータ“0”の数がカウントされうる。次に、S120段階で、この数が既定の値（Z）と比較されうる。前記既定の値（Z）は、前記マルチビットデータ内のビットの数の半分と同じかさらに大きくなりうる。

【0047】

S130段階で、前記既定の値（Z）が超過されれば、前記マルチビットデータは反転されることができ、第1フラグFlag1は、第1値（例えば、1）に設定しうる。

【0048】

S140段階で、前記既定の値（Z）が超過されていなければ、前記マルチビットデータは維持されることができ、前記第1フラグFlag1は、第2値（例えば、0）に設定しうる。前記第1フラグFlag1は、前記インバージョン指示器としての役割を果す。

【0049】

次に、S150段階で、前記S110段階でカウントされたデータ“0”の数と前記第1フラグFlag1の値との和が既定の値（M）と比較されうる。前記既定の値（M）は、前記既定の値（Z）と同一であり得る。

【0050】

S170段階で、前記和が前記Mより少なければ、第2フラグFlag2は、第1値（例えば、0）に設定しうる。S180段階では、S110段階でカウントされた前記データ“0”の数、前記第1フラグFlag1の値、及び前記第2フラグFlag2の値の和が前記既定の値（M）と比較されうる。

【0051】

前記和が前記Mと同じかさらに大きければ、前記マルチビットデータは維持されることができ、前記方法は前記データを伝送できるS191段階に進行しうる。

【0052】

前記和が前記Mより小さければ、前記マルチビットデータのうち少なくとも2ビットはゼロに変更（change）されうる。例えば、前記マルチビットデータ内でビットの数の半分までゼロに変更されうる。次に、前記方法は、前記データを伝送できるS191段階に進行しうる。

【0053】

S160段階で、前記和が前記Mと同じかさらに大きければ、前記マルチビットデータは維持されることができ、前記第2フラグFlag2は、第2値（例えば、1）に設定しうる。次に、前記方法は、前記データを伝送できるS191段階に進行しうる。

【0054】

図2は、本発明の一実施形態による8ビットデータのためのコーディングテーブルを表わす。図2に図示されたように、前記マルチビットデータ（ここでは、8ビットデータ）は、エンコーディングされたデータ内のゼロの数を一つないし少なくともマルチビットの数の半分（例えば、4）の間の範囲にあるようにする前記DBI方法が適用可能である。

【0055】

次に、前記DBIコーディングされたデータは、前記マルチビットデータのうちゼロの数の範囲内の差を減らし、それによってノイズを減らすために図1に図示されたS150ないしS190過程を経る。

【0056】

具体的に、CASE1ないしCASE5で、ゼロの数が前記既定の値(Z)を超過するので、前記マルチビットデータは反転されることができ、前記第1フラグFlag1は、第1値(例えば、1)に設定しうる。

【0057】

一方、CASE6ないしCASE9で、ゼロの数が前記既定の値(Z)を超過しないので、前記マルチビットデータは維持されることができ、前記第1フラグFlag1は、第2値(例えば、0)に設定しうる。

【0058】

図2に図示されたように、バランスエンコーディングの間に前記DBIエンコーディング後にゼロの数の前記範囲に対する中間数(例えば、2)より小さな数を有する場合(ここでは、CASE1、CASE2、及びCASE9)に対しては、前記第2フラグFlag2は、第1値(例えば、0)になるように設定しうる。

【0059】

他のすべての場合のためには、前記第2フラグFlag2は、第2値(例えば、1)になるように設定しうる。前記第1フラグFlag1及び前記第2フラグFlag2のための前記第1及び第2値は、同一ではないこともある。

【0060】

ある場合(case)に対する全体ゼロの数が相変らず前記中間数より小さな場合(例えば、CASE1)、前記データの多数の最下位ビット(least significant bits、例えば、最後の2ビット)は、2ビットデータ(230)によって指示されたようにゼロに設定しうる。したがって、ゼロの数は、2個から4個の間の範囲にある。

【0061】

したがって、前記コードはバランスされることができ、例えば、相異なる場合の間のデルタ(delta)は減少しうる。具体的に、前記デルタは、4IDQから2IDQに減少しうる。

【0062】

図3は、本発明の一実施形態によるマルチビットデータをデコーディングするためのフローチャートである。S310段階で、前記エンコーディングされたマルチビットデータ、前記第1フラグFlag1、及び前記第2フラグFlag2は受信されうる。

【0063】

S320段階で、パターン一致が決定されうる。例えば、前記第2フラグFlag2値と前記ゼロの数とがチェックされうる。

【0064】

S330段階で、前記第2フラグFlag2がゼロであり、前記ゼロの数が前記Mより大きい場合、前記コード化されたマルチビットデータ内の前記ゼロは、S340段階に進行する前に1に復旧されうる。そうではなければ、前記プロセスは、S340段階に進行しうる。

【0065】

前記第1フラグFlag1値が決定されうる。S340段階で、前記第1フラグFlag1が1であれば、前記マルチビットデータは反転されうる。S360段階で、前記第1フラグFlag1が1ではなければ、前記マルチビットデータは維持されうる。

【0066】

図4は、シングルエンド並列データインターフェースシステム700のブロック図である。前記システム700は、送信器710及び受信器720を含む。

10

20

30

40

50

【0067】

前記送信器710は、データ保存部711、エンコーディング部800、及びドライバ一部714を含む。前記エンコーディング部800は、DBIエンコーディング部810及びバランス部820を含む。前記エンコーディング部800については、図5A及び図5Bと関連して下記でさらに詳しく説明する。

【0068】

前記受信器720は、デコーディング部900及びデータ保存部723を含みうる。前記デコーディング部900は、バランスリバーシング部(balance reversing unit)910及びDBIデコーディング部920を含みうる。

【0069】

前記デコーディング部900については、図6A及び図6Bと関連して下記でさらに詳しく説明する。

【0070】

図5Aは、前記エンコーディング部800のブロック図を表わし、図5Bは、前記DBIエンコーディング部810及び前記バランス部820を含む前記エンコーディング部800の概略図を表わす。

【0071】

前記バランス部820は、マルチプレクサ(MUX)821及びロジックレベル検出器822を含みうる。例えば、8ビットデータの各ビットに対して前記8ビットデータのうち最初の6ビットのデータは、前記ロジックレベル検出器822に出力されることができ、一方では如何なる追加プロセッシング(processing)もなしにDQ1ないしDQ6として前記バランス部820を介してパス(pass)されうる。

【0072】

前記8ビットデータのうち最後の2ビットも前記ロジックレベル検出器822及び前記MUX821に出力されうる。前記第1フラグFlag1も前記ロジックレベル検出器822に出力されることができ、一方では如何なる追加プロセッシングもなしに前記バランス部820を介してパスされうる。

【0073】

前記MUX821も外部から前記2ビットデータ830を受信することができ、前記ロジックレベル検出器822からトリガートを受信できる。前記トリガートは、前記8ビットデータ及び前記第1フラグFlag1内にあるゼロの数によって決定されうる。

【0074】

前記MUX821は、DQ7及びDQ8を出力することができ、前記ロジックレベル検出器822は、前記第2フラグFlag2を出力できる。

【0075】

図5Bに図示されたように、前記ロジックレベル検出器822は、ANDゲート及び2個のORゲートを含むことができ、前記MUX821は、一对のマルチプレクサ(Multiplexers)を含みうる。

【0076】

具体的に、前記マルチビットデータの各ビットと前記第1フラグFlag1は、AND演算されることができ、演算結果は前記トリガートとして前記MUX821に出力されうる。

【0077】

前記トリガートが1である時、前記入力データIN7、IN8は維持されることができ、前記出力データDQ7、DQ8に出力されうる。

【0078】

前記トリガートが0である時、前記出力データDQ7、DQ8は、ゼロに出力されうる。

前記トリガートは、また前記ORゲートのうち最後のORゲートに出力されうる。残ったANDゲートは、個別的に反転された順次な入力を有する前記マルチビットデータ及び

10

20

30

40

50

前記第1フラグ F l a g 1 を A N D 演算した結果を前記 O R ゲートのうち最初の O R ゲートに出力できる。

【0079】

前記最初の O R ゲートは、演算結果を前記最後の O R ゲートに出力することができ、その次に、前記最後の O R ゲートは、前記第2フラグ F l a g 2 を出力できる。

【0080】

図6Aは、前記デコーディング部900のブロック図を表わし、図6Bは、前記バランスリバーシング部910及び前記D B Iデコーディング部920を含む前記デコーディング部900の概略図を表わす。前記バランスリバーシング部910は、M U X 9 1 1 及びパターン検出器 (p a t t e r n d e t e c t o r) 9 1 2 を含みうる。

10

【0081】

前記8ビットデータのうち前記最初の6ビットデータは、如何なる追加プロセッシングもなしに前記バランスリバーシング部910を介して前記D B Iデコーディング部920にパスされうる。

【0082】

前記8ビットデータのうち最後の2ビットは、前記パターン検出器912及び前記M U X 9 1 1 に出力されうる。前記第1フラグ F l a g 1 も前記パターン検出器912に出力されることができ、一方では如何なる追加プロセッシングもなしに前記バランスリバーシング部910を介してパスできる。

【0083】

また、前記M U X 9 1 1 は、外部から2ビットデータ(“11”)を受信することができ、前記パターン検出器912からトリガーQを受信できる。前記トリガーQは、前記8ビットデータのうち前記最後の2ビットデータ、前記第1フラグ F l a g 1 、及び前記第2フラグ F l a g 2 によって決定されうる。

20

【0084】

次に、前記M U X 9 1 1 は、前記D B Iデコーディング部920に前記最後の2ビットデータを出力できる。

【0085】

図6Bに図示されたように、前記パターン検出器912は、前記第1フラグ F l a g 1 と前記D Q 7、D Q 8、及び前記第2フラグ F l a g 2 の反転された入力を受信するA N D ゲートとを含むことができ、演算結果を前記トリガーQとして前記M U X 9 1 1 に出力できる。

30

【0086】

前記トリガーQが1である時、前記出力データD Q 7、D Q 8は、1に復旧されうる。前記トリガーQが0である時、前記出力データD Q 7、D Q 8は、維持されうる。

【0087】

図7A及び図7Bは、コーディングしていない信号と本発明の一実施形態によってコーディングされた信号に対するアイダイアグラム (e y e d i a g r a m s) を表わす。図7A及び図7Bに図示されたように、本発明の一実施形態によるコーディングは顕著に、例えば、半分以上ジッタを減少させうる。

40

【0088】

図8は、本発明の他の実施形態による8ビットデータに対するコーディングテーブルを表わす。図8に図示されたように、前記マルチビットデータ(ここでは、8ビットデータ)は、先にエンコーディングされたデータ内にゼロの数が0ないし少なくとも前記マルチビットの半分ほどの範囲にあるようにする前記D B I方法を受けられうる。

【0089】

次に、前記D B Iコーディングされたデータは、前記マルチビットデータのうちゼロの数の範囲において差を減らし、それによってノイズを減らすために図1のS 1 5 0段階ないしS 1 8 0段階を経られうる。

【0090】

50

しかし、ゼロが十分ではない時、前記最下位ビット、ここでは、前記マルチビットデータの最後の3ビットを強制にゼロにするよりは前記最下位ビットが反転されうる。

【0091】

例えば、図8に図示されたように、ゼロの数の範囲内の中間数(例えば、2)より小さいか同じである場合(ここでは、CASE1、CASE2、CASE3、CASE8、及びCASE9)に対して前記第2フラグFlag2は、ゼロになるように設定しうる。すべての他の場合に対しては、前記第2フラグFlag2は、1になるように設定しうる。

【0092】

前記ゼロの数が相変わらず前記中間数より小さいか同じである場合(例えば、CASE1、CASE2、及びCASE9)、前記データの前記最後の3ビットが反転されうる。したがって、いま前記ゼロの数は、3ないし5の間の範囲にあり得る。したがって、ノイズが減少されながら相異なる場合の間にデルタは減少する。具体的に、例えば、前記デルタは、4IDQから2IDQに減少する。

【0093】

本発明の実施形態が説明の便宜上、8ビットワードであるマルチビットデータと関連して記述されたが、本発明の実施形態によるバランスコーディングは、他のマルチビットデータ(例えば、16ビットデータ、64ビットデータなど)にも拡張されうる。

【0094】

ここでは、説明の便宜上、単に一つのバランスコーディングのみが説明されたが反復されたバランスコーディングも適用可能である。

【0095】

例えば、nバランスコーディングが使われる時、最初のマルチビットデータ内のゼロの最大数とゼロの最小数との間の最初デルタ(Δ_i)は、 $2^{(n+1)}$ まで減少しうる。n=0は、単にデータバスインバージョン(DBI)だけが起きたということ、例えば、如何なるバランスコーディングも実行されなかったということを表わす。

【0096】

すなわち、nバランスコーディング後に結果として生ずるデルタ(Δ_n)は、次の数式1を満足できる。

【数1】

$$\Delta_i > \Delta_n \geq \Delta_i / 2^{(n+1)}$$

【0097】

また、ゼロに設定されるか反転される最下位ビットとして使われうるmビットを有するマルチビットデータ内のビットの数(x)は、次の数式2を満足できる。

【数2】

$$m / 2^n > x \geq m / 2^{(n+1)}$$

【0098】

以上、本発明の実施形態が開示され、特定用語が適用されたとしても、それらは一般的で技術的な意味として使われて解釈されるものであり、制限的な目的のためのものではない。例えば、本発明の実施形態による前記マルチビットデータのバランスは、ソフトウェア、例えば、機械によって接近された時、前記機械が本発明の方法によって前記マルチビットデータをバランスさせるデータを含む機械接近可能な媒体(machine-accessible medium)を有する一つの製品として具現可能である。

【0099】

また、8ビットデータとしてマルチビットデータの例を挙げたが、本発明の実施形態は、他のサイズのマルチビットデータにも適用可能である。それぞれの追加的なフラグは、コーディングされたデータ間のデルタを2の因数(factor of two)まで減少させうる。

【0100】

10

20

30

40

50

したがって、当業者ならば、これより多様な変形及び均等な他実施形態が可能であるという点を理解できるであろう。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決まるべきである。

【産業上の利用可能性】

【0101】

メモリリフレッシュに必要な電力を減らすための方法及び装置関連の技術分野に適用可能である。

【図面の簡単な説明】

【0102】

【図1】本発明の一実施形態によるエンコーディング過程に対するフローチャートである。 10

【図2】本発明の一実施形態によるコーディングテーブルを表わす図である。

【図3】本発明の一実施形態によるエンコーディング過程に対するフローチャートである。

【図4】本発明の一実施形態によるシングルエンド並列データインターフェースシステムのブロック図を表わす。

【図5A】本発明の一実施形態による図4に図示されたエンコーディング部のブロック図である。

【図5B】本発明の一実施形態による図5Aに図示されたエンコーディング部の概略図である。 20

【図6A】本発明の一実施形態による図4に図示されたデコーディング部のブロック図である。

【図6B】本発明の一実施形態による図6Aに図示されたデコーディング部の概略図である。

【図7A】コーディングを使っていないアイダイアグラムを表わす図である。

【図7B】本発明の一実施形態によるコーディングを使ったアイダイアグラムを表わす図である。

【図8】本発明の一実施形態によるコーディングテーブルを表わす図である。

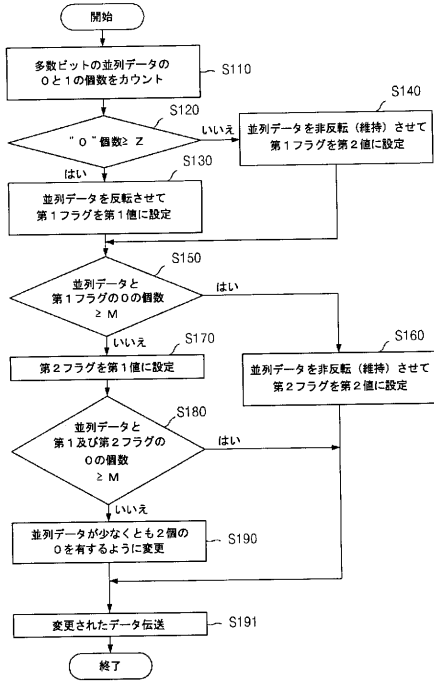
【図9】一般的なエンコーディング方法のフローチャートである。

【符号の説明】 30

【0103】

700 : シングルエンド並列データインターフェースシステム	
710 : 送信器	711 : データ保存部
714 : ドライバ部	720 : 受信器
723 : データ保存部	800 : エンコーディング部
810 : DBIエンコーディング部	820 : バランス部
821 : マルチプレクサ(MUX)	822 : ロジックレベル検出器
900 : デコーディング部	910 : バランスリバーシング部
911 : MUX	912 : パターン検出器
920 : DBIデコーディング部	

【図1】



【図2】

	DBI DC 8B PARALLEL DATA	FLAG1	# OF '0'
CASE1	11111111	1	0
CASE2	11111110	1	1
CASE3	11111100	1	2
CASE4	11111000	1	3
CASE5	11110000	1	4
CASE6	00011111	0	4
CASE7	00111111	0	3
CASE8	01111111	0	2
CASE9	11111111	0	1

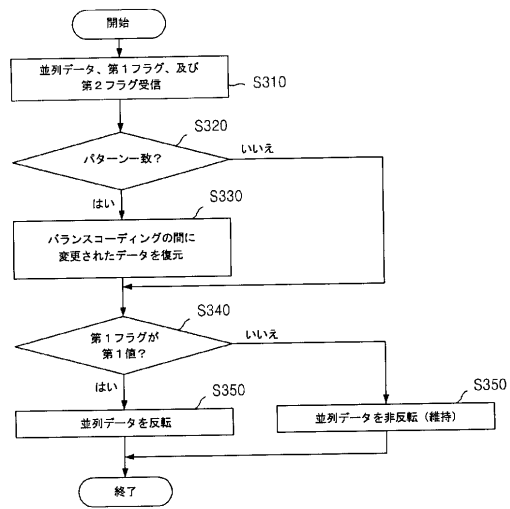
BALANCE ENCODING →

← BALANCE DECODING

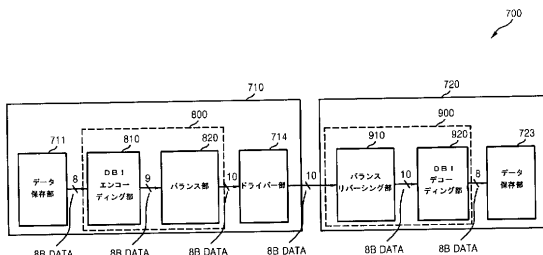
	DBI DC 8B PARALLEL DATA	FLAG1	FLAG2	# OF '0'
CASE1	11111110	1	0	3
CASE2	11111110	1	0	2
CASE3	11111100	1	1	2
CASE4	11111000	1	1	3
CASE5	11110000	1	1	4
CASE6	00011111	0	1	4
CASE7	00111111	0	1	3
CASE8	01111111	0	1	2
CASE9	11111111	0	0	2

↓ DELTA 4IDQ ↓ DELTA 2IDQ

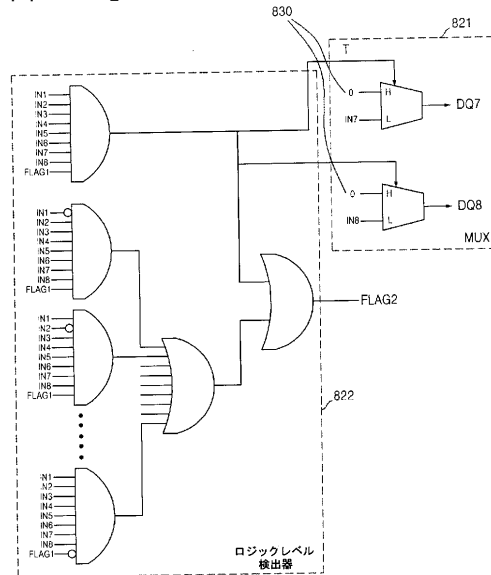
【図3】



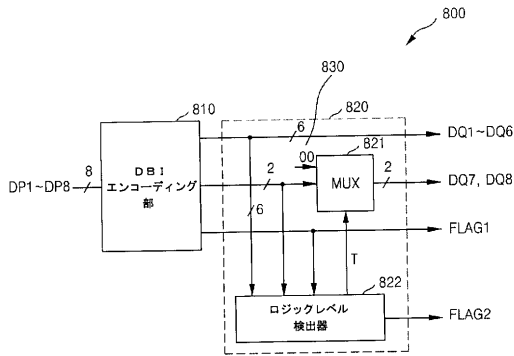
【図4】



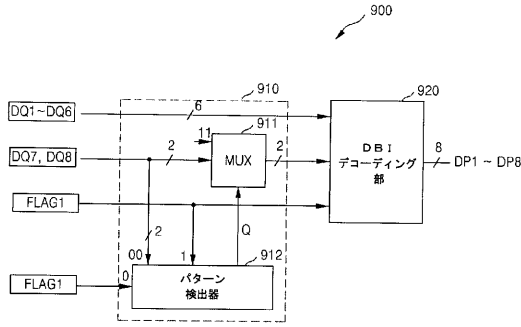
【図5 B】



【図5 A】



【図 6 A】

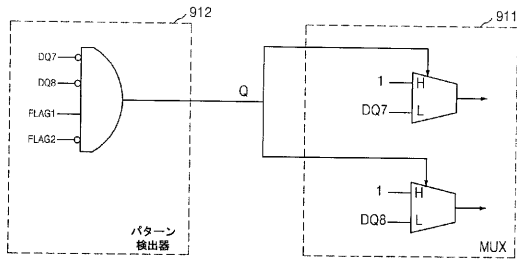


【図 8】

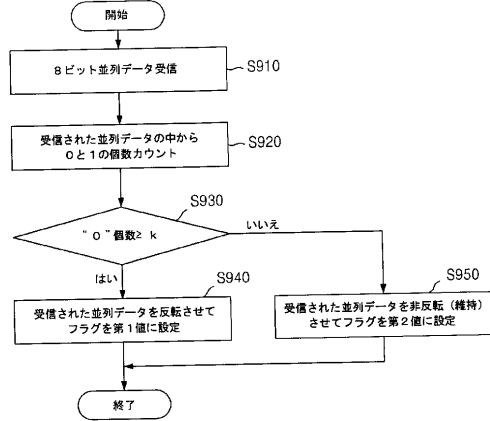
	8 DATA	FLAG1	# OF "0"		8 DATA	FLAG	FLAG2	# OF "0"
CASE1	11111111	1	0	BALANCE ENCODING	11111000	1	0	4
CASE2	11111110	1	1		11111100	1	0	3
CASE3	11111100	1	2		11111000	1	1	3
CASE4	11111000	1	3		11110000	1	1	4
CASE5	11110000	1	4		00011111	0	1	4
CASE6	00011111	0	4		00111111	0	1	3
CASE7	00111111	0	3		01111111	0	0	3
CASE8	01111111	0	2		11111000	0	0	5
CASE9	11111111	0	1					

DBI DC DELTA 4IDQ DELTA 2IDQ

【図 6 B】

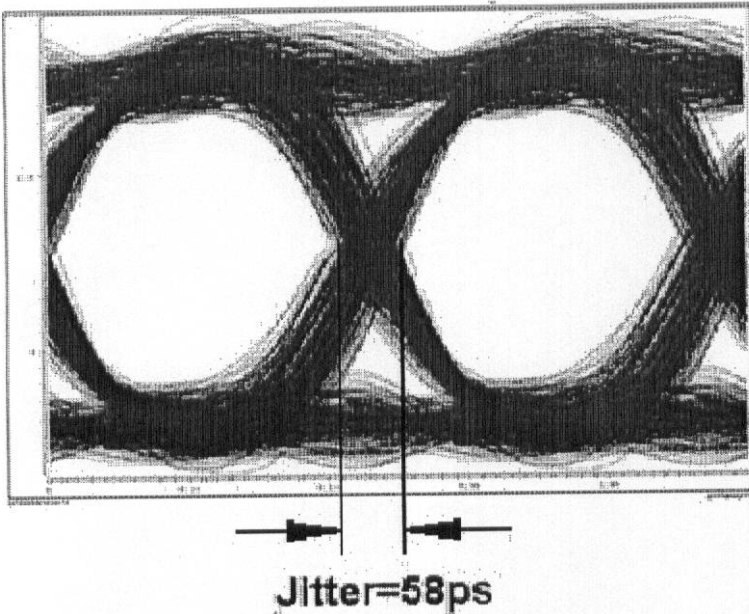


【図 9】



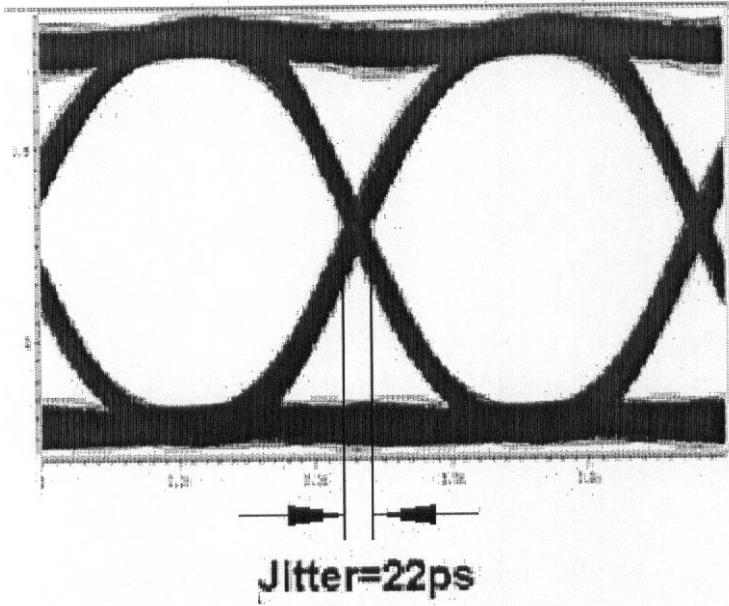
【図 7 A】

■ No coding and No DBI



【 図 7 B 】

■ Proposed coding



フロントページの続き

(72)発明者 ペ 升浚

大韓民国大田西区内洞(番地なし) マルグンモーニングアパート102棟1503号

Fターム(参考) 5K029 AA13 BB03 EE12 FF03