(19)日本国特許庁(JP)　　(12)**公開特許公報(A)**　　(11)特許出願公開番号

特開2006-277032

(P2006-277032A)

(43)公開日　**平成18年10月12日(2006.10.12)**

(51)Int.Cl.			F I			テーマコード（参考）
G06F 13/42		**(2006.01)**	G06F	13/42	350C	5B011
G06F 1/04		**(2006.01)**	G06F	1/04	301C	5B077
H04N 5/225		**(2006.01)**	H04N	5/225	F	5B079
G06F 1/32		**(2006.01)**	G06F	1/00	332Z	5C122

審査請求 未請求　請求項の数 8　ＯＬ　（全 20 頁）

(21)出願番号　特願2005-91857(P2005-91857)

(22)出願日　平成17年3月28日(2005.3.28)

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号

(74)代理人　100076428
弁理士　大塚　康徳

(74)代理人　100112508
弁理士　高柳　司郎

(74)代理人　100115071
弁理士　大塚　康弘

(74)代理人　100116894
弁理士　木村　秀二

(72)発明者　正木　淳也
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

Ｆターム(参考)　5B011 EA10　EB03　EB06　LL11

最終頁に続く

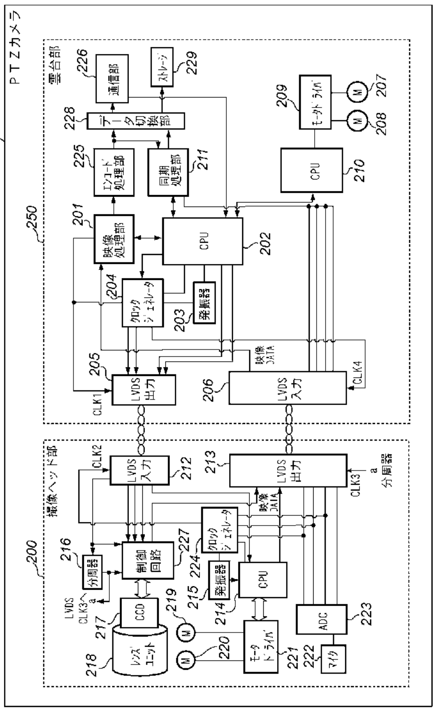
(54)【発明の名称】電子機器および電子機器の制御方法

(57)【要約】

【課題】　電子機器において、低消費電力化を実現する。

【解決手段】　イベントに応じて切り換えられる複数の動作モードを有する電子機器において、電子機器の内部でデータを伝送するデータ伝送手段と、動作モードとの変化に応じて、データ伝送手段の動作クロック周波数を変更するよう制御するクロック制御手段とを有する。

【選択図】図２



【特許請求の範囲】
【請求項１】
イベントに応じて切り換えられる複数の動作モードを有する電子機器であって、
前記電子機器の内部でデータを伝送するデータ伝送手段と、
前記動作モードの変化に応じて、前記データ伝送手段の動作クロック周波数を変更するよう制御するクロック制御手段と
を有することを特徴とする電子機器。
【請求項２】
被写体の画像を撮像する撮像手段と、
前記撮像手段により得られた前記画像のデータを処理するための画像パラメータを設定する画像パラメータ設定手段と、
設定された前記画像パラメータを用いて、前記画像のデータを処理する画像処理手段と
をさらに有することを特徴とする、請求項１に記載の電子機器。
【請求項３】
音声を取得する音声取得手段と、
前記音声取得手段手段により得られた前記音声のデータを処理するための音声パラメータを設定する音声パラメータ設定手段と、
設定された前記音声パラメータを用いて、前記音声のデータを処理する音声処理手段と
をさらに有することを特徴とする、請求項２に記載の電子機器。
【請求項４】
前記動作モードの変化は、前記データ伝送手段における伝送データの種別、前記画像パラメータ、および前記音声パラメータの少なくとも１つの変化であることを特徴とする請求項３に記載の電子機器。
【請求項５】
前記電子機器の状態を初期化することで、前記データ伝送手段に加える動作クロック周波数を、該データ伝送手段の動作保証範囲のうち最低の値に設定する初期化手段をさらに有することを特徴とする、請求項１ないし４に記載の電子機器。
【請求項６】
前記データ伝送手段において、少振幅差動信号（ＬＶＤＳ）伝送方式を用いることを特徴とする請求項１ないし５のいずれかに記載の電子機器。
【請求項７】
前記データ伝送手段における伝送データの有無に応じて、該データ伝送手段の電源供給を制御する電源制御手段をさらに有することを特徴とする請求項１ないし６のいずれかに記載の電子機器。
【請求項８】
イベントに応じて切り換えられる複数の動作モードを有する電子機器の制御方法であって、
前記電子機器の内部でデータを伝送するデータ伝送工程と、
前記動作モードの変化に応じて、前記データ伝送工程における動作クロック周波数を変更するよう制御するクロック制御工程と
を有することを特徴とする電子機器の制御方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電子機器の消費電力を低減する技術に関する。
【背景技術】
【０００２】
従来、映像を撮像する電子機器においては、ＣＰＵ動作クロックを撮像モード時と非撮像モード時とで切り換えることで省電力化を実現する技術が提案されている（特許文献１）。

【特許文献１】特開２００３－３７７６８号公報
【発明の開示】
【発明が解決しようとする課題】
【０００３】
しかしながら、上記技術では電子機器の動作モードの違いに応じてＣＰＵ動作クロックを切り換えるため、その省電力効果は、非常に限定されたものとなっている。すなわち、上記ＣＰＵ動作クロックに同期する回路の消費電力だけが節約されるにすぎない。そのため、電子機器トータルでのさらなる省電力化を図るには、ＣＰＵ動作クロックに連動せずに動作する他の回路についても低消費電力化を進める必要がある。
【課題を解決するための手段】
【０００４】
本発明は、例えば、イベントに応じて切り換えられる複数の動作モードを有する電子機器において、電子機器の内部でデータを伝送するデータ伝送手段と、動作モードの変化に応じて、前記データ伝送手段の動作クロック周波数を変更するよう制御するクロック制御手段とを含む。
【発明の効果】
【０００５】
本発明によれば、電子機器における低消費電力化を、ＣＰＵ動作クロックに同期する回路だけでなく、それに同期しない他の回路においても達成することができる。
【発明を実施するための最良の形態】
【０００６】
以下に、図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に含まれる構成要素はあくまで例示であり、この発明の範囲をそれらのみに限定する趣旨のものではない。
【０００７】
（第１実施形態）
本発明に係る電子機器の第１実施形態として、ＰＴＺカメラ（パン、チルト、ズーム操作可能なカメラ）を例に挙げて説明する。
【０００８】
＜概要＞
一般的に、電子機器の消費電力はクロック周波数の増加に伴い増加する。本実施形態によれば、ＰＴＺカメラは、その動作モードの変更に応じて、伝送されるデータ量も変化するといった特性を利用して低消費電力化を実現する。すなわち、動作モードの違いに応じて、伝送部のクロックを制御することにより低消費電力化を実現する。
【０００９】
＜システムの全体構成＞
図１は、実施形態に係るＰＴＺカメラ１００を含むシステム全体の例示的なブロック図である。
【００１０】
ＰＴＺカメラ１００は、外部のビューワ１１０が送信する制御コマンドにより制御され、取得した映像及び音声のデータをビューワ１１０に送信する。なお、制御コマンドとしては、ファインダー要求または音声要求などの動作指示、および、各種パラメータの設定指示などが含まれる。ＰＴＺカメラ１００およびビューア１１０は、それぞれ通信インタフェースを有しており、通信インタフェースを介して機器相互の通信を行なう。また、ビューア１１０は、表示デバイスを有する任意の機器で実現され、例えば、ＰＣ１２０によっても実現されうる。
【００１１】
また、ＰＴＺカメラ１００とビューア１１０は、直接通信を行ってもよいし、または、ローカルエリアネットワーク（ＬＡＮ）１０１、世界各地に張り巡らされているインターネット網１０２もしくはＬＡＮ１０１とは別のローカルエリアネットワーク（ＬＡＮ）１

０３の少なくとも１つを経由して通信を行ってもよい。

【００１２】

＜装置内部構成＞

図２は、ＰＴＺカメラ１００に係る例示的な内部構成のブロック図である。ＰＴＺカメラ１００は、レンズ・撮像素子などを有する可動の撮像ヘッド部２００、および、撮像ヘッド部２００のパン・チルト動作のためのモータなどを有し設置場所に固定される雲台部２５０から構成されている。撮像ヘッド部２００と雲台部２５０とには、それぞれ送信回路・受信回路が含まれており、これにより、撮像ヘッド部２００で撮像された映像データが雲台部２５０へと伝送される。映像データは、雲台部２５０においてエンコードなどのデータ処理がされた後、通信回線を介してビューア１１０に伝送される。また、ＰＴＺカメラ１００は、通信回線を介してビューア１１０に入力されたユーザからの指示により制御される。以下で、撮像ヘッド部２００および雲台部２５０についてさらに詳細に説明する。

【００１３】

雲台部２５０は、主に、撮像ヘッド部２００から伝送された映像データの処理、および、ビューワ１１０との通信を行なう。

【００１４】

映像データの処理に関連する部分として、現像処理及び最適化処理を行なう映像処理部２０１と、映像処理部２０１にて処理された映像データを所定の画像フォーマットにエンコードするエンコード処理部２２５と、エンコード処理部２２５でエンコードされた映像・音声データの同期処理を行なう同期処理部２１１とを有する。なお、ＣＰＵ２０２により制御されるデータ切換部２２８は、データの入出力先を通信部２２６またはストレージ２２９に切り換え。なお、ストレージ２２９の詳細は特に規定しないが、フラッシュメモリや、ハードディスク装置、書き込み可能なＤＶＤもしくはＣＤなどの様々なメディアが含まれる。また、同期処理された映像・音声データをビューア１１０に向けて出力するとともに、ビューア１１０からＰＴＺカメラ１００の制御信号を受け付ける通信部２２６も含まれる。

【００１５】

発振器２０３は、ＣＰＵ２０２およびクロックジェネレータ２０４の基準信号を生成する。ＣＰＵ２０２は、映像処理部２０１、クロックジェネレータ２０４、エンコード処理部２２５、同期処理部２１１、通信部２２６、ストレージ２２９の制御などを行なう。クロックジェネレータ２０４は、ＬＶＤＳ入力部２０６およびＬＶＤＳ出力部２０５の基準クロックの生成、撮像ヘッド側へ映像信号を送信する為のクロックを生成する。

【００１６】

また、ＣＰＵ２１０は、パン動作のためのモータ２０７とチルト動作のためのモータ２０８とを、モータドライバ２０９を介してコントロールする。

【００１７】

ＬＶＤＳ出力部２０５は、雲台部２５０から撮像ヘッド部２００へと送信される制御コマンド信号及び映像信号用基準クロックと、後述する制御回路２２７に伝送される制御コマンド信号を出力する。その際に、ＬＶＤＳ出力部２０５は、これらの信号をシリアル化して差動出力する。ＬＶＤＳ入力部２０６は、撮像ヘッド部２００から雲台部２５０へと送信されてきたシリアルデータ（映像データ、音声データおよび制御コマンドデータなど）をパラレルデータに変換する。

【００１８】

撮像ヘッド部２００は、被写体の映像や画像などのデータを取得するユニットであり、主にレンズユニット２１８およびＣＣＤ２１７（ＣＭＯＳセンサなどでも構わない）を備えている。併せて、レンズユニット２１８のズーム動作のためのモータ２１９、レンズユニット２１８のフォーカス動作のためのモータ２２０を備えている。モータ２１９およびモータ２２０は、モータドライバ２２１により駆動される。モータドライバ２２１はＣＰＵ２１４により制御される。また、音声を取得するために、マイク２２２およびＡ／Ｄコ

ンバータ２２３を備えていてもよい。
【００１９】
発振器２１５は、ＣＰＵ２１４およびクロックジェネレータ２２４を動作させる為の基準信号を生成する。分周器２１６は、ＬＶＤＳ入力部２１２にてリカバリーされたクロックを分周する。クロックジェネレータ２２４は、Ａ／Ｄコンバータ２２３の各種サンプリングクロックと、ＬＶＤＳ入力部２１２のリファレンス（転送クロックの同期）を取る為に必要なクロックとを生成する。
【００２０】
なお、ＬＶＤＳ入力部２１２は、雲台部２５０から撮像ヘッド部２００へと、制御コマンド信号として伝送されてきたデータをパラレルデータに変換する。この制御コマンド信号として、雲台部２５０の各種回路の動作モードを切り換えるためのコマンド等がある。例えば、撮像素子であるＣＣＤ２１７の読み出しタイミング発生のためのタイミングジェネレータ（ＴＧ）、アナログ撮像信号を所定の量子化ビットにデジタルデータとして変換するＡ／Ｄコンバータ（ＡＤＣ）、ＣＣＤ２１７から入力されたアナログ信号を増幅させるアンプのゲインを自動的にコントロールするためのオートゲインコントロール回路（ＡＧＣ）等を制御するためのコマンドがある。ＬＶＤＳ出力部２１３は、撮像ヘッド部２００から雲台部２５０へ送信される映像データ、音声データおよび制御コマンドデータ等を差動シリアル化する。データ伝送部における伝送方式としては、特にＬＶＤＳ（少振幅差動信号）伝送方式に限定するものではないが、ＬＶＤＳ伝送方式を使用することにより、所定のノイズ耐性を保持しつつさらなる低消費電力化が可能となる利点がある。
【００２１】
＜装置全体の動作＞
図３は、本システムの制御方法に係る例示的なフローチャートである。
【００２２】
ステップＳ３０１では、ＣＰＵ２０２は本システムの初期化動作を実施する。初期化動作については後ほど詳細に説明する。
【００２３】
ステップＳ３０２では、ＣＰＵ２０２はＬＡＮ１０１経由でＰＴＺカメラ１００を制御する為に外部の操作装置（ここでは、ビューア１１０）からのコマンド信号を受け付けたか否かを判断する。コマンドを受け付けない場合は、受け付けるまでステップＳ３０２で待機している。
【００２４】
ステップＳ３０３では、ＣＰＵ２０２は操作コマンドのコマンド信号内容を判断するために、まず電子ビューファインダーモード（以降、ファインダーモードと呼ぶ）要求のコマンドで有るか否かを判断する。ここでファインダーモードとは、ＰＴＺカメラ１００で撮像された映像がＬＡＮ１０１を介してビューア１１０まで伝送されているモードのことを示す。なお、ファインダーモード要求コマンドではない場合は、ステップＳ３０２へ戻り、再度コマンド受け付けを待機する。ここでは、ファインダーモード要求以外のコマンドは受け付けないように構成しているが、その他のコマンドを受け付けるように構成しても構わない。
【００２５】
ステップＳ３０４では、ＣＰＵ２０２はファインダー映像として出力する動画像のフレームレートの設定を制御回路２２７に対して行なう。ただし機器動作開始後、初めてこのシーケンスを通る時は、フレームレートは動画の確認用として成り立つと考えられる最低限のレートに設定することが望ましい。例えば、５fps（１秒間に５枚のフレームを構成する動画）と仮に設定する。なお、設定できるフレームレートとして５ｆｐｓ、１０ｆｐｓ、１５ｆｐｓ、３０ｆｐｓ、６０ｆｐｓに設定可能なように構成しても良い。
【００２６】
ステップＳ３０５では、ＰＴＺカメラ１００はファインダーモードとなり映像データを出力する。ファインダー動作については後ほど詳細に説明する。

【００２７】
　ステップＳ３０６では、ＣＰＵ２０２は通信部２２６において、ビューア１１０からファインダーのフレームレートを切り換えるためのコマンドを受信したか否かを判断する。特にコマンドを受信しなければ、ステップＳ３０７へ進み、コマンドを受信した場合は、ステップＳ３０４へ戻り再度フレームレートの設定を行なう。
【００２８】
　ステップＳ３０７では、ＣＰＵ２０２は通信部２２６において、ビューア１１０から音声信号要求コマンドを受信したか否かを判断し、受信した場合はステップＳ１１０へ進み、受信しなければステップＳ３０９へ進む。
【００２９】
　ステップＳ３０８では、マイク２２２から入力される音声信号をＡ／Ｄコンバータ２２３でＡ／Ｄ変換する際の音声サンプリングに係る設定に変更がある（例えば、音声信号要求コマンド内の設定と異なる）場合は、ステップＳ３１０へ進む。変更がない場合はステップＳ３１２へ進む。
【００３０】
　ステップＳ３０９では、音声信号をオフするため、ＣＰＵ２０２はクロックジェネレータ２２４、マイク２２２、Ａ／Ｄコンバータ２２３の動作を停止する。その後ステップＳ３１２に進む。
【００３１】
　ステップＳ３１０では、音声のサンプリング周波数を設定する。例えば、４４．１ｋＨｚ、４８ｋＨｚのいずれかに設定を切り換えるように構成される。
【００３２】
　ステップＳ３１１では、音声の量子化ビット数を設定する。例えば、１２ｂｉｔ、１６ｂｉｔ、２０ｂｉｔのいずれかに設定を切り換えるように構成される。
【００３３】
　ステップＳ３１２では、ビューア１１０からのパン・チルト・ズーム操作のコマンドに応じて、ＣＰＵ２１０，２１４は撮影範囲を設定するためのパン・チルト・ズームの設定を行なう。
【００３４】
　ステップＳ３１３では、ステップＳ３１２において設定されたズームポジションに対応して、ＣＰＵ２１４はＡＦ用モータ２２０をモータドライバ回路２２１経由で駆動しオートフォーカスを実施する。ＡＦの方式としては、例えばＴＴＬピークスキャン方式が用いられる。ＡＦを実施する際は、ＡＦのレスポンス速度を満たすために、ＬＶＤＳ入力部および出力部（２０５、２０６、２１２、２１３）に加えるクロック周波数を、ファインダーモードで加えていたクロック周波数より速い周波数に切り換え、さらに、フレームレートを上げる為に映像信号も速い周波数に切り換える。
【００３５】
　図６に、各動作モードにおける、ＬＶＤＳ入力部および出力部（２０５、２０６、２１２、２１３）に加えるクロック周波数、映像・音声信号の転送周波数、および、通信速度の例を示す。なお、ＣＬＫ１はＬＶＤＳ出力部２０５のクロック、ＣＬＫ２はＬＶＤＳ入力部２１２のクロック、ＣＬＫ３はＬＶＤＳ出力部２１３のクロック、ＣＬＫ４はＬＶＤＳ入力部２０６のクロックをそれぞれ示す
　図６に示される通り、例えば、ファインダーモード（５fps）においては、雲台部２５０から撮像ヘッド部２００への伝送に係るＬＶＤＳ出力部２０５およびＬＶＤＳ入力部２１２には４．５ＭＨｚを設定し、撮像ヘッド部２００から雲台部２５０への伝送に係るＬＶＤＳ出力部２１３およびＬＶＤＳ入力部２０６には２．２５ＭＨｚを設定する。一方、ＡＦ動作モードにおいては、ＡＦのレスポンス速度を上げる必要があるため、雲台部２５０から撮像ヘッド部２００への伝送に係るＬＶＤＳ出力部２０５およびＬＶＤＳ入力部２１２には３６ＭＨｚを設定し、撮像ヘッド部２００から雲台部２５０への伝送に係るＬＶＤＳ出力部２１３およびＬＶＤＳ入力部２０６には１８ＭＨｚを設定し、映像データも９

ＭＨｚで転送する。ＴＴＬピークスキャン方式では、ＡＦに必要な映像コントラストピーク差分の評価値を映像処理回路２０１で処理し、撮像ヘッド部２００のＣＰＵ２１４へのデータ転送をフォーカスが合うまで繰り返す。なお、図６に示されるモードに限らず、ＣＣＤの読み出し速度、レンズフォーカススピード等にあわせてクロック速度を切り換えられるように構成してもよい。

【００３６】

ステップＳ３１４では、ＣＰＵ２０２は各種コマンド受け付け、撮影モードコマンドであった場合はステップＳ３１５に進む。それ以外のモードコマンドであった場合はステップＳ３１６に進む。

【００３７】

ステップＳ３１５では、ＣＰＵ２０２はクロックジェネレータ２０４を制御しＬＶＤＳ入力部および出力部（２０５、２０６、２１２、２１３）に加えるクロックを撮影する画像フレームレートを伝送するのに必要なクロック周波数に切り換え、撮影を開始する。撮影の際は、ＣＣＤ２１７から読み出された映像データは制御回路２２７でＡ／Ｄ変換された後、ＬＶＤＳ出力部２１３およびＬＶＤＳ入力部２０６を経由し、撮影ヘッド部から雲台部２５０に伝送される。雲台部２５０に伝送された映像データは、映像処理部２０１で色再現性、コントラスト、周波数帯域制限、リサイズ等の映像処理が行われ、エンコーダ処理部２２５において、例えばフレーム毎にＪＰＥＧフォーマットに圧縮エンコード処理される。

【００３８】

ステップＳ３１６では、ＣＰＵ２０２はコマンドが、ファインダーモードコマンドであるか否かを判断し、ファインダーモードであればステップＳ３０４に進み、それ以外であれば、ステップＳ３１７に進む。

【００３９】

ステップＳ３１７では、ＣＰＵ２０２は撮像ヘッド部２００への電源をオフし、雲台部２５０ではＣＰＵ２０２と通信部２２６のみ電源をオンした状態で撮像を停止し、ステップＳ３０２に戻りコマンドを受け付ける。

【００４０】

ステップＳ３１８では、ＣＰＵ２０２はステップＳ３１５で撮影した映像データの（ステップＳ３０７で音声要求がされている場合は音声データも）保存先を、ストレージ２２９に保存するか、通信部１１６を経由して外部の機器に保存するかを、例えばビューア１１０からの指示により選択する。ストレージに保存する場合はステップＳ３１９に進み、外部に保存する場合はステップＳ３２０に進む。

【００４１】

ステップＳ３１９では、映像データをストレージ２２９に伝送するようＣＰＵ２０２はデータ切り換え部２２８を切り換え、映像データの保存記録を実施する。保存終了後ステップＳ３２１に進む。

【００４２】

ステップＳ３２０では、映像データを通信部２２６に伝送するようＣＰＵ２０２はデータ切り換え部２２８を切り換え、外部の機器（例えばビューア１１０）送信し外部の機器において必要に応じて保存記録を実施する。

【００４３】

ステップＳ３２１では、ＣＰＵ２０２は撮影オフコマンドを受信したか否かを判断し、受信した場合はステップＳ３１６へ進む。受信しない場合は、ステップＳ３０７へ戻り、再度ステップＳ３０７～ステップＳ３２０までの動作を繰り返す。

【００４４】

なお、上記では動画像を伝送することを想定して説明したが、静止画像を伝送する場合においても適用可能である。なお、静止画モード時は、各ＬＶＤＳ入出力ブロックに加える基準クロックは、極力ファインダーのフレームレートを落とすなどして、クロック周波数を落とすように設定するように構成することにより省電力効果が増大することとなる。

【００４５】

＜初期化の詳細シーケンス＞

図４は、ステップＳ３０１における初期化の詳細シーケンスを示す。

【００４６】

ステップＳ４０１では、ＰＴＺカメラのパン回転およびチルト回転位置の初期化を行なう。パン回転方向にモータ２０７を駆動することで予め設定してある初期位置に移動させる。初期位置は特に限定はないが、通常は回転範囲の左右の端、あるいは、回転可能範囲の１／２の位置を初期位置とすることが多い。パン回転方向にモータ２０８を駆動することで予め設定してある初期位置に移動させる。これも初期位置は特に限定はないが、通常はレンズユニットが水平になるような位置とすることが多い。

【００４７】

ステップＳ４０２では、ＣＰＵ２０２はＬＶＤＳ出力部２０５とＬＶＤＳ入力部２１２に対して電源供給を開始する。

【００４８】

ステップＳ４０３では、ＣＰＵ２０２は前述した図６の初期モードのＣＬＫ１、ＣＬＫ２に対応する動作クロックを設定する。初期モードにおいては、伝送されるデータは撮像ヘッド部２００と雲台部２５０の間のコマンドのみであるため、特にスピードを早くする必要性がない。そのため、クロック周波数は最低駆動クロックである７６．８ｋＨｚに設定し通信速度を３８．４ｋｂｐｓ程度で通信できるようにする。また、最低動作クロックに設定することにより、同期失敗などの問題の発生を低減させることが可能となる。

【００４９】

ステップＳ４０４では、ＣＰＵ２０２がクロックジェネレータ２０４の制御を行い、撮像ヘッド部２００のＣＰＵ２１４がクロックジェネレータ２２４の制御を行い、ＬＶＤＳ出力部２０５とＬＶＤＳ入力部２１２に対してクロックの入力を開始する。

【００５０】

ステップＳ４０５では、ＣＰＵ２０２はＣＰＵ２１４へ各種コマンドを３８．４ｋｂｐｓで伝送開始する。

【００５１】

ステップＳ４０６では、ＣＰＵ２１４はモータドライバ２２１を制御しモータ２１９を駆動することで、レンズユニット２１８のズーム位置を初期位置に持っていく。初期位置についての限定した位置はないが、予め設定してある位置通常一般的には、ズームのＷＩＤＥ側またはＷＩＤＥ位置のいずれかの端のズーム位置にすることが多い。

【００５２】

ステップＳ４０７では、ＣＰＵ２１４はモータ２２０を、モータドライバ２２１を制御し、レンズユニット２１８のピント位置を初期位置に駆動する。これも特に限定された位置は無いが、通常は即ピント合わせがしやすいような位置（２～３ｍ程度またはＴＥＬＥ側端に近い位置等）を初期位置とすることが多い。

【００５３】

ステップＳ４０８では、ＣＰＵ２０２は前述した図６の初期モードのＣＬＫ３、ＣＬＫ４に対応する動作クロックを設定する。撮像ヘッド部２００と雲台部２５０の間のコマンドのみであり、ステップＳ４０３と同様にＣＰＵ間のコマンド通信のみで特にスピードを早くする必要性はない。そのため、クロック周波数は最低駆動クロックである７６．８ｋＨｚに設定し通信速度を３８．４ｋｂｐｓ程度で通信できるようにする。また、最低動作クロックに設定することにより、同期失敗などの問題の発生を低減させることが可能となる。

【００５４】

ステップＳ４０９では、雲台部２５０のＣＰＵ２０２がクロックジェネレータ２０４の制御を行い、撮像ヘッド部２００のＣＰＵ２１４がクロックジェネレータ２２４の制御を行い、ＬＶＤＳ出力部２１３とＬＶＤＳ入力部２０６に対してクロックの入力を開始する。

【００５５】
ステップＳ４１０では、ＣＰＵ２１４はＣＰＵ２０２へ例えばステップＳ４０５で受信したコマンドの応答などを３８．４ｋｂｐｓで伝送開始する。
【００５６】
ステップＳ４１１では、初期通信のネゴシエーションの完了に伴い、クロックジェネレータ（２０４、２２４）はＬＶＤＳ入力部および出力部（２０５、２０６、２１２、２１３）へのクロック入力をオフにする。
【００５７】
ステップＳ４１２では、ＣＰＵ２０２はＬＶＤＳ入力部および出力部（２０５、２０６、２１２、２１３）への電源入力をオフにする。
【００５８】
<ファインダー出力時の詳細シーケンス>
図５は、ファインダー出力時の詳細シーケンスを示す。なお、図３を用いて前述したステップＳ３０７に相当する。
【００５９】
ステップＳ５０１では、ＣＰＵ２０２の制御によりＬＶＤＳ出力部２０５とＬＶＤＳ入力部２１２に対して電源供給を開始する。
【００６０】
ステップＳ５０２では、ＣＰＵ２０２は前述した図６のファインダーモードのＣＬＫ１、ＣＬＫ２に対応する動作クロックを設定する。なお、ステップＳ３０４にて設定されたフレームレートに対応しクロックは変化する（図６）。
【００６１】
ステップＳ５０３では、雲台部２５０のＣＰＵ２０２がクロックジェネレータ２０４の制御を行い、撮像ヘッド部２００のＣＰＵ２１４がクロックジェネレータ２２４の制御を行い、ＬＶＤＳ出力部２０５とＬＶＤＳ入力部２１２に対してクロックの入力を開始する。
【００６２】
ステップＳ５０４では、雲台部２５０から撮像ヘッド部２００へ、ＣＰＵ２１４および制御回路２２７を制御するコマンドを送信する。
【００６３】
ステップＳ５０５では、ＣＰＵ２１４がコマンドを受信したか否かを判断し、正しく受信した場合はステップＳ５０６へ、受信できなかった場合はステップＳ５０７へ進む。
【００６４】
ステップＳ５０６では、ＣＰＵ２０２は前述した図６のファインダーモードのＣＬＫ３、ＣＬＫ４に対応する動作クロックを設定する。なお、ステップＳ３０４にて設定されたフレームレートに対応しクロックは変化する（図６）。
【００６５】
ステップＳ５０８では、雲台部２５０のＣＰＵ２０２がクロックジェネレータ２０４の制御を行い、撮像ヘッド部２００のＣＰＵ２１４がクロックジェネレータ２２４の制御を行い、ＬＶＤＳ出力部２１３とＬＶＤＳ入力部２０６に対してクロックの入力を開始する。
【００６６】
ステップＳ５０９では、ＣＰＵ２１４からＣＰＵ２０２へ例えばステップＳ５０４で受信した映像データやコマンドの応答などを伝送開始する。
【００６７】
ステップＳ５１０では、ＣＰＵ２０２は映像データやコマンド応答などを受信したか否かを判断し、正しく受信した場合はステップＳ５１１へ、受信できなかった場合はステップＳ５１２へ進む。
【００６８】
ステップＳ５１１では、ファインダーデータは映像処理部２０１で映像処理された後エ

ンコード処理部２２５にて映像データの各フレームをエンコードする。なお、ここではＪＰＥＧとして出力するように構成し説明するが、他の映像フォーマット、例えばＭＰＥＧ２、ＭＰＥＧ４、ＭＰＥＧ１等でもよい。映像データは、データ切り換え部２２８および通信部２２６を経由してビューア１１０に送信される。

【００６９】

ステップＳ５０７およびステップＳ５１２は、ＣＰＵ２０２は正しく通信が行なえなかった場合リトライ回数が所定の回数を超えたか否かを判定する。所定の回数を超えた場合はＣＰＵ２０２またはＣＰＵ２１４は装置に何らかの故障や不具合が発生したと判断し、ステップＳ５１３に進み、エラーを利用者に例えばビューアに警告表示を出すなどして通知する。

【００７０】

上記では、映像データのみ伝送される場合を想定したが、音声データも併せて伝送する場合は音声データの伝送に必要な通信速度に対応して設定が切り換えられる。例えば、動画３０ｆｐｓ＋音声（16ｂｉｔ４８ｋＨｚサンプリング）を選択した場合、ＣＬＫ１，２は３６ＭＨｚ、ＣＬＫ３，４は７２ＭＨｚが選択される（図６）。

【００７１】

図７に、ＬＶＤＳＬＶＤＳ入力部および出力部（２０５、２０６、２１２、２１３）の１ブロックにおける消費電力グラフの例を示す。

【００７２】

横軸はＬＶＤＳのブロックの動作するクロック周波数、縦軸は消費電力であり、グラフから周波数が高いほど消費電力が大きくなることが分かる。そのため、本実施形態において説明したように、動作モード毎のデータ伝送量に応じて、伝送部（ＬＶＤＳの各ブロック）のクロックを制御することにより、更なる低消費電力化が実現可能である。なお、本実施形態において説明したように、伝送部への電源入力を動作状態に応じてオン／オフを行なうことによっても低消費電力化の効果がある。

【００７３】

（第２実施形態）

本発明に係る映像伝送装置の第２実施形態として、ＰＴＺカメラを例に挙げて以下に説明する。

【００７４】

＜概要＞

一般的に、電子機器の消費電力はクロック周波数の増加に伴い増加する。本実施形態では、ＰＴＺカメラがその動作モードに応じて伝送するデータ量が変化することを利用し、それぞれの動作モードにおけるデータ伝送量に応じて伝送部のクロックを制御することにより低消費電力化を実現する形態を示す。

【００７５】

構成および動作は、第１実施形態とほぼ同様であるが、各構成部への電源供給のタイミングについてさらに詳細に説明してある点で異なる。

【００７６】

＜装置内部構成＞

図８は、ＰＴＺカメラ１００に係る例示的な内部構成のブロック図である。電源部８３７は、ＰＴＺカメラ１００を動作するための電源であり、外部の商用ＡＣ電源をＡＣ／ＤＣ変換する電源の他、バッテリ等に充電を行なうように構成された電源であってもよい。

【００７７】

ＣＰＵ８０２は、トランジスタ８３８を用いてＬＶＤＳ出力部８０５の電源を制御し、トランジスタ８４１を用いてＬＶＤＳ入力部８０６の電源を制御する。同様に、ＣＰＵ８１４は、トランジスタ８４０を用いてＬＶＤＳ出力部８１３の電源を制御し、トランジスタ８３９を用いてＬＶＤＳ入力部８１２の電源を制御する。ここでは、トランジスタ８３８、８３９、８４０、８４１はＣＭＯＳトランジスタとして説明するが、トランジスタタイプはコントロール可能な物であれば特に限定はしない。

【００７８】
また、ＣＰＵ８０２は、ＬＶＤＳ入力部８０６に入力された基準クロックＣＬＫ３と同期を取り再生されたクロック（ここではＣＬＫ３’と呼ぶ）の分周を行う分周器８４２を制御する。
【００７９】
図９にＬＶＤＳ出力部（８０５，８１３）およびＬＶＤＳ入力部（８０６，８１２）のブロック図を示す。
【００８０】
ＬＶＤＳ出力部は、入力されるデータをラッチする入力ラッチ部９４３、入力ラッチ部９４３のからの出力パラレルデータをシリアル化するためのパラレル・シリアル変換部９４４、ＬＶＤＳ出力部の基準クロック（ＴＣＬＫ）を逓倍して高速なクロックに変換するＰＬＬ回路９４５、ＰＬＬ回路９４５により逓倍されたクロックからタイミングをコントロールすると同時にＬＶＤＳ伝送用アンプ９４６をコントロールするタイミング＆コントロール部９４７、および、ＬＶＤＳ伝送用出力アンプ９４６から構成される。
【００８１】
一方、ＬＶＤＳ入力部は、ＬＶＤＳ信号をデジタルデータとして扱えるようにするための差動レベル判定用アンプ９４８、アンプ９４８でデジタル化されたシリアルデータをパラレルデータに変換するためのシリアル・パラレル変換部９４９、出力するデータをラッチしておく出力ラッチ部９５０、アンプ９４８の出力データから内部の回路に逓倍したクロックを供給するためのＰＬＬ回路９５１、ＰＬＬ回路９５１のからのクロックに基づき、シリアル・パラレル変換部９４９と出力ラッチ部９５０とのコントロールとタイミング生成を行なうタイミング＆コントロール部９５２、および、外部から入力されるＬＶＤＳ基準クロック（ＲＥＦＣＬＫ）とＰＬＬ回路９５１から生成されたクロックから、同期を確立させる動作を行なうクロックリカバリ部９５３から構成される。
【００８２】
＜初期化時シーケンス＞
ＰＴＺカメラ１００の撮像ヘッド部８００および雲台部８５０の各部における電源オンからオフまでのタイミング、および、伝送部であるＬＶＤＳ入出力部の基準クロック周波数切り換えについてタイミングチャートを用いて説明する。また、伝送データの周波数切り換え方法についても述べる。
【００８３】
図１０に、ＰＴＺカメラ１００の初期化時のタイミングチャートを示す。
【００８４】
装置の電源がオンされることにより、まず雲台部の各ブロックに電源が供給される。ただしまだここでは出来るだけ省電力化するため、ＬＶＤＳ入出力部（８０５、８０６）のには電源供給されない。その後、所定の時間（たとえば、ＣＰＵ８０２、８１０、発信器８０３等の動作が安定的に動作するまでの時間）待機した後、撮像ヘッド部８００へ電源を開始する。同時にＬＶＤＳ出力部８０５の電源供給を開始する。
【００８５】
撮像ヘッド部８００では、ＣＰＵ８１４と発振器８１５が安定して動作可能になるまで（期間Ａ）待機した後、ＣＰＵ８１４が動作開始するとＬＶＤＳ入力部８１２に電源を供給開始する。その後、所定の時間（期間ａ）待機した後、ＬＶＤＳ入力部８１２に所定の周波数（たとえば、ＬＶＤＳ入力部８１２の動作保証範囲内の最低クロック周波数）のクロックを加える。
【００８６】
ここでは、例として最低動作クロックを７６．８ｋＨｚと設定し説明する。動作周波数はデバイスプロセスやシリアル－パラレル変換のビット数などにも依存するため、動作可能な周波数であれば特に限定はしない。
【００８７】
一方、雲台部８５０では、所定の期間（期間ｂ）を予め設定しておきＬＶＤＳ出力部８

０５の入力部同様に、クロックジェネレータ８０４のＣＰＵ８０２で制御し、ＬＶＤＳ入力部８０６で設定してある周波数と同一のクロックを加える。なお、周波数の設定値はあらかじめ動作モード毎に用意され、外部からのコマンドあるいは動作モードの変更に応じて設定が行われる。

【００８８】

なお、期間ｂにおいては雲台部８５０は撮像ヘッド部８００から信号を受けることが出来ないため、撮像ヘッド部電源投入後ＣＰＵ８１４が動き出すまでの時間を考慮し十分な期間を取っておく。この時間については、撮像ヘッド側で使用しているＣＰＵ８１４と発振器８１５の立ち上げ性能に依存する部分であり、実際の使用部品のデータ等よりあらかじめ導出が可能である。

【００８９】

その後、期間ｃ経過後、ＣＰＵ２０２からＣＰＵ２１４へ初期化コマンドを送信する。送信完了の後、所定の時間（期間ｅ）経過後にＣＰＵ２０２はＬＶＤＳ出力部８０５に印加した動作クロック（ＣＬＫ１）をオフにする。同時にＣＰＵ２１４はＬＶＤＳ入力部８１２に印加した動作クロック（ＣＬＫ２）をオフする。

【００９０】

撮像ヘッド部８００から雲台部８５０へ通信を受けたことを返信するため、ＬＶＤＳ出力部８１３への通信完了後（期間ｄ）、ＣＰＵ８１４はトランジスタ８４０を制御することにより電源供給を開始する。

【００９１】

ＣＰＵ８０２はトランジスタ８４１を制御することにより、ＬＶＤＳ入力部８０６に電源の供給を開始する。この開始のタイミングは、雲台部８５０から撮像ヘッド部８００への通信完了後の任意の時間（図では通信完了直後）に設定可能である。その後、期間ａ’だけ待機しＬＶＤＳ入力部８０６への動作クロック（ＣＬＫ４）の入力を開始する。

【００９２】

なお、期間ａ’および期間ｂ’は同時でも問題ないが、逆転することがないようにすればよい。期間ｃ’以降は、上記の雲台部８５０から撮像ヘッド部８００へ通信した時と同様のシーケンスとなり、初期化動作が完了する。なお、初期化時の通信のクロック制御の特徴としては、ＬＶＤＳ動作周波数の内最低動作周波数に設定することが挙げられる。

【００９３】

図１１に、ＬＶＤＳデータ伝送時（図１０の期間ｆ及び期間ｆ’）の詳細タイミングチャートを示す。

【００９４】

ＣＬＫ１、ＣＬＫ２は通常は異なる発信器を使用しタイミングを生成しているため、周波数は同じでも非同期となっている。各々の送信側クロック（ＴＣＬＫ）と受信側クロック（ＲＣＬＫ）の同期を取るため、たとえば図９の入力部（受信回路）に示される回路が使用される。なお、図９の入力部（受信回路）にてリカバリされたクロックをＲＣＬＫ１として記載している。

【００９５】

単にＴＣＬＫ（ＣＬＫ１）、ＲＥＦＣＬＫ（ＣＬＫ２）を入力しただけでは同期が取れない（ＲＣＬＫ１の出力が出来ない）。同期を取るためには、例えば図９のＳＹＮＣ端子を制御しデータラインにあらかじめ設定してあるデータ（ビット列）が受信回路へ出力することにより実現される。

【００９６】

図１２に、ＬＶＤＳ伝送において伝送されるデータの模式図を示す。１基準クロック期間として、ＳＴＡＲＴビット＋データビット＋ＳＴＯＰビットが必要となる。つまり、ＬＶＤＳ伝送ラインの周波数は、１６ビットデータ伝送の場合、（１＋１６＋１）×基準クロック周波数ということになる。そのため、データ伝送時間が遅くても良いようなデータの場合は、基準クロック周波数を落とすことにより省電力化が可能である。なお、初期化時は動作周波数が遅くても良いため、前記最低周波数に設定することが望ましい。

【００９７】
ここでは、データ（ビット列）は１６ビットデータであり、上位ビットを全て１（Ｈ）、下位ビットを全て０（Ｌ）に設定し伝送する。このデータ（ビット列）を、スタートビットに１（Ｈ）、ストップビットに０（Ｌ）を埋め込んで伝送すると、ＴＣＬＫと同じ周波数となってデータ伝送される。所定の期間ｈ（デバイスにもよるが、通常ＣＬＫ１基準クロックの数カウント相当以上で同期が確立する時間）だけＳＹＮＣ端子を１ショットコントロールする。なお、ＳＹＮＣ端子を使わずに上記と同一の１６ビットデータの上位ビットと下位ビットに固定値を入力してもよい。同期確立中は、ＲＣＬＫ１には出力しない。

【００９８】
また、ＬＶＤＳ伝送でのデータラインでの特徴として、入力ラッチ部９４３とパラレル・シリアル変換部９４４を通過することで発生する遅延、および、シリアル・パラレル変換部９４９との出力ラッチ部９５０を通過することで発生する遅延がある。図１１では約３クロック（約１．５クロック×２）相当のデータの遅延の発生がある場合を示している。また、雲台部８５０と撮像ヘッド部８００の間の通信データ（図では通信ＤＡＴＡ）と通信イネーブルデータ（図では通信ＥＮ）の出力部と入力部は同量の遅延が発生する（期間ｉおよび期間ｉ’）。同期クロックはイネーブル信号受け付け後、ＲＣＬＫ１の立下りに同期してデータの通信を行なうことになる。なお、遅延についても、ＬＶＤＳ入出力部の各ＰＬＬ回路の周波数倍率とデータビット数によって変化する。

【００９９】
<ファインダモード時シーケンス>
図１３に、ファインダモード時のタイミングチャートを示す。

【０１００】
期間ｂ＋ｆ中は、ＣＰＵ８０２からＣＰＵ８１４への通信期間であり、初期化の動作と同様な動作をする。通信が終了するとＣＬＫ１とＣＬＫ２を４．５ＭＨｚに切り換え、入力部８１２より出力されたリカバリクロック（ＲＣＬＫ１）を分周器８１６で１／２倍（２．２５ＭＨｚ）に分周し、出力部８１３のＴＣＬＫ（ＣＬＫ３）として印加する。一方、雲台部８５０ではクロックジェネレータ８０４により入力部８０６のクロックであるＣＬＫ４を印加する。

【０１０１】
図１４に、ＬＶＤＳデータ伝送時（図１３の期間ｆ１）の詳細タイミングチャートを示す。

【０１０２】
雲台部８５０から撮像ヘッド部８００へデータ伝送するため、ＣＬＫ１、ＣＬＫ２を期間ｈだけＳＹＮＣ（８０５）を制御し４．５ＭＨｚに切り換える。同期確立後ＣＬＫ３として１／２の周波数（２．２５ＭＨｚ）が出力部８１３に印加される。また、同様のクロックが制御回路８２７へ入力されＣＣＤ８１７から映像データを取得し、制御回路８２７からはＣＬＫ３と同期した１０ビットパラレルのデータが映像ＤＡＴＡ（Ｄ０～Ｄ９）として吐き出される。

【０１０３】
映像データを撮像ヘッド部８００から雲台部８５０へ転送する場合は、期間ｈ’だけＳＹＮＣ（８１３）を制御することで同期を確立する。なお、期間ｈと期間ｈ’は同期確立に必要な時間を示しており、行き帰りの通信周波数が異なることから同一時間でなくても良い。例えばここでは、周波数の比率に合わせてｈ’をｈの１／２の期間とするのが望ましい。

【０１０４】
図１５に、映像キャプチャモードへの切り換えの際のタイミングチャートを示す。

【０１０５】
外部より映像取得開始を示すキャプチャコマンドが入力され、コマンド信号にフレームレート等設定情報が入っていない場合、雲台部８５０から撮像ヘッド部８００へ切り換え

コマンドを出力し、各ＬＶＤＳ入出力部のクロック（ＴＣＬＫ、ＲＥＦＣＬＫ）の周波数を３０ｆｐｓに対応したクロックに切り換える。たとえば、ＣＬＫ１、ＣＬＫ２は３６ＭＨｚ、ＣＬＫ３、ＣＬＫ４は１８ＭＨｚに切り換える。

【０１０６】

図１６に、映像および音声を伝送する際のタイミングチャートを示す。なお、上述した図１５のシーケンスに引き続いて、外部からのコマンドを受け付け、映像データ＋音声データ＋ＡＦ制御のモードに移行する例を示している。また、音声は４８ＫＨｚサンプリングの１６ビットのデータとして伝送されるとして説明する。

【０１０７】

映像データ伝送中に外部より音声要求コマンドを受けると期間ｇに切り換える。この時雲台部８５０から撮像ヘッド部８００へのＬＶＤＳ伝送部の基準クロックであるＴＣＬＫ（ＣＬＫ１）およびＲＥＦＣＬＫ（ＣＬＫ２）はそのままで、ＣＬＫ３とＣＬＫ４を高速クロックに切り換える。この周波数は、映像信号である１８ＭＨｚの逓倍の周波数且つ、ＬＶＤＳ入出力部の動作可能周波数以内の周波数に設定する。ここでは、７２ＭＨｚとするが実際にはデバイスの動作速度に依存する。具体的には、雲台部８５０では、クロックジェネレータ８０４においてＣＬＫ４を７２ＭＨｚに切り換え、撮像ヘッド部８００では、クロックジェネレータ８２４においてＣＬＫ２と同期させ出力すると同時にＬＶＤＳ出力部８１３に入力することにより達成される。

【０１０８】

図１７は、データクロックの周波数ずれを示すタイミングチャートである。

【０１０９】

撮像ヘッド部８００から雲台部８５０へデータを伝送する時の基準クロックであるＲＣＬＫ３に対して、出力部では全くの非同期信号であるため、ＲＣＬＫ３の立下りから音声クロックの立下りまでの期間Ｌ１とＲＣＬＫ３の次のクロック立下りまでの期間Ｌ２の間において周波数のバラツキが発生する。同様に、立ち上がり時にも期間Ｌ１’と期間Ｌ２’分のクロック周波数ずれが発生する。そのため、受け側の音声データ受け取りに影響を及ぼす可能性が有る。

【０１１０】

音声データの伝送には、　サンプリング周波数×Ａ／Ｄ量子化ビット数×２（ステレオ）　が必要となり、量子化ビット数が１６ビットの場合、サンプリング周波数をｆｓとした場合　３２ｆｓ　となる。また、クロック周波数バラツキは　３２ｆｓ／クロック周波数　となる。

【０１１１】

そのためＣＬＫ３とＲＣＬＫ３を７２ＭＨｚにすると２．１３％ばらつき、１８ＭＨｚだとその４倍で８．５３％ばらつくことになる。音声を精度よく伝送するため、ここではクロックを７２ＭＨｚに切り換えて伝送する。なお、６４ｆｓや１２８ｆｓでの伝送時はその比率分バラツキが大きくなる。（それぞれ２倍、４倍ばらつくこととなる。）

例えば１８ＭＨｚ時には約８．３マイクロ秒程度となる。この間映像信号が途切れることになるが、１フレームの時間が３３ミリ秒（３０ｆｐｓ時）と比較しても十分小さいものであり、特に人間が見る場合には問題とはならないレベルであることが分かる。

【０１１２】

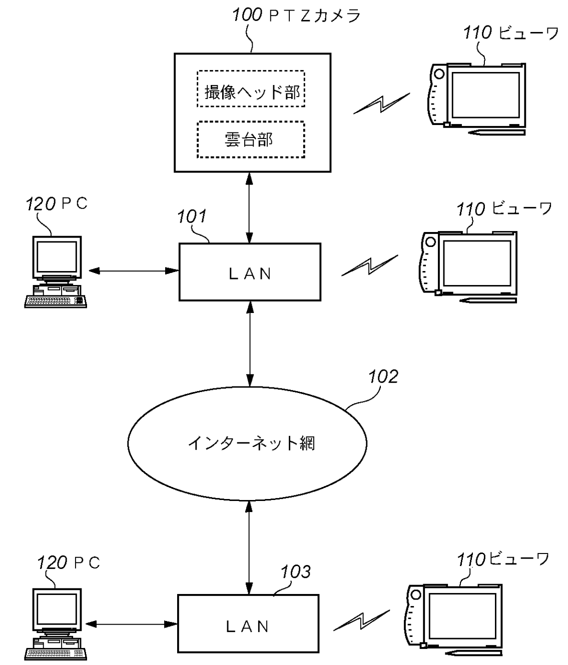
他の伝送データにも同様なことが言え、非同期信号をデータラインに入力する場合はそのデータの立ち上がりと立下り時間ずれに注意し、クロック周波数を切り換える必要がある。

【０１１３】

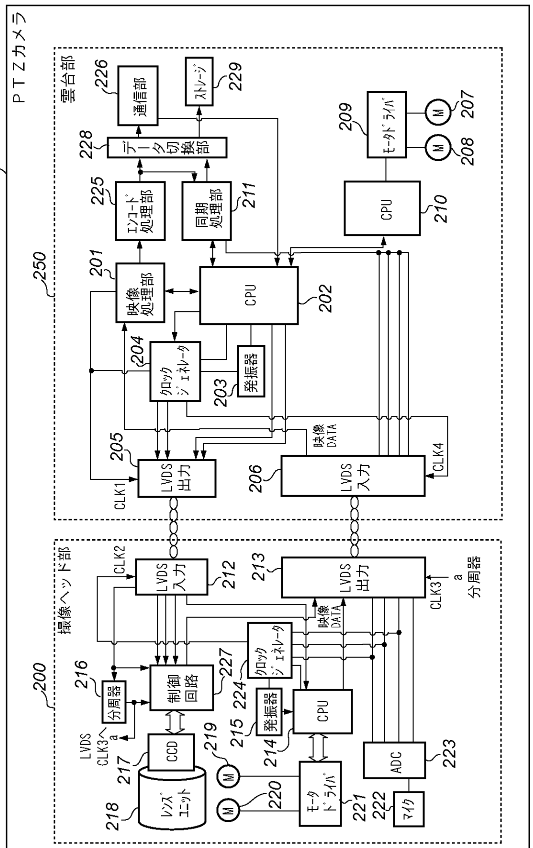
以上、説明したように、映像及び音声の要求イベントなどによるモードの切り換えに応じて、伝送を行なう部位の双方（ここでは撮像ヘッド部８００と雲台部８５０）の電源のオン・オフを切り換えかつ伝送のための動作クロックの制御を実施することで、映像・音声の同期ずれのようなユーザによる視聴への影響を抑えつつ電力の最適化が計れ省電力化が可能である。

【図面の簡単な説明】
【０１１４】
【図１】ＰＴＺカメラ１００を含むシステム全体のブロック図である。
【図２】第１実施形態に係るＰＴＺカメラ１００の内部構成のブロック図である。
【図３】第１実施形態に係る全体動作のフローチャートである。
【図４】初期化時の詳細シーケンス図である。
【図５】ファインダー出力時の詳細シーケンス図である。
【図６】各動作モードにおける、ＬＶＤＳ入出力部に加えるクロック周波数などの例を示す図である。
【図７】ＬＶＤＳ入出力部の消費電力グラフの例である。
【図８】第２実施形態に係るＰＴＺカメラ１００の内部構成のブロック図である。
【図９】ＬＶＤＳ入出力部の回路ブロックの例を示す図である。
【図１０】第２実施形態に係る初期化のタイミングチャートである。
【図１１】コマンド伝送時の詳細タイミングチャートである。
【図１２】伝送されるデータの模式図である。
【図１３】ファインダモード切り換えのタイミングチャートである。
【図１４】映像データ伝送時の詳細タイミングチャートである。
【図１５】映像キャプチャコマンド受付時の切り換えタイミングチャートである。
【図１６】映像データ＋音声データ＋ＡＦ制御のモードへの切り換えタイミングチャートである。
【図１７】データクロックの周波数ずれを示す図である。

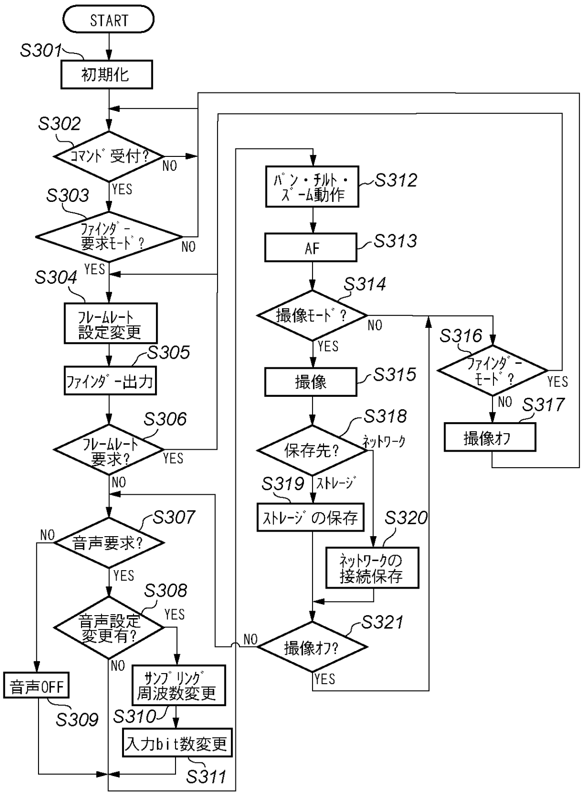
【図１】



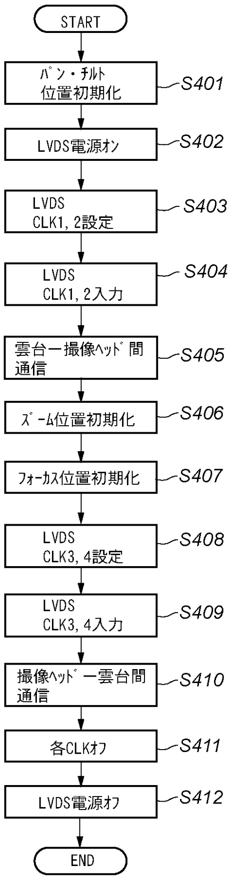
【図２】



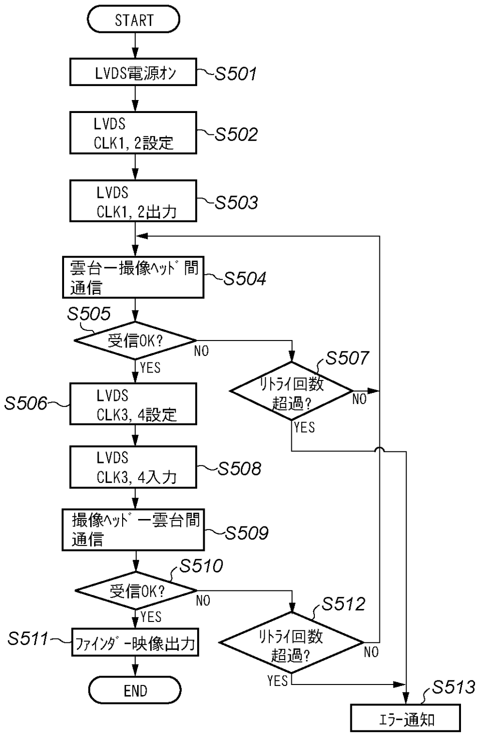
【図３】



【図４】



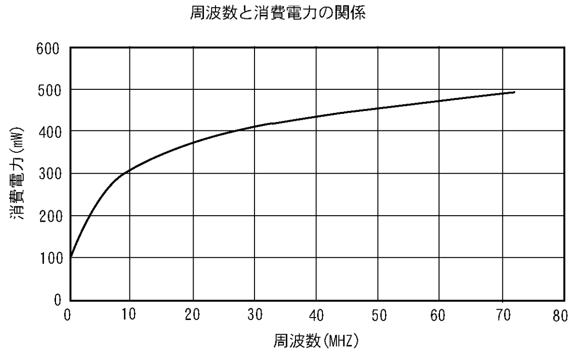
【図５】



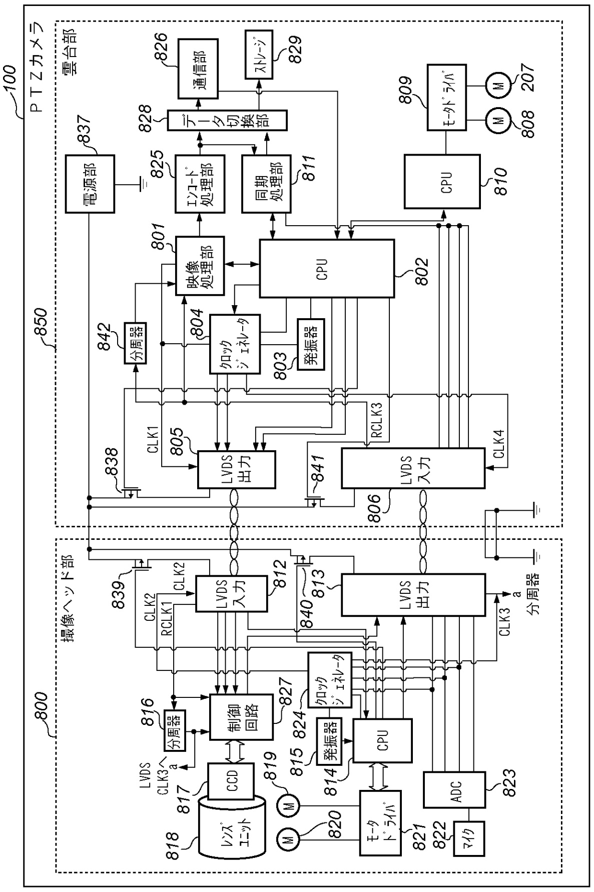
【図６】

ﾓｰﾄﾞの種別	CLK1	CLK2	CLK3	CLK4	映像信号周波数	音声転送周波数	通信速度
初期(雲台→撮像ヘッド通信)	76.8KHZ	76.8KHZ	−	−	−	−	38.4Kbps
初期(撮像ヘッド→雲台通信)	−	−	76.8KHZ	76.8KHZ	−	−	38.4Kbps
ファインダー(5fps)	4.5MHZ	4.5MHZ	2.25MHZ	2.25MHZ	1.125MHZ	−	115Kbps
ファインダー(10fps)	9MHZ	9MHZ	4.5MHZ	4.5MHZ	2.25MHZ	−	115Kbps
ファインダー(15fps)	18MHZ	18MHZ	9MHZ	9MHZ	4.5MHZ	−	115Kbps
ファインダー(30fps)	36MHZ	36MHZ	18MHZ	18MHZ	9MHZ	−	115Kbps
動画撮影(5fps)	4.5MHZ	4.5MHZ	2.25MHZ	2.25MHZ	1.125MHZ	−	115Kbps
動画撮影(10fps)	9MHZ	9MHZ	4.5MHZ	4.5MHZ	2.25MHZ	−	115Kbps
動画撮影(15fps)	18MHZ	18MHZ	9MHZ	9MHZ	4.5MHZ	−	115Kbps
動画撮影(30fps)	36MHZ	36MHZ	18MHZ	18MHZ	9MHZ	−	115Kbps
静止画像(サイズ小)	9MHZ	9MHZ	4.5MHZ	4.5MHZ	2.25MHZ	−	−
静止画像(サイズ中)	18MHZ	18MHZ	9MHZ	9MHZ	4.5MHZ	−	−
静止画像(サイズ大)	36MHZ	36MHZ	18MHZ	18MHZ	9MHZ	−	−
動画30fps+音声(16bit48KHZサンプリング)	36MHZ	36MHZ	72MHZ	72MHZ	9MHZ	1.536MHZ	115Kbps
AF(音声無+双方向通信)	36MHZ	36MHZ	18MHZ	18MHZ	9MHZ	−	2.25Mbps
AF(音声有16bit48KHZサンプリング時)	36MHZ	36MHZ	72MHZ	72MHZ	9MHZ	1.536MHZ	2.25Mbps

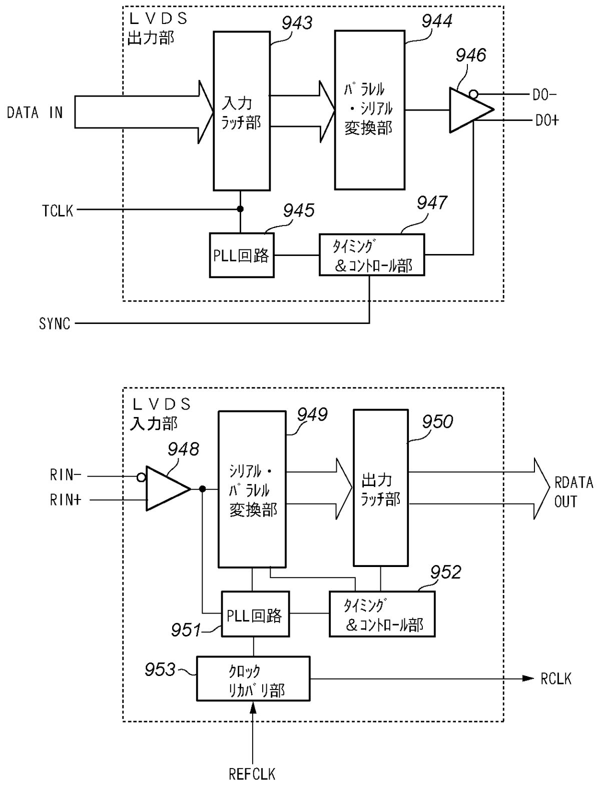
【図７】


周波数と消費電力の関係
消費電力(mW)
600
500
400
300
200
100
0
0
10
20
30
40
50
60
70
80
周波数(MHZ)

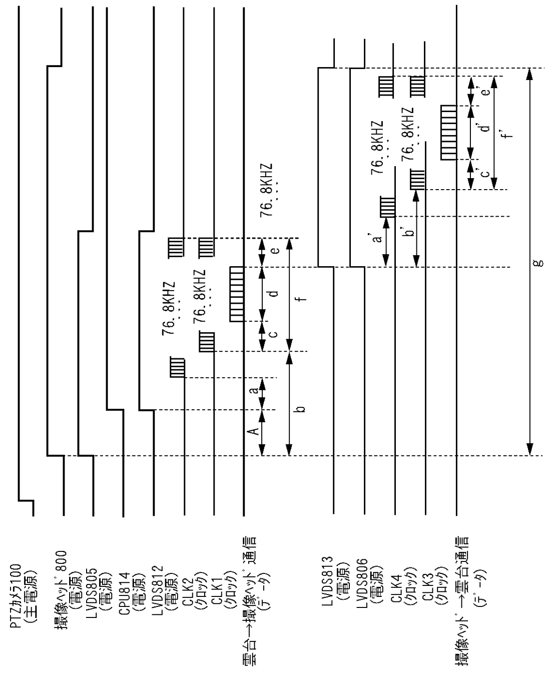
【図８】


100
PTZカメラ
雲台部
850
826
通信部
829
ストレージ
809
モータドライバ
207
808
M
837
電源部
828
データ切換部
825
エンコード処理部
811
同期処理部
CPU
810
801
映像処理部
CPU
802
842
分周器
804
クロックジェネレータ
803
発振器
CLK1
805
LVDS出力
RCLK3
838
841
LVDS入力
806
CLK4
撮像ヘッド部
839
CLK2
LVDS入力
812
840
813
LVDS出力
a
分周器
CLK3
RCLK1
800
827
制御回路
816
分周器
824
クロックジェネレータ
815
発振器
CPU
LVDS
CLK3へ
a
817
CCD
819
M
814
823
ADC
818
レンズユニット
820
M
821
モータドライバ
822
マイク

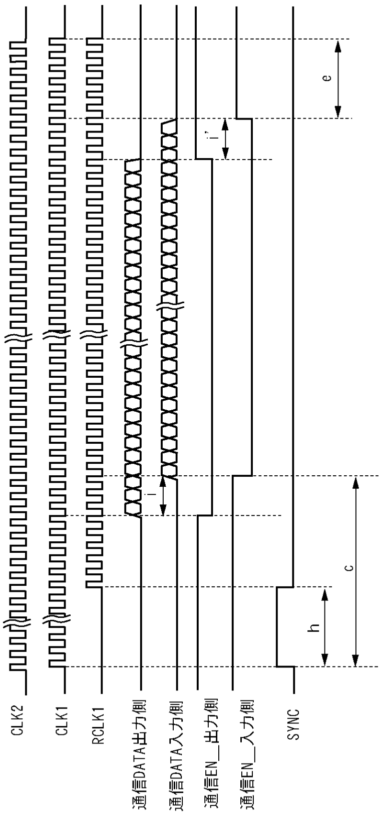
【図９】


ＬＶＤＳ
出力部
943
944
946
DATA IN
入力
ラッチ部
パラレル
・シリアル
変換部
DO-
DO+
TCLK
945
947
PLL回路
タイミング
＆コントロール部
SYNC
ＬＶＤＳ
入力部
949
950
948
RIN-
RIN+
シリアル・
パラレル
変換部
出力
ラッチ部
RDATA
OUT
952
951
PLL回路
タイミング
＆コントロール部
953
クロック
リカバリ部
RCLK
REFCLK

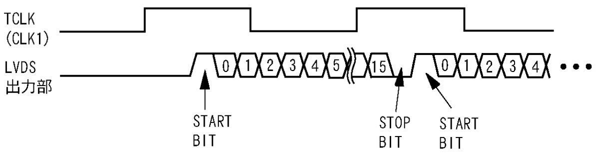
【図１０】


PTZカメラ100
(主電源)
撮像ヘッド800
(電源)
LVDS805
(電源)
CPU814
(電源)
LVDS812
(電源)
CLK2
(クロック)
CLK1
(クロック)
雲台→撮像ヘッド通信
(データ)
LVDS813
(電源)
LVDS806
(電源)
CLK4
(クロック)
CLK3
(クロック)
撮像ヘッド→雲台通信
(データ)
76.8KHZ
76.8KHZ
76.8KHZ
76.8KHZ
76.8KHZ
A
a
b
c
d
e
f
a'
b'
c'
d'
e'
f'
g

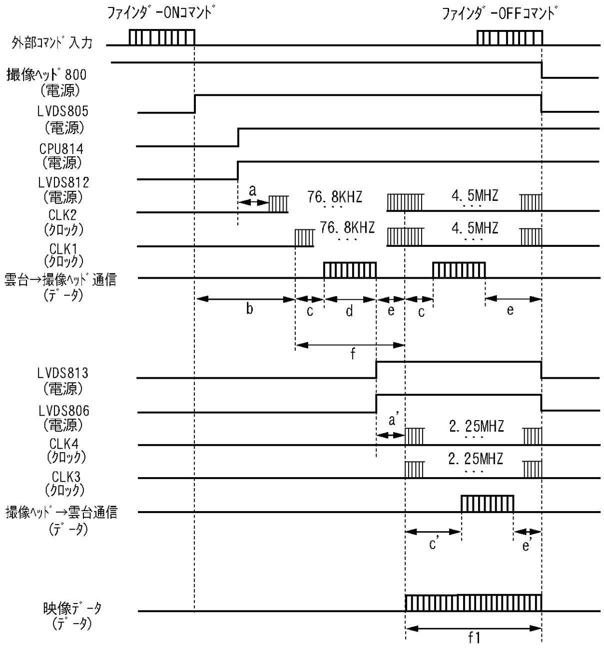
【図１１】



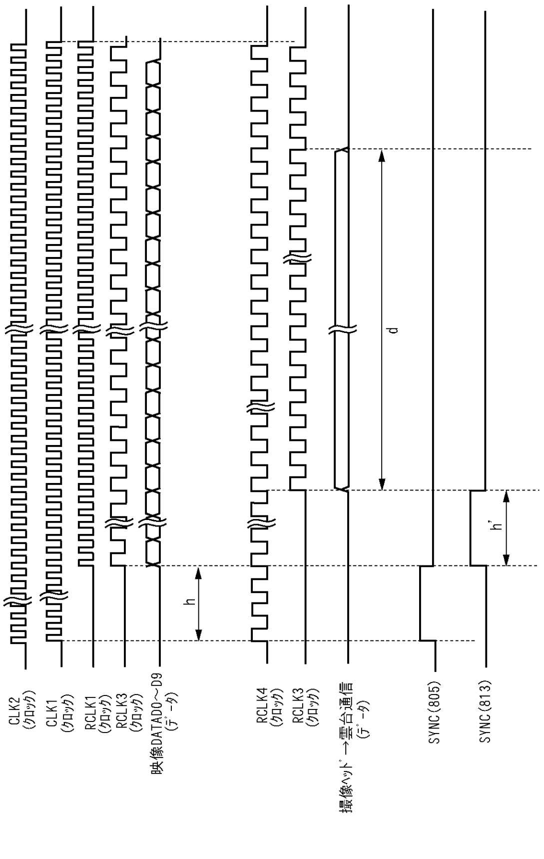
【図１２】



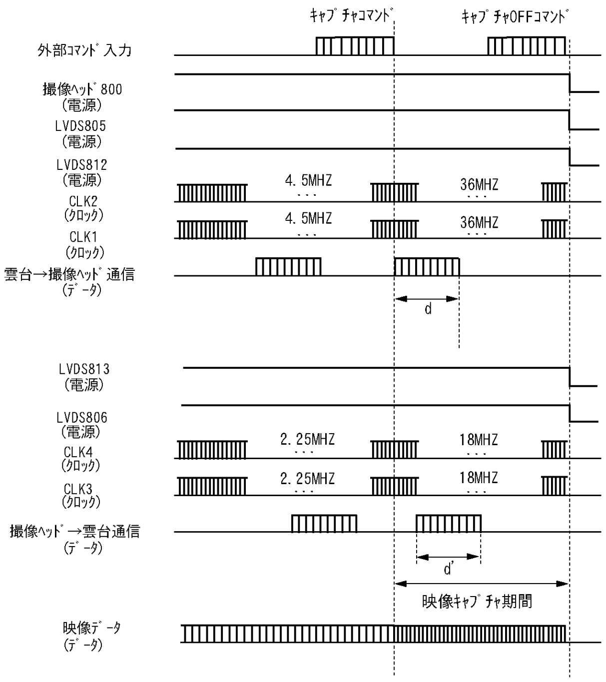
【図１３】



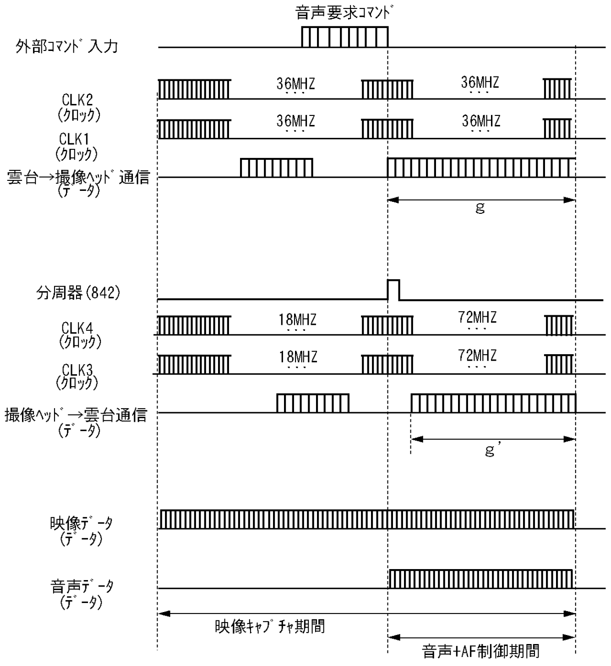
【図１４】



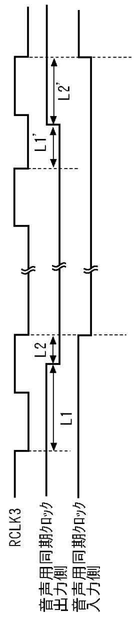
【図１５】



【図１６】


音声要求ｺﾏﾝﾄﾞ
外部ｺﾏﾝﾄﾞ入力
CLK2
(ｸﾛｯｸ)
36MHZ
36MHZ
CLK1
(ｸﾛｯｸ)
36MHZ
36MHZ
雲台→撮像ﾍｯﾄﾞ通信
(ﾃﾞｰﾀ)
g
分周器(842)
CLK4
(ｸﾛｯｸ)
18MHZ
72MHZ
CLK3
(ｸﾛｯｸ)
18MHZ
72MHZ
撮像ﾍｯﾄﾞ→雲台通信
(ﾃﾞｰﾀ)
g'
映像ﾃﾞｰﾀ
(ﾃﾞｰﾀ)
音声ﾃﾞｰﾀ
(ﾃﾞｰﾀ)
映像ｷｬﾌﾟﾁｬ期間
音声+AF制御期間

【図１７】


L2'
L1'
L2
L1
RCLK3
音声用同期ｸﾛｯｸ出力側
音声用同期ｸﾛｯｸ入力側

フロントページの続き

Ｆターム(参考) 5B077 GG05
5B079 BA01 BB04 BC01 DD08
5C122 EA52 HA87 HB02