

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 073 079

②1 N° d'enregistrement national : **17 60103**

⑤1 Int Cl⁸ : **H 01 L 21/04 (2018.01), B 82 Y 10/00**

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫② Date de dépôt : 26.10.17.

⑫③ Priorité :

⑫④ Date de mise à la disposition du public de la demande : 03.05.19 Bulletin 19/18.

⑫⑤ Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑫⑥ Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

⑦① Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR.

⑦② Inventeur(s) : BARRAUD SYLVAIN, HUTIN LOUIS et VINET MAUD.

⑦③ Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public.

⑦④ Mandataire(s) : INNOVATION COMPETENCE GROUP.

⑫④ PROCEDE DE FABRICATION D'UN COMPOSANT ELECTRONIQUE A DOUBLES BOITES QUANTIQUES.

⑫⑤ L'invention concerne un procédé de fabrication d'un composant électronique à doubles boîtes quantiques (21, 22) et doubles grilles, comprenant la fourniture d'un substrat (10) surmonté d'un empilement d'une couche de matériau semi-conducteur (12) et d'une couche de matériau diélectrique formée au-dessus de la couche de matériau semi-conducteur, comprenant les étapes de :

- formation d'un masque sur la couche de matériau diélectrique;
- gravure de la couche de matériau diélectrique (14) et de la couche de matériau semi-conducteur (12) selon le motif du masque, de façon à former un empilement d'un nanofil semiconducteur (120) et d'un masque dur de diélectrique (140);
- déposer un matériau de grille pleine plaque;
- réaliser une planarisation, jusqu'à atteindre le masque dur de diélectrique (140), de façon à former des première et deuxième grilles (131, 132) isolées électriquement l'une de l'autre de part et d'autre desdits nanofils.

FR 3 073 079 - A1



PROCEDE DE FABRICATION D'UN COMPOSANT ELECTRONIQUE A DOUBLES BOITES QUANTIQUES

L'invention concerne les composants électroniques à boîte ou îlot
5 quantique, et plus particulièrement les procédés de fabrication de composants
électroniques à doubles boîtes ou îlots quantiques.

L'électronique quantique fournit une base pour des améliorations de
performances. Par analogie avec l'électronique classique, le bit quantique
représente l'élément de base du calcul pour l'électronique quantique. En
10 électronique classique, des calculs booléens sont réalisés à partir de bits
présentant un état parmi deux possibles. Un bit quantique est une superposition
des états propres $|0\rangle$ et $|1\rangle$.

Les boîtes ou îlots quantiques servent d'éléments de base à l'électronique
quantique. Les boîtes quantiques utilisent des nanostructures de semi-
15 conducteurs pour former des puits de potentiel pour confiner des électrons ou des
trous dans les trois dimensions de l'espace. L'information quantique est alors
codée dans des degrés de liberté purement quantiques : actuellement le spin $\frac{1}{2}$
de l'électron. Les boîtes quantiques visent à piéger un électron isolé pour
mémoriser un qubit. Les boîtes quantiques permettent alors de bénéficier de
20 capacités de calcul décuplées par rapport à un système utilisant une logique
binaire.

Le document intitulé 'Dispersively detected Pauli Spin Blockade in a silicon
nanowire FET', publié par Betz et al le 4 Mai 2015, décrit un composant
électronique quantique. La fabrication du composant électronique comprend la
25 fourniture d'un substrat surmonté d'une couche de matériau semi-conducteur. La
couche de matériau semi-conducteur fait l'objet d'une gravure pour définir le motif
d'un nanofil. Des première et deuxième couches de matériau diélectrique sont
ensuite déposées pleine plaque.

La fabrication comprend ensuite une étape de définition d'un masque de
30 photolithographie avec alignement de motifs de grille sur le nanofil semi-
conducteur, de sorte que le masque de photolithographie soit en retrait par
rapport à des bords opposés du nanofil semi-conducteur. La fabrication comprend
ensuite une étape de gravure des couches diélectriques selon les motifs de grille,
pour découvrir les bords supérieurs opposés du nanofil, ainsi que des faces
35 latérales du nanofil dans le prolongement de ces bords. Un isolant de grille et un
matériau de grille sont ensuite déposés sur les parties découvertes du nanofil,
correspondant aux motifs de gravure.

Un tel procédé présente des inconvénients. D'une part, l'alignement des
grilles par rapport à l'axe du nanofil semiconducteur est délicat à réaliser pour des
40 dimensions réduites du nanofil. D'autre part, la surface de substrat utilisée par le

dispositif est importante, la distance minimale entre les grilles étant définie par la largeur minimale disponible pour un motif de photolithographie. Pour permettre un débordement des grilles sur les bords du nanofil, la largeur du nanofil doit également être plus importante que cette largeur minimale du motif de photolithographie, ce qui nuit encore à la densité d'intégration. Un nanofil relativement large nuit également au couplage entre les îlots quantiques.

L'invention vise à résoudre un ou plusieurs de ces inconvénients. L'invention porte ainsi sur un procédé de fabrication d'un composant électronique à doubles boîtes quantiques et doubles grilles, comprenant la fourniture d'un substrat surmonté d'un empilement d'une couche de matériau semi-conducteur et d'une couche de matériau diélectrique formée au-dessus de la couche de matériau semi-conducteur, comprenant les étapes de :

- formation d'un masque sur la couche de matériau diélectrique ;
- gravure de la couche de matériau diélectrique et de la couche de matériau semi-conducteur selon le motif du masque, de façon à former un empilement d'un nanofil semiconducteur et d'un masque dur de diélectrique ;
- déposer un matériau de grille pleine plaque ;
- réaliser une planarisation, jusqu'à atteindre le masque dur de diélectrique, de façon à former des première et deuxième grilles isolées électriquement l'une de l'autre de part et d'autre desdits nanofils.

L'invention porte également sur les variantes suivantes. L'homme du métier comprendra que chacune des caractéristiques des variantes suivantes peut être combinée indépendamment aux caractéristiques ci-dessus, sans pour autant constituer une généralisation intermédiaire.

Selon une variante, le procédé comprend en outre une étape de gravure sélective d'une partie de la largeur du masque dur de diélectrique par rapport au nanofil semi-conducteur, préalablement à ladite étape de dépôt de matériau de grille.

Selon une autre variante, ladite gravure partielle est mise en œuvre de sorte que le masque dur de diélectrique présente de part et d'autre un retrait d'au moins 2 nm par rapport au nanofil.

Selon encore une variante, ladite gravure partielle est mise en œuvre de façon à réduire la largeur du masque dur de diélectrique d'au moins 2 nm.

Selon encore une autre variante, ladite gravure partielle rend l'empilement du masque dur de diélectrique et du nanofil semi-conducteur dissymétriques par rapport à un plan vertical incluant la direction longitudinale de ces nanofils.

Selon une variante, ledit nanofil semiconducteur est formé en alliage de Silicium, le procédé comprenant une étape de formation d'une couche d'oxyde thermique par oxydation thermique de la partie supérieure de la couche de matériau semiconducteur avant le dépôt de la couche de matériau diélectrique.

Selon encore une variante, ledit nanofil semiconducteur est formé en alliage de Silicium, le procédé comprenant une étape de formation d'une couche d'oxyde thermique par oxydation thermique des bords du nanofil semiconducteur avant le dépôt du matériau de grille.

5 Selon une autre variante, ladite couche de matériau semi-conducteur fournie est disposée sur un substrat de type Silicium sur isolant.

Selon encore une autre variante, le procédé comprend une étape de connexion électrique d'un circuit de polarisation audit substrat.

10 Selon une variante, ledit matériau de grille déposé comprend du Polysilicium dopé.

Selon une autre variante, ledit nanofil semiconducteur formé présente une largeur comprise entre 8 et 30 nm.

15 D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est faite ci-après, à titre indicatif et nullement limitatif, en référence aux dessins annexés, dans lesquels :

-la figure 1 est une vue de dessus d'un exemple de composant électronique à doubles boîtes quantiques selon un premier mode de réalisation de l'invention ;

20 -la figure 2 est une vue en coupe transversale d'une double boîte quantique selon le premier mode de réalisation de l'invention ;

-la figure 3 est une vue en coupe transversale d'une double boîte quantique selon un deuxième mode de réalisation de l'invention ;

-la figure 4 est une vue en coupe transversale d'une double boîte quantique selon un troisième mode de réalisation de l'invention ;

25 -les figures 5 à 8 sont des vues en coupe transversale du composant de la figure 1 à différentes étapes d'un exemple de procédé de fabrication ;

-les figures 9 à 11 sont des vues en coupe longitudinale du composant au stade de fabrication illustré à la figure 8 dans différents plans ;

30 -la figure 12 est une vue en coupe transversale du composant de la figure 1 selon une variante du procédé de fabrication du premier mode de réalisation ;

-la figure 13 est une vue en coupe transversale du composant de la figure 1 selon une autre variante du procédé de fabrication du premier mode de réalisation ;

35 -les figures 14 à 17 sont des vues en coupe du composant à une étape ultérieure d'une variante du premier mode de réalisation ;

-les figures 18 à 21 sont des vues en coupe du composant à une étape ultérieure d'une variante du premier mode de réalisation ;

-les figures 22 à 24 sont des vues en coupe du composant à une étape ultérieure d'une variante du premier mode de réalisation ;

-les figures 25 à 28 sont des vues en coupe du composant à une étape ultérieure d'une variante du premier mode de réalisation ;

-les figures 29 à 32 sont des vues en coupe du composant à une étape ultérieure d'une variante du premier mode de réalisation ;

5 -les figures 33 à 36 sont des vues en coupe du composant à une étape ultérieure d'une variante du premier mode de réalisation ;

-la figure 37 est une vue en coupe transversale d'un empilement vertical de composants électroniques, obtenu selon une variante du procédé de fabrication du deuxième mode de réalisation ;

10 -la figure 38 est une vue en coupe transversale d'un empilement vertical de composants électroniques, obtenu selon une variante du procédé de fabrication du premier mode de réalisation.

L'invention propose un procédé de fabrication d'un composant
15 électronique à doubles boîtes ou îlots quantiques (usuellement désigné par le terme de double quantum dots en langue anglaise) et doubles grilles (usuellement désigné par le terme Split-Gate en langue anglaise). L'invention propose de fournir un empilement d'une couche de matériau semi-conducteur et d'une
20 couche de matériau diélectrique formée au-dessus de la couche de matériau semi-conducteur. Après formation d'un masque sur l'empilement, on réalise une gravure de la couche de matériau diélectrique et de la couche de matériau semi-conducteur selon le motif du masque pour obtenir un empilement d'un nanofil semi-conducteur et d'un nanofil de diélectrique. Un matériau de grille est ensuite
25 déposé pleine plaque. Une planarisation chimique est ensuite réalisée jusqu'à atteindre le nanofil de diélectrique, de façon à former des première et deuxième grilles isolées électriquement l'une de l'autre par ce nanofil de diélectrique.

La figure 1 est une vue de dessus d'un exemple de circuit électronique 1
réalisé selon un procédé de fabrication selon l'invention. Dans un souci de
30 lisibilité, un système d'axes est ici illustré, l'axe X définissant par la suite la direction longitudinale, l'axe Y définissant par la suite la direction transversale et l'axe Z définissant par la suite la direction verticale. Le circuit électronique 1 illustré est uniquement donné à titre d'exemple car il inclut au moins un
35 composant 2 à doubles boîtes quantiques et à doubles grilles. D'autres structures de circuits électroniques peuvent bien entendu être réalisées avec un procédé de fabrication selon l'invention. Le circuit électronique 1 illustré inclut ainsi plusieurs composants 2 connectés en série. Les composants électroniques 2 sont ainsi connectés en série entre un premier accès 31 et un deuxième accès 32.

La figure 2 est une vue en coupe transversale d'un composant électronique 2 de la figure 1, obtenu selon un premier mode de réalisation. La figure 2 illustre davantage la structure du composant électronique 2 et du circuit électronique 1.

Le composant électronique 2 est ici formé sur un substrat de type silicium sur isolant. Le substrat comporte ainsi de façon connue en soi une couche de silicium 10 recouverte d'une couche d'isolant enterré 11 (s'étendant dans un plan incluant les directions X et Y). Un nanofil de matériau semi-conducteur 120 (ici en silicium ou en alliage de silicium) est formé sur la couche d'isolant enterré 11 et s'étend selon la direction X. Le nanofil de silicium 120 est ici illustré en coupe au niveau de sa partie médiane, formant une zone de formation de boîtes ou îlots quantiques. Cette partie médiane du nanofil 120 est recouverte d'une couche d'isolant de grille 150, sur sa face supérieure et sur ses faces latérales. Dans cette partie médiane, une première boîte quantique 21 est formée à proximité d'une arête entre la face supérieure et une face latérale du nanofil 120, une deuxième boîte quantique 22 étant formée à proximité d'une arête entre la face supérieure et l'autre face latérale du nanofil 120. Les boîtes quantiques sont configurées pour piéger une particule unique (un électron ou un trou le cas échéant) afin de permettre de modifier ou lire l'état de son spin. Un masque dur en matériau diélectrique 140 est disposé à la verticale du nanofil semi-conducteur 120, sur la couche d'isolant de grille 150. Au niveau de la partie médiane du nanofil 120, des grilles de commande 131 et 132 sont ménagées de part et d'autre de l'empilement du nanofil 120 et du masque dur 140. Les grilles de commande 131 et 132 sont ainsi isolées électriquement l'une de l'autre, par l'intermédiaire de la couche d'isolant de grille 150 et du masque dur 140 de séparation.

Dans le présent mode de réalisation, l'empilement du nanofil 120 et du masque dur 140 présente une symétrie par rapport à un plan incluant les directions X et Z. Dans le présent mode de réalisation, le masque dur 140 est moins large que l'empilement du nanofil 120 et de la couche d'isolant de grille 150. Les grilles 131 et 132 présentent ici un débordement au-dessus de l'isolant de grille 150 et du nanofil 120. Une telle configuration facilite le positionnement des boîtes quantiques 21 et 22 à proximité des arêtes entre la face supérieure et les faces latérales de l'isolant de grille 150. Les boîtes quantiques 21 et 22 peuvent ainsi être rapprochées l'une de l'autre pour améliorer leur couplage, et leur distance peut être inférieure à ce que permettrait normalement la largeur minimale de photolithographie permettant de définir la largeur du nanofil 120 par gravure. De même, une telle configuration permet d'obtenir une distance entre les grilles 131 et 132 inférieure à la largeur minimale de photolithographie, selon un procédé de fabrication qui sera détaillé par la suite. Une telle configuration permet d'utiliser un nanofil 120 d'une largeur minimale, ce qui permet d'accroître les interférences entre les boîtes quantiques, et ainsi de réduire le potentiel

nécessaire pour un accès en lecture des boîtes quantiques, et d'augmenter la vitesse de lecture de ces boîtes quantiques.

Le nanofil 120 s'étend de part et d'autre des grilles 131 et 132 (et des boîtes quantiques 21 et 22) selon la direction longitudinale X. Le nanofil 120 comporte
5 ainsi des première et deuxième électrodes de conduction formées de part et d'autre des boîtes quantiques 21 et 22. Les différents composants électroniques 2 sont ici connectés en série par l'intermédiaire des électrodes de conduction formées dans leur nanofil 120 de matériau semi-conducteur. Une électrode de conduction d'un premier composant 2 est connectée au premier accès 31, une
10 électrode de conduction d'un autre composant 2 étant connectée au deuxième accès 32.

Les grilles des différents composants 2 sont isolées électriquement les unes des autres par des séparations 142 formées dans le même matériau diélectrique que le masque dur 140.

15

La figure 3 est une vue en coupe transversale d'un composant électronique 2, obtenu selon un deuxième mode de réalisation. Le composant 2 de la figure 3 présente sensiblement la même structure et la même géométrie que le composant 2 illustré à la figure 2. Le composant 2 obtenu selon le deuxième mode
20 de réalisation diffère de celui du premier mode de réalisation uniquement par la géométrie du masque dur 140 et des grilles 131 et 132.

Dans le présent mode de réalisation, l'empilement du nanofil 120 et du masque dur 140 présente une symétrie par rapport à un plan incluant les directions X et Z. Dans le présent mode de réalisation, le masque dur 140
25 présente la même largeur que l'empilement du nanofil 120 et de la couche d'isolant de grille 150. Les faces latérales du masque dur 140 sont ici alignées avec les faces latérales de la couche d'isolant de grille 150. Les grilles 131 et 132 sont ici exemptes de débordement à la verticale de l'isolant de grille 150 et du nanofil 120. Une telle configuration facilite le positionnement des boîtes
30 quantiques 21 et 22 vers les faces latérales de l'isolant de grille 150.

La figure 4 est une vue en coupe transversale d'un composant électronique 2, obtenu selon un troisième mode de réalisation. Le composant 2 de la figure 4 présente sensiblement la même structure et la même géométrie que le
35 composant 2 illustré à la figure 2. Le composant 2 obtenu selon le troisième mode de réalisation diffère de celui du premier mode de réalisation uniquement par la géométrie du masque dur 140 et des grilles 131 et 132.

Dans le présent mode de réalisation, l'empilement du nanofil 120 et du masque dur 140 ne présente pas de symétrie par rapport à un plan incluant les
40 directions X et Z. Dans le présent mode de réalisation, le masque dur 140 est

moins large que l'empilement du nanofil 120 et de la couche d'isolant de grille 150. La grille 131 présente ici un débordement au-dessus de l'isolant de grille 150 et du nanofil 120. A contrario, une face latérale du masque dur 140 est ici alignée avec une face latérale de la couche d'isolant de grille 150, de sorte que la grille 132 est ici exempte de débordement au-dessus de l'isolant de grille 150 et du nanofil 120.

Une telle configuration permet d'obtenir un comportement différent pour les boîtes quantiques 21 et 22, ce qui peut s'avérer avantageux pour le fonctionnement du composant électronique 2. La boîte quantique 21 peut alors par exemple être une boîte quantique de lecture, la boîte quantique 22 pouvant alors être une boîte quantique de manipulation.

De plus, cette configuration permet de rapprocher la boîte quantique 21 de l'arête entre la face supérieure et une face latérale de la couche 150 d'isolant de grille. Par ailleurs, une telle configuration permet d'obtenir une distance entre les grilles 131 et 132 inférieure à la largeur minimale de photolithographie, selon un procédé de fabrication qui sera détaillé par la suite.

Les figures 5 à 7 illustrent différentes étapes d'un exemple d'un procédé de fabrication selon le premier mode de réalisation, selon des sections transversales au niveau d'une zone destinée à former les doubles boîtes quantiques.

À la figure 5, on fournit un empilement d'un substrat de type silicium sur isolant comportant une couche de silicium 10, recouverte d'une couche d'isolant enterré, recouverte d'une couche 12 de matériau semi-conducteur (par exemple en silicium ou alliage de silicium). La couche 12 est recouverte d'une couche 15 d'isolant de grille. La couche 15 est recouverte d'une couche de matériau diélectrique 14.

La couche 11 peut par exemple être réalisée en SiO_2 . La couche 11 peut par exemple présenter une épaisseur comprise entre 10 et 145 nanomètres. Une telle couche 11 est fréquemment désignée par le terme UTBOX, ce qui permet d'envisager une polarisation de la couche 10 pour un contrôle électrostatique dans le nanofil de semi-conducteur à former.

La couche 12 est par exemple réalisée en silicium non intentionnellement dopé. La couche 12 peut par exemple présenter une épaisseur au moins égale à 5 nm, et de préférence comprise entre 8 et 12 nm.

La couche d'isolant de grille 15 est par exemple réalisée en SiO_2 . La couche 15 peut par exemple présenter une épaisseur au moins égale à 3 nm, de préférence égale au moins à 4 nm. Une épaisseur relativement importante de la couche d'isolant de grille 15 favorise l'éloignement d'éventuelles charges parasites par rapport aux boîtes quantiques à former. On peut également

envisager de former la couche d'isolant de grille 15 en un matériau de type Hk, par exemple du HfO_2 .

La couche de matériau diélectrique 14 est par exemple réalisée en SiN. La couche de matériau diélectrique 14 peut également être réalisée (non limitativement) en SiO_2 . La couche 14 peut par exemple présenter une épaisseur au moins égale à 40 nm, de préférence au moins égale à 50 nm. L'épaisseur de la couche 14 est définie de façon à pouvoir réaliser ultérieurement une étape de planarisation (par polissage mécano-chimique par exemple), et éventuellement de siliciuration. On forme ensuite un masque, par exemple par photolithographie, sur la couche de matériau diélectrique 14, selon un motif. La couche d'isolant de grille 15 est avantageusement formée par oxydation thermique de la face supérieure d'une couche 12 en silicium, avant le dépôt de la couche d'isolant de grille 15, ce qui permet d'éviter de piéger des charges à l'interface entre cette couche d'isolant de grille 15 et la couche 12. On évite ainsi de piéger des charges qui pourrait affecter le fonctionnement des boîtes quantiques à former.

À la figure 6, on a réalisé une gravure des couches 14, 15 et 12 selon le motif du masque formé sur la couche 14, avec arrêt sur la couche d'isolant enterré 11. La gravure peut par exemple être de type anisotrope, par exemple gravure de la zone active avec les espèces $\text{HBr}/\text{O}_2/\text{Cl}_2$. On obtient ainsi un nanofil semi-conducteur 120, surmonté d'une couche supérieure d'isolant de grille 151, surmontée d'un nanofil de matériau diélectrique 141. Du fait de cette étape de gravure commune, on garantit un alignement entre le nanofil 120 et le nanofil 141. La gravure peut avantageusement être mise en œuvre pour obtenir un nanofil semiconducteur 120 présentant une largeur comprise entre 8 et 30nm.

À la figure 7, on a réalisé une étape de gravure partielle sélective du nanofil 141 par rapport au nanofil 120, pour obtenir un masque dur 140 moins large que l'empilement du nanofil 120 et d'une couche d'isolant de grille 150. La gravure partielle sélective est par exemple une gravure isotrope avec du H_3PO_4 . La gravure partielle sélective peut par exemple former un retrait de part et d'autre du masque dur 140 d'au moins 2nm par rapport au nanofil 120. Une telle gravure sélective permet de rendre le masque dur 140 moins large que le nanofil 120, et d'obtenir un masque dur 140 plus étroit que la largeur du motif de photolithographie.

À la figure 7, on a également procédé à la formation de faces latérales 152 de la couche d'isolant de grille 150. Les faces latérales 152 sont typiquement formées par oxydation thermique des faces latérales du nanofil 120 en silicium. La couche d'isolant de grille 150 formée présente ainsi des faces latérales 152 de part et d'autre du nanofil 120 et une face supérieure 151 sur le nanofil 120. L'épaisseur des faces latérales 152 est par exemple d'au moins 4nm, de préférence d'au moins 5nm.

À la figure 8, on a déposé un matériau de grille pleine plaque. Le matériau de grille est par exemple du polysilicium dopé ou un métal tel que du TiN. Du TiN peut aussi être déposé et être revêtu de polysilicium dopé. Le dépôt est réalisé de façon à présenter partout une hauteur à celle de l'empilement du masque dur 140 et du nanofil 120. Le dépôt du métal de grille est par exemple réalisé sur une épaisseur de 190nm.

On a ensuite procédé à une planarisation (par exemple par polissage mécano-chimique) avec arrêt après avoir atteint le masque dur 140. La planarisation peut par exemple être poursuivie jusqu'à conserver une hauteur d'au moins 40 nm du masque dur 140. On obtient ainsi des grilles 131 et 132 de part et d'autre de l'empilement du nanofil 120 et du masque dur 140. La planarisation avec arrêt sur le masque dur 140 permet de supprimer la liaison du matériau de grille à l'aplomb du masque dur 140, et ainsi d'éviter un court-circuit entre les grilles 131 et 132. Les grilles 131 et 132 sont isolées électriquement l'une de l'autre par l'intermédiaire du masque dur de matériau diélectriques 140 et par l'intermédiaire de la couche d'isolant de grille 150. Les grilles 131 et 132 sont isolées électriquement du nanofil 120 par l'intermédiaire de la couche d'isolant de grille 150.

Les lignes en tiret-point à la figure 8 correspondent à différents plans de coupe :

- la figure 9 est une vue en coupe longitudinale selon un plan passant par le nanofils 120 et le masque dur 140, à ce stade du procédé de fabrication.
- la figure 10 est une vue en coupe longitudinale selon un plan passant par le nanofil 120 et la grille 132, à ce stade du procédé de fabrication.
- la figure 11 est une vue en coupe longitudinale selon un plan passant par la grille 131, à ce stade du procédé de fabrication.

A la figure 12, on a procédé au dépôt d'une couche 16 pour former un masque dur, par exemple en oxyde. Selon la variante illustrée à la figure 13, la couche 16 inclut une superposition d'une couche de SiN 161 et d'une couche de SiO₂ 162. La couche de SiN 161 présente par exemple une épaisseur de 40nm. La couche de SiO₂ 162 présente par exemple une épaisseur de 27nm. Un masque de photolithographie est ensuite formé sur la couche 16 selon le motif des grilles et de l'isolant de séparation entre les grilles.

A la figure 14, on a poursuivi le procédé de la variante illustrée à la figure 13. On a ici procédé à une gravure des grilles 131 et 132 et l'isolant de séparation selon le motif de photolithographie, jusqu'à la couche 11 ou jusqu'à l'isolant de grille 150 le cas échéant. La gravure retire également la couche de SiN 161 et une partie du masque dur 140, de part et d'autre de la partie médiane du nanofil (en dehors du motif défini par photolithographie). L'isolant de grille 150 recouvrant

le nanofil 120 au niveau de ses extrémités longitudinales est ainsi retiré. La couche de SiO₂ 162 a ici été retirée.

Les lignes en tiret-point à la figure 14 correspondent à différents plans de coupe :

5 -la figure 15 est une vue en coupe longitudinale selon un plan passant par le nanofils 120 et le masque dur 140, à ce stade du procédé de fabrication. Un empilement d'un résidu de la couche 161 et du masque dur 140 est conservé à la verticale de la partie médiane du nanofil 120. L'isolant de grille 150 recouvrant le nanofil 120 est découvert au niveau des extrémités longitudinales du nanofil
10 120. Cet empilement forme une séparation isolante entre les grilles 131 et 132 ;

 -la figure 16 est une vue en coupe longitudinale selon un plan passant par le nanofil 120 et la grille 132, à ce stade du procédé de fabrication. Un empilement d'un résidu de la couche 161, de la grille 132 et du nanofil 120 est conservé à la verticale d'un bord de la partie médiane du nanofil 120 ;

15 -la figure 17 est une vue en coupe longitudinale selon un plan passant par la grille 131, à ce stade du procédé de fabrication. Un empilement d'un résidu de la couche 161 et de la grille 132 est conservé sur un côté de la partie médiane du nanofil 120.

20 Aux figures 18 à 21, on a formé des espaceurs 171, de part et d'autre longitudinalement par rapport aux grilles 131 et 132 et par rapport à la séparation isolante entre les grilles 131 et 132. Les espaceurs 171 sont par exemple formés en SiN. Les espaceurs 171 présentent par exemple une dimension comprise entre 10 et 40 nm selon la direction X.

25 Aux figures 22 à 24, on a formé des électrodes de conduction relevées 181 et 182 sur le nanofil 120, de part et d'autre de sa partie médiane et de la séparation isolante. Les électrodes de conduction relevées peuvent par exemple être formées au moyen d'une croissance par épitaxie sur le nanofil 120.

30 Aux figures 25 à 28, on a formé des espaceurs 172, contre des espaceurs 171 respectifs. Les espaceurs 172 sont donc positionnés de part et d'autre longitudinalement par rapport aux grilles 131 et 132 et par rapport à la séparation isolante entre les grilles 131 et 132. Les espaceurs 172 sont par exemple formés
35 en SiO₂. Les espaceurs 172 sont destinés à protéger les faces latérales des espaceurs 171 lors d'une étape de retrait ultérieur de la couche 161, lorsque celle-ci est dans le même matériau que les espaceurs 171.

Aux figures 29 à 32, on a procédé au retrait de la couche 161 et de la partie supérieure des espaceurs 171, par gravure. On a ainsi ménagé un accès à la surface supérieure des grilles 131 et 132.

5 Aux figures 33 à 36, on a procédé au retrait des espaceurs 172 par une gravure sélective, de façon connue en soi. On a aussi avantageusement réalisé une implantation ionique de dopants dans les électrodes de conduction 181 et 182. On peut ensuite avantageusement mettre en œuvre une étape de siliciuration des faces supérieures électrodes de conduction et des grilles.

10 De façon connue en soi, on peut ensuite déposer une couche de passivation, puis former des contacts sur les grilles 131 et 132 et les électrodes de conduction 181 et 182.

15 Le procédé de fabrication d'un tel circuit électronique 1 peut faire appel à des étapes technologiques et des matériaux bien maîtrisés dans des procédés de fabrication en technologie CMOS. Par conséquent, un procédé de fabrication selon l'invention peut être mis en œuvre avec une maîtrise élevée et des coûts relativement réduits.

20 Selon une variante, le procédé de fabrication peut inclure une connexion électrique de la couche de semi-conducteur 10 à un circuit de polarisation (non illustré). Par polarisation de la couche de matériau semi-conducteur 10, avec une couche 11 suffisamment fine, on peut alors mettre en œuvre un contrôle électrostatique du nanofil 12 par cette polarisation.

25 Un procédé de fabrication selon le deuxième mode de réalisation peut être identique à celui du premier mode de réalisation pour les étapes décrites en référence aux figures 5 et 6. On procède ensuite à une étape de formation de faces latérales de la couche d'isolant de grille 150, par exemple par oxydation thermique des faces latérales du nanofil 120. A ce stade, les faces latérales du masque dur 140 sont alignées (selon la direction Y) avec les faces latérales de la couche d'isolant de grille 150. On procède ensuite au dépôt de matériau de grille pleine plaque décrit en référence à la figure 8. Le matériau de grille déposé est exempt de débordement à la verticale de l'isolant de grille 150 et du nanofil 120,
30 du fait de l'alignement entre les faces latérales du masque dur 140 avec les faces latérales de la couche d'isolant de grille.

 On a ensuite procédé à une planarisation (par exemple par polissage mécano-chimique) avec arrêt après avoir atteint le masque dur 140, comme décrit pour le premier mode de réalisation.

Le procédé de fabrication selon le deuxième mode de réalisation peut ensuite être poursuivi comme décrit en référence aux figures 13 à 36 pour le premier mode de réalisation.

5 Un procédé de fabrication selon le troisième mode de réalisation peut être identique à celui du premier mode de réalisation pour les étapes décrites en référence aux figures 5 et 6. On procède ensuite à une étape de formation de faces latérales de la couche d'isolant de grille 150, par exemple par oxydation thermique des faces latérales du nanofil 120. A ce stade, les faces latérales du
10 masque dur 140 sont alignées (selon la direction Y) avec les faces latérales de la couche d'isolant de grille 150.

On procède ensuite à une implantation de H₂ sur seulement une des faces latérales du masque dur 140. On réalise ensuite une gravure sélective, par exemple de type HF. On procède ensuite au dépôt de matériau de grille pleine
15 plaque décrit en référence à la figure 8. D'un côté du masque dur 140, le matériau de grille déposé est exempt de débordement à la verticale de l'isolant de grille 150 et du nanofil 120, du fait de l'alignement entre les faces latérales du masque dur 140 avec les faces latérales de la couche d'isolant de grille. De l'autre côté du masque dur 140, le matériau de grille présente un débordement à la verticale de
20 l'isolant de grille 150 et du nanofil 120.

On a ensuite procédé à une planarisation (par exemple par polissage mécano-chimique) avec arrêt après avoir atteint le masque dur 140, comme décrit pour le premier mode de réalisation.

Le procédé de fabrication selon le troisième mode de réalisation peut
25 ensuite être poursuivi comme décrit en référence aux figures 13 à 36 pour le premier mode de réalisation.

La figure 37 est une vue en coupe transversale d'un empilement vertical de composants électroniques 201, 202 et 203, pouvant être obtenu selon une
30 variante du deuxième mode de réalisation. Le substrat est ici identique à celui de la figure 3. Chacun des composants électroniques 201, 202 et 203 comprend :

- un nanofil de matériau semi-conducteur 120 ;
- une couche d'isolant de grille 150 recouvrant la partie médiane du nanofil
120 ;
- 35 -des boîtes quantiques 21 et 22 formées à proximité de faces latérales opposées du nanofil 120, dans sa partie médiane.

Un masque dur de matériau diélectrique 140 est formé sur l'isolant de grille 150 du composant 201. Un nanofil de matériau diélectrique 142 est interposé entre l'isolant de grille du composant 201 et l'isolant de grille du composant 202.
40 Un autre nanofil de matériau diélectrique est interposé entre l'isolant de grille du

composant 202 et l'isolant de grille du composant 203. Les nanofils de matériau diélectrique présentent la même largeur que les nanofils 120 recouverts d'isolant de grille. Les faces latérales des nanofils de diélectrique (et du masque dur 140) sont donc alignées avec les faces latérales des couches d'isolant de grille.

5 Au niveau de la partie médiane des nanofils 120, des grilles de commande 131 et 132 sont ménagées de part et d'autre de l'empilement de composants électroniques 201 à 203, sur toute la hauteur de cet empilement. Les grilles 131 et 132 sont ici exemptes de débordement à la verticale des isolants de grille et des nanofils 120.

10 Une telle configuration permet d'augmenter la densité de boîtes quantiques pour une surface de substrat donnée.

La figure 38 est une vue en coupe transversale d'un empilement vertical de composants électroniques 201, 202 et 203, pouvant être obtenu selon une
15 variante du premier mode de réalisation. Le substrat est ici identique à celui de la figure 2. Chacun des composants électroniques 201, 202 et 203 comprend :

-un nanofil de matériau semi-conducteur 120 ;

-une couche d'isolant de grille 150 recouvrant la partie médiane du nanofil
120 ;

20 -des boîtes quantiques 21 à 24 formées à proximité des arêtes du nanofil 120, dans sa partie médiane.

Un masque dur de matériau diélectrique 140 est formé sur l'isolant de grille 150 du composant 201 et est moins large que cet isolant de grille 150. Un nanofil de matériau diélectrique 142 est interposé entre l'isolant de grille du composant
25 201 et l'isolant de grille du composant 202 et est moins large que leur isolant de grille. Un autre nanofil de matériau diélectrique est interposé entre l'isolant de grille du composant 202 et l'isolant de grille du composant 203 et est moins large que leur isolant de grille. Les faces latérales des nanofils de diélectrique sont donc en retrait (selon la direction Y) par rapport aux faces latérales des couches
30 d'isolant de grille.

Au niveau de la partie médiane des nanofils 120, des grilles de commande 131 et 132 sont ménagées de part et d'autre de l'empilement de composants électroniques 201 à 203, sur toute la hauteur de cet empilement. Les grilles 131 et 132 présentent ici un débordement à la verticale des isolants de grille et des
35 nanofils 120. Avec une telle configuration des grilles de commande 131 et 132, on peut contrôler quatre boîtes quantiques pour chacun des composants électroniques 201 à 203.

Une telle configuration permet d'augmenter la densité de boîtes quantiques pour une surface de substrat donnée.

40

Dans les exemples décrits et illustrés, on utilise un substrat de type silicium sur isolant. L'invention s'applique bien entendu également à un substrat de type massif (pour Bulk en langue anglaise).

REVENDEICATIONS

1. Procédé de fabrication d'un composant électronique (2) à doubles boîtes quantiques (2) et doubles grilles, comprenant la fourniture d'un substrat (10) surmonté d'un empilement d'une couche de matériau semi-conducteur (12) et d'une couche de matériau diélectrique (14) formée au-dessus de la couche de matériau semi-conducteur, comprenant les étapes de :
 - formation d'un masque sur la couche de matériau diélectrique ;
 - gravure de la couche de matériau diélectrique (14) et de la couche de matériau semi-conducteur (12) selon le motif du masque, de façon à former un empilement d'un nanofil semiconducteur (120) et d'un masque dur de diélectrique (140) ;
 - déposer un matériau de grille pleine plaque ;
 - réaliser une planarisation, jusqu'à atteindre le masque dur de diélectrique (140), de façon à former des première et deuxième grilles (131, 132) isolées électriquement l'une de l'autre de part et d'autre desdits nanofils.
2. Procédé de fabrication selon la revendication 1, comprenant en outre une étape de gravure sélective d'une partie de la largeur du masque dur de diélectrique (140) par rapport au nanofil semi-conducteur (120), préalablement à ladite étape de dépôt de matériau de grille.
3. Procédé de fabrication selon la revendication 2, dans lequel ladite gravure partielle est mise en œuvre de sorte que le masque dur de diélectrique (140) présente de part et d'autre un retrait d'au moins 2 nm par rapport au nanofil (120).
4. Procédé de fabrication selon la revendication 3, dans lequel ladite gravure partielle est mise en œuvre de façon à réduire la largeur du masque dur de diélectrique (140) d'au moins 2 nm.
5. Procédé de fabrication selon la revendication 2 ou 3, dans lequel ladite gravure partielle rend l'empilement du masque dur de diélectrique (140) et du nanofil semi-conducteur (120) dissymétriques par rapport à un plan vertical incluant la direction longitudinale de ces nanofils.
6. Procédé de fabrication selon l'une quelconque des revendications précédentes, dans lequel ledit nanofil semiconducteur (120) est formé en alliage de Silicium, le procédé comprenant une étape de formation d'une couche d'oxyde thermique (15) par oxydation thermique de la partie supérieure

de la couche de matériau semiconducteur (12) avant le dépôt de la couche de matériau diélectrique (14).

- 5 7. Procédé de fabrication selon l'une quelconque des revendications précédentes, dans lequel ledit nanofil semiconducteur (120) est formé en alliage de Silicium, le procédé comprenant une étape de formation d'une couche d'oxyde thermique (152) par oxydation thermique des bords du nanofil semiconducteur (120) avant le dépôt du matériau de grille.
- 10 8. Procédé de fabrication selon l'une quelconque des revendications précédentes, dans lequel ladite couche de matériau semi-conducteur fournie (12) est disposée sur un substrat (10) de type Silicium sur isolant.
- 15 9. Procédé de fabrication selon la revendication 8, comprenant une étape de connexion électrique d'un circuit de polarisation audit substrat (10).
- 20 10. Procédé de fabrication selon l'une quelconque des revendications précédentes, dans lequel ledit matériau de grille déposé comprend du Polysilicium dopé.
- 25 11. Procédé de fabrication selon l'une quelconque des revendications précédentes, dans lequel ledit nanofil semiconducteur (120) formé présente une largeur comprise entre 8 et 30 nm.

Fig. 1

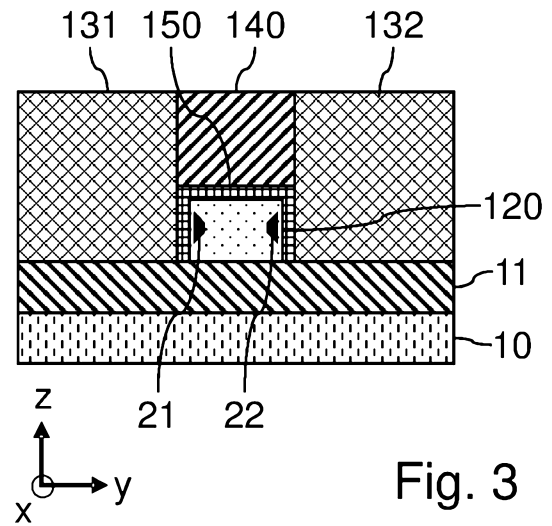
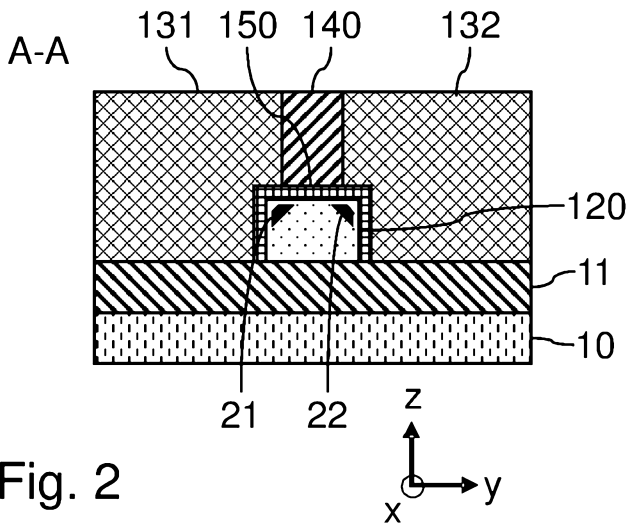
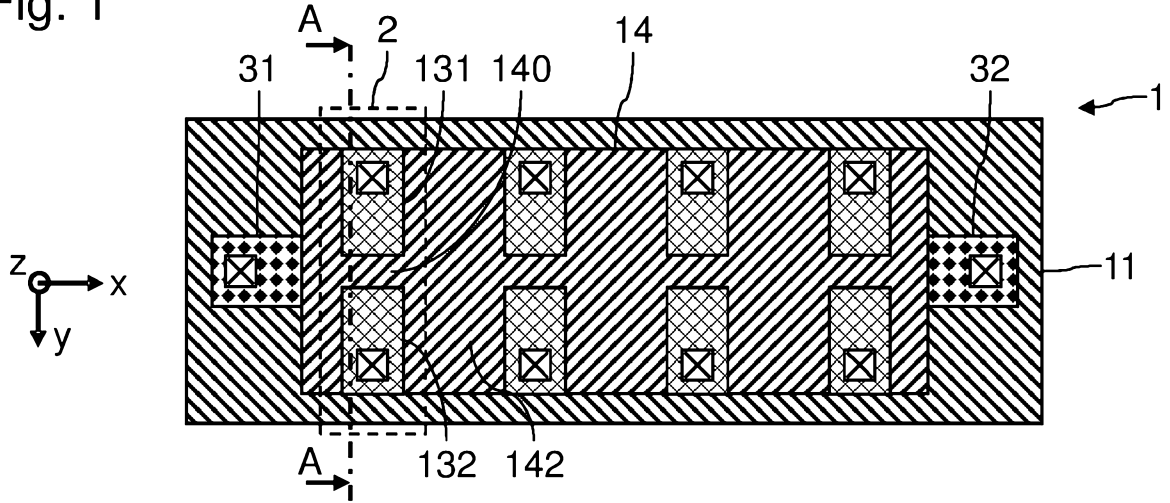
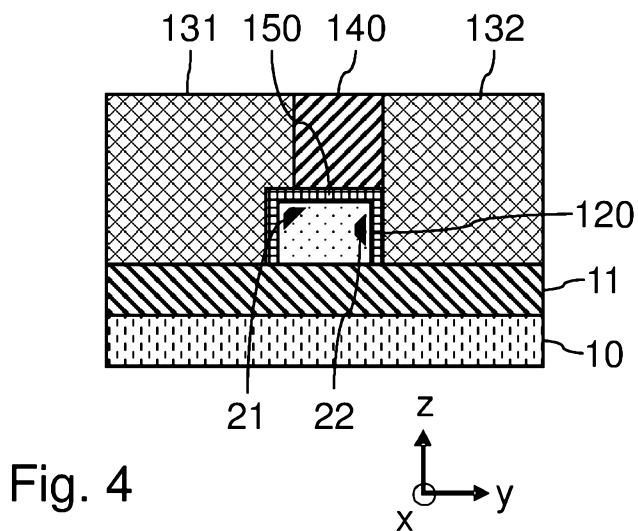


Fig. 2

Fig. 3



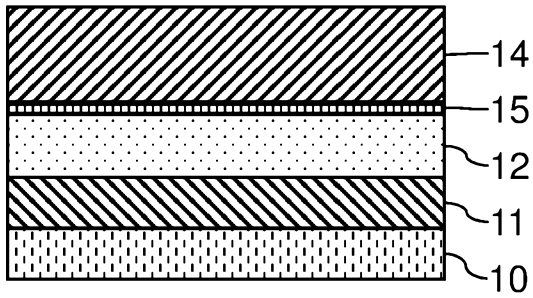


Fig. 5

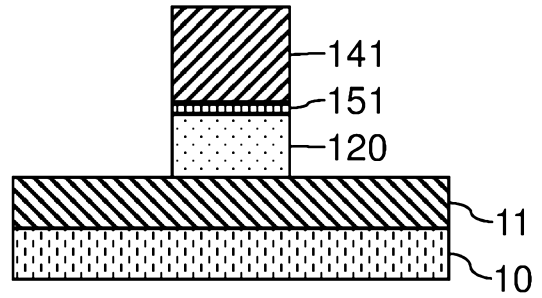
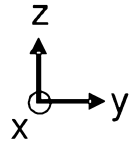


Fig. 6

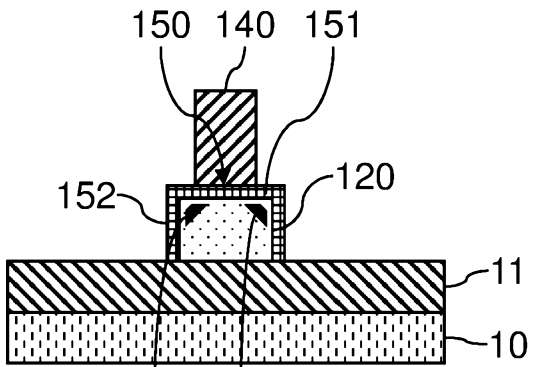
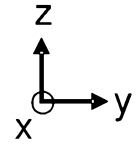


Fig. 7

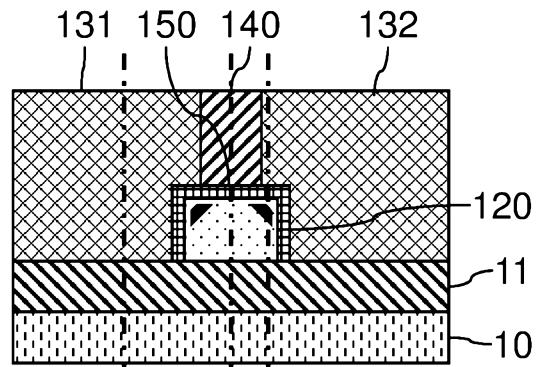
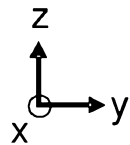


Fig. 8

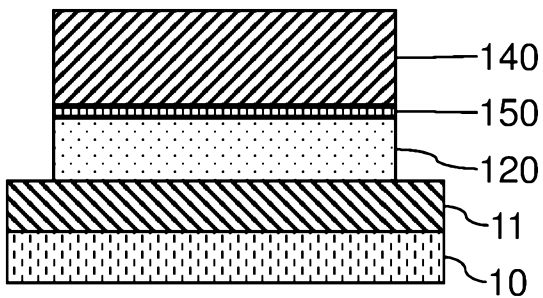
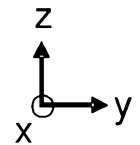


Fig. 9

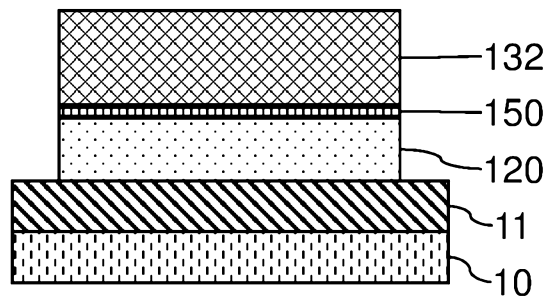
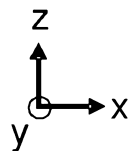
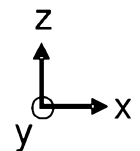
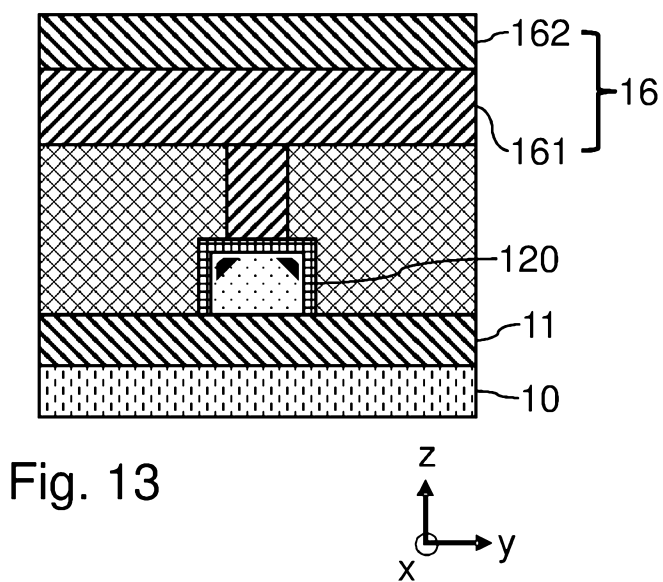
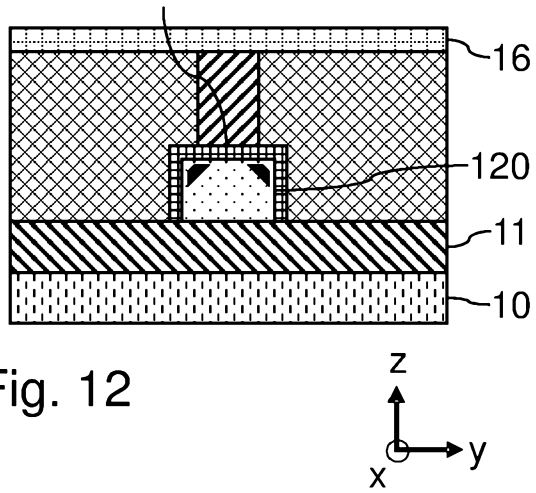
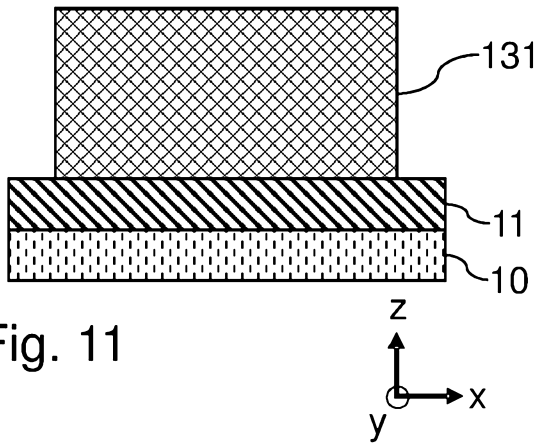
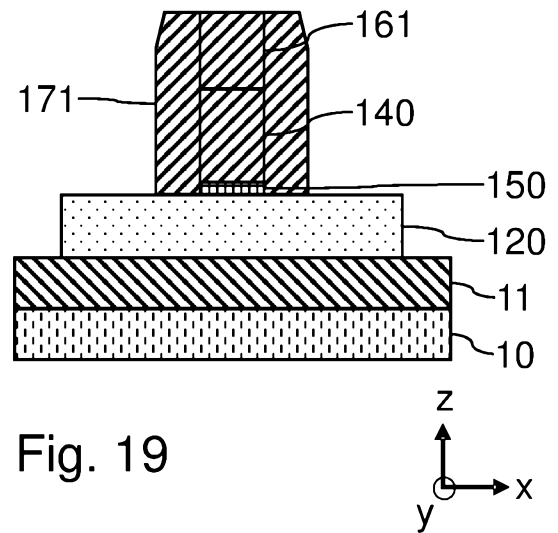
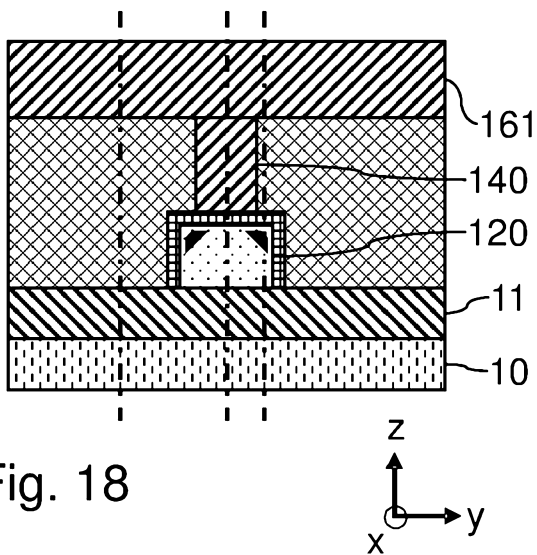
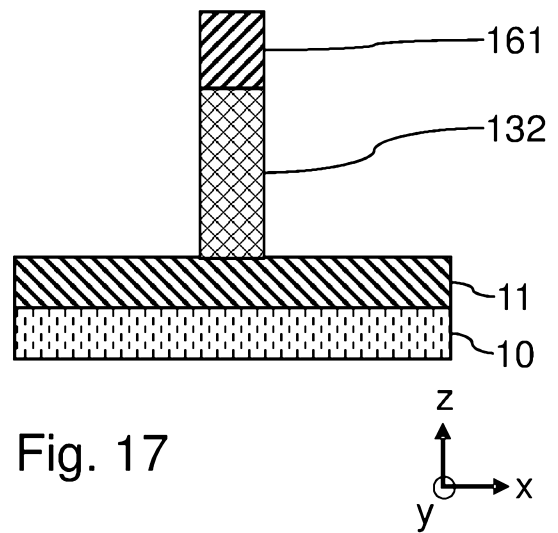
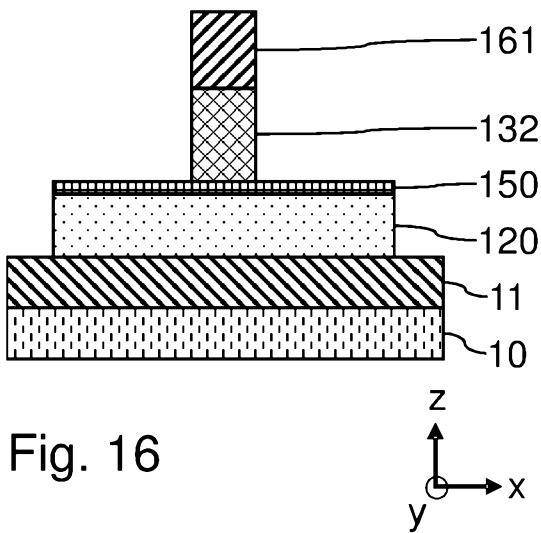
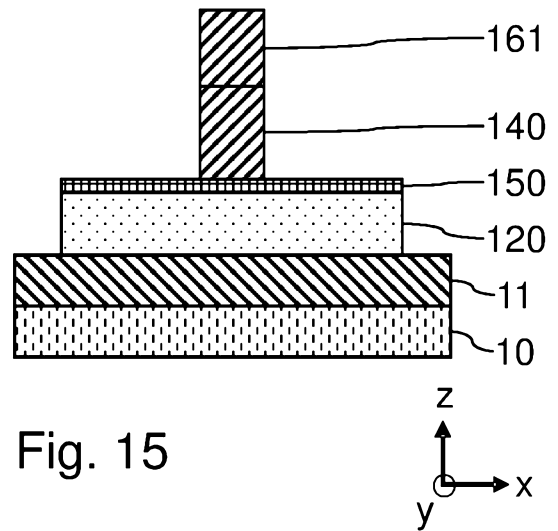
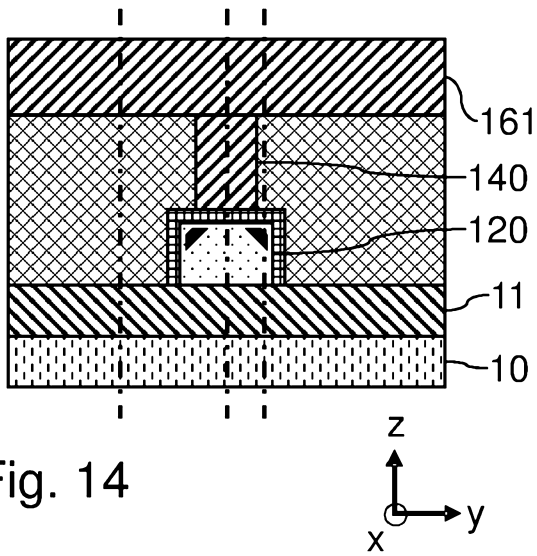


Fig. 10







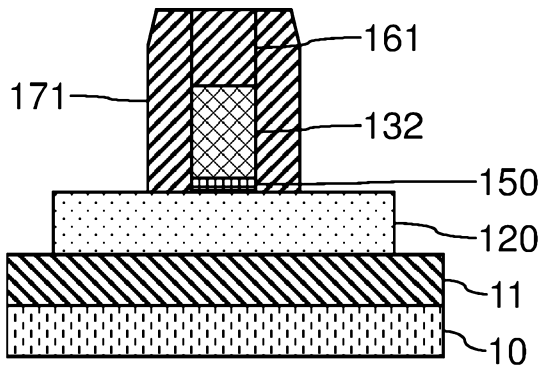


Fig. 20

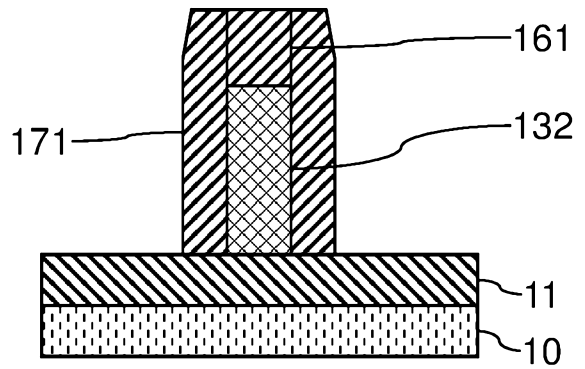
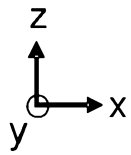


Fig. 21

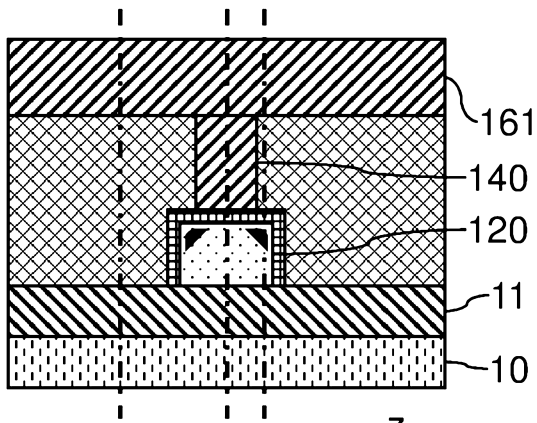
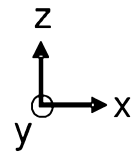


Fig. 22

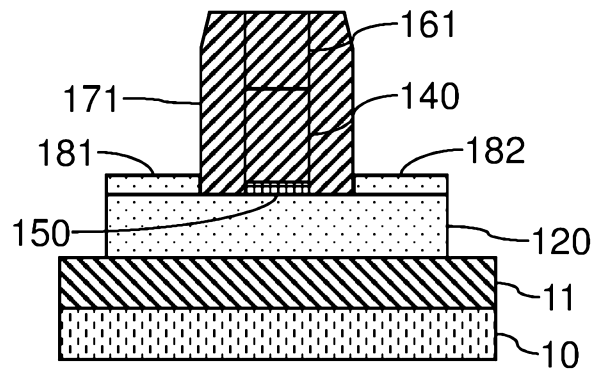
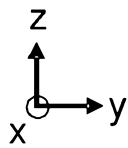


Fig. 23

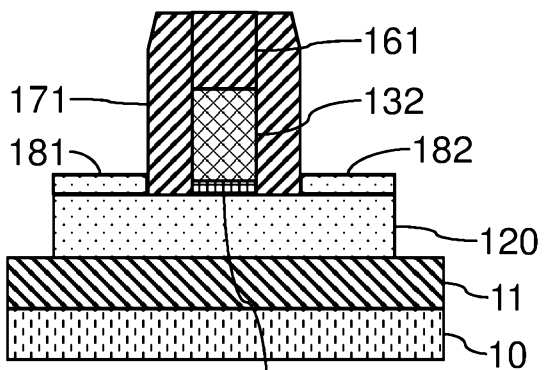
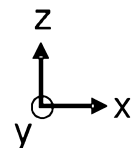
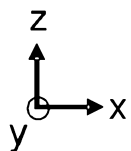


Fig. 24



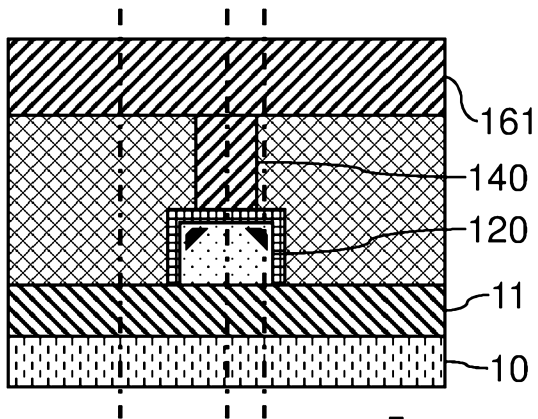


Fig. 25

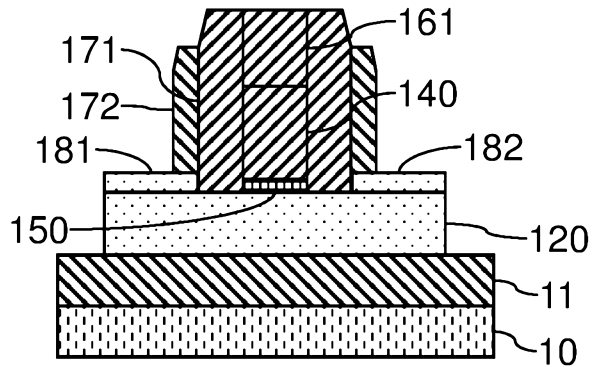
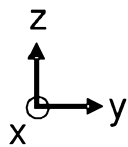


Fig. 26

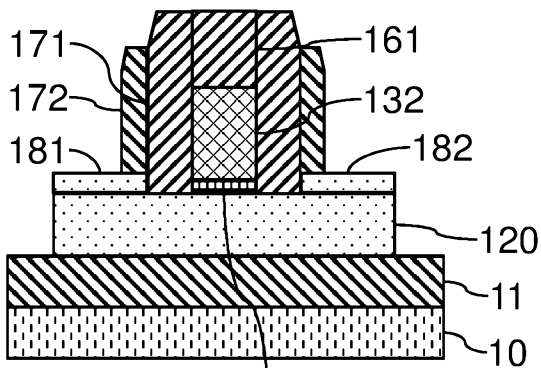
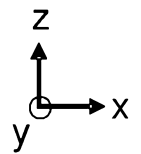


Fig. 27

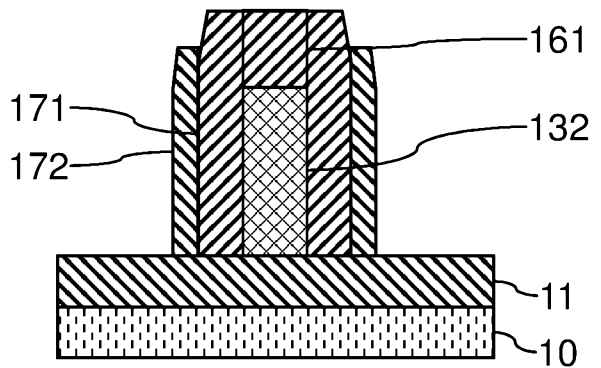
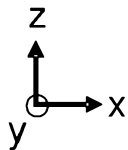


Fig. 28

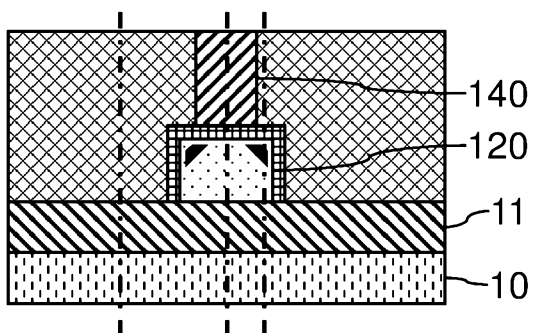
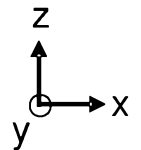


Fig. 29

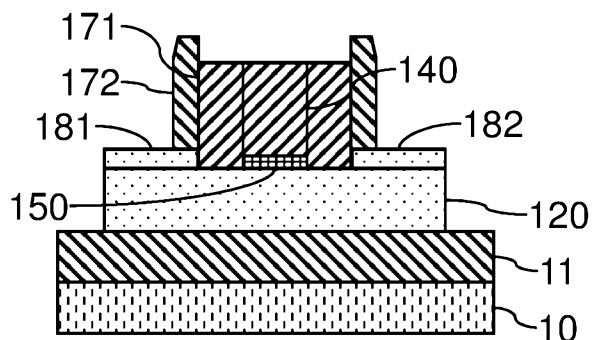
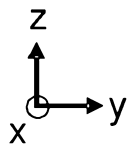
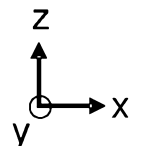
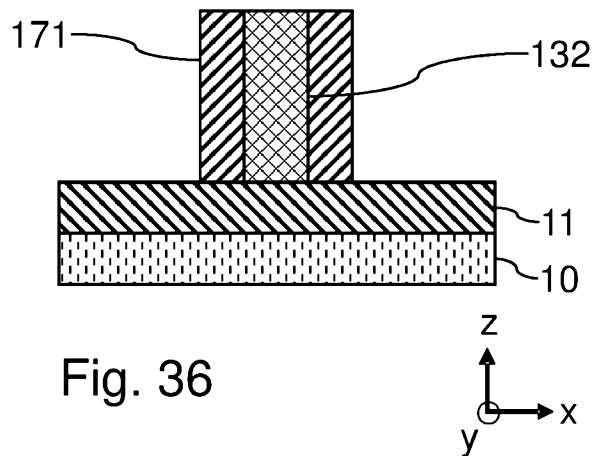
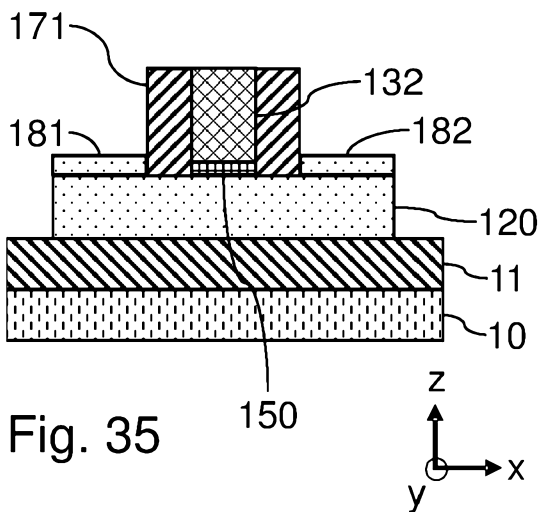
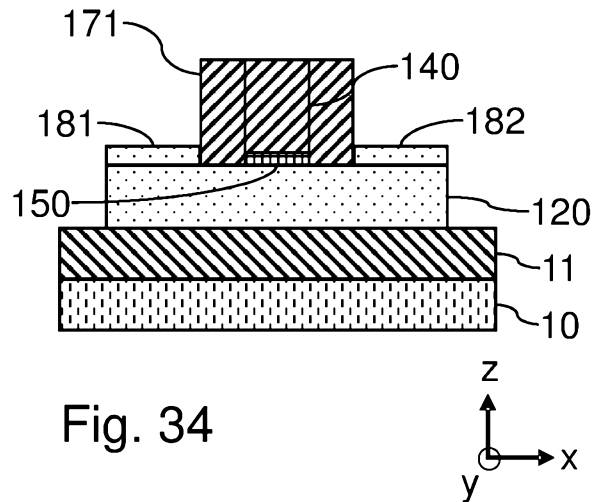
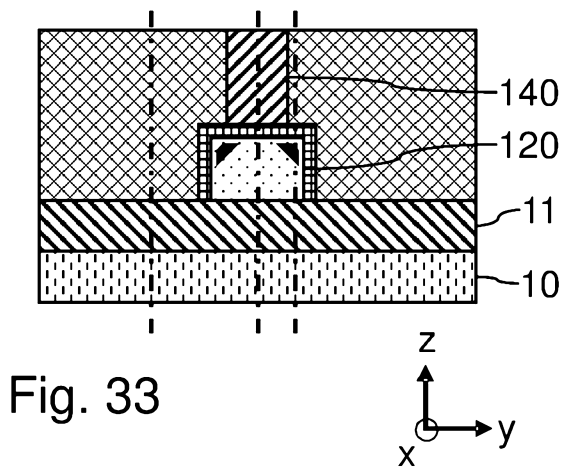
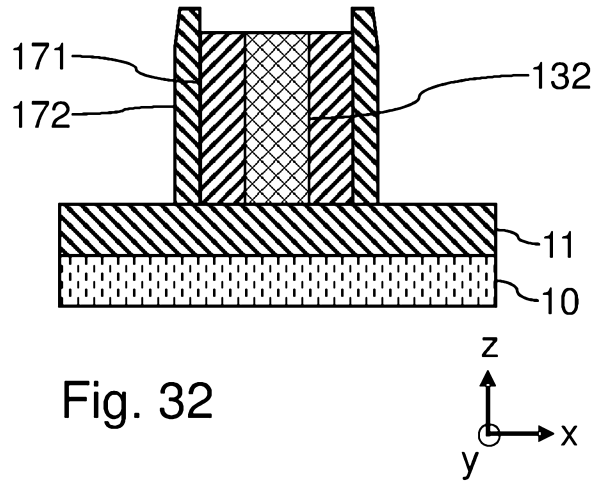
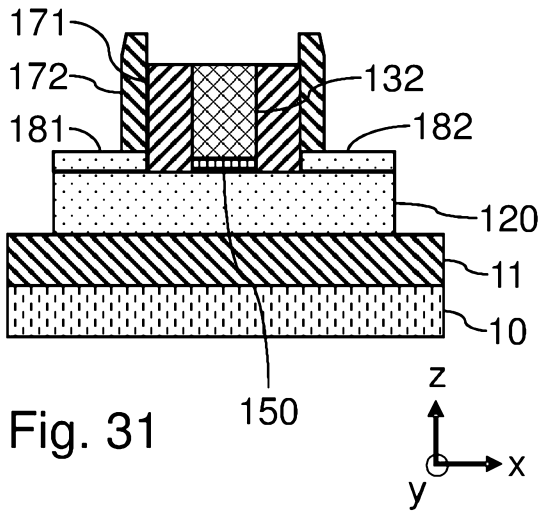


Fig. 30





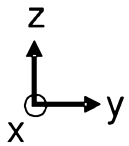
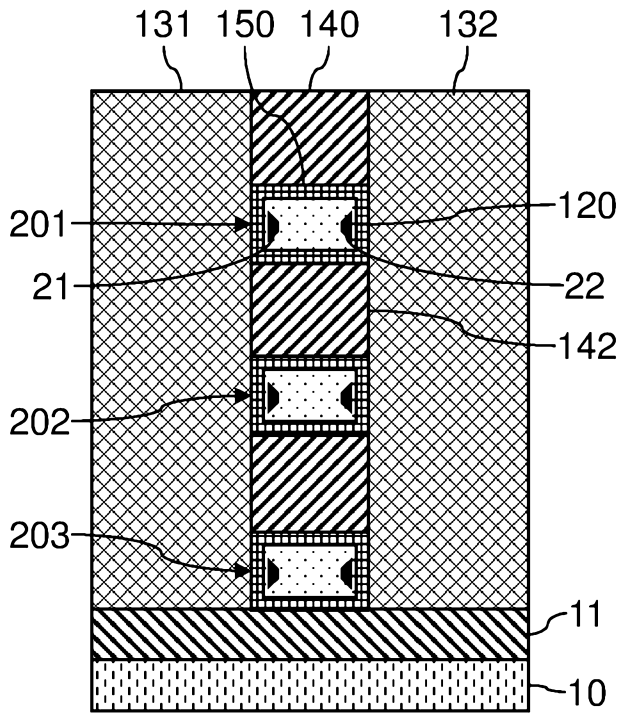


Fig. 37

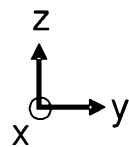
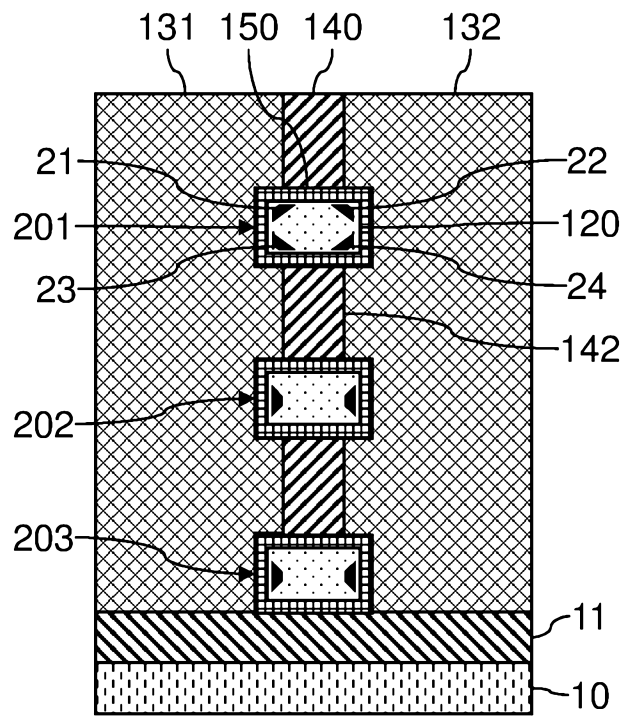


Fig. 38

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1760103 FA 847905**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **03-07-2018**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2016300155 A1	13-10-2016	EP 3082073 A1 US 2016300155 A1	19-10-2016 13-10-2016

WO 2008044828 A1	17-04-2008	KR 20080032465 A WO 2008044828 A1	15-04-2008 17-04-2008

WO 2007127523 A2	08-11-2007	CN 101427380 A TW 200742092 A US 2007210338 A1 WO 2007127523 A2	06-05-2009 01-11-2007 13-09-2007 08-11-2007

US 2015279981 A1	01-10-2015	AUCUN	
