

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6473733号
(P6473733)

(45) 発行日 平成31年2月20日(2019.2.20)

(24) 登録日 平成31年2月1日(2019.2.1)

(51) Int.Cl.		F I			
G 1 1 C	16/10	(2006.01)	G 1 1 C	16/10	1 4 0
G 1 1 C	16/14	(2006.01)	G 1 1 C	16/14	1 0 0
G 1 1 C	29/50	(2006.01)	G 1 1 C	29/50	1 5 0

請求項の数 16 (全 14 頁)

(21) 出願番号	特願2016-241216 (P2016-241216)	(73) 特許権者	511062254
(22) 出願日	平成28年12月13日(2016.12.13)		ウィンボンド エレクトロニクス コーポ レーション
(65) 公開番号	特開2018-97904 (P2018-97904A)		台湾台中市428大雅區科雅一路8號
(43) 公開日	平成30年6月21日(2018.6.21)	(74) 代理人	100098497
審査請求日	平成28年12月13日(2016.12.13)		弁理士 片寄 恭三
		(72) 発明者	村上 洋樹
			神奈川県横浜市港北区新横浜2丁目3-1 2 新横浜スクエアビル ウィンボンド・ エレクトロニクス株式会社内
		(72) 発明者	妹尾 真言
			神奈川県横浜市港北区新横浜2丁目3-1 2 新横浜スクエアビル ウィンボンド・ エレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその動作設定方法

(57) 【特許請求の範囲】

【請求項1】

半導体記憶装置であって、

前記半導体記憶装置の第1の動作条件に関するデータを記憶するメモリセルアレイと、前記半導体記憶装置の第2の動作条件に関するデータおよび前記メモリセルアレイから
前記第1の動作条件に関するデータを読み出すための読出しコマンドを記憶するROMと、
前記半導体記憶装置の動作を制御する中央処理装置と、
RAMとを有し、前記中央処理装置は、要求される動作に応じて、前記ROMから前記第2の動作条件に
関するデータおよび前記読出しコマンドを読み出すとともに、前記ROMから読み出され
た前記読出しコマンドに基づき前記メモリセルアレイから前記第1の動作条件に関するデ
ータをRAMに読み出し、読み出された前記第1の動作条件に関するデータおよび前記第
2の動作条件に関するデータを用いて半導体記憶装置の動作を制御する、半導体記憶装置
。

【請求項2】

前記第1の動作条件に関するデータは、プログラムの動作条件に関するデータおよび消去
の動作条件に関するデータの少なくとも一方を含む、請求項1に記載の半導体記憶装置。

【請求項3】

前記プログラムの動作条件に関するデータは、プログラムするときおよびプログラムベリ

10

20

ファイするときにメモリセルアレイに印加される電圧を含む、請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記消去の動作条件に関するデータは、消去するときおよび消去ベリファイするときにメモリセルアレイに印加される電圧を含む、請求項 2 に記載の半導体記憶装置。

【請求項 5】

前記中央処理装置は、前記第 1 の動作条件に関するデータに基づきメモリセルアレイに印加する電圧を制御する、請求項 1 または 2 に記載の半導体記憶装置。

【請求項 6】

前記メモリセルアレイは、NAND ストリングから構成されるアレイである、請求項 1 ないし 5 いずれか 1 つに記載の半導体記憶装置。

10

【請求項 7】

前記 ROM はさらに、前記メモリセルアレイから前記第 1 の動作条件に関するデータを読み出すためのアドレスを記憶し、

前記中央処理装置は、要求される動作に応じた前記アドレスに従い前記第 1 の動作条件に関するデータを読み出す、請求項 1 に記載の半導体記憶装置。

【請求項 8】

半導体装置はさらに、外部との間でデータの送受を可能にする外部端子を含み、

前記中央処理装置は、テスト動作時に、前記外部端子から供給された動作条件に関するデータを前記 RAM に書込むことを可能にする、請求項 1 に記載の半導体記憶装置。

20

【請求項 9】

前記第 1 の動作条件に関するデータは、半導体記憶装置の最適な動作条件を決定するオプションデータである、請求項 1 ないし 8 いずれか 1 つに記載の半導体記憶装置。

【請求項 10】

前記 ROM は、マスク ROM である、請求項 1 ないし 9 いずれか 1 つに記載の半導体記憶装置。

【請求項 11】

半導体記憶装置は、NAND 型フラッシュメモリである、請求項 1 ないし 10 いずれか 1 つに記載の半導体記憶装置。

【請求項 12】

30

メモリセルアレイと、ROM と、中央処理装置と、RAM とを含む半導体記憶装置の動作設定方法であって、

前記半導体記憶装置の第 1 の動作条件に関するデータを前記メモリセルアレイに記憶するステップと、

前記 ROM には、前記半導体記憶装置の第 2 の動作条件に関するデータおよび前記メモリセルアレイから前記第 1 の動作条件に関するデータを読み出すための読出しコマンドが記憶されており、要求される動作に応じて、前記中央処理装置が、前記 ROM から前記第 2 の動作条件に関するデータおよび前記読出しコマンドを読み出すとともに、前記 ROM から読み出された読出しコマンドに基づき前記メモリセルアレイから前記第 1 の動作条件に関するデータを前記 RAM に読み出すステップと、

40

前記中央処理装置が、読み出された前記第 1 の動作条件に関するデータおよび前記第 2 の動作条件に関するデータを用いて前記半導体記憶装置の動作を制御するステップと、を有する動作設定方法。

【請求項 13】

動作設定方法はさらに、出荷前に半導体記憶装置のテストを行うステップを含み、

前記記憶するステップは、前記テストの結果に基づき決定された前記第 1 の動作条件に関するデータを前記メモリセルアレイに記憶する、請求項 12 に記載の動作設定方法。

【請求項 14】

動作設定方法はさらに、外部端子に供給される動作条件に関するデータを前記 RAM に書込むステップとを含み、

50

前記テストするステップは、前記ＲＡＭに書込まれた動作条件に関するデータに基づきテストを行う、請求項１３に記載の動作設定方法。

【請求項１５】

前記記憶するステップは、前記メモリセルアレイの選択ページに前記第１の動作条件に関するデータをプログラムする、請求項１２に記載の動作設定方法。

【請求項１６】

前記読み出すステップは、前記メモリセルアレイの選択ページから前記第１の動作条件に関するデータを読み出す、請求項１２に記載の動作設定方法。

【発明の詳細な説明】

【技術分野】

10

【０００１】

本発明は、半導体記憶装置に関し、特に半導体記憶装置の動作条件をリアルタイムで設定可能な半導体記憶装置に関する。

【背景技術】

【０００２】

NAND型フラッシュメモリなどの半導体記憶装置では、動作制御の高度化に伴い、読み出し、プログラムおよび消去時のオペレーションが複雑化しつつある。出荷前に、これらの最適なオペレーションを決定することは難しいため、半導体チップに、複数のオペレーションの中から最適なオペレーションを選択できるようなオプションが搭載されている。

【０００３】

20

例えば、特許文献１のメモリ装置は、ヒューズ装置とヒューズ制御回路とを含み、ヒューズ装置が、ヒューズ制御回路の動作に関連する第１のデータを格納する第１のヒューズサブアレイと、メモリ装置の動作に関連する第２のデータを格納する第２のヒューズサブアレイとを含み、ヒューズ制御回路が、第１および第２のヒューズサブアレイから第１および第２のデータをそれぞれ読み出すように構成される。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】米国特許公開２０１３／０３２２１４９　Ａ１

【発明の概要】

30

【発明が解決しようとする課題】

【０００５】

従来の半導体記憶装置では、メモリ動作に関する全てのオペレーションを実行可能にするため、全てのオペレーションに対応するデータをヒューズアレイ等に格納し、製品出荷前の評価テストにより全てのオペレーションの中から最適なオペレーションを選択している。図１に、NAND型フラッシュメモリにおける選択可能な複数のオペレーションのデータ（以下、オプションデータという）を例示する。図の例は、消去やプログラムの動作条件を決定するオプションデータが３つある場合（a、b、cは、それぞれオプションデータ）を示している。消去バイアスは、選択ブロックのＰウエルに印加する消去パルスの波高値の初期値やステップ幅などを決定するためのデータを含むことができる。消去ベリファイは、ワード線に印加するベリファイ電圧やパス／フェイルの条件などを決定するためのデータを含むことができる。プログラムバイアスは、選択ワード線に印加するプログラムパルスの波高値の初期値やステップ幅などを決定するためのデータを含むことができる。プログラムベリファイは、ワード線に印加するベリファイ電圧やパス／フェイルの条件などを決定するためのデータを含むことができる。これらのオプションデータの中から最適なオプションデータの選択は、製品出荷前の評価テストのときに、例えば、ヒューズROM等をプログラムすることにより行われる。製品出荷後、半導体記憶装置は、選択された最適なオプションデータに従い動作条件を決定しその動作を制御する。

40

【０００６】

しかしながら、このような従来の半導体記憶装置には、次のような課題がある。特許文

50

献 1 に示すヒューズアレイは、メモリセルアレイと同様に構成されるリード/ライトが可能な記憶領域であり、ここに格納されたデータは、パワーアップシーケンスで最初に読み出される。ヒューズアレイから読み出されたオプションデータに基づき動作条件が決定されるため、ヒューズアレイのデータには、信頼性が求められる。1つの方法では、ヒューズアレイに格納されたデータは、マジョリティ方式により保証され、1ビットの読出しデータが「0」または「1」であるかを決定するために、 n ビットの読出しデータの「0」または「1」の多数決(マジョリティ)を用いる。例えば、 $n = 16$ であるとき、16ビットの読出しデータのうち過半数を超える値がその読出しデータの値に決定される。こうしたマジョリティ方式は、データを保証できる反面、実際に占有するデータサイズが大きくなってしまいうという問題がある。

10

【0007】

ヒューズアレイの代わりに、他の記憶媒体にオプションデータを格納する方法もある。半導体記憶装置がステートマシンにより動作を制御するのではなく、オンチップのマイクロコントローラ(CPU、ROM、RAMを含む)により動作を制御する場合、ROMには、動作を制御するためのプログラムデータまたはコードデータに加えて、全てのオペレーションを実行可能にするためのオプションデータが記憶される。半導体記憶装置の動作の複雑化、高度化によりオプションデータのサイズが大きくなると、ROMの容量が大きくなってしまいうという問題がある。他方、オプションデータのサイズを制限することは、半導体記憶装置のフレキシビリティを低下させ、最適な動作条件で動作させることができなくなる可能性がある。さらには、テスト結果に見合う動作条件で半導体記憶装置を動作

20

【0008】

本発明は、このような従来の課題を解決するものであり、動作条件に関するデータを記憶するためのROMのリソースをできるだけ少なくしつつ、動作のフレキシビリティを保つことができる半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る半導体記憶装置は、半導体記憶装置の動作条件に関するデータを記憶するメモリセルアレイと、半導体記憶装置の動作を制御するためのデータを記憶するROMと、前記ROMから読み出されたデータに基づき半導体記憶装置の動作を制御する中央処理装置と、RAMとを有し、前記中央処理装置は、要求される動作に応じて前記メモリセルアレイから前記動作条件に関するデータをRAMに読出し、読み出された動作条件に関するデータを用いて半導体記憶装置の動作を制御する。

30

【0010】

好ましくは前記動作条件に関するデータは、プログラムの動作条件に関するデータおよび消去の動作条件に関するデータの少なくとも一方を含む。好ましくは前記プログラムの動作条件に関するデータは、プログラムするときおよびプログラムベリファイするときにメモリセルアレイに印加される電圧を含む。好ましくは前記消去の動作条件に関するデータは、消去するときおよび消去ベリファイするときにメモリセルアレイに印加される電圧を含む。好ましくは前記中央処理装置は、前記動作条件に関するデータに基づきメモリセルアレイに印加する電圧を制御する。好ましくは前記メモリセルアレイは、NANDストリングから構成されるアレイである。好ましくは前記ROMは、前記メモリセルアレイから前記動作条件に関するデータを読み出すための読出し用データを記憶し、前記中央処理装置は、要求される動作に応じた前記読出し用データを前記ROMから読み出す。好ましくは半導体装置はさらに、外部との間でデータの送受を可能にする外部端子を含み、前記中央処理装置は、テスト動作時に、前記外部端子から供給された動作条件に関するデータを前記RAMに書込むことを可能にする。好ましくは前記動作条件に関するデータは、半導体記憶装置の最適な動作条件を決定するオプションデータである。好ましくは前記ROMは、マスクROMである。好ましくは半導体記憶装置は、NAND型フラッシュメモリ

40

50

である。

【 0 0 1 1 】

本発明に係る動作設定方法は、半導体記憶装置の動作を制御するためのデータを記憶するROMと、前記ROMから読み出されたデータに基づき半導体記憶装置の動作を制御する中央処理装置を含む半導体記憶装置のものであって、動作条件に関するデータをメモリセルアレイに記憶するステップと、前記メモリセルアレイから前記動作条件に関するデータをRAMに読み出すステップと、前記RAMに読み出された前記動作条件に関するデータに基づき前記中央処理装置を動作させるステップとを有する。

【 0 0 1 2 】

好ましくは動作設定方法はさらに、出荷前に半導体記憶装置のテストを行うステップを含み、前記記憶するステップは、前記テストの結果に基づき決定された動作条件に関するデータを前記メモリセルアレイに記憶する。好ましくは動作設定方法はさらに、外部端子に供給される動作条件に関するデータを前記RAMに書込むステップとを含み、前記テストするステップは、前記RAMに書込まれた動作条件に関するデータに基づきテストを行う。好ましくは前記記憶するステップは、前記メモリセルアレイの選択ページに動作条件に関するデータをプログラムする。好ましくは前記読み出すステップは、前記メモリセルアレイの選択ページから動作条件に関するデータを読み出す。

10

【発明の効果】

【 0 0 1 3 】

本発明によれば、メモリセルアレイに半導体記憶装置の動作条件に関するデータを記憶し、要求される動作に応じてメモリセルアレイから動作条件に関するデータを読み出すようにしたので、ROMに記憶する動作条件に関するデータのリソースを少なくすることができる。さらにメモリセルアレイに最適な動作条件に関するデータを記憶することで、あるいはメモリセルアレイの動作条件に関するデータを変更可能にすることで、半導体記憶装置の動作条件のフレキシビリティを保つことができる。

20

【図面の簡単な説明】

【 0 0 1 4 】

【図1】従来のNAND型フラッシュメモリに格納されるオプションデータの一例を示す図である。

【図2】本発明の実施例に係るNAND型フラッシュメモリの構成を示すブロック図である。

30

【図3】ROMに全オプションデータを記憶したときの動作を説明する図である。

【図4】出荷前に記憶されるオプションデータと、出荷後のオプションデータにより制御される動作を説明する図である。

【図5】本発明の実施例に係るオプションデータの記憶方法を説明する図であり、図5(A)は、ROMに記憶されるオプションデータの例を示し、図5(B)は、オプションデータ記憶部に記憶されるオプションデータの例を示す。

【図6】本発明の実施例によるオプションデータのRAMへのロードを説明する図である。

【図7】本発明の実施例によるCPUによるオプションデータの読出し動作を説明するフローである。

40

【図8】本実施例による出荷前のオプションデータの記憶と、出荷後のオプションデータにより制御される動作を説明する図である。

【図9】本発明の実施例によるテスト動作時のオプションデータのRAMへの書込み方法を説明する図である。

【発明を実施するための形態】

【 0 0 1 5 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。本発明の半導体記憶装置は、特に限定されるものではないが、好ましくは、NAND型フラッシュメモリまたはNAND型フラッシュメモリを埋め込む半導体装置である。

50

【実施例】

【0016】

図2は、本発明の実施例に係るNAND型フラッシュメモリの構成を示す図である。フラッシュメモリ100は、複数のメモリセルが行列状に配列されたメモリアレイ110と、外部端子に接続され入出力データを保持する入出力バッファ120と、入出力バッファ120からのアドレスデータを受け取るアドレスレジスタ130と、CPU（中央処理装置）140と、RAM150と、ROM160と、アドレスレジスタ130から行アドレス情報Axを受け取り、行アドレス情報Axのデコード結果に基づきブロックの選択およびワード線の選択等を行うワード線選択回路170と、ワード線選択回路170によって選択されたページから読み出されたデータを保持したり、選択されたページへの書込みデータを保持するページバッファ/センス回路180と、アドレスレジスタ130から列アドレス情報Ayを受け取り、列アドレス情報Ayのデコード結果に基づきページバッファ/センス回路180内のデータの選択等を行う列選択回路190と、データの読出し、プログラムおよび消去等のために必要な種々の電圧（書込み電圧Vpgm、パス電圧Vpass、読出しパス電圧Vread、消去電圧Versなど）を生成する内部電圧発生回路200とを含んで構成される。

10

【0017】

メモリアレイ110は、列方向に配置されたm個のメモリブロックBLK(0)、BLK(1)、・・・、BLK(m-1)を有する。1つのメモリブロックには、複数のメモリセルを直列に接続したNANDストリングが複数形成される。さらにメモリアレイ110は、メモリの動作条件に関するオプションデータを記憶するオプションデータ記憶部210を備えている。オプションデータ記憶部210は、他のブロックと同様にNANDストリングから構成され、従って、ワード線選択回路170、ページバッファ/センス回路180、列選択回路190等を介して、オプションデータ記憶部210の選択ページからデータの読出し、あるいは選択ページへのプログラム、さらには選択ブロックの消去が可能である。

20

【0018】

ROM160は、フラッシュメモリ100の動作（読出し、プログラム、消去、テスト等）を制御するためのプログラムやデータが恒久的に記憶される。ROM160は、特に限定されるものではないが、例えば、マスクROM、ヒューズROM、ワンタイムPROMなどから構成される。RAM150は、ROM160からロードされたデータを一時的に記憶したり、あるいは後述するようにオプションデータ記憶部210から読み出されたデータを一時的に記憶したり、さらには外部端子または入出力バッファ120に供給されたデータを一時的に記憶する。RAM150は、特に限定されるものではないが、例えば、読出し/書込みの速度が速いSRAMまたはDRAM等から構成される。

30

【0019】

CPU150は、RAM150やROM160から読み出されたプログラムやデータに従いフラッシュメモリ100の動作を制御する。さらにCPU150は、入出力バッファ120から入力されたコマンドや外部制御信号に応答してフラッシュメモリ100の動作を制御する。

【0020】

40

フラッシュメモリ100の読出し動作では、ビット線に或る正の電圧を印加し、選択ページに或る電圧（例えば0V）を印加し、非選択ページにパス電圧Vpass（例えば4.5V）を印加し、選択ページのデータがページバッファ/センス回路180に読み出される。プログラム動作では、選択ページに高電圧のプログラム電圧Vpgm（15～25V）を印加し、非選択ページに中間電位（例えば10V）を印加し、ページバッファ/センス回路180にプログラムデータに保持し、選択ページのプログラムが行われる。プログラムベリファイでは、プログラムベリファイ電圧を選択ページに印加し、選択ページを読出すことでベリファイが行われ、好ましくは、ISPによりプログラムパルスが印加される。消去動作では、ブロック内の選択ワード線に0Vを印加し、Pウエルに高電圧（例えば20V）を印加し、ブロック単位でデータを消去する。プログラムベリファイでは、プログ

50

ラムベリファイ電圧を選択ページに印加し、選択ページを読出すことでベリファイが行われ、好ましくは、I S P Eにより消去パルスが印加される。

【 0 0 2 1 】

一般的な手法によれば、フラッシュメモリの動作条件に関する全てのオプションデータがROM 160に格納される。この場合の詳細を図3を用いて説明する。ROM 160には、消去の動作条件に関するデータとして、HVセットアップ、消去バイアスA、B、C、消去ベリファイA、B、C、HVリセットが記憶され、プログラムの動作条件に関するデータとして、HVセットアップ、プログラムバイアスA、B、C、プログラムベリファイA、B、C、HVリセットが記憶される。ここで、HVセットアップは、内部電圧発生回路200のチャージポンプ回路等の動作条件に関するデータであり、例えば、チャージポンプ回路の動作順序などを決定するデータが含まれる。HVリセットは、チャージポンプ回路による高電圧を降下させるときの動作条件に関するデータである。

10

【 0 0 2 2 】

消去バイアスA、B、Cは、選択ブロックのPウエルに印加する消去パルスの波高値やステップ幅、印加時間、その他の消去動作に関するあらゆるデータや消去の動作手順（オペレーションの順番等）に関するデータを含むことができる。例えば、消去バイアスAは、消去パルスの初期値が19Vであり、ステップ幅が1Vであり、消去バイアスBは、消去パルスの初期値が20Vであり、ステップ幅が0.8Vである。消去ベリファイA、B、Cは、消去された選択ブロックをベリファイするときにワード線に印加する電圧、印加時間、その他の消去ベリファイに関するあらゆるデータや消去ベリファイの動作手順（オペレーションの順番等）に関するデータを含むことができる。例えば、消去ベリファイAは、ワード線に印加する電圧が0Vであり、消去ベリファイBは、ワード線に印加する電圧が0.1Vである。

20

【 0 0 2 3 】

プログラムバイアスA、B、Cは、選択ページのワード線に印加するプログラムパルスの波高値やステップ幅、印加時間、その他のプログラム動作に関するあらゆるデータやプログラムの動作手順（オペレーションの順番等）に関するデータを含むことができる。例えば、プログラムバイアスAは、プログラムパルスの初期値が15Vであり、ステップ幅が1Vであり、プログラムバイアスBは、プログラムパルスの初期値が16Vであり、ステップ幅が0.8Vである。プログラムベリファイA、B、Cは、選択ページのワード線に印加する電圧、印加時間、その他のプログラムベリファイに関するあらゆるデータやプログラムベリファイの動作手順（オペレーションの順番等）に関するデータを含む。これら全てのオプションデータの中から最適なオプションデータを選択するための選択コードは、例えば、評価テストに基づき出荷前にヒューズROMなどをトリミングすることでプログラムされる。

30

【 0 0 2 4 】

図4は、製品出荷前に記憶されるオプションデータと、製品出荷後にオプションデータを用いた動作を説明する図である。製品出荷前、ROM 160には、HVセットアップ/リセット、読出しに関するデータ、プログラムバイアスA、B、C、プログラムベリファイA、B、C、消去バイアスA、B、C、消去ベリファイA、B、C等が記憶された状態にある（ステップS100）。ROM 160がマスクROMであるとき、チップの製造工程において、マスクによりウエハーにデータの焼き付けが行われる。

40

【 0 0 2 5 】

メモリセルや周辺回路等を構成するトランジスタや配線等には、製造工程においてバラツキや変動があるため、フラッシュメモリの最適な動作条件は、それぞれチップ毎に異なることがある。それ故、チップにとっての最適な動作条件を製造前に決定することは難しく、ROM 160には、多数の選択可能なオプションデータが予め記憶される。製造後の評価テストにより、フラッシュメモリ100を動作させることで、プログラムバイアス、プログラムベリファイ、消去バイアス、消去ベリファイ等の動作条件の最適なオプションを決定することができ、その最適なオプションデータを選択するための選択コードがヒュ

50

ーズROM等のトリミングによりプログラムされる。

【0026】

製品出荷後、CPU140は、外部から入力されたコマンドに応じて読出し、消去、プログラム等の動作を実行する。CPU140は、要求された動作に対応するROM140のプログラムを実行する。また、ROM140には、図3に示したように、複数のオプションデータが含まれるが、これらの中から選択コードにより選択された最適なオプションデータがCPU140により読み出され、CPU140は、最適なオプションデータに基づき内部電圧発生回路200、ワード線選択回路170、ページバッファ/センス回路180および列選択回路190を制御し、メモリセルアレイ110のPウエルに印加される消去パルスや消去ベリファイ電圧を制御する。例えば、同図に示すよう、消去動作が行われるとき、CPU140は、ROM160から読み出したHVセットアップに関するデータにより内部電圧発生回路200の動作条件を決定し、高電圧の発生を制御する(S110)。また、選択コードによって、ROM160の全オプションデータの中から最適なオプションデータが選択され、つまり、消去バイアスA、B、Cの中から1つの消去バイアスが選択され、消去ベリファイA、B、Cの中から1つの消去ベリファイが選択され(S120)、その最適な組合せに従い、消去が実行される。消去が終了すると、CPU140は、HVリセットに関するデータによりチャージポンプ回路をリセットする(S130)。

10

【0027】

このような方法では、ROM160が全オプションデータを記憶するため、ROM160内のオプションデータに割り当てるリソースが大きくなってしまう。また、マスクROMにより全オプションデータを記憶した場合に、オプションデータを変更することは非常に煩雑である。そこで、本実施例では、メモリセルアレイ110内にオプションデータを記憶するオプションデータ記憶部210を設け、動作時に、オプションデータ記憶部210からオプションデータをリアルタイムでRAM150にロードし、RAM150にロードされたオプションデータを用いてCPU140が動作条件を制御できるようにする。

20

【0028】

図5は、本実施例によるオプションデータの記憶例を説明する図であり、ここに例示のオプションデータは、図3のオプションデータに対応する。ROM160には、図5(A)に示すように、必要最小限のオプションデータが記憶される。具体的には、消去シーケンスのオプションデータとして、高電圧(HV)のセットアップおよびリセットに関するデータが記憶される。さらに、消去シーケンスは、このオプションデータとともに、オプションデータ記憶部210から消去シーケンスの他の最適なオプションデータを読み出すための読出し用データRead1が記憶される。読出し用データRead1は、CPU140が消去動作を実行するとき、オプションデータ記憶部210から最適なオプションデータを読み出すための読出しコマンドおよびアドレスを含む。

30

【0029】

プログラムシーケンスのオプションデータとして、高電圧(HV)のセットアップおよびリセットに関する情報が記憶される。さらに、このオプションデータとともに、オプションデータ記憶部210からプログラムシーケンスの他の最適なオプションデータを読み出すための読出し用データRead2が記憶される。読出し用データRead2は、CPU140がプログラム動作を実行するとき、オプションデータ記憶部210から最適なオプションデータを読み出すための読出しコマンドおよびアドレス情報を含む。また、読出しシーケンスに関しては、図3の場合と同様に、他のオプションを持たない例を示している。

40

【0030】

一方、メモリセルアレイ110のオプションデータ記憶部210には、最適なオプションデータがプログラムされる。具体的には、図5(B)に示すように、オプションデータ記憶部210の第1の記憶領域には、消去シーケンスに関して、消去バイアスA、B、Cのいずれかの最適なオプションデータが記憶され、消去ベリファイA、B、Cのいずれか

50

の最適なオプションデータが記憶される。第1の記憶領域に記憶されたオプションデータは、読出し用データRead1に基づきCPU140によりRAM150に読み出される。また、オプションデータ記憶部210の第2の記憶領域には、プログラムシーケンスに関して、プログラムバイアスA、B、Cのいずれかの最適なオプションデータが記憶され、プログラムベリファイA、B、Cのいずれかの最適なオプションデータが記憶される。第2の記憶領域に記憶されたデータは、読出し用データRead2に基づきCPU140により読み出される。オプションデータ記憶部210に記憶される最適なオプションデータは、出荷前の評価テストにより決定される。

【0031】

図6は、オプションデータ記憶部210から読み出されたオプションデータがRAMにロードされるときデータの流れを示す図、図7は、そのときの動作フローである。CPU140は、外部からコマンドが入力されると(S200)、そのコマンドに基づき要求される動作を判別する(S210)。次に、CPU140は、要求される動作に応じたシーケンスをROM160から読み出す(S220)。例えば、消去コマンドが入力されたとき、CPU140は、ROM160から消去シーケンスに関するデータを読出す。図5の例で言えば、CPU140は、HVセットアップ、読出し用データRead1、HVリセットのデータをROM140から読み出す。CPU140は、読出し用データRead1に基づき、通常のメモリセルアレイの読出し動作と同様に、行選択回路170、ページバッファ/センス回路180、列選択回路190等を介してオプションデータ記憶部230をアクセスし(S230)、オプションデータ記憶部210から消去シーケンスに関する最適なオプションデータを読出し、読み出したデータをRAM150にロードする(S240)。CPU140は、最適なオプションデータの読出しと並行して、ROM160から読み出したHVセットアップに従い内部電圧発生回路200による高電圧の生成を制御することができる。次に、CPU140は、RAM150に保持された最適なオプションデータに従いPウエルに消去パルスを印加し、その後、選択ブロックの消去ベリファイを実行する(S250)。消去動作が終了したとき、CPU140は、HVリセットに従い内部電圧発生回路200による高電圧の放電を制御する。

【0032】

プログラム動作のときも同様であり、外部からプログラム動作に該当するコマンドが入力されると、CPU140は、ROM160からプログラムシーケンスに関するデータを読出し、HVセットアップに従い内部電圧発生回路200による高電圧の生成を制御し、読出し用データRead2に基づき行/列選択回路170、180等を介してオプションデータ記憶部210からプログラムシーケンスの最適なオプションデータを読出し、これをRAM150にロードする。次に、CPU140は、RAM150に保持された最適なプログラムバイアスに従いプログラムパルスを選択ワード線に印加し、その後、選択ページのプログラムベリファイを実行する。プログラム動作が終了したとき、CPU140は、HVリセットに従い内部電圧発生回路200による高電圧の放電を制御する。

【0033】

読出しコマンドが入力された場合には、本例では特に最適なオプションデータがオプションデータ記憶部210に記憶されていないので、CPU140は、ROM160に格納された読出しバイアスに従い、選択ページの読出しを行う。

【0034】

図8は、本実施例を用いたときの製品出荷前に記憶されるオプションデータと、製品出荷後にオプションデータを用いた動作制御を説明する図である。ROM160がマスクROMから構成されるとき、フラッシュメモリの製造工程中に、図5に示すような必要最小限のオプションデータおよび読出し用データRead1、Read2がシリコンウエハーに焼き付けられる(S300)。

【0035】

製造後、ウエハーレベルまたはチップレベルで、フラッシュメモリ100の評価テストが実行され(S310)、そのテスト結果に基づき、最適なオプションデータが決定され

10

20

30

40

50

、オプションデータ記憶部 210 には最適なオプションデータがプログラムされる (S320)。このプログラムは、他のメモリセルアレイ 110 へのプログラムと同様の方法により行われる。最適なオプションデータのプログラムが終了した後、フラッシュメモリ 100 が出荷される。

【0036】

出荷後、フラッシュメモリ 100 は、要求される動作に応じて、リアルタイムでオプションデータ記憶部 210 から最適なオプションデータを RAM 150 にロードし、CPU 140 は、RAM 150 にロードされた最適なオプションデータに用いて動作を制御する。図の例は、消去動作の例を示している。CPU 140 は、外部から消去コマンドが入力されると、ROM 160 から消去シーケンスのデータを読み出し、そこに含まれる HV セットにより高電圧の生成を制御し (S330)、さらに読み出し用データ Read 1 に従いオプションデータ記憶部 210 から最適なオプションデータを読み出し、これを RAM 150 に一時的に保持させる。CPU 140 は、最適な消去バイアスに従い生成された消去パルスを P ウェルに印加させる (S340)。最適な消去バイアスは、A、B、または C のいずれかである。次に、CPU 140 は、最適な消去ベリファイの条件に従い選択ブロックの全ページの消去ベリファイを行う (S350)。最適な消去ベリファイは、A、B、または C のいずれかである。消去動作が終了すると、CPU 140 は、HV リセットに従い内部電圧発生回路 200 をリセットする (S360)。

【0037】

このように本実施例によれば、オプションデータ記憶部 210 に最適なオプションデータを記憶し、フラッシュメモリの動作時に、オプションデータ記憶部 210 から最適なオプションデータをリアルタイムで RAM 150 に読み出すようにしたので、ROM 160 に割り当てるオプションデータのリソースを削減することができる。

【0038】

上記実施例では、製品出荷前に最適なオプションデータをオプションデータ記憶部 210 にプログラムするようにしたが、これに限らず、製品出荷後に最適なオプションデータをオプションデータ記憶部 210 にプログラムするようにしてもよい。この場合、ホスト装置からフラッシュメモリ 100 に最適なオプションデータが提供され、それがオプションデータ記憶部 210 にプログラムされる。これにより、製品出荷後であっても、フラッシュメモリの最適なオプションデータを変更することができ、フラッシュメモリの動作条件が経年変化や使用サイクル等により変化しても、これにフレキシブルに対応することができる。特に、ROM 160 がマスク ROM の場合、マスクの改変を行うことは時間的およびコスト的に負荷が大きいが、本実施例のように通常の NAND ストリングのメモリセルアレイへのデータの書き換えであれば、その作業は容易である。

【0039】

上記実施例では、消去バイアス、消去ベリファイ、プログラムバイアスおよびプログラムベリファイをオプションデータの一例としてオプションデータ記憶部 210 に格納する例を示したが、オプションデータは、上記以外のフラッシュメモリ 100 の動作条件を決定し得るあらゆるデータであることができる。また、どのようなオプションデータを ROM 160 に格納し、どのようなオプションデータをオプションデータ記憶部 210 に格納するかは、上記の例に限定されることなく、任意に設定することが可能である。

【0040】

次に、本実施例のフラッシュメモリにおいて、製品出荷前にオプションデータのプログラムする方法について説明する。チップが製造された段階では、オプションデータ記憶部 210 および RAM 150 にはデータが格納されていない (データが空である)。従って、この状態では、RAM 150 のデータに従いフラッシュメモリ 100 の動作条件を決定することができないので、評価テストにおいて、最適なオプションデータを決定することができない。

【0041】

そこで、本実施例のフラッシュメモリは、製品出荷前の評価テストを行うとき、RAM

10

20

30

40

50

１５０に必要なデータを外部から直接書込みすることができるようにする。評価テストを行うとき、フラッシュメモリ１００は、図９に示すように、テストポートＴＰを介してテスト装置３００に電氣的に接続される。評価テストは、ウエハーレベル、またはチップレベルのいずれであってもよく、テストポートＴＰは、例えば、データを入出力するための外部端子またはそのパッド、あるいはテスト専用の端子またはそのパッドであることができる。

【００４２】

１つの好ましい例では、テスト装置３００は、テストを開始するためのテスト開始信号をテストポートＴＰに出力する。テストポートＴＰに印加されたテスト開始信号はテスト検出部３１０により検出され、この検出信号がＣＰＵ１４０に供給される。ＣＰＵ１４０は、検出信号を受け取ると、ＲＯＭ１６０に格納されたテスト用プログラムを実行し、テストシーケンスを開始する。あるいは、他の好ましい例では、フラッシュメモリは、ＣＰＵ１４０以外に、組み込み自己テスト回路（ＢＩＳＴ回路（Built-In Self Test））を含み、ＢＩＳＴ回路がテスト検出部３１０の検出信号に応答してテストを実行するものであってもよい。

【００４３】

ＣＰＵ１４０は、テストシーケンスを開始すると、テストポートＴＰ（または入出力バッファ１２０）とＲＡＭ１５０との間にデータバスを形成し、テスト装置３００からテストポートＴＰに供給されるデータをＲＡＭ１５０の所定の記憶領域に書込むことを可能にする。ＲＡＭ１５０に書込まれるデータは、フラッシュメモリの動作条件に関するデータであり、言い換えれば、オプションデータ記憶部２１０に記憶されるオプションデータと等価なものである。ＣＰＵ１４０は、テストシーケンスに従い、あるいはテスト装置３００からのコマンドに基づき、消去やプログラムを行うが、このとき、ＲＡＭ１５０に格納されたテスト装置３００からのデータを用いて消去やプログラム等の動作条件を決定し、テストを行う。

【００４４】

テスト装置３００により最適なオプションデータが決定されると、テスト装置３００は、フラッシュメモリ１００のオプションデータ記憶部２１０に最適なオプションデータをプログラムする。すなわち、テスト装置３００は、フラッシュメモリ１００に対して、プログラムコマンド、およびオプションデータ記憶部２１０にプログラムするためのアドレス（このアドレスは、読出し用データＲｅａｄ１、Ｒｅａｄ２が最適なオプションデータを読み出すときのアドレスに一致する）を出力する。これにより、オプションデータ記憶部２１０に最適なオプションデータがプログラムされる。

【００４５】

以上のように本発明の好ましい実施の形態について詳述したが、本発明は、特定の形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。例えば、上記実施例は、ＮＡＮＤ型フラッシュメモリを例示したが、本発明は、それ以外の半導体記憶装置に適用するものであってもよい。

【符号の説明】

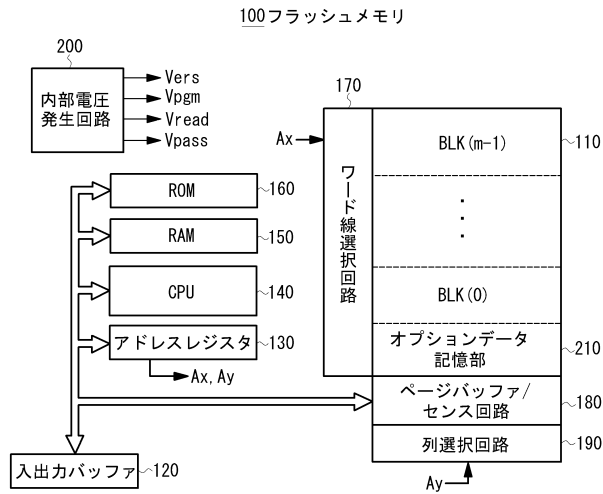
【００４６】

１００：フラッシュメモリ	１１０：メモリセルアレイ
１２０：入出力バッファ	１３０：アドレスバッファ
１４０：ＣＰＵ	１５０：ＲＡＭ
１６０：ＲＯＭ	１７０：ワード線選択回路
１８０：ページバッファ／センス回路	１９０：列選択回路
２００：内部電圧発生回路	２１０：オプションデータ記憶部

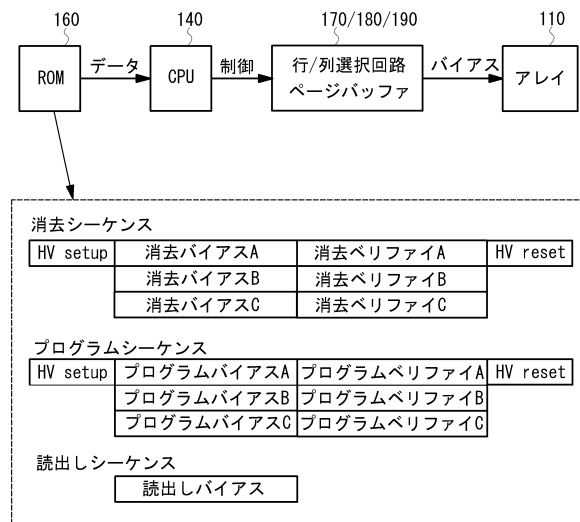
【図 1】

	オプションデータ	
消去	消去バイアスA	消去ペリファイA
	消去バイアスB	消去ペリファイB
	消去バイアスC	消去ペリファイC
プログラム	プログラムバイアスA	プログラムペリファイA
	プログラムバイアスB	プログラムペリファイB
	プログラムバイアスC	プログラムペリファイC

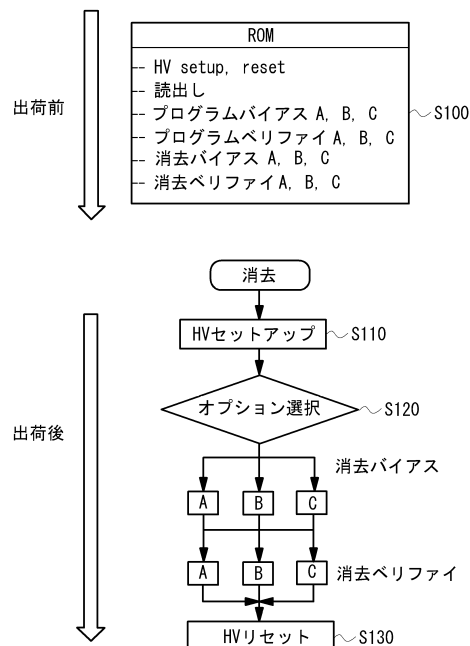
【図 2】



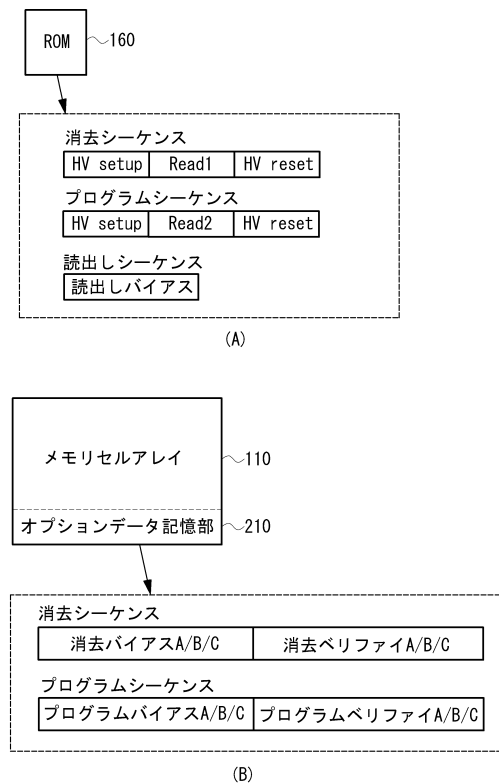
【図 3】



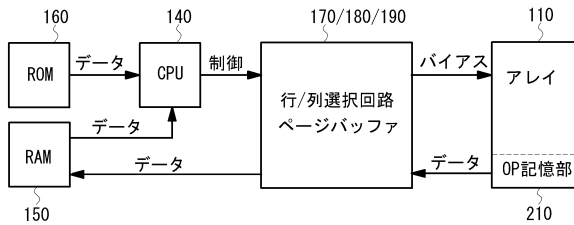
【図 4】



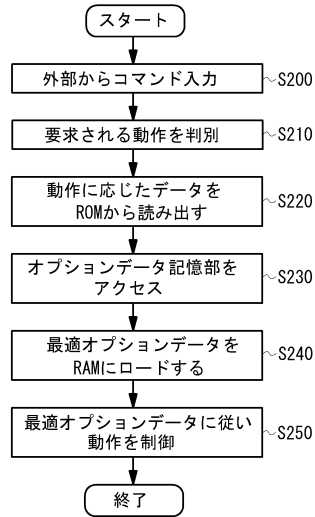
【図 5】



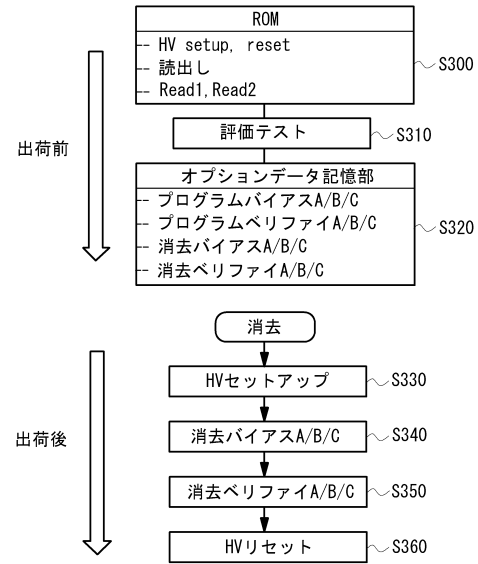
【図 6】



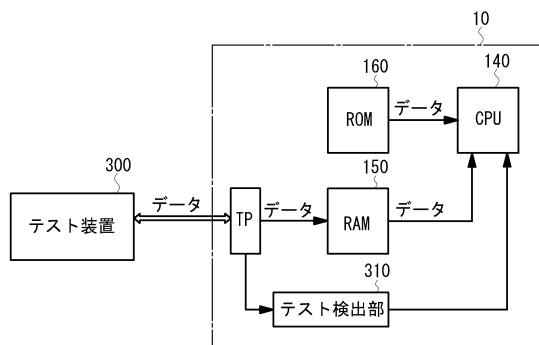
【図 7】



【図 8】



【図 9】



フロントページの続き

審査官 酒井 恭信

(56)参考文献 特開 2 0 0 1 - 1 7 6 2 9 0 (J P , A)
米国特許出願公開第 2 0 0 1 / 0 0 0 3 5 0 9 (U S , A 1)
特開 2 0 0 2 - 3 1 8 2 6 5 (J P , A)
米国特許出願公開第 2 0 0 2 / 0 1 5 3 9 1 7 (U S , A 1)
特開平 1 0 - 3 3 4 0 7 3 (J P , A)
特開 2 0 0 2 - 1 1 7 6 9 2 (J P , A)
特開 2 0 0 4 - 1 5 2 4 1 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 6 / 0 2 - 1 6 / 3 4
G 1 1 C 2 9 / 5 0