



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월04일
 (11) 등록번호 10-1750567
 (24) 등록일자 2017년06월19일

(51) 국제특허분류(Int. Cl.)
 H04N 5/365 (2011.01) H01L 27/146 (2006.01)
 H04N 5/374 (2011.01)
 (21) 출원번호 10-2011-0104429
 (22) 출원일자 2011년10월13일
 심사청구일자 2016년10월12일
 (65) 공개번호 10-2012-0050894
 (43) 공개일자 2012년05월21일
 (30) 우선권주장
 JP-P-2010-252587 2010년11월11일 일본(JP)
 (56) 선행기술조사문헌
 JP2010225927 A*
 (뒷면에 계속)

(73) 특허권자
 소니 주식회사
 일본국 도쿄도 미나토쿠 코난 1-7-1
 (72) 발명자
 마부치 케이지
 일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
 (74) 대리인
 최달용

전체 청구항 수 : 총 18 항

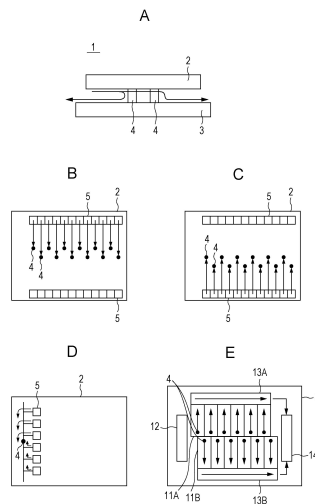
심사관 : 이성현

(54) 발명의 명칭 **고체 촬상 장치 및 전자 기기**

(57) 요약

고체 촬상 장치는: 물리량을 전기 신호로 변환하는 복수의 화소가 2차원 형상으로 배열된 화소부와; 상기 화소로부터의 신호가 판독되는 수직 신호선; 및 상기 화소부의 내측에서 상기 수직 신호선으로부터 상기 신호를 받아들이고, 상기 화소부의 열에 대응하여 배열된 칼럼 회로를 포함한다.

대표도 - 도5



(56) 선행기술조사문헌

JP2010245955 A*

JP2010171521 A*

JP2010225927 A*

JP2010245955 A*

JP2010171521 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제1 복수의 화소 및 제2 복수의 화소를 갖는 화소 어레이를 포함하는 제1의 기관과,
 상기 제1 복수의 화소 중 적어도 하나는 제1 화소 신호를 출력하고, 또한 상기 제2 복수의 화소 중 적어도 하나는 제2 화소 신호를 출력하며,
 접속부와,
 복수의 아날로그/디지털 변환기를 포함하는 제2의 기관과,
 상기 복수의 아날로그/디지털 변환기는 제1 아날로그/디지털 변환기 및 제2 아날로그/디지털 변환기를 포함하며,
 상기 제1의 기관 및 제2의 기관은 각각 접속부를 통해 적층되어 전기적으로 접속되고,
 상기 제1 아날로그/디지털 변환기는 제1 화소 신호에 의거하여 제1 신호를 제1 방향으로 전송하고,
 상기 제2 아날로그/디지털 변환기는 제2 화소 신호에 의거하여 제2 신호를 제1 방향과 반대의 제2 방향으로 전송하며,
 상기 제1 또는 제2 복수의 화소의 적어도 하나는 화소 어레이를 포함하고, 평면에서 수직인 방향으로보아 아날로그/디지털 변환기의 제어 회로의 일 부분의 상하에 마주 대하여 배열되는 것을 특징으로 하는 고체 촬상 장치.

청구항 2

제1항에 있어서,
 상기 제2의 기관은 상기 제1의 기관보다 더 큰 것을 특징으로 하는 고체 촬상 장치.

청구항 3

제1항에 있어서,
 상기 제2의 기관은 수평 구동 회로를 포함하는 것을 특징으로 하는 고체 촬상 장치.

청구항 4

제3항에 있어서,
 상기 제2의 기관은 상기 아날로그/디지털 변환기와 상기 수평 구동 회로 사이에 배치된 스위치 회로를 포함하는 것을 특징으로 하는 고체 촬상 장치.

청구항 5

제1항에 있어서,
 상기 제2의 기관은 상기 복수의 화소를 구동하는 수직 구동 회로를 포함하는 것을 특징으로 하는 고체 촬상 장치.

청구항 6

제1항에 있어서,
 상기 접속부는 수직 방향으로 상기 복수의 화소의 내부에 배치되어, 상기 복수의 화소의 제1의 서브 세트는 상기 수직 방향으로 상기 접속부 위에 있고, 상기 복수의 화소의 제2의 서브 세트는 상기 수직 방향으로 상기 접속부 아래에 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 7

제1항에 있어서,

상기 화소 어레이 대 아날로그/디지털 변환기 수의 비율은 1:1 또는 1: 2인 것을 특징으로 하는 고체 촬상 장치.

청구항 8

삭제

청구항 9

제1항에 있어서,

상기 복수의 화소의 각각은 이면 입사형인 것을 특징으로 하는 고체 촬상 장치.

청구항 10

제1항에 있어서,

상기 접속부는 상기 복수의 화소에 바이어스 전류를 흐르게 하는 경로와, 전류를 받아들이는 경로를 포함하는 것을 특징으로 하는 고체 촬상 장치.

청구항 11

제1 복수의 화소 및 제2 복수의 화소를 갖는 화소 어레이를 포함하는 제1의 기관과,

상기 제1 복수의 화소 중 적어도 하나는 제1 화소 신호를 출력하고, 또한 상기 제2 복수의 화소 중 적어도 하나는 제2 화소 신호를 출력하며,

접속부와,

복수의 아날로그/디지털 변환기를 포함하는 제2의 기관과,

상기 복수의 아날로그/디지털 변환기는 제1 아날로그/디지털 변환기 및 제2 아날로그/디지털 변환기를 포함하며,

상기 제1의 기관 및 제2의 기관은 각각 접속부를 통해 적층되어 전기적으로 접속되고,

상기 제1 아날로그/디지털 변환기는 제1 화소 신호에 의거하여 제1 신호를 제1 방향으로 전송하고,

상기 제2 아날로그/디지털 변환기는 제2 화소 신호에 의거하여 제2 신호를 제1 방향과 반대의 제2 방향으로 전송하며,

상기 제1 또는 제2 복수의 화소의 적어도 하나는 화소 어레이를 포함하고, 평면에 수직인 방향으로보아 아날로그/디지털 변환기의 제어 회로의 일 부분의 상하에 마주 대하여 배열되는 것을 특징으로 하는 전자 기기.

청구항 12

제11항에 있어서,

상기 제2의 기관은 상기 제1의 기관보다 더 큰 것을 특징으로 하는 전자 기기.

청구항 13

제11항에 있어서,

상기 제2의 기관은 수평 구동 회로를 포함하는 것을 특징으로 하는 전자 기기.

청구항 14

제13항에 있어서,

상기 제2의 기관은 상기 아날로그/디지털 변환기와 상기 수평 구동 회로 사이에 배치되는 스위치 회로를 포함하

는 것 특징으로 하는 전자 기기.

청구항 15

제11항에 있어서,

상기 제2의 기관은 상기 복수의 화소를 구동하는 수직 구동 회로를 포함하는 것을 특징으로 하는 전자 기기.

청구항 16

제11항에 있어서,

상기 접속부는 수직 방향으로 상기 복수의 화소의 내부에 배치되어, 상기 복수의 화소의 제1의 서브 세트가 상기 수직 방향으로 상기 접속부 위에 있고, 상기 복수의 화소의 제2의 서브 세트는 상기 수직 방향으로 상기 접속부 아래에 있는 것을 특징으로 하는 전자 기기.

청구항 17

제11항에 있어서,

상기 화소 어레이 대 아날로그/디지털 변환기 수의 비율은 1:1 또는 1: 2인 것을 특징으로 하는 전자 기기.

청구항 18

삭제

청구항 19

제11항에 있어서,

상기 복수의 화소의 각각은 이면 입사형인 것을 특징으로 하는 전자 기기.

청구항 20

제11항에 있어서,

상기 접속부는 상기 복수의 화소에 바이어스 전류를 흐르게 하는 경로와, 전류를 받아들이는 경로를 포함하는 것을 특징으로 하는 전자 기기.

발명의 설명

기술 분야

[0001] 본 발명은, 고체 촬상 장치, 특히 CMOS 고체 촬상 장치, 및 이 고체 촬상 장치를 구비한 카메라 등의 전자 기기에 관한 것이다.

배경 기술

[0002] 고체 촬상 장치(이미지 센서)로서, CMOS 고체 촬상 장치가 알려져 있다. CMOS 고체 촬상 장치는, 디지털 스틸 카메라, 디지털 비디오 카메라, 또한 카메라 부착 휴대 전화 등의 각종 휴대 단말기기 등에 사용되고 있다.

[0003] 종래의 CMOS 고체 촬상 장치에서는, 통상, 화소의 신호를 받아서 CDS(상관 2중 샘플링)나 AD(아날로그/디지털) 변환 등의 처리를 하는 회로를, 일본 특개 제2003-18471호 공보에 나타내는 바와 같이, 복수 화소가 배열된 화소부의 단(端)에 화소의 열마다 마련하고 있다. 이 회로는, 열마다 마련하기 때문에, 여기서는 칼럼 회로라고 부른다.

[0004] 다른 CMOS 고체 촬상 장치로서, 반도체 칩의 적층을 전제로 하여, 일본 특개 제2006-49361호 공보에 나타내는 바와 같이, 화소의 열마다가 아니라, 화소나 복수 화소의 구획마다, 화소의 신호를 받아서 CDS나 AD 변환 등의 처리를 하는 회로를 마련한 고체 촬상 장치도 알려져 있다. 복수 화소의 구획마다 화소의 신호를 받는 경우에는, 도 15의 A의 개략도에 도시하는 바와 같이, 다수의 화소를 2차원 형상으로 배열한 화소부(201)에서, 복수의 화소를 포함하는 영역을 1구획(202)으로 하여, 복수의 구획으로 나눈다. 그리고, 각 화소의 구획(202)마다 하나의 상기 회로에서 신호를 받도록 구성된다. 각 화소의 구획(202) 내에서는, 화소의 신호가 실선 화살표(203) 및 파

선(204)으로 도시하는 바와 같은 순서로 관독된다. 신호의 관독은, 각 화소의 구획(202)에서 동시에 행하여진다.

[0005] 그 밖에, CMOS 고체 촬상 장치의 선행 기술로서, 이면 입사형으로 반도체 칩을 적층한 CMOS 고체 촬상 장치가, 국제공개공보 W02006/129762호 및 일본 특개 제2007-013089호 공보에 개시되어 있다.

발명의 내용

해결하려는 과제

[0006] 그런데, 화소의 열마다 칼럼 회로를 마련하는 CMOS 고체 촬상 장치에서는, 화소부에 긴 수직 신호선을 뺀게 하고, 그 단부에서 칼럼 회로가 신호를 받게 된다. 이 때문에, 수직 신호선의 배선 저항에 의한 전압 강하로, 화소부의 수직 방향의 상단의 화소로부터의 신호와, 하단 화소로부터의 신호의 레벨이 달라져 있다. 이 신호 레벨 차는 오프셋이므로, CDS에 의해 제거되지만, CDS의 오프셋 억압비가 무한대가 아니기 때문에, 약간의 세이딩이 되어 있다. 또한, 오프셋 자체가, CDS의 동작 레인을 좁히거나, 저전압화의 장애로 되어 있다.

[0007] 또한, 화소부의 상하 양단에 칼럼 회로를 마련하고 있는 경우는, 거의 동일 위치의 화소라도 상측에서 관독하는 지, 하측에서 관독하는지에 의해, 이 오프셋이 바뀌어, 특성 차(差)가 된다. 이 문제는, 근래의 CMOS 고체 촬상 장치의 고속화로 화소 전류를 늘리거나, 대형화로 화소부를 크게 하거나, 화소 미세화로 배선을 가늘게 하거나, 화질에 대한 요구가 엄격하게 됨에 따라, 커지고 있다.

[0008] 이에 대해, 화소나 복수 화소의 구획마다 CDS나 AD 변환 등의 처리를 하는 회로를 마련하는 방법에서는, 이 회로의 사이즈가, 화소나 복수 화소의 구획의 크기로 중형 모두 정하여져 버린다. 이 때문에, 필요한 기능이 들어가지 않거나, 역으로 면적이 남아서 필요 없게 되거나 하는 문제가 있다. 또한, 복수 화소의 구획마다 회로를 마련하는 경우, 글로벌 서터라고 말하는 화면 내의 노광 시간의 동시성을 확보하는 방법이 아니라면, 도 15의 B에 도시하는 바와 같이, 화살표 방향(205)으로 움직이는 물체(206)를 촬영한 때, 도 15의 C에 도시하는 바와 같이, 화소부(201)의 상반분의 화소는 나중에 관독되고, 하반분의 화소는 처음에 관독되기 때문에, 움직이는 물체(206)가 어긋나게 찍힌다. 글로벌 서터는, 화질을 저하시키거나, 화소 사이즈를 크게 할 필요가 있다.

[0009] 본 발명은, 상술한 점을 감안하여, 수직 신호선의 전압 강하를 저감하고, 세이딩 개선 등의 화질의 개선을 도모한 고체 촬상 장치를 제공하는 것이다.

[0010] 본 발명은, 상기 고체 촬상 장치를 구비한 카메라 등의 전자 기기를 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명에 관한 고체 촬상 장치는, 물리량을 전기 신호로 변환하는 복수의 화소가 2차원 형상으로 배열된 화소부와, 화소로부터의 신호가 관독되는 수직 신호선과, 화소부의 내측에서 상기 수직 신호선으로부터 신호를 받아들이고, 화소부의 열에 대응하여 배열된 칼럼 회로를 갖는다.

[0012] 본 발명의 고체 촬상 장치에서는, 화소의 신호가 화소부의 단이 아닌 내측에서 수직 신호선으로부터 칼럼 회로에 받아들여지기 때문에, 수직 신호선의 배선 저항에 의한 전압 강하가 저감한다.

[0013] 본 발명에 관한 고체 촬상 장치는, 물리량을 전기 신호로 변환하는 복수의 이면 입사형의 화소가 2차원 형상으로 배열된 화소부를 갖는 상부 기판과, 상부 기판에 대향하고, 화소부의 열에 대응하여 복수 배열된 칼럼 회로를 갖는 하부 기판을 갖는다. 상부 기판과 하부 기판은 상호의 배선면측에서 접속된다. 상부 기판에 형성되어 화소로부터의 신호를 관독하는 수직 신호선과, 하부 기판의 칼럼 회로는, 하부 기판면의 수직 방향에 관해 칼럼 회로끼리가 대향하는 측에서 접속되고, 칼럼 회로의 신호가 칼럼 회로끼리의 대향하지 않는 측에 출력되도록 이루어진다.

[0014] 본 발명의 고체 촬상 장치에서는, 화소로부터의 신호를 관독하는 수직 신호선과, 하부 기판의 칼럼 회로는, 하부 기판면의 수직 방향에 관해 칼럼 회로끼리가 대향하는 측에서 접속되기 때문에, 수직 신호선의 배선 저항에 의한 전압 강하가 저감한다.

[0015] 본 발명에 관한 전자 기기는, 고체 촬상 장치와, 고체 촬상 장치의 광전 변환부에 입사광을 유도하는 광학계와, 고체 촬상 장치의 출력 신호를 처리하는 신호 처리 회로를 구비한다. 고체 촬상 장치는, 상기 본 발명에 의한 고체 촬상 장치로 구성된다.

[0016] 본 발명의 전자 기기에서는, 상기 본 발명에 의한 고체 촬상 장치를 구비하기 때문에, 화소의 신호가 수직 신호선으로부터 칼럼 회로에 받아들여질 때, 수직 신호선의 배선 저항에 의한 전압 강하가 저감한다.

발명의 효과

[0017] 본 발명에 관한 고체 촬상 장치에 의하면, 화소의 신호의 판독에 즈음하여, 수직 신호선의 배선 저항에 의한 전압 강하가 저감하기 때문에, 전압 강하가 원인인 셰이딩이 개선되는 등, 화질의 개선을 도모할 수 있다. 따라서 고품질의 고체 촬상 장치를 제공할 수 있다.

[0018] 본 발명에 관한 전자 기기에 의하면, 고체 촬상 장치에 있어서, 화소의 신호의 판독에 즈음하여, 수직 신호선의 배선 저항에 의한 전압 강하가 저감하기 때문에, 전압 강하가 원인인 셰이딩이 개선되는 등, 화질의 개선을 도모할 수 있다. 따라서 고품질의 전자 기기를 제공할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명에 관한 고체 촬상 장치의 제 1 실시의 형태를 도시하는 모식적인 개략 구성도.
- 도 2의 A 및 B는 제 1 실시의 형태에 관한 제 1의 반도체 칩 및 제 2의 반도체 칩의 모식적인 개략 평면도.
- 도 3은 본 발명에서의 화소와 칼럼 회로의 접속 관계를 도시하는 블록도.
- 도 4는 본 발명의 단위 화소의 한 예를 도시하는 등가 회로도.
- 도 5의 A 내지 E는 제 1 실시의 형태에 관한 고체 촬상 장치의 동작을 설명에 제공하는 동작도.
- 도 6은 본 발명에 관한 고체 촬상 장치의 제 2 실시의 형태를 도시하는 모식적인 개략 구성도.
- 도 7의 A 및 B는 제 2 실시의 형태에 관한 제 1의 반도체 칩 및 제 2의 반도체 칩의 모식적인 개략 평면도.
- 도 8의 A 내지 E는 제 2 실시의 형태에 관한 고체 촬상 장치의 동작의 설명에 제공하는 동작도.
- 도 9는 본 발명에 관한 고체 촬상 장치의 제 3 실시의 형태를 도시하는 모식적인 개략 구성도.
- 도 10의 A 및 B는 제 3 실시의 형태에 관한 제 1의 반도체 칩 및 제 2의 반도체 칩의 모식적인 개략 평면도.
- 도 11의 A 내지 D는 제 3 실시의 형태에 관한 고체 촬상 장치의 동작의 설명에 제공하는 동작도.
- 도 12는 본 발명의 변형예에 관한 고체 촬상 장치의 개략 단면도.
- 도 13은 본 발명의 제 4 실시의 형태에 관한 전자 기기의 개략 구성도.
- 도 14는 CMOS 고체 촬상 장치의 한 예를 도시하는 개략 구성도.
- 도 15의 A 내지 C는 종래의 고체 촬상 장치의 구성 및 움직이는 물체를 촬영한 때의 화상을 도시하는 개략도.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 발명을 실시하기 위한 형태(이하 실시의 형태라고 한다)에 관해 설명한다. 또한, 설명은 이하의 순서로 행한다.

- [0021] 1. CMOS 고체 촬상 장치의 개략 구성예
- [0022] 2. 제 1 실시의 형태(고체 촬상 장치의 구성예)
- [0023] 3. 제 2 실시의 형태(고체 촬상 장치의 구성예)
- [0024] 4. 제 3 실시의 형태(고체 촬상 장치의 구성예)
- [0025] 5. 제 4 실시의 형태(전자 기기의 구성예)

[0026] <1. CMOS 고체 촬상 장치의 개략 구성예>

[0027] 우선, 본 발명을 이해하기 위해, 도 14를 참조하여 CMOS 고체 촬상 장치의 개략 구성의 한 예에 관해 설명한다. CMOS 고체 촬상 장치(101)는, 반도체 기판(111) 예를 들면 실리콘 기판에 광전 변환부를 포함하는 복수의 화소

(102)가 규칙적으로 2차원 어레이 형상으로 배열된 화소부(이른바 촬상 영역)(103)와, 주변 회로부를 갖고서 구성된다. 화소(102)로서는, 하나의 광전 변환부와 복수의 화소 트랜지스터로 이루어지는 단위 화소를 적용할 수 있다. 또한, 화소(102)로서는, 복수의 광전 변환부가 전송 트랜지스터를 제외한 다른 화소 트랜지스터를 공유하는, 이른바 화소 공유의 구조를 적용할 수 있다. 복수의 화소 트랜지스터는, 전송 트랜지스터, 리셋 트랜지스터, 증폭 트랜지스터 및 선택 트랜지스터의 4트랜지스터, 또는 선택 트랜지스터를 생략한 3트랜지스터로 구성할 수 있다.

[0028] 주변 회로부는, 수직 구동 회로(104)와, 칼럼 회로(105)와, 수평 구동 회로(106)와, 출력 회로(107)와, 제어 회로(108) 등, 이른바 로직 회로를 갖고서 구성된다.

[0029] 제어 회로(108)는, 입력 클럭과, 동작 모드 등을 지령하는 데이터를 수취하고, 또한 고체 촬상 장치의 내부 정보 등의 데이터를 출력한다. 또한, 제어 회로(108)에서는, 수직 동기 신호, 수평 동기 신호 및 마스터 클럭에 의거하여, 수직 구동 회로(104), 칼럼 회로(105) 및 수평 구동 회로(106) 등의 동작의 기준이 되는 클럭 신호나 제어 신호를 생성한다. 그리고, 이들의 신호를 수직 구동 회로(104), 칼럼 회로(105) 및 수평 구동 회로(106) 등에 입력한다.

[0030] 수직 구동 회로(104)는, 예를 들면 시프트 레지스터에 의해 구성되고, 화소 구동 배선을 선택하고, 선택된 화소 구동 배선에 화소를 구동하기 위한 펄스를 공급하고, 행 단위로 화소를 구동한다. 즉, 수직 구동 회로(104)는, 화소부(103)의 각 화소(102)를 행 단위로 순차적으로 수직 방향으로 선택 주사한다. 그리고, 수직 신호선(109)을 통하여 각 화소(2)의 광전 변환 소자가 되는 예를 들면 포토 다이오드에서 수광량에 응하여 생성한 신호 전하에 의거한 화소 신호를 칼럼 회로(105)에 공급한다.

[0031] 칼럼 회로(105)는, 화소(102)의 예를 들면 열마다 배치되어 있고, 1행분의 화소(102)로부터 출력되는 신호를 화소열마다 노이즈 제거 등의 신호 처리를 행한다. 즉 칼럼 회로(105)는, 화소(102) 고유의 고정 패턴 노이즈를 제거하기 위한 CDS나, 신호 증폭, AD 변환 등의 신호 처리를 행한다. 칼럼 회로(105)의 출력단에는 수평 선택 스위치(도시 생략)가 수평 신호선(110)과의 사이에 접속되어 마련된다.

[0032] 수평 구동 회로(106)는, 예를 들면 시프트 레지스터에 의해 구성되고, 수평 주사 펄스를 순차적으로 출력함에 의해, 칼럼 회로(105)의 각각을 순번대로 선택하고, 칼럼 회로(105)의 각각으로부터 화소 신호를 수평 신호선(110)에 출력시킨다.

[0033] 출력 회로(107)는, 칼럼 회로(105)의 각각으로부터 수평 신호선(110)을 통하여 순차적으로 공급되는 신호에 대해, 신호 처리를 행하여 출력한다. 예를 들면, 버퍼링만 하는 경우도 있고, 흑레벨 조정, 열(列) 편차 보정, 각종 디지털 신호 처리 등이 행하여지는 경우도 있다. 입/출력 단자(112)는, 외부와 신호의 교환을 한다.

[0034] <2. 제 1 실시의 형태>

[0035] [고체 촬상 장치의 구성예]

[0036] 도 1 및 도 2에, 본 발명에 관한 고체 촬상 장치의 제 1 실시의 형태를 도시한다. 본 실시의 형태는, 이면 입사형의 CMOS 고체 촬상 장치이고, 도 1 및 도 2는 전체의 모식적인 개략 구성도이다.

[0037] 제 1 실시의 형태에 관한 고체 촬상 장치(1)는, 도 1에 도시하는 바와 같이, 물리량을 전기 신호로 변환하는 복수의 화소가 2차원 형상으로 배열된 화소부를 갖는 제 1의 기관(2)과, 칼럼 회로를 갖는 제 2의 기관(3)을 적층하고, 접속부(4)를 통하여 상호 전기적으로 접속하여 구성된다. 즉, 제 1의 기관(2)은, 도 2의 A에 도시하는 바와 같이, 이면 입사형으로 형성된 복수의 화소(5)를 2차원 형상으로 배열한 화소부(6)와, 수직 구동 회로(7)를 형성한 제 1의 반도체 칩으로 구성된다. 이후, 제 1의 기관(2)을 제 1의 반도체 칩으로서 표기한다. 제 1의 반도체 칩(2)은, 이른바 이면 입사형 CMOS 이미지 센서 칩이 된다. 제 2의 기관(3)은, 도 2의 B에 도시하는 바와 같이, 칼럼 회로(11)와, 제어 회로(12)와, 수평 구동 회로(13)와, 출력 회로에 상당하는 신호 처리 회로(14)를 형성한 제 2의 반도체 칩으로 구성된다. 이후, 제 2의 기관(3)을 제 2의 반도체 칩으로서 표기한다. 이 제 1의 반도체 칩(상부 기관에 상당)(2)을, 접속부(4)가 되는 마이크로 범프를 통하여 하부의 제 2의 반도체 칩(하부 기관에 상당)(3)에 플립 칩 실장하여 고체 촬상 장치(1)가 구성된다. 이후, 접속부(4)를 마이크로 범프로 표기한다.

[0038] 제 1의 반도체 칩(2)은, 반도체 기관(8)에 광전 변환부인 포토 다이오드(PD)와 복수의 화소 트랜지스터로 이루어지는 화소를 복수 2차원 형상으로 배열한 화소부(6)와, 수직 구동 회로(7)를 형성하여 구성된다. 포토 다이오드(PD)는, 반도체 기관(8)의 이면측에 임하도록 형성되고, 화소 트랜지스터는, 플로팅 디퓨전부(FD)를 포함하여

반도체 기관(8)의 표면층에 형성된다. 기관 이면은 수광면이 되고, 도시하지 않지만, 이 수광면상에 반사 방지막, 컬러 필터, 온 칩 렌즈 등이 적층된다.

- [0039] 수직 구동 회로(7)는, 화소(5)를 구동하기 위한 펄스 전압을 공급하는 화소 구동 배선(9)이 접속된다. 화소 구동 배선(9)은, 화소부의 수평 방향으로 배열된 각 1행의 화소(5)에 공통 접속되고, 도 2의 A에서는 수평 방향(횡방향)에 따른 1개의 배선으로 대표하고 있지만, 후술하는 바와 같이 복수개 배치된다. 또한, 화소부(6)의 수직 방향에 따라서, 각 열의 화소(5)에 공통 접속한 수직 신호선(10)이 배치된다. 이들 화소 구동 배선 및 수직 신호선은, 반도체 기관의 표면층에 층간 절연막을 통하여 배치한 복수층의 배선으로 형성된다.
- [0040] 제 1의 반도체 칩(2)의 화소부(6)에서는, 수직 구동 회로(7)에 의해 화소 구동 배선(9)이 선택되고, 선택된 화소 구동 배선(9)을 통하여 공급되는 펄스 전압에 의해, 그에 부수되는 1행의 화소(5)가 동시에 구동되고, 그 화소(5)의 신호가 수직 신호선(10)에 출력하도록 이루어진다.
- [0041] 제 2의 반도체 칩(3)은, 도 2의 B에 도시하는 바와 같이, 반도체 기관(16)의 표면층의 중앙 영역에 칼럼 회로(11)가 형성되고, 칼럼 회로 영역을 상하에 끼우는 양측에 수평 구동 회로(13)[13A, 13B]가 형성된다. 칼럼 회로 영역을 좌우에 끼우는 양측에 제어 회로(12)와 신호 처리 회로(14)가 형성된다. 칼럼 회로(11)는, 화소부(6)의 화소열에 대응하여, 화소열의 수와 같은 수만큼 마련된다. 즉, 화소부(6)의 화소열 대(對) 칼럼 회로(11)의 수의 관계는 1 대(對) 1이 된다. 칼럼 회로(11)에서는, 화소부(6)의 예를 들면, 홀수열에 대응하는 칼럼 회로(11A)가 상단측에서 반도체 기관(16)의 수평 방향을 따라서 배열되고, 화소부(6)의 짝수열에 대응하는 칼럼 회로(11B)가 하단측에서 반도체 기관(16)의 수평 방향을 따라서 배열된다.
- [0042] 즉, 칼럼 회로(11)[11A, 11B]는, 제 1의 반도체 칩에 형성된 화소부(6)의 중앙 부근에, 화소열에 대응하여 배열된다. 그리고, 수직 방향의 상하에 배치된 홀수의 화소열의 칼럼 회로(11A)와 짝수의 화소열의 칼럼 회로(11B)는, 그 입력단(마이크로 범프(4)에 대응하는 부분)이 마주 대하도록, 마주 대하게 하여 배열된다. 홀수열의 화소열에 대응하는 칼럼 회로(11A)와, 짝수열의 화소열에 대응하는 칼럼 회로(11B)는, 각각 화소(5)의 홀수열 및 짝수열에 대응하는 위치에 배치되기 때문에, 화소열의 1피치분만큼 수평 방향으로 어긋나 배열된다. 각 칼럼 회로(11)의 폭(d1)은, 화소부(6)의 화소열의 2열분의 폭(d2)을 갖고서 형성된다(d1=d2). 그리고, 제 1의 반도체 칩(2)에서의 홀수열의 화소의 신호를 판독하는 수직 신호선(10) 및 짝수열의 화소의 신호를 판독하는 수직 신호선이, 제 2의 반도체 칩(3)에서의 상단 및 하단의 칼럼 회로(11A 및 11B)끼리의 서로 대향하는 측에서 접속된다.
- [0043] 진술한 바와 마찬가지로, 제어 회로(12)는, 입력 클럭과, 동작 모드 등을 지령하는 데이터를 수취하고, 또한 고체 촬상 장치의 정보를 포함하는 데이터를 출력한다. 또한, 이하의 각 부분에, 필요한 클럭이나 펄스를 공급한다.
- [0044] 칼럼 회로(11)는, 화소(5)에 바이어스 전류를 공급함과 함께, 각 열의 화소(5)의 신호를 받아서, 그 신호에 CDS(상관 2중 샘플링 : 고정 패턴 노이즈 제거의 처리)나 신호 증폭이나 AD 변환 등의 처리를 행한다.
- [0045] 수평 구동 회로(13)[13A, 13B]는, 칼럼 회로(11)를 순번대로 선택하고, 그 신호를 신호 처리 회로에 유도한다. 신호 처리 회로(14)는, 그 신호를 처리하여 출력한다. 예를 들면, 버퍼링만 하는 것도 있고, 그 전에 흑레벨 조정, 열 편차 보정, 신호 증폭, 색 관계 처리 등을 행하는 것도 있다.
- [0046] 제 1의 반도체 칩(2)과 제 2의 반도체 칩(3)은, 각각의 배선이 형성된 측, 즉 화소의 배선면층을 대향시켜서 마이크로 범프(4)를 통하여 전기적 또한 기계적으로 접합된다. 제 1의 반도체 칩(2)에서는, 화소부(6)를 갖는 반도체 기관(8)의 수광면과는 반대측의 표면층에 층간 절연막을 통하여 복수층의 배선이 형성된다. 제 2의 반도체 칩(3)에서는, 칼럼 회로(11), 수평 구동 회로(13), 제어 회로(12), 신호 처리 회로(14)가 형성된 반도체 기관(16)의 표면층에 층간 절연막을 통하여 복수층의 배선이 형성된다. 마이크로 범프(4)는, 제 1의 반도체 칩(2)측, 또는 제 2의 반도체 칩(3)측, 또는 양 반도체 칩(2, 3)측에 형성된다. 도면에서는, 하부의 제 2 반도체 칩(3)측에만 마이크로 범프(4)를 도시하고 있다. 마이크로 범프(4)는, 화소부(6)의 수직 신호선(10)과, 칼럼 회로(11)를 접속한다.
- [0047] 본 예에서는, 마이크로 범프(4)가, 제 2의 반도체 칩(3)의 배선면층에 형성되고, 또한 화소부(6)의 홀수열에 대응하는 칼럼 회로(11A)와 짝수열에 대응하는 칼럼 회로(11B)가 서로 대향하는 측에 형성된다. 이 마이크로 범프(4)를 통하여, 중앙 부근에 위치하는 각 칼럼 회로(11)의 입력단과, 화소부(6)의 수직 신호선(10)의 중앙 부근이 전기적으로 접속된다. 칼럼 회로(11)는, 화소부(6)의 수직 방향의 중앙 부근을 기점으로 수직 신호선(10)과 마주 대하여 배열된다. 즉, 칼럼 회로(11)는, 화소부(6)의 수직 방향의 중앙 부근에서 마이크로 범프(4)를 기점

으로 하여, 수직 신호선(10)과 마주 대하여 배치된다. 마이크로 범프(4)는, 제 2의 반도체 칩(3)의 주변의 도시하지 않은 위치에도 형성되고, 이 주변에 형성한 마이크로 범프(4)를 통하여 전원이나 화소의 구동에 관한 정보가 교환된다.

[0048] 화소(5)와 칼럼 회로(11)는, 도 3에 도시하는 바와 같이 접속된다. 제 1의 반도체 칩(2)의 화소부(6)에서, 각 열에 배치된 복수의 화소(5)가 수직 신호선(10)에 접속된다. 한편, 제 2의 반도체 칩(3)에서는, 각 화소열에 대응하도록 칼럼 회로(11)가 형성된다. 화소부(6)의 내측, 본 예에서는 화소부(6)의 중앙 부근에서 수직 신호선(10)과 칼럼 회로(11)가 마이크로 범프(4)로 접속된다. 여기서는, 칼럼 회로(11)가 정전류원(18)과 아날로그/디지털 변환 회로(ADC)(17)를 갖고 있다. 정전류원(18)은, 화소(5)에 바이어스 전류를 흘린다. 바이어스 전류는, 선택되어 있는 화소(5) 내의 전원 단자로부터 수직 신호선(10), 마이크로 범프(4)를 통과하여, 정전류원(18) 내의 그라운드 단자에 흐른다. 아날로그/디지털 변환 회로(17)는, 정전류원(18)과 마이크로 범프(11)의 노드(19)를 공유하고, 화소 출력인 노드의 전압을 받아들여서, 아날로그/디지털 변환한다. 즉, 칼럼 회로(11)는, 화소(5)에 바이어스 전류를 흘리는 경로와, 화소(5)의 신호를 받아들이는 경로가, 마이크로 범프(4)에 의한 접속부를 공유하고 있다.

[0049] 도 4에, 화소의 등가 회로의 예를 도시한다. 화소는, 광전 변환부인 포토 다이오드와, 복수의 화소 트랜지스터, 본 예에서는 전송 트랜지스터(Tr1), 리셋 트랜지스터(Tr2), 증폭 트랜지스터(Tr3) 및 선택 트랜지스터(Tr4)로 구성된다. 포토 다이오드(PD)는, 전송 트랜지스터(Tr1)를 통하여 플로팅 디퓨전부(FD)에 접속된다. 전송 트랜지스터(Tr1)는, 포토 다이오드(PD)의 전하(예를 들면 광전자)를 플로팅 디퓨전부(FD)에 전송한다. 플로팅 디퓨전부(FD)는, 증폭 트랜지스터(Tr3)의 게이트에 접속된다. 증폭 트랜지스터(Tr3)는, 플로팅 디퓨전부(FD)의 전위에 대응하는 신호를, 선택 트랜지스터(Tr4)가 온 하고 있으면, 수직 신호선(10)에 출력한다. 리셋 트랜지스터(Tr2)는, 플로팅 디퓨전부(FD)에 접속되어, 플로팅 디퓨전부(FD)의 전하를 전원 배선에 배출함에 의해, 플로팅 디퓨전부(FD)를 리셋한다. 이 화소(5)의 등가 회로는, 신규의 것이 아니라, 일반적인 것이다. 전송, 선택, 리셋의 각 트랜지스터(Tr1, Tr4, Tr2)의 게이트에 각각 접속한 3개의 배선(21, 23, 22)이, 전송한 화소 구동 배선(9)에 상당한다.

[0050] 제 1 실시의 형태의 고체 촬상 장치의 동작, 즉 화소로부터의 신호의 흐름을 도 5의 A 내지 D에 도시한다. 제 1의 반도체 칩(2)의 화소부(6)에서는, 1행째의 화소 행부터 n행째의 화소행의 순서로 위로부터 아래로 화소(5)의 신호를 수직 신호선(10)에 의해 관독한다. 화소부(6)에서의 상반분(상부)의 화소(5)의 신호는, 1행째의 화소 행부터 m행째의 화소행의 순서로 수직 신호선(10)을 통과하고(도 5의 B, D 참조), 화소부(6) 중앙 부근에서 마이크로 범프(4)를 통과하여 제 2의 반도체 칩(3)의 칼럼 회로(11)에 입력된다. 화소부(6)에서의 하반분(하부)의 화소(5)의 신호는, m+1행째의 화소 행부터 n행째의 화소행의 순서로 수직 신호선을 통과하고(도 5C, D 참조), 화소부(6) 중앙 부근에서 마이크로 범프(4)를 통과하여 제 2의 반도체 칩(3)의 칼럼 회로(11)에 입력된다. 여기서, 홀수열의 화소(5)의 신호(5)는 상측의 칼럼 회로(11A)에 입력되고(도 5의 E 참조), 짝수열의 화소(5)의 신호는 하측의 칼럼 회로(11B)에 입력된다(도 5의 E 참조). 칼럼 회로(11)[11A, 11B]에서는 필요한 처리가 순차적으로 이루어지고, 홀수열의 신호는 상측의 수평 구동 회로(13A)에 의해 신호 처리 회로에 보내지고, 짝수열의 신호는 하측의 수평 구동 회로(13B)에 의해 신호 처리 회로(14)에 보내진다(도 5의 E 참조). 즉, 화소행의 화소(5)의 신호는, 칼럼 회로(11A 및 11B)끼리의 서로 대향하는 측의 입력단에 입력된다. 칼럼 회로(11A 및 11B)의 신호는, 칼럼 회로(11A 및 11B)끼리의 서로 대향하지 않는 측의 출력단으로부터 수평 구동 회로(13A 및 13B)에 출력된다.

[0051] 제 1 실시의 형태에 관한 고체 촬상 장치(1)에 의하면, 제 1의 반도체 칩(2)에서의 화소부(6)의 중앙 부근에서 제 2의 반도체 칩(3)과 접속함으로써, 화소부(6)의 상부와 하부의 어느 화소의 신호에 대해서도, 수직 신호선(10)의 배선 저항이 같은 정도가 된다. 종래의 수직 신호선의 단부터 화소 신호를 칼럼 회로에 받아들이는 구성에 비하여, 제 1 실시의 형태에서는, 칼럼 회로(11)에 들어가기까지의 수직 신호선(10)의 최대 길이가 반분이 된다. 이 때문에, 본 실시의 형태에서는, 수직 신호선(10)의 배선 저항에 의한 전압 강하가 원인인 셰이딩이 반분이 된다. 또한 셰이딩은, 화소부(6) 내의 중앙 부근을 경계로 하여 상측과 하측에서 대칭이 되기 때문에 알아차리기 어려워진다. 예를 들면, 화면의 상반분이 「명(암)」이면, 하반분도 같은 「명(암)」이 되기 때문에, 눈에 띄기 어려워진다.

[0052] 이처럼, 제 1 실시의 형태에서는, 수직 신호선(10)에서의 전압 강하를 저감하고, 그 전압 강하가 원인인 셰이딩을 저감할 수 있다. 또한, 카메라에 적용하는 경우, 촬상 렌즈의 주변에 대응하는 화상 영역에서는 어두운 것이 보통이고, 회로계에서 보정하는 것이 행하여진다. 화면의 상하의 셰이딩이 대칭이 됨에 의해, 이 보정이 하기

쉬워진다. 본 실시의 형태에서는, 세이딩의 개선 등 화질의 개선을 도모할 수 있다.

- [0053] 또한, 수직 신호선(10)의 배선 저항에 의한 최대 전압 강하가 반분이 되기 때문에, 전압 마진의 확보나 저전압화에 공헌한다. 여기서, 전압 마진이란, 포화 신호까지 선형으로 출력할 수 있기 위한 화소 회로의 동작 전압 여유나, 화소의 출력 레인지와 칼럼 회로의 입력 레인지의 매칭을 취하기 위한 전압 여유 등이다. 전압 마진이, 취급하는 전하량의 확보로 전환되면, 그만큼, 다이내믹 레인지를 넓힐 수 있다. 칼럼 회로(11)의 폭(d1)이, 2화소열분의 폭(d2)에 대응하기 때문에, 칼럼 회로(11)가 만들기 쉽다.
- [0054] 본 실시의 형태에서는, 이면 입사형의 화소부(6)를 갖는 제 1의 반도체 칩(2)을, 화소(5)의 배선을 하측으로 하여 제 2의 반도체 칩(3)에 대해 플립 칩 실장하고 있기 때문에, 수광이나 광전 변환에 영향을 주지 않도록 고체 촬상 장치를 실현할 수 있다.
- [0055] <3. 제 2 실시의 형태>
- [0056] [고체 촬상 장치의 구성예]
- [0057] 도 6 및 도 7에, 본 발명에 관한 고체 촬상 장치의 제 2 실시의 형태를 도시한다. 본 실시의 형태는, 이면 입사형의 CMOS 고체 촬상 장치이고, 도 6 및 도 7은 전체의 모식적인 개략 구성도이다.
- [0058] 제 2 실시의 형태에 관한 고체 촬상 장치(31)는, 도 6에 도시하는 바와 같이, 물리량을 전기 신호로 변환하는 복수의 화소가 2차원 형상으로 배열된 화소부를 갖는 제 1의 기관(32)과, 칼럼 회로를 갖는 제 2의 기관(33)을 적층하고, 접속부(4)를 통하여 상호 전기적으로 접속하여 구성된다. 이후, 제 1의 기관(32)은 제 1의 반도체 칩이라고 표기하고, 제 2의 기관(33)은 제 2의 반도체 칩이라고 표기한다. 또한 접속부(4)를 마이크로 범프라고 표기한다. 즉, 제 1의 반도체 칩(32)은, 도 7의 A에 도시하는 바와 같이, 이면 입사형으로 형성된 복수의 화소(5)를 2차원 형상으로 배열한 화소부(6)와, 수직 구동 회로(7)를 형성하여 구성된다. 제 1의 반도체 칩(32)은, 이른바 이면 입사형 CMOS 이미지 센서 칩이 된다. 제 2의 반도체 칩(33)은, 도 7의 B에 도시하는 바와 같이, 칼럼 회로(11)와, 제어 회로(12)와, 수평 구동 회로(13)[13A, 13B]와, 출력 회로에 상당하는 신호 처리 회로(14)를 형성하여 구성된다. 이 제 1의 반도체 칩(32)을, 마이크로 범프(4)를 통하여 하부의 제 2의 반도체 칩(33)에 플립 칩 실장하여 고체 촬상 장치(31)가 구성된다.
- [0059] 본 실시의 형태에서는, 2행분의 화소(5)를 동시에 판독하도록 구성된다. 제 1의 반도체 칩(32)의 화소부(6)에는, 하나의 화소열에 대해 2개의 수직 신호선(10)[10A, 10B]이 배열되고, 제 1의 수직 신호선(10A)이 홀수번의 화소행에 접속되고, 제 2의 수직 신호선(10B)이 짝수번의 화소행에 접속된다. 제 2의 반도체 칩(33)의 칼럼 회로(11)는, 그 폭(d3)이 화소열의 폭(d4)과 같고(d3=d4), 수직 신호선(12)의 수에 대응하여, 화소열의 2배의 수만큼 배치된다. 칼럼 회로(11)는, 수직 방향에서의 상단 및 하단에 각각 수평 방향으로 화소열의 수에 대응하는 수만큼이 배열된다. 즉, 화소부(6)의 화소열 대 칼럼 회로(11)의 수의 관계는 1 대 2가 된다.
- [0060] 상단의 칼럼 회로(11A)는, 화소열 중 홀수행의 화소(5)에 접속된 제 1의 수직 신호선(10A)에 접속된다. 하단의 칼럼 회로(11B)는, 화소열 중 짝수행의 화소(5)에 접속된 제 2의 수직 신호선(10B)에 접속된다. 상단의 칼럼 회로(11A)와 하단의 칼럼 회로(11B)는, 화소열의 1/2피치분만큼 수평 방향으로 어긋나 배열된다. 상단의 칼럼 회로(11A)와 하단의 칼럼 회로(11B)는, 그 입력단(마이크로 범프(4)에 대응하는 부분)이 마주 대하도록, 마주 대하게 하여 배열된다.
- [0061] 그리고, 마이크로 범프(4)를 통하여 중앙 부근에 위치하는 각 칼럼 회로(11A, 11B)의 입력단과, 화소부(6)의 수직 신호선(10A, 10B)의 중앙 부근이 전기적으로 접속된다. 제 1의 수직 신호선(10A)의 중앙 부근과 상단의 칼럼 회로(11A)의 입력단이 마이크로 범프(4)를 통하여 접속되고, 제 2의 수직 신호선(10B) 중앙 부근과 하단의 칼럼 회로(11B)의 입력단이 마이크로 범프(4)를 통하여 접속된다.
- [0062] 그 밖의 구성은, 제 1 실시의 형태에서 설명한 것과 같기 때문에, 대응하는 부분에 동일 부호를 붙이고 중복 설명을 생략한다.
- [0063] 제 2 실시의 형태의 고체 촬상 장치의 동작, 즉 화소로부터의 신호의 흐름을 도 8의 A 내지 E에 도시한다. 제 1의 반도체 칩(32)의 화소부(6)에서는, 2행분의 화소행씩 위로부터 아래를 향하여 차례로 제 1 및 제 2의 수직 신호선(10A 및 10B)에 의해 판독된다. 화소부(6)의 상반분의 화소(5)의 신호는, 1 및 2행째의 2화소행부터 m-1 및 m행째의 2화소행의 순서로 제 1 및 제 2의 수직 신호선(10A 및 10B)을 통과하고(도 8의 B, D 참조), 화소부(6) 중앙 부근에서 마이크로 범프(4)를 통과하여 제 2의 반도체 칩(33)의 칼럼 회로(11)에 동시에 입력된다(도 8의 E 참조). 여기서, 홀수행의 화소(5)의 신호는 상단의 칼럼 회로(11A)에 입력되고, 짝수행의 화소(5)의 신호

는 하단의 칼럼 회로(11B)에 입력된다. 2화소행의 신호가 동시에 입력된 칼럼 회로(11A, 11B)에서는, 필요한 처리가 순차적으로 이루어지고, 홀수행의 신호는 상측의 수평 구동 회로(13A)에 의해 신호 처리 회로(14)에 보내지고, 짝수행의 신호는 하측의 수평 구동 회로(13B)에 의해 신호 처리 회로(14)에 보내진다. 즉, 2화소행의 화소(5)의 신호는, 칼럼 회로(11A 및 11B)끼리의 서로 대향하는 측의 입력단에 입력된다. 칼럼 회로(11A 및 11B)의 신호는, 칼럼 회로(11A 및 11B)끼리의 서로 대향하지 않는 측의 출력단으로부터 수평 구동 회로(13A 및 13B)에 출력된다.

[0064] 제 2 실시의 형태에 관한 고체 촬상 장치(31)에 의하면, 제 1 실시의 형태에 비하여, 칼럼 회로(11)가 화소열의 수의 2배의 수를 갖기 때문에, 개략 2배 고속화할 수 있다. 수직 신호선(10)[10A, 10B]의 부하 용량이 개략 반분이 되기 때문에, 판독 속도가 화소에 의해 율속(律速; rate-control)되어 있는 경우는, 더욱 약 2배 고속화할 수 있다.

[0065] 그 밖에, 제 1 실시의 형태에서 설명한 바와 같은 효과를 이룬다. 즉, 제 1의 반도체 칩(32)에서의 화소부(6)의 중앙 부근에서 제 2의 반도체 칩(33)과 접속함으로써, 화소부(6)의 상부와 하부의 어느 신호에 대해서도, 수직 신호선(10)[10A, 10B]의 배선 저항이 같은 정도가 된다. 종래의 수직 신호선의 단부터 화소 신호를 칼럼 회로에 받아들이는 구성에 비하여, 제 2 실시의 형태에서는, 칼럼 회로(11)[11A, 11B]에 들어가기까지의 수직 신호선(10)「10A, 10B」의 최대 길이가 반분이 된다. 이 때문에, 본 실시의 형태에서는, 수직 신호선의 배선 저항에 의한 전압 강하가 원인인 세이딩이 반분이 된다. 또한 세이딩은, 화소부(6) 내의 상측과 하측에서 대칭이 되기 때문에 알아차리기 어려워진다. 이와 같이, 제 2 실시의 형태에서는, 수직 신호선(10)에서의 전압 강하를 저감하고, 그 전압 강하가 원인인 세이딩을 저감할 수 있다. 따라서, 세이딩의 개선 등 화질의 개선을 도모할 수 있다.

[0066] 또한, 수직 신호선(10)[10A, 10B]의 배선 저항에 의한 최대 전압 강하가 반분이 되기 때문에, 전압 마진의 확보나 저전압화에 공헌한다. 전압 마진이, 취급하는 전하량의 확보로 전환되면, 그만큼, 다이내믹 레인지를 넓힐 수 있다.

[0067] 제 2 실시의 형태에서도, 이면 입사형의 화소부(6)를 갖는 제 1의 반도체 칩(32)을, 화소(5)의 배선을 하측으로 하여 제 2의 반도체 칩(33)에 대해 플립 칩 실장하고 있기 때문에, 수광이나 광전 변환에 영향을 주지 않는 고체 촬상 장치를 실현할 수 있다.

[0068] <4. 제 3 실시의 형태>

[고체 촬상 장치의 구성예]

[0070] 도 9 및 도 10에, 본 발명에 관한 고체 촬상 장치의 제 3 실시의 형태를 도시한다. 본 실시의 형태는, 이면 입사형의 CMOS 고체 촬상 장치이고, 도 9 및 도 10은 전체의 모식적인 개략 구성도이다.

[0071] 제 3 실시의 형태에 관한 고체 촬상 장치(41)는, 물리량을 전기 신호로 변환하는 복수의 화소가 2차원 형상으로 배열된 화소부를 갖는 제 1의 기판(42)과, 칼럼 회로를 갖는 제 2의 기판(43)을 적층하고, 접속부(4)를 통하여 상호 전기적으로 접속하여 구성된다. 이후, 제 1의 기판(42)은 제 1의 반도체 칩이라고 표기하고, 제 2의 기판(43)은 제 2의 반도체 칩이라고 표기한다. 또한 접속부(4)를 마이크로 범프라고 표기한다. 즉, 제 1의 반도체 칩(42)은, 도 10의 A에 도시하는 바와 같이, 이면 입사형으로 형성된 복수의 화소(5)를 2차원 형상으로 배열한 화소부(6)와, 수직 구동 회로(7)를 형성하여 구성된다. 제 1의 반도체 칩(42)은, 이른바 이면 입사형 CMOS 이미지 센서 칩이 된다. 제 2의 반도체 칩(43)은, 도 10의 B에 도시하는 바와 같이, 칼럼 회로(11)와, 제어 회로(12)와, 수평 구동 회로(13)[13A, 13B]와, 출력 회로에 상당하는 신호 처리 회로(14)를 형성하여 구성된다. 이 제 1의 반도체 칩(42)을, 마이크로 범프(4)를 통하여 하부의 제 2의 반도체 칩(43)에 플립 칩 실장하여 고체 촬상 장치(41)가 구성된다.

[0072] 제 1의 반도체 칩(42)의 화소부(6)에서는, 각 화소열에 대응하여 그 복수의 화소(5)가 접속되는 수직 신호선(10)이 형성된다. 한편, 제 2의 반도체 칩(43)에서는, 수직 방향으로 3단의 칼럼 회로(11)[11A, 11B, 11C]가 배치된다. 각 단의 칼럼 회로(11A, 11B, 11C)는, 각각이 수평 방향으로 복수 배열하여 구성된다. 상단의 칼럼 회로(11A)는, 화소부(6)의 2개씩 거른 화소열, 즉 제 1 화소열, 제 4 화소열, 제 7 화소열, 제 10 화소열, ...에 대응하고 있다. 중단의 칼럼 회로(11B)는, 화소부(6)의 2개씩 거른 다른 화소열, 즉 제 2 화소열, 제 5 화소열, 제 8 화소열, 제 11 화소열, ...에 대응하고 있다. 하단의 칼럼 회로(11C)는, 화소부(6)의 2개씩 거른 또 다른 화소열, 즉 제 3 화소열, 제 6 화소열, 제 9 화소열, 제 12 화소열, ...에 대응하고 있다.

[0073] 각 칼럼 회로(11A 내지 11C)는, 그 폭(d5)이 화소(5)의 3열분의 폭(d6)을 갖고서 형성된다(d5=d6). 칼럼 회로

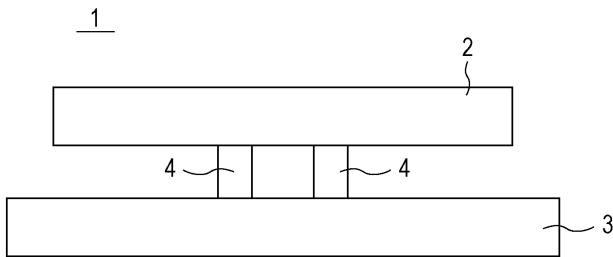
(11B, 11C)는, 윗 단(段)의 칼럼 회로(11A, 11B)에 대해 화소열의 1피치분만큼 수평 방향으로 어긋나 배열된다.

- [0074] 상단의 칼럼 회로(11A)와 이에 대응한 화소열의 수직 신호선(10)을 접속하는 마이크로 범프(4)는, 상단의 칼럼 회로(11A)의 제 2의 반도체 칩(43)에서의 중앙 가까이의 입력단에 대응하는 위치에 형성된다. 하단의 칼럼 회로(11C)와 이에 대응한 화소열의 수직 신호선(10)을 접속하는 마이크로 범프(4)는, 하단의 칼럼 회로(11C)의 제 2의 반도체 칩(43)에서의 중앙 가까이의 입력단에 대응하는 위치에 형성된다. 중단의 칼럼 회로(11B)와 이에 대응하는 화소열의 수직 신호선을 접속하는 마이크로 범프(4)는, 수평 방향으로 교대로 하단의 칼럼 회로(11C)에 가까운 위치, 상단의 칼럼 회로(11A)에 가까운 위치에 형성된다.
- [0075] 그 밖의 구성은, 제 1 실시의 형태에서 설명한 것과 같기 때문에, 대응하는 부분에 동일 부호를 붙이고 중복 설명을 생략한다.
- [0076] 제 3 실시의 형태의 고체 촬상 장치(41)의 동작, 즉 화소로부터의 신호의 흐름을, 도 11의 A 내지 D에 도시한다. 제 1의 반도체 칩(42)의 화소부(6)에서는, 1화소행씩 위로부터 아래를 향하여 순서대로 화소(5)의 신호가 수직 신호선(10)에 의해 판독된다. 도 11의 B 및 D는 화소부(6)의 상방부터 판독한 신호의 흐름을 도시한다. 수직 신호선(10)과 칼럼 회로(11)를 접속하는 마이크로 범프(4)의 수직 방향의 위치가 수직 신호선(10)의 중앙 부근과 어긋나 있고, 그 어긋나는 위치는 도시하는 바와 같이 화소열에 따라 다르다. 그리고, 화소부(6)의 상반분에서는, 도시하는 바와 같이, 제 1 화소열, 제 4 화소열, 제 7 화소열, ...의 화소(5)의 신호가, 수직 신호선(10)을 통과하고, 화소부(6)의 수직 방향의 1/3 부근에서 마이크로 범프(4)를 통과하여 상단의 칼럼 회로(11A)에 입력된다. 제 2 화소열, 제 5 화소열, 제 8 화소열, ...의 화소(5)의 신호는, 수직 신호선(10)을 통과하고, 교대로 화소부(6)의 수직 방향의 1/3 부근, 2/3 부근에서 마이크로 범프를 통과하여 중단의 칼럼 회로(11B)에 입력된다. 제 3 화소열, 제 6 화소열, 제 9 화소열, ...의 화소(5)의 신호는, 수직 신호선(10)을 통과하고, 화소부(6)의 수직 방향의 2/3 부근에서 마이크로 범프(4)를 통과하여 하단의 칼럼 회로(11C)에 입력된다. 그리고, 칼럼 회로(11A 내지 11C)에 입력된 신호 중, 제 1 화소열, 제 2 화소열, 제 4 화소열, 제 7 화소열, 제 8 화소열, 제 10 화소열 ...의 신호는, 상단의 수평 구동 회로(13A)에 의해 신호 처리 회로(14)에 보내진다. 제 3 화소열, 제 5 화소열, 제 6 화소열, 제 9 화소열, 제 11 화소열, 제 12 화소열 ...의 신호는, 하단의 수평 구동 회로(13B)에 의해 신호 처리 회로(14)에 보내진다.
- [0077] 화소부(6)의 하반분의 화소(5)의 신호의 판독은, 도 11의 C 및 D에 도시하는 바와 같이, 상세 설명은 생략하지만, 마찬가지로 각 화소열의 화소(5)의 신호가, 수직 신호선(10)을 통과하고, 상기한 바와 같이 마이크로 범프(4)를 통과하여 대응하는 칼럼 회로(11A 내지 11C)에 입력된다. 그리고, 각각의 칼럼 회로(11A 내지 11C)에서 처리된 신호는, 수평 구동 회로(13A, 13B)에 의해 신호 처리 회로(14)에 보내진다.
- [0078] 제 3 실시의 형태에 관한 고체 촬상 장치(41)에 의하면, 각 화소(5)의 신호가 수직 신호선(10)의 중앙 부근은 아니지만, 수직 신호선의 1/3 부근, 2/3 부근이 되는 중간 위치에서 마이크로 범프(4)를 통과하여 칼럼 회로(11)에 입력된다. 이 때문에, 전술한 종래의 고체 촬상 장치에 비하여 수직 신호선(10)의 배선 저항을 저감하고, 배선 저항에 의한 전압 강하가 원인인 셰이딩을 저감할 수 있다. 따라서, 셰이딩의 개선 등 화질의 개선을 도모할 수 있다.
- [0079] 그 밖에, 제 1 실시의 형태에서 설명한 바와 같은 효과를 이룬다. 즉 전압 마진의 확보나 저전압화에 공헌한다. 전압 마진이 취급하는 전하량의 확보로 전환되면, 그만큼, 다이내믹 레인지를 넓힐 수 있다. 또한, 칼럼 회로(11)의 폭(d5)이, 3화소열분의 폭(d6)에 대응하기 때문에, 칼럼 회로(11)가 만들기 쉽다.
- [0080] 본 실시의 형태는, 이면 입사형의 화소부(6)를 갖는 제 1의 반도체 칩(2)을, 화소(5)의 배선을 하측으로 하여 제 2의 반도체 칩(3)에 대해 플립 칩 실장하고 있기 때문에, 수광이나 광전 변환에 영향을 주지 않도록 고체 촬상 장치를 실현할 수 있다.
- [0081] [변형예]
- [0082] 상술한 제 1 내지 제 3 실시의 형태에 공통된 변형예를 나타낸다.
- [0083] 마이크로 범프(4)가 칼럼 회로(11)의 폭보다 큰 지름으로밖에 만들 수 없는 경우는, 이웃하는 마이크로 범프(4)를 지그재그형상으로 배치하도록 하면 좋다.
- [0084] 수평 구동 회로(13)[13A, 13B]는, 구동 주파수가 높고 열이나 노이즈를 많이 발생하는 곳이기 때문에, 제 2의 반도체 칩의 단측(端側), 특히 제 1의 반도체 칩과 겹쳐지지 않는 위치, 또는 화소부와 겹쳐지지 않는 위치에 배치하는 것이 바람직하다.

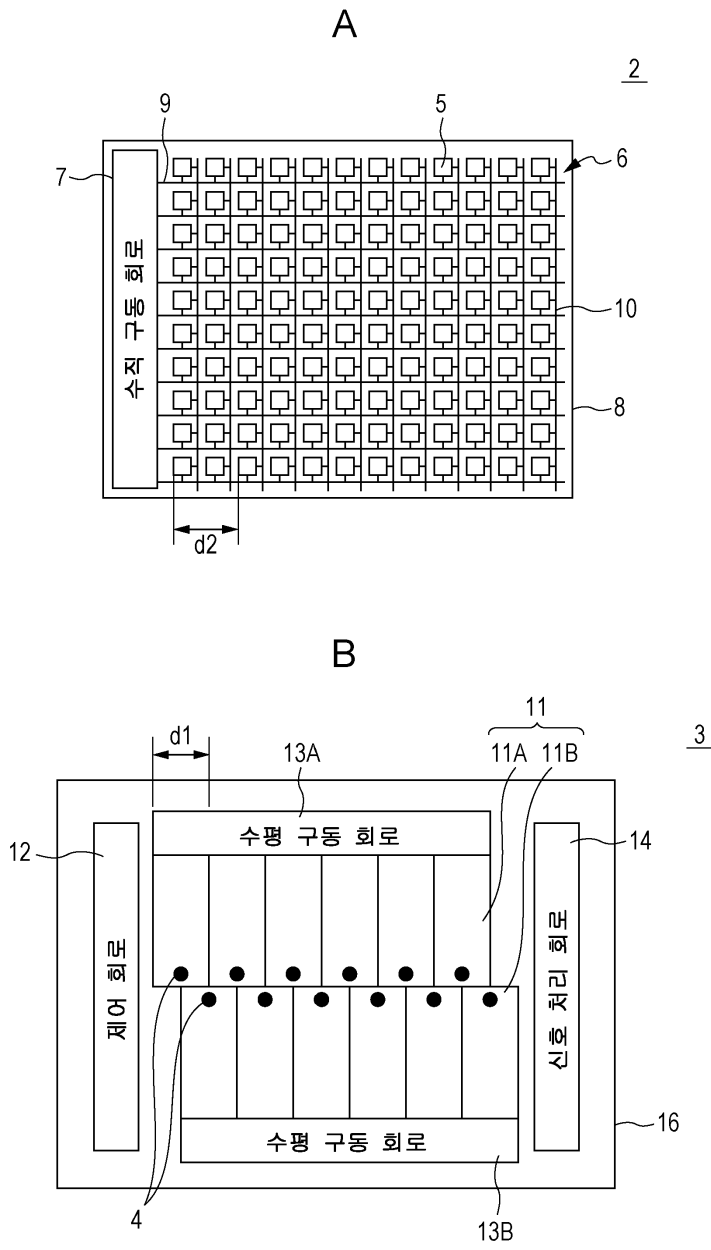
- 5 : 화소
- 6 : 화소부
- 7 : 수직 구동 회로
- 8 : 반도체 기관
- 9 : 화소 구동 배선
- 10 : 수직 신호선
- 11[11A 내지 11C] : 칼럼 회로
- 12 : 제어 회로
- 13[13A, 13B] : 수평 구동 회로
- 14 : 신호 처리 회로
- 17 : 아날로그/디지털 변환 회로
- 18 : 정전류원
- 19 : 노드

도면

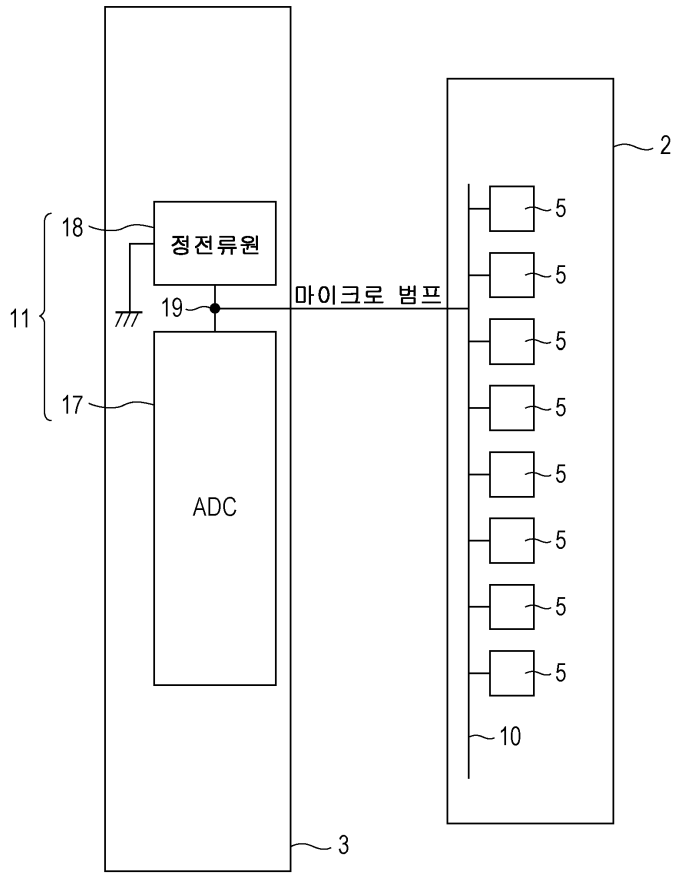
도면1



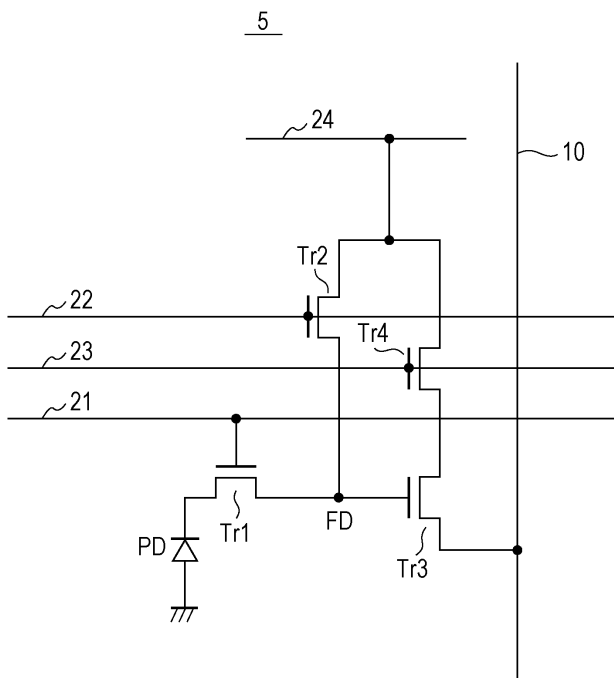
도면2



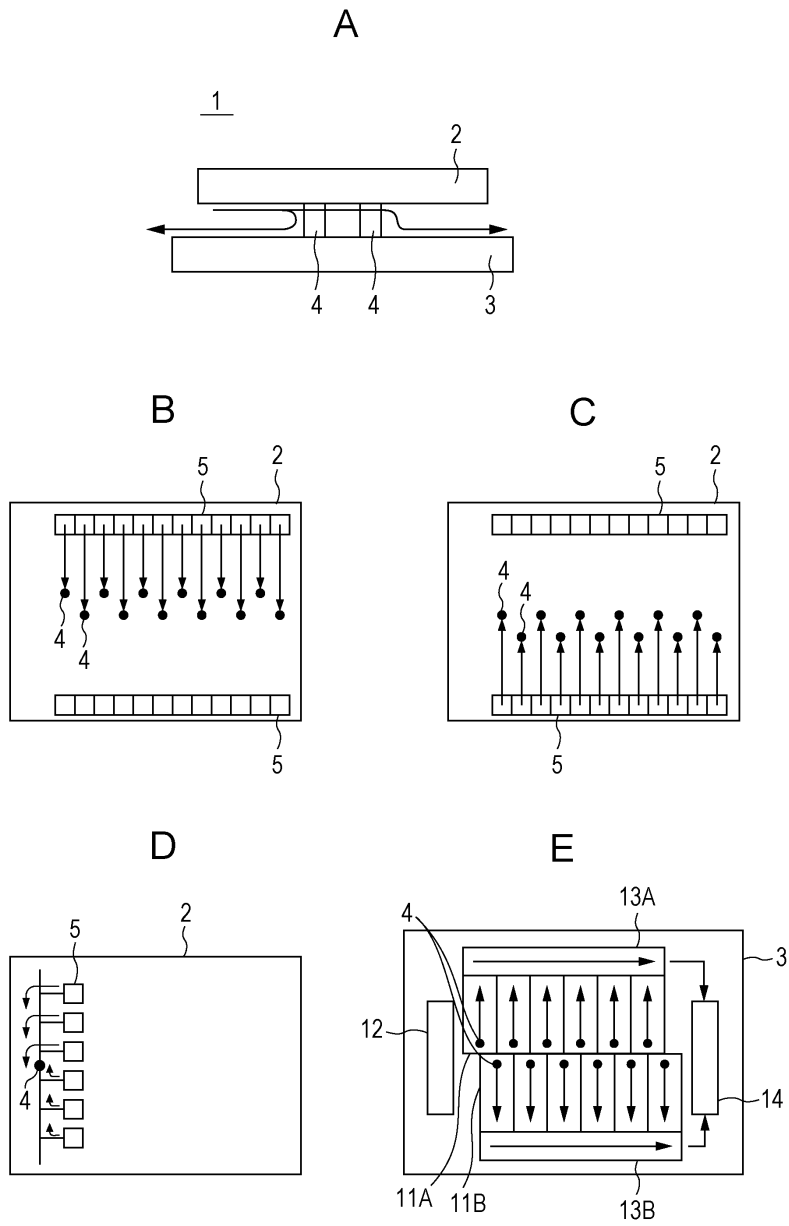
도면3



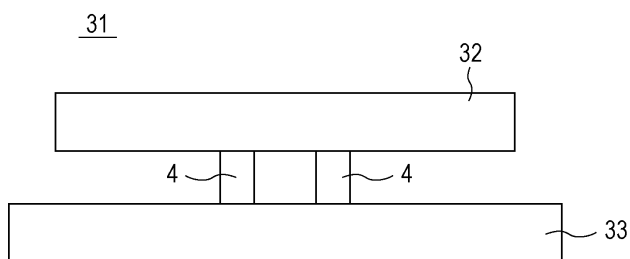
도면4



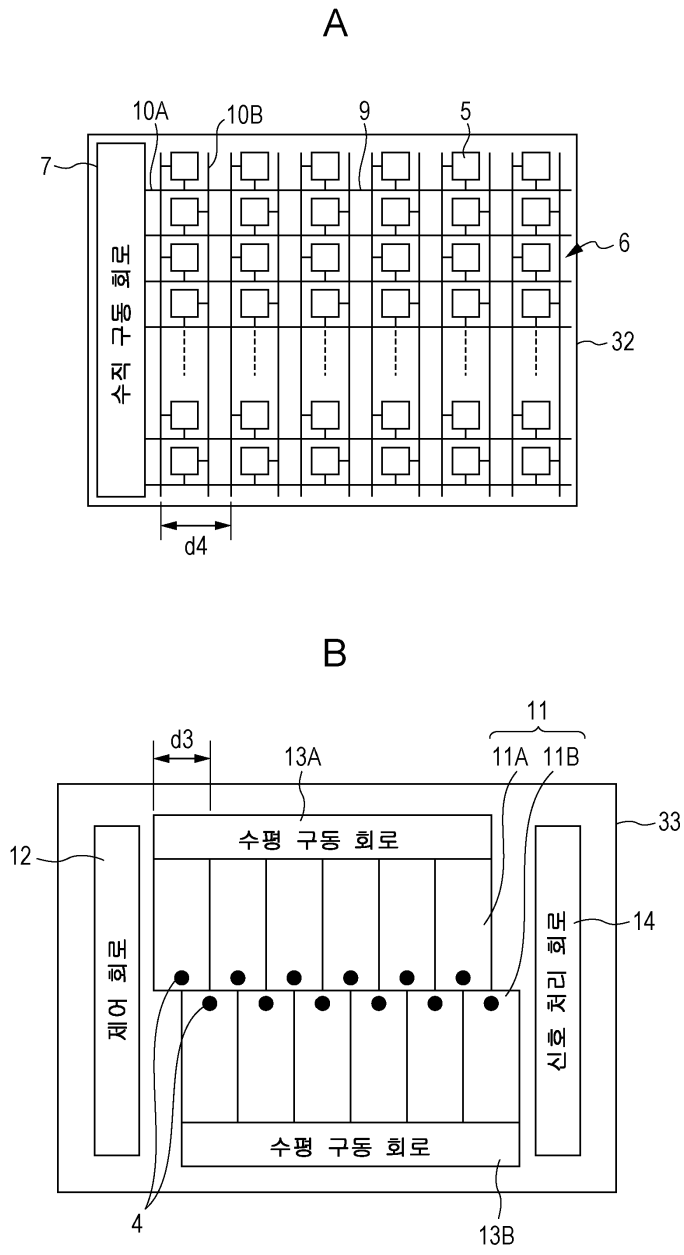
도면5



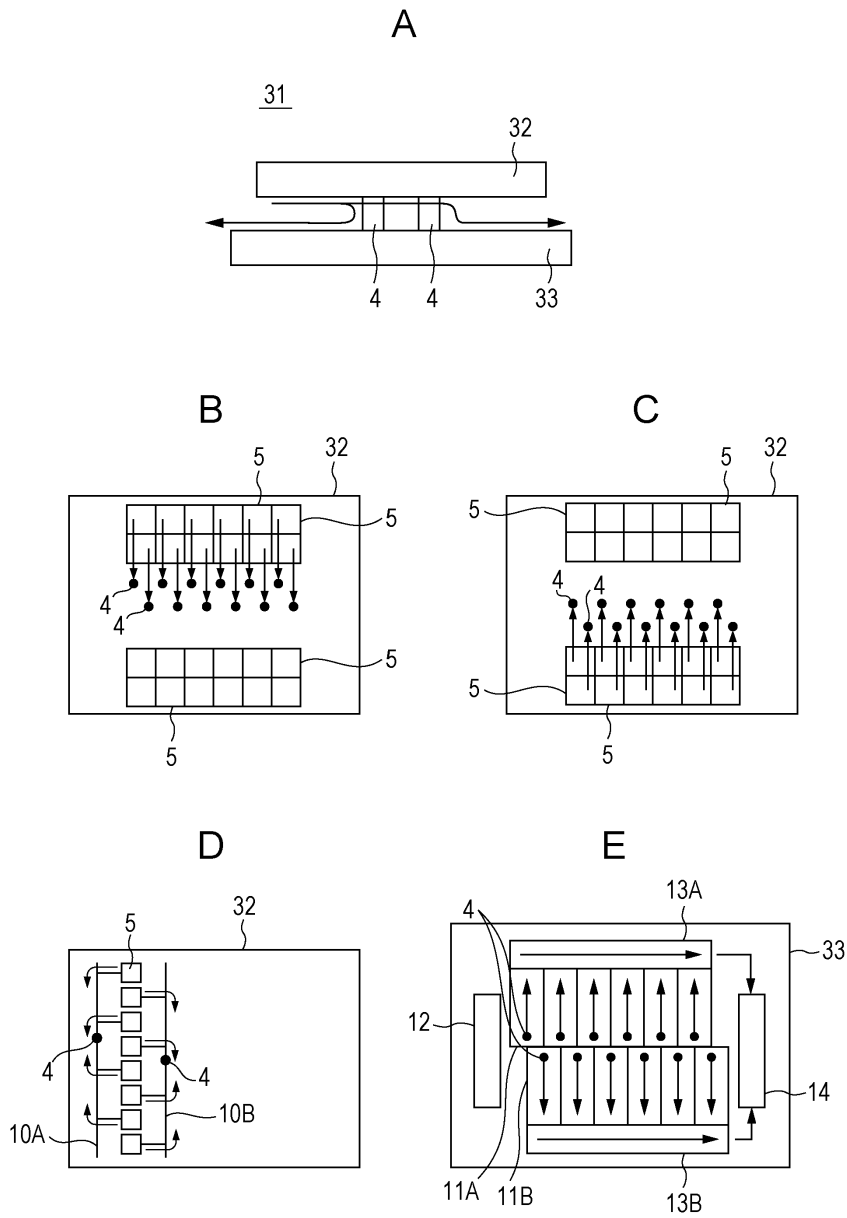
도면6



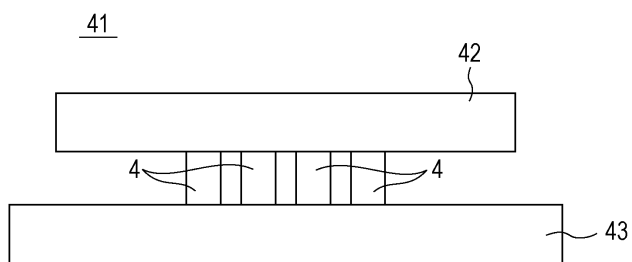
도면7



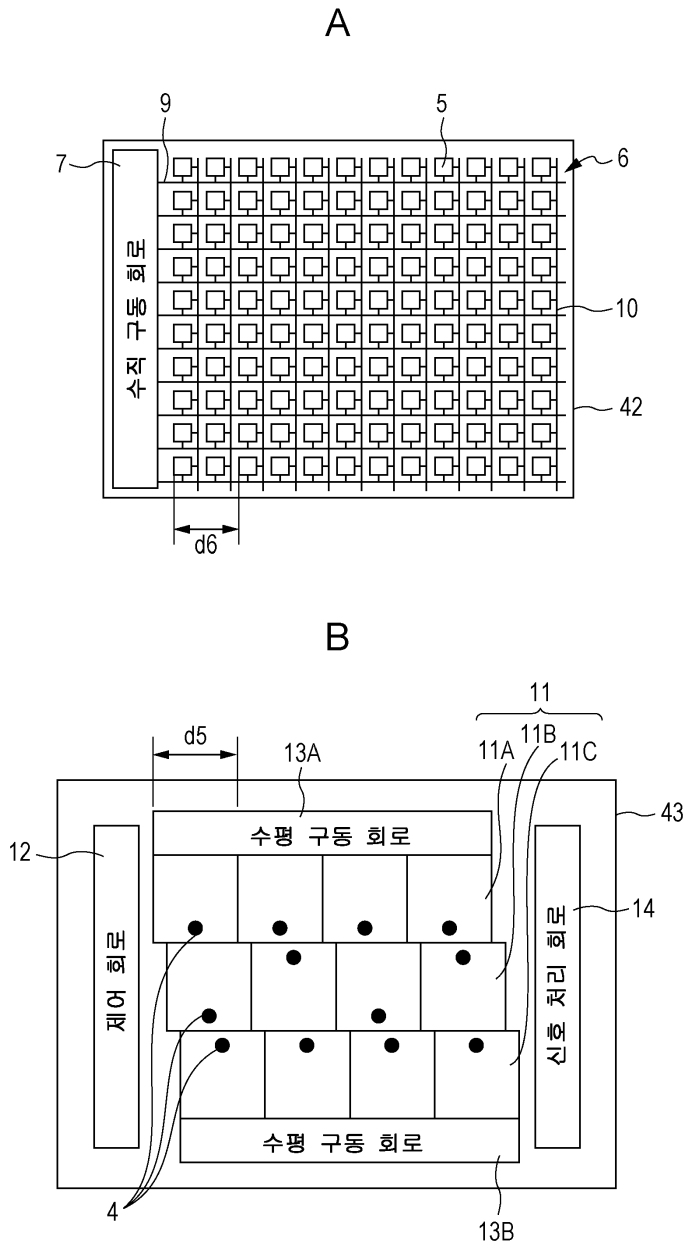
도면8



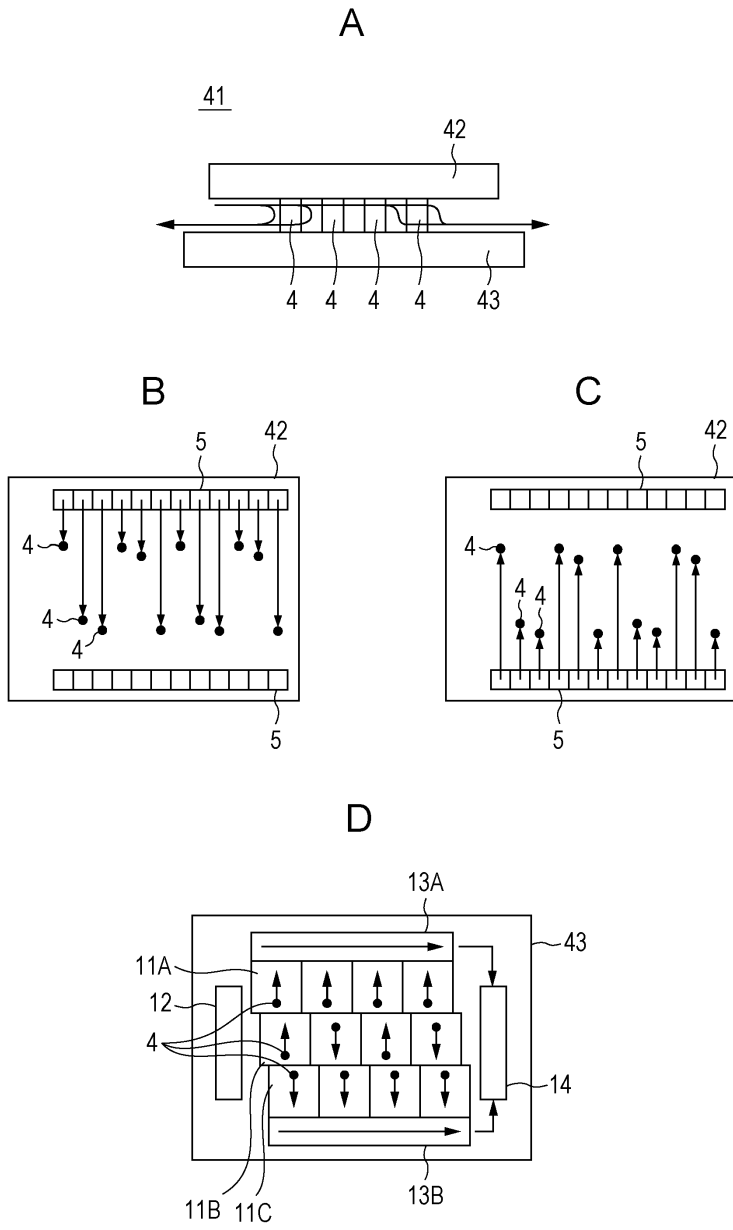
도면9



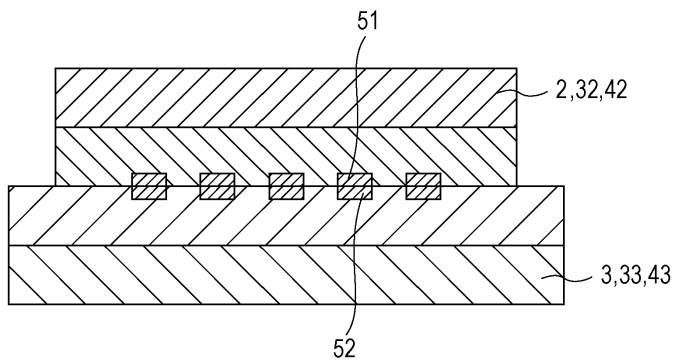
도면10



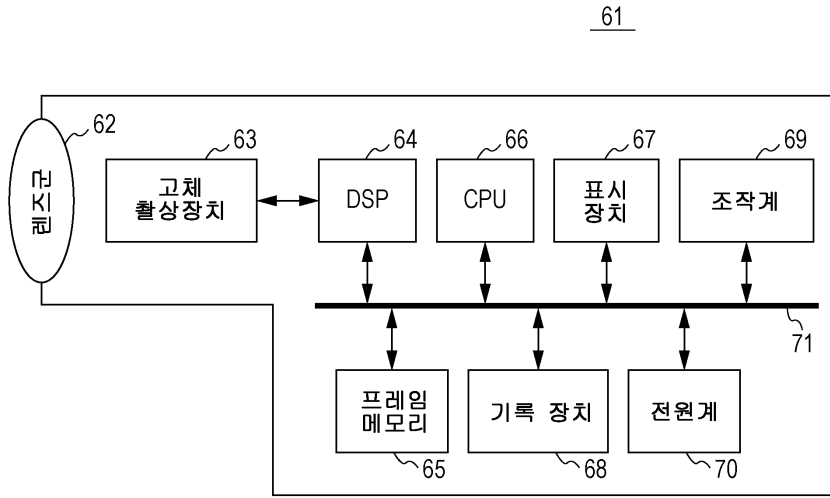
도면11



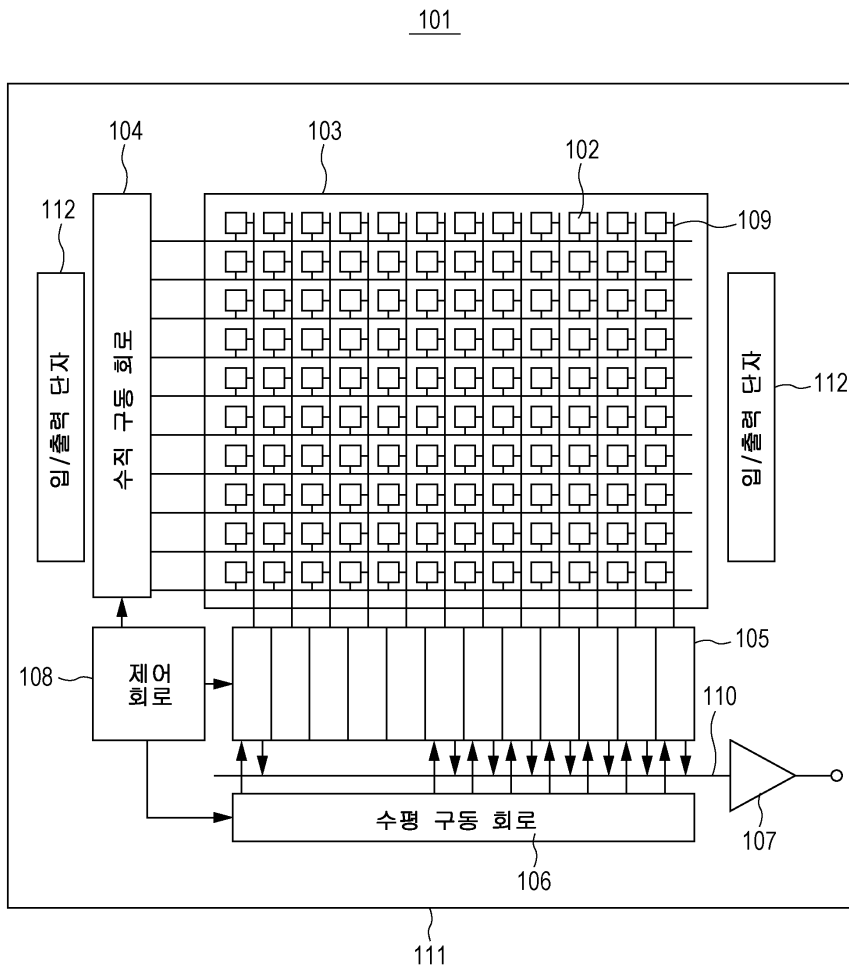
도면12



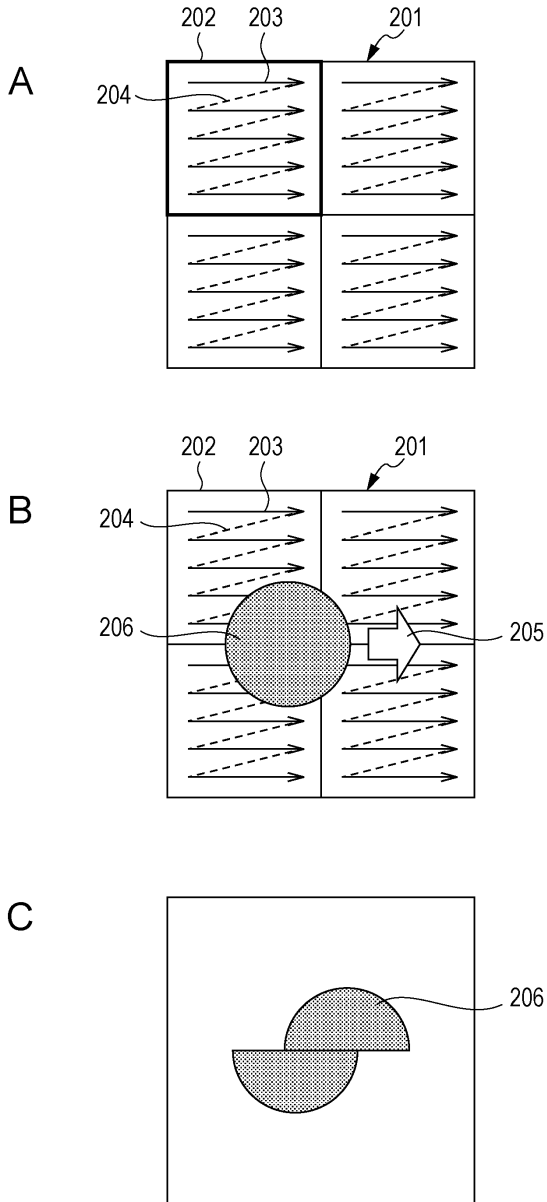
도면13



도면14



도면15



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

특징으로 하는 활상 장치.

【변경후】

특징으로 하는 고체 활상 장치.