

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年6月2日(2005.6.2)

【公開番号】特開2003-36674(P2003-36674A)

【公開日】平成15年2月7日(2003.2.7)

【出願番号】特願2002-126981(P2002-126981)

【国際特許分類第7版】

G 1 1 C 11/407

G 0 6 F 1/06

G 1 1 C 11/409

// H 0 3 K 19/0175

【F I】

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 5 4 P

G 0 6 F 1/04 3 1 0 A

H 0 3 K 19/00 1 0 1 K

【手続補正書】

【提出日】平成16年8月13日(2004.8.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正の内容】

【請求項3】

前記クロック選択回路は、

一端が1供給電圧に接続され、ゲートが前記選択信号に接続された第1PMOSトランジスタと、

第1入力端子に前記データストローブ信号が印加され、第2入力端子に基準電圧が印加され、第3入力端子に前記第1PMOSトランジスタの他端が接続される第1バッファと、

一端が前記第1バッファの出力端子に接続され、他端が接地に接続され、ゲートに前記選択信号が印加される第1NMOSトランジスタと、

第1クロック信号が印加される第1入力端子と、反転されたクロック信号を受け入れる第2入力端子を備えた第2バッファと、

前記第1バッファの前記出力端子に接続された入力端子を備えたインバータと、

前記選択信号と前記第2バッファの出力信号とを入力として論理演算をする第1ロジック回路と、

前記第1ロジック回路の出力信号と前記インバータの出力信号とを入力として論理演算をする第2ロジック回路とを含むことを特徴とする請求項1に記載の半導体メモリ装置の入力回路。