

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 6 月 2 日 (2005.6.2)

【公開番号】特開 2003-36674 (P2003-36674A)
 【公開日】平成 15 年 2 月 7 日 (2003.2.7)
 【出願番号】特願 2002-126981 (P2002-126981)

【国際特許分類第 7 版】

G 1 1 C 11/407
 G 0 6 F 1/06
 G 1 1 C 11/409
 // H 0 3 K 19/0175

【F I】

G 1 1 C 11/34 3 5 4 C
 G 1 1 C 11/34 3 6 2 S
 G 1 1 C 11/34 3 5 4 P
 G 0 6 F 1/04 3 1 0 A
 H 0 3 K 19/00 1 0 1 K

【手続補正書】

【提出日】平成 16 年 8 月 13 日 (2004.8.13)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 3

【補正方法】変更

【補正の内容】

【請求項 3】

前記クロック選択回路は、
 一端が 1 供給電圧に接続され、ゲートが前記選択信号に接続された第 1 P M O S トランジスタと、
 第 1 入力端子に前記データストローブ信号が印加され、第 2 入力端子に基準電圧が印加され、第 3 入力端子に前記第 1 P M O S トランジスタの他端が接続される第 1 バッファと、
 、
 一端が前記第 1 バッファの出力端子に接続され、他端が接地に接続され、ゲートに前記選択信号が印加される第 1 N M O S トランジスタと、
 第 1 クロック信号が印加される第 1 入力端子と、反転されたクロック信号を受け入れる第 2 入力端子を備えた第 2 バッファと、
 前記第 1 バッファの前記出力端子に接続された入力端子を備えたインバータと、
 前記選択信号と前記第 2 バッファの出力信号とを入力として論理演算をする第 1 ロジック回路と、
 前記第 1 ロジック回路の出力信号と前記インバータの出力信号とを入力として論理演算をする第 2 ロジック回路とを含むことを特徴とする請求項 1 に記載の半導体メモリ装置の入力回路。