

[51] Int. Cl.

H01L 29/786 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 200480033329.2

[45] 授权公告日 2009 年 1 月 14 日

[11] 授权公告号 CN 100452437C

[22] 申请日 2004.10.8

[21] 申请号 200480033329.2

[30] 优先权

[32] 2003. 11. 14 [33] US [31] 10/706,948

[86] 国际申请 PCT/US2004/033413 2004.10.8

[87] 国际公布 WO2005/053035 英 2005.6.9

〔85〕 进入国家阶段日期 2006.5.12

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 J·N·帕恩 J·G·佩尔兰

J·D·奇克

[56] 参考文献

US5500545A 1996.3.19

CN1070052A 1993.3.17

US2002/0115240A1 2002.8.22

US5153688A 1992. 10. 6

审查员 赵 慧

[74] 专利代理机构 北京戈程知识产权代理有限公司

代理人 程 伟

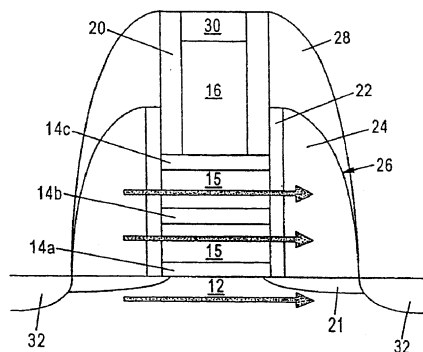
权利要求书2页 说明书7页 附图8页

[54] 发明名称

低能量多沟道全耗尽量子井互补式金氧半导体场效晶体管

[57] 摘要

一种多沟道半导体装置具有已完全或部分耗尽的量子井，并且对于超大型积体装置内，像是互补式金氧半晶体管(CMOSFET)，是特别有用的。例如，多沟道区域(15)设置在衬底(12)上，并具有形成于最上端沟道区域(15)上的栅极电极(16)，其间是藉由栅极氧化层(14c)来分隔。此多沟道(15)的垂直堆叠和栅极电极(16)允许在半导体装置内增加驱动电流，而不需增加由该装置所占据的硅区域。



1. 一种多沟道半导体装置，包括：
于衬底(12，50)上的第一绝缘层(14a，52)；
于该第一绝缘层上以及具有侧壁的第一沟道区域(15，54，54a，54b)；
于该第一沟道区域上的第二绝缘层(14b，52)；
于该第二绝缘层上以及具有侧壁的第二沟道区域(15a，54，54a，54b)；
于该第二沟道区域上的第三绝缘层(14c，52，52a，52b)；
于该第三绝缘层上以及具有侧壁的栅极电极(16，56，56a)；
于该栅极电极的侧壁上的氧化物衬里(60)；
于该氧化物衬里(60)上的栅极电极间隔物(64)；以及
于该第一和第二沟道区域的侧壁上以及该氧化物衬里(60)与该栅极电极间隔物(64)的至少一个上的源极和漏极区域(76)。

2. 如权利要求1所述的装置，其中该第一和第二沟道区域用第一导电型掺杂剂来轻掺杂，而该栅极电极用不同于该第一导电型的第二导电型掺杂剂来重掺杂。

3. 如权利要求2所述的装置，进一步包括在该衬底(12)上的升起式源极和漏极区域(40)，并接触该第一和第二沟道区域。

4. 一种形成多沟道半导体装置的方法，包括以下步骤：
于衬底(50)上形成堆叠，该堆叠包括至少二个通过绝缘层(52，52a，52b)而垂直地彼此分隔并与该衬底(50)分隔的轻掺杂沟道区域(54，54a，54b)，以及通过绝缘层(52，52a，52b)而与该沟道区域分隔的栅极电极(56a)；
于该栅极电极的侧壁上形成氧化物衬里(60)；
形成与该沟道区域(54)的侧壁接触的源极与漏极区域(76)；以及
于该栅极电极(56a)的该氧化物衬里(60)上形成栅极电极间隔物

(64)。

5. 如权利要求 4 所述的方法, 其中形成氧化物衬里(60)的该步骤包括于该栅极电极的侧壁上形成热氧化物衬里(60)。

6. 如权利要求 5 所述的方法, 其中于氧化物衬里(60)上形成栅极电极间隔物(64)的该步骤包括于该氧化物衬里(60)和该栅极电极(56a)上沉积氮化物(62), 并在分隔该栅极电极(56a)与该沟道区域(54)的绝缘层(52)上进行间隔物蚀刻终止。

7. 如权利要求 6 所述的方法, 其中形成堆叠的该步骤包括于形成该栅极电极间隔物(64)后干蚀刻该绝缘层(52)和沟道区域(54), 于分隔该沟道区域(54)和该衬底(50)的绝缘层(52)上终止该干蚀刻。

8. 如权利要求 7 所述的方法, 进一步包括于该干蚀刻后注入源极和漏极延伸区(68)于该衬底(50)中。

9. 如权利要求 8 所述的方法, 其中形成源极和漏极区域(76)的该步骤包括于注入该源极和漏极延伸区(68)之后, 沉积轻掺杂半导体层(70)在该堆叠和该栅极电极间隔物(64)上, 并沉积重掺杂半导体层(72)于该轻掺杂半导体层(70)上。

10. 如权利要求 9 所述的方法, 其中形成源极和漏极区域(76)的该步骤进一步包括干蚀刻该轻掺杂和重掺杂半导体层(70、72), 以在该沟道区域(54b)的侧壁上形成半导体间隔物(76), 以及进一步包括于该半导体间隔物(76)上形成装置间隔物(80)并使用该装置间隔物(80)掩蔽该源极和漏极延伸区(68)而进行源极和漏极注入于该衬底(50)中。

低能量多沟道全耗尽量子井互补式金氧半导体场效晶体管

技术领域

本发明系关于半导体装置和制造的领域，详言之，系关于多沟道装置。

背景技术

习知的金氧半导体场效晶体管(MOSFET)系透过驱动电流流经装置的源极和漏极间的沟道区域而操作。此沟道区域的导电性系藉由位于沟道表面上的导电栅极的电压的应用来调整，并与其绝缘。许多金氧半导体(MOS)集成电路制造公司，以及于许多大学和政府实验室内，持续努力改善 MOSFET 的驱动电流的速度和可用性，以减少它们对电力的消耗；并且改善他们的可靠度和辐射强度，来应用在较严格的远程环境中，包括外层空间。

在半导体的工艺上，其中一个目标就是要将可使用硅区域的使用率最大化。此势必要增强电子电路的微型化程度。详言之，对于给定的硅区域，希望将驱动电流达到最大值。如此包含设有多栅极的装置。例如，已创造出了双栅极装置，其中对于给定硅区域的驱动电流为双倍。而且，对于给定的硅区域，增进驱动电流的最大值，是所希望的。

发明内容

需要能提供一种增加晶体管驱动的 MOSFET，并同时减少栅极漏电流和栅极电容。由于需要最小化，譬如推向次 45nm 超大规模集成电路(ultra large scale integration, ULSI)迈进。如此电流驱动的增加，需在不会增加装置体积，或改变布局(layout)设计下获得。

由本发明的实施例可满足上述和其它的需求，该等实施例提供多沟道半导体装置，该多沟道半导体装置包括于衬底上的第一绝缘层和于该第一绝缘层上的第一沟道区域。第二绝缘层设于该第一沟道区域上。该第二沟道区域位于该第二绝缘层上，和第三绝缘层位于该第二

沟道区域上。栅极电极设于该第三绝缘层上。

本发明因此提供具有栅极电极和多沟道区域的装置，允许增加驱动电流而不会增加装置体积。

本发明的实施例亦满足上述的需求，该等实施例提供形成多沟道半导体装置的方法，该方法包括于衬底上形成堆叠，此堆叠包括至少二个通过绝缘层而垂直地彼此分隔并与该衬底分隔的轻掺杂沟道区域的步骤。堆叠的栅极电极藉由绝缘层而与该沟道区域分离。氧化层形成在栅极电极的侧壁，而源极和漏极区域接触该沟道区域的侧壁而形成。栅极电极间隔物形成于该栅极电极上的氧化物衬里上。

本发明方法允许制成的多沟道装置不会比先前装置占有更大面积，但是会较习知装置提供更多驱动电流。例如，本方法于次 45nm 应用上可发现特殊的效用。

由下列本发明的详细说明并结合所附图式，本发明的上述及其它特征、态样和优点将变得更为清楚。

附图说明

图 1 描绘依照本发明的实施例于已施行蚀刻的各层制造堆叠后，所形成的堆叠。

图 2 描绘依照本发明的实施例，图 1 的结构接着进行热氧化工艺和源极及漏极延伸注入。

图 3 描绘依照本发明的实施例，图 2 的结构接着进行轻掺杂硅沉积以及重掺杂硅沉积。

图 4 显示依照本发明的实施例，图 3 的结构于施行硅间隔物蚀刻后的结构。

图 5 描绘图 4 的结构接着进行栅极电极和硅间隔物上形成氧化物或氮化物间隔物。

图 6 显示依照本发明的实施例，图 5 的结构于源极和漏极注入以及于栅极电极中形成硅化物区域后的结构。

图 7 显示本发明的替代实施例系在图 2 的工艺流后，以及其中依照本发明的实施例形成升起式源极和漏极结构。

图 8 描绘依照本发明的实施例，图 7 的结构于形成氧化物或氮化

物间隔物以及形成硅化物区域于栅极电极中后的结构。

图 9 描绘于蚀刻各层之前，本发明的替代实施例中的各层。

图 10 显示依照本发明的实施例，图 9 的结构于蚀刻栅极电极和硬掩模后的结构。

图 11 显示图 10 的结构于栅极电极上形成热氧化物衬里并在栅极电极和硬掩模之上沉积栅极电极间隔物材料的结构。

图 12 描绘依照本发明的实施例，图 11 的结构接着进行于间隔物蚀刻以形成栅极电极间隔物。

图 13 显示依照本发明的实施例，图 12 的结构于施行干蚀刻制造堆叠后的结构。

图 14 显示依照本发明的实施例，图 13 的结构接着使用延伸注入工艺，其系使用湿蚀刻凹入堆叠而沉积硅于堆叠之上。

图 15 显示依照本发明的实施例，图 14 的结构接着匹配硅层以形成硅间隔物以及于栅极电极上形成硅化物区域。

图 16 描绘依照本发明的实施例，图 15 的结构接着沉积氮化物或氧化物、蚀刻该沉积的氮化物或氧化物以形成间隔物、和源极及漏极注入。

具体实施方式

本发明提出并解决在形成 MOSFET 及其它半导体装置中关于于给定硅区域的驱动电流最大化问题。某程度上藉由制造具有形成于衬底的多沟道区域的多沟道装置，使用绝缘层于垂直方向分隔该沟道区域和该衬底，而部分达成此问题。栅极电极设于最上端沟道区域上，用绝缘层插置于栅极电极和最上端沟道区域之间。于垂直方向形成源极和漏极区域，接触该多沟道区域。如此形成的垂直的半导体装置提供增加驱动电流流经多沟道而不会增加半导体装置需要的硅面积。

图 1 至图 6 说明依照本发明的实施例制造多沟道装置的方法。此说明将以范例方式讨论某些材料和工艺步骤，但是将了解此等材料 and 步骤只是举例用，而可使用其它的材料和工艺步骤而不会偏离本发明的范围。

图 1 描绘藉由干蚀刻先前已经形成的各层而制造堆叠 10 于衬底 12

上。图 1 的堆叠 10 包括第一氧化物层 14a、轻掺杂多晶硅(下文中称为硅)层 15、另一氧化物层 14b、第二轻掺杂硅层 15, 和第三氧化物层 14c。第三氧化物层 14c 形成图 1 中的栅极氧化物层。堆叠 10 包括重掺杂多晶硅沟道 16 和硬掩模 18, 系位于例如于该氮化硅上或其它的硬掩模材料上。

于本发明的较佳实施例中, 在形成下一层之前, 先掺杂于各层 15 中的硅。用如 p 型导电型的第一导电型掺杂硅层 15, 而用如 n 型导电型的第二导电型掺杂栅极电极 16。或者, 用 p 型掺杂剂掺杂栅极电极 16, 而用 n 型掺杂剂掺杂于沟道区域 15 中的硅。再者, 硅区域 15 和 16 可包括其它的半导体材料, 譬如锗化硅(SiGe)。

于形成堆叠 10 之后, 施行热氧化工艺, 其结果如图 2 中所描绘。例如, 如已知的堆叠可曝露于温度大约 900 度至大约 1000 度之间, 于适当的氧化作用环境中经过接近少于 10 分钟。必须严格的控制热氧化工艺, 尤其是于如次 45 nm ULSI 装置应用中, 以防止栅极电极 16 变成过度氧化。此情况很容易发生, 因为于如栅极电极 16 中的重掺杂硅, 允许氧化物生长较于如沟道区域 15 中的轻掺杂硅快速。

图 2 亦显示藉由源极和漏极延伸注入 21 所形成的源极和漏极延伸区。此可以用习知的方法施行。

图 3 显示图 2 的结构接着接续沉积轻掺杂硅层 22 和重掺杂硅层 24 后的结构。该层 22 和 24 系用于与栅极电极 16 中相同导电型掺杂剂来掺杂。因此, 于所述的实施范例中, 掺杂剂为 n 型掺杂剂。可藉由例如化学气相沉积(CVD)来施行硅层 22 和 24 的沉积。较佳为沉积掺杂的硅层而不要在完成沉积后用离子注入硅层来掺杂, 因为在此种配置情况下控制注入工艺以形成轻掺杂区域和重掺杂区域是很难控制的。然而, 亦可能施行注入以达成所希望的注入, 而本发明的某些实施例可施行此种注入。

然后执行硅蚀刻以形成硅间隔物 26, 该硅间隔物 26 包括轻掺杂区域 22 和重掺杂区域 24。硅间隔物 26 接触该第一和第二沟道区域 15, 但是藉由热氧化物 20 而与栅极电极 16 电性隔离。

图 5 显示图 4 的结构接着沉积绝缘间隔物材料和干蚀刻工艺以在硅间隔物 26 上形成间隔物 28。此绝缘材料例如可以是氧化物或氮化物

或其它适当的材料。

图 6 描绘图 5 的结构藉由例如蚀刻已去除硬掩模 18 后的结构。藉由习知的硅化物技术，包括沉积耐热金属层和退火以硅化物栅极电极 16 的部分，使硅化栅极电极 16 的部分形成硅化物区域 30。

用习知的方法施行源极和漏极注入工艺，而于衬底 12 中制造源极和漏极区域 32。于源极和漏极注入工艺期间，间隔物 26、28 用作为掩模。

图 6 中的箭号表示流经本发明装置中所制造多沟道的电子流例示。因此，虽然未增加半导体装置的宽度，但是多沟道(于图 6 中实施例的 3 个此种沟道)提供增加电子流和驱动电流。而且，亦减少栅极漏电流和栅极电容。

于本发明的某些实施例中，可用金属形成栅极电极 16，或将其完全硅化物。金属栅极可以是取代形成的金属栅极，或可以是开始即予制成。再者，一个或多个的绝缘层 14a 至 14c 可用高 k 值栅极介电材料组成，而非用相对低 k 值氧化物或其它材料组成。

图 7 和图 8 显示依照本发明的另一实施例所构成的结构。于图 2 的热氧化和源极及漏极的延伸注入步骤后，图 7 提供升起式源极和漏极形成工艺。此系例如藉由已知方式于衬底 12 上生长硅而施行，然后蚀刻硅以形成升起式源极和漏极 40。

于图 8 中，绝缘间隔物 42 形成于升起式源极和漏极 40 之上。间隔物 42 由例如氧化物或氮化物形成。硅化物区域 48 用先前说明的方式形成于栅极电极 16 上。

图 9 至图 16 描绘本发明的又一个实施例，该实施例较佳者，因为其可避免尤其在非常小装置上的热氧化作用风险。

图 9 显示于衬底 50 上的许多层。该等层包括例如由氧化物制成的绝缘层 52。可使用其它材料，例如像是高 k 值的栅极电介质。轻掺杂半导体沟道区域 54 设于绝缘层 52 之间。栅极电极层 56 设于最上层绝缘层 52 上。硬掩模层 58 设于栅极电极层 56 上。如较早的实施例说明，栅极电极层 56 可用重掺杂硅或锗化硅层制成，而沟道层 54 可用轻掺杂硅或锗化硅材料制成。于栅极电极层 56 和沟道层 54 中的掺杂剂的导电型为相反型。于所说明的实施范例中，为了说明和显示的目的，

栅极电极层 56 考虑为已使用 n 型掺杂剂重掺杂，而沟道层 54 将考虑为已使用 p 型掺杂剂轻掺杂。

于形成图 9 中的各层之后，施行干蚀刻以成形栅极的形状，结果如图 10 中所描绘。如此制造的栅极电极 56a，干蚀刻终止于栅极绝缘层 52 上，该栅极绝缘层 52 形成为堆叠中最上端绝缘层。于此时亦蚀刻硬掩模 58a。可使用习知的干蚀刻技术。

图 11 显示图 10 的结构于热氧化物衬里 60 已经形成于栅极电极 56a 上后的结构，以用作为栅极电极 56a 的保护。接续着热氧化物衬里 60 形成之后，藉由例如 CVD 沉积如氮化物的第二绝缘层。

然后施行间隔物干蚀刻步骤，其结果描绘于图 12 中。间隔物干蚀刻终止于上端绝缘层 52。干蚀刻形成栅极电极间隔物 64 于热氧化物衬里 60 上。习知的干蚀刻工艺可使用于此步骤。

然后使用干蚀刻施行第二蚀刻过程，以制造堆叠 66。蚀刻使用栅极电极间隔物 64 作为掩模，而蚀刻绝缘层 52 和沟道层 54。为了控制目的，干蚀刻终止于底部绝缘层 52，以防止损害硅衬底。

图 14 显示图 13 的结构接着施行如提供于栅极电极 56a 中相同型掺杂剂的延伸注入。注入制造延伸区 68 于衬底 50 中。于延伸注入后，施行湿蚀刻工艺，该湿蚀刻让栅极电极间隔物 64 下方的堆叠凹入。然而，若需要时施行第二次湿蚀刻以去除更多底部绝缘层 52 的部分，以使的形成如图 14 中所绘示的结构。包括沟道区域 54a 和绝缘区域 52a 的堆叠 66 凹入，允许延伸注入扩散到达栅极电极 56a 下方的沟道。

于凹入堆叠 66 后，施行多步骤多晶硅沉积工艺，以接续沉积轻掺杂多晶硅层 70 于堆叠 66 之上，接着重掺杂多晶硅层 72 于该轻掺杂多晶硅层之上。掺杂剂的导电型相同于栅极电极 56a 中与延伸注入区 68 中的导电型。于此实施例中，掺杂剂导电型为 n 型掺杂剂。多晶硅层 70、72 的沉积可以藉用化学气相沉积(CVD)或其它适当的方法。

图 15 显示图 14 的结构接着于干蚀刻硅层 70、72 以形成具有轻掺杂区域与重掺杂区域的硅间隔物（源极和漏极区域）76 后的结构。于此时，一旦藉用适当的蚀刻技术而已去除硬掩模后，硅化物可以接着形成于硅间隔物 76 上，以及于栅极电极 56a 中。

图 16 描绘图 15 的结构接着由例如氮化物或氧化物或其它适当的

材料所制成而形成的绝缘间隔物 80。然后施行源极和漏极注入而于衬底 50 中制造源极和漏极区域 82。

图 16 的结构绘示 3 个分隔的沟道区域 54b, 提供总共 4 个沟道(包括形成于衬底 50 中的沟道)。因此, 对于熟悉此项技术者将很清楚, 在不同的实施例中沟道区域的数目可以改变。

本发明因此提供了半导体装置和制造此半导体装置的方法, 该半导体装置较习知装置提供更多驱动电流, 但不会较先前装置占据更大硅面积。

虽然本发明已作了详细的说明和例示, 但应清楚了解这些说明和例示仅作显示和举例的用, 并非作为限制。本发明的范围仅受所附权利要求书各项术语内容的限制。

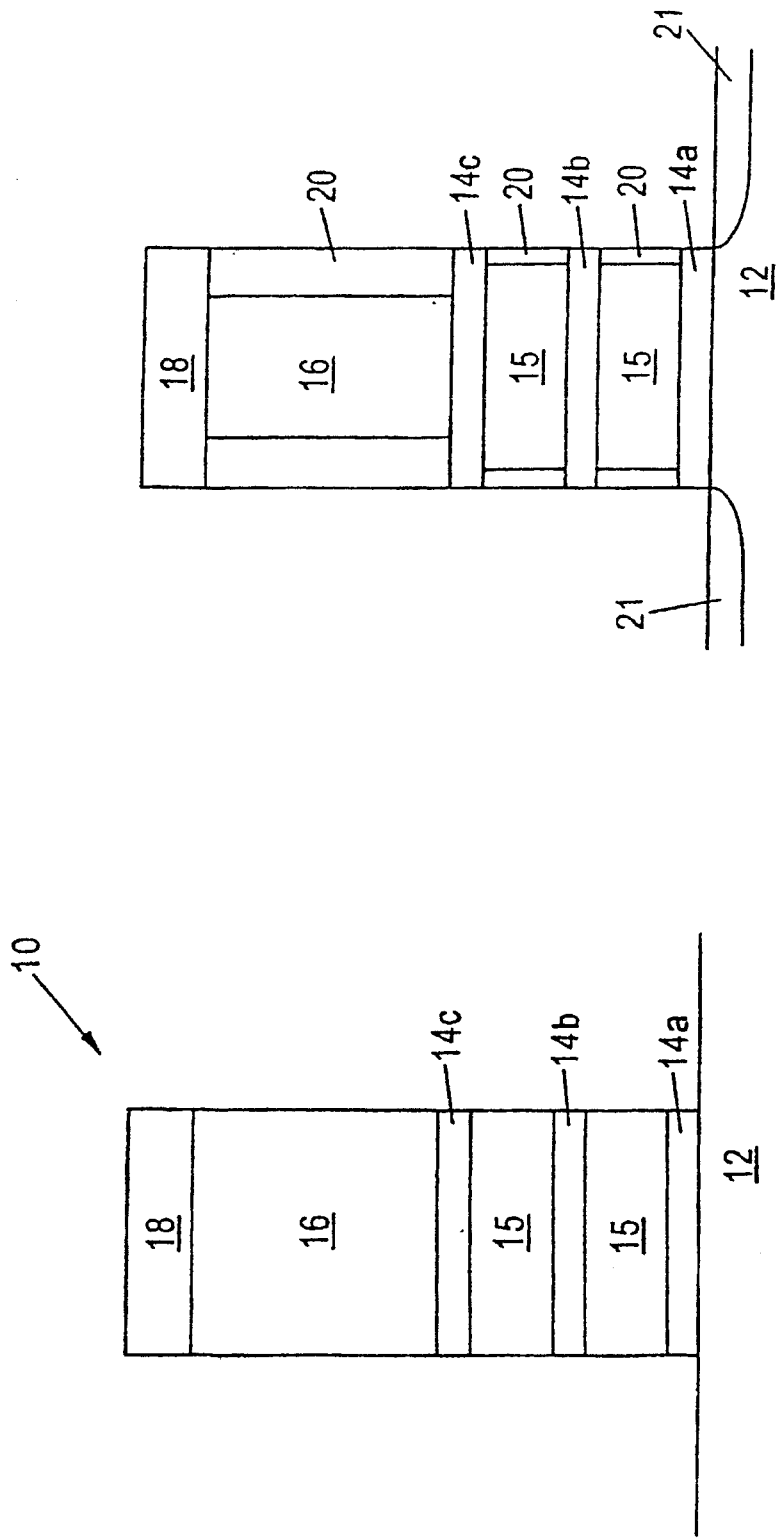


图2

图1

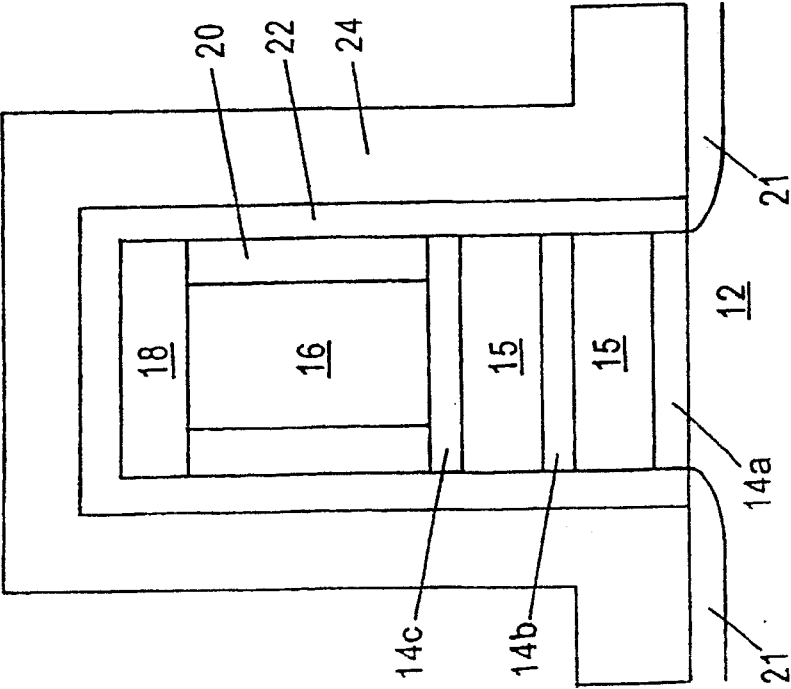


图3

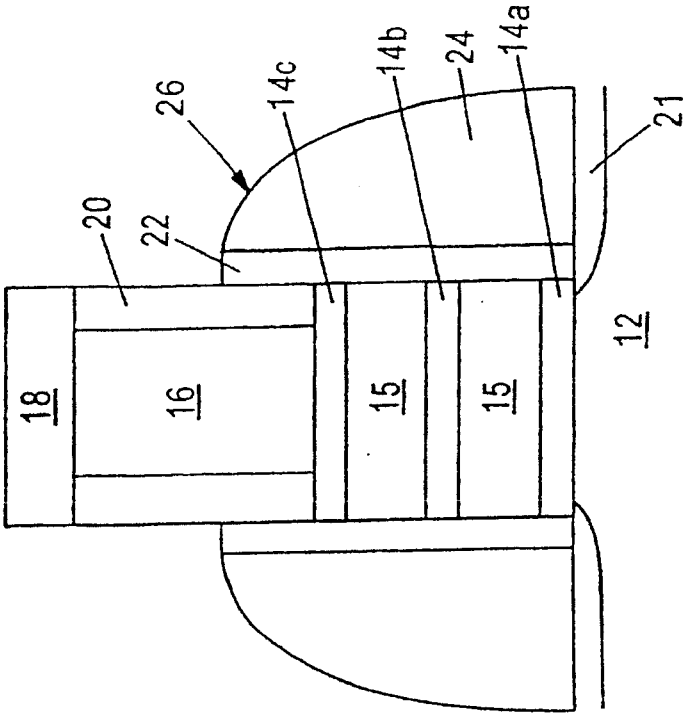


图4

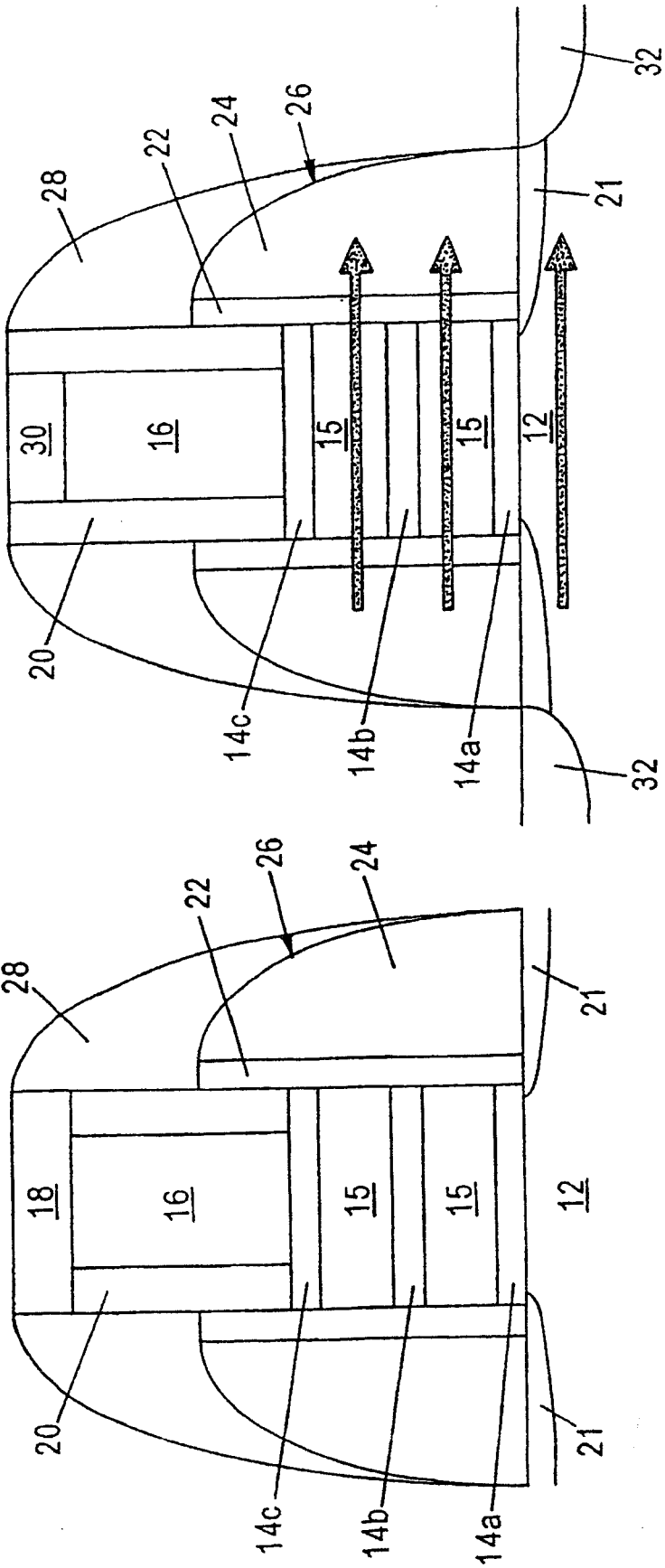


图6

图5

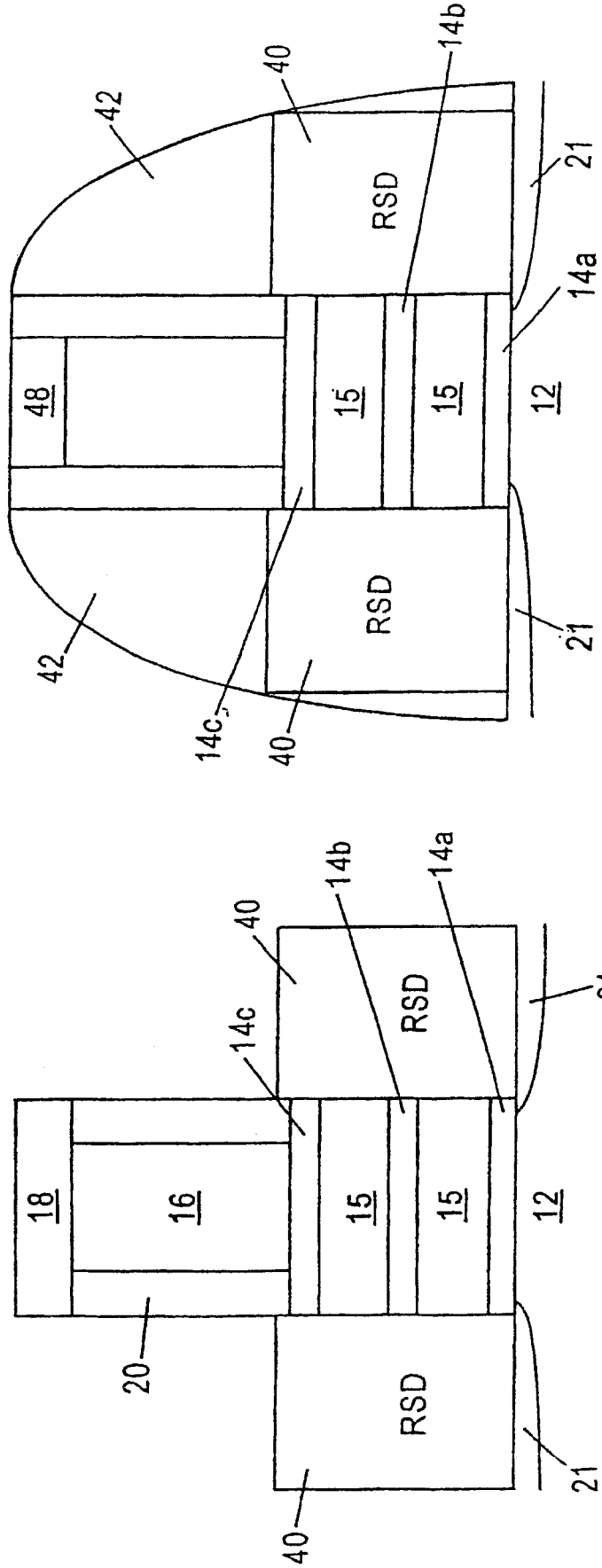


图8

图7

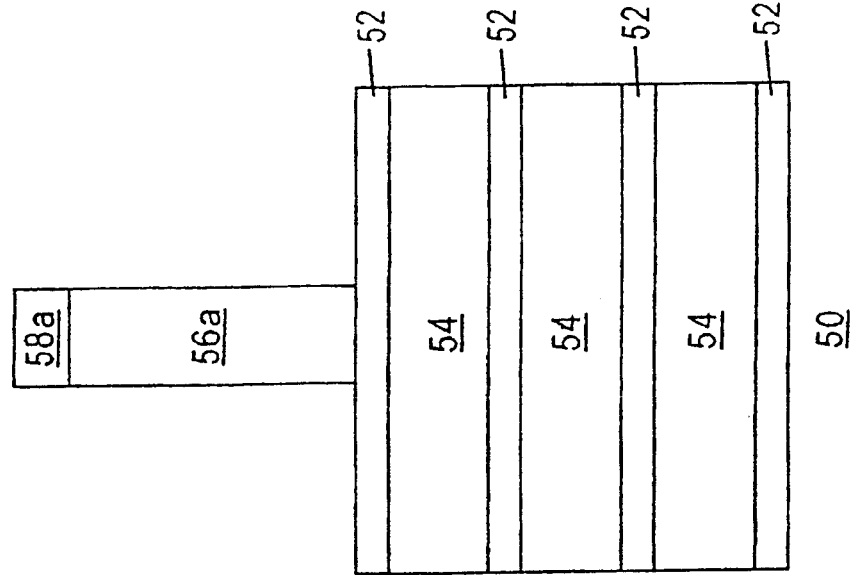


图 10

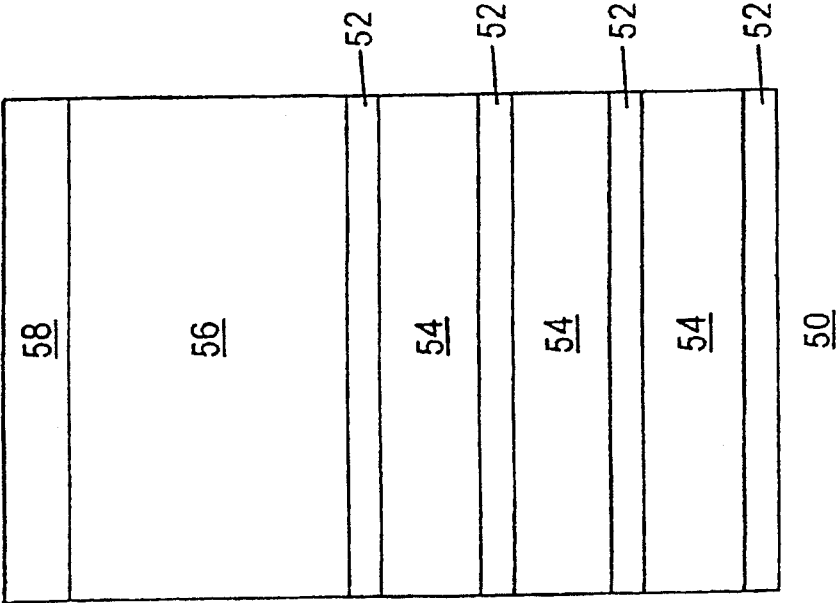


图 9

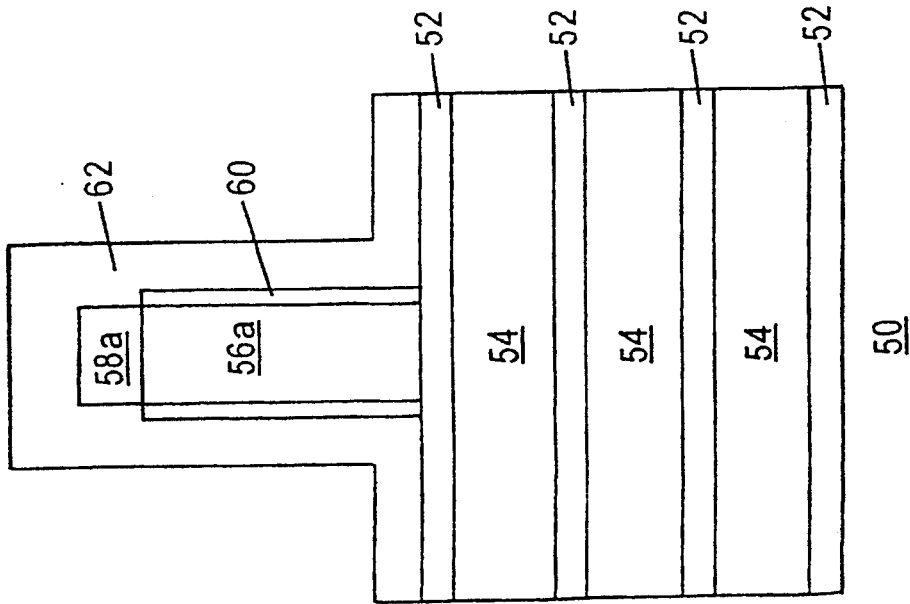


图 11

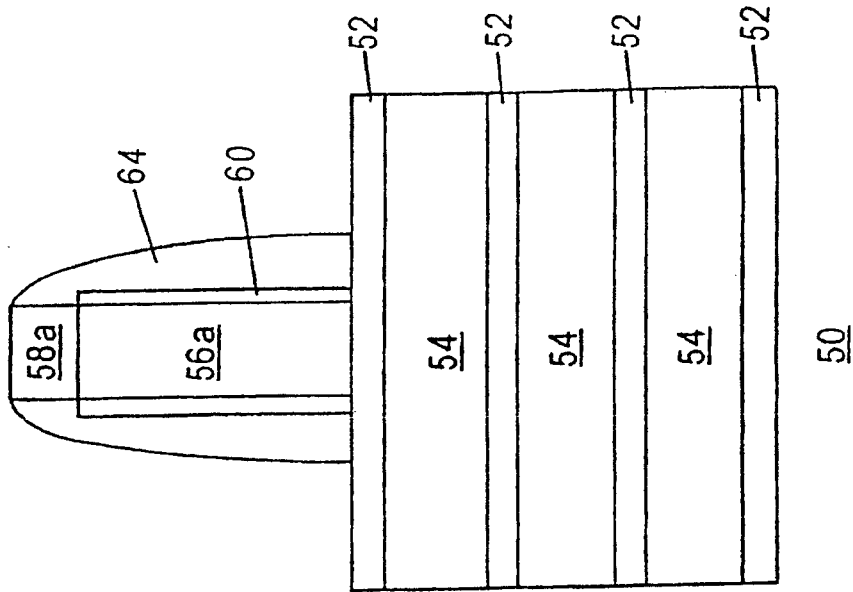


图 12

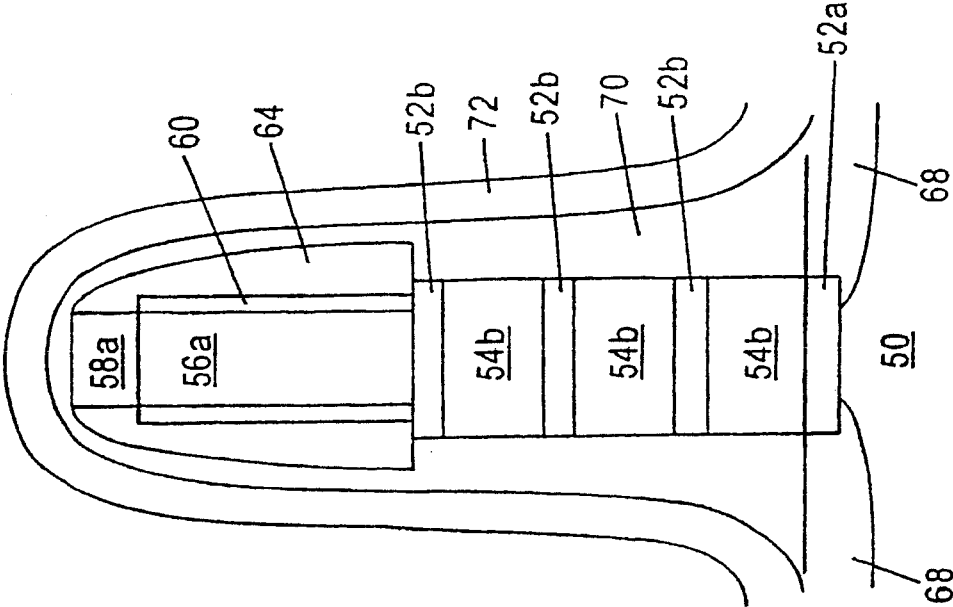


图14

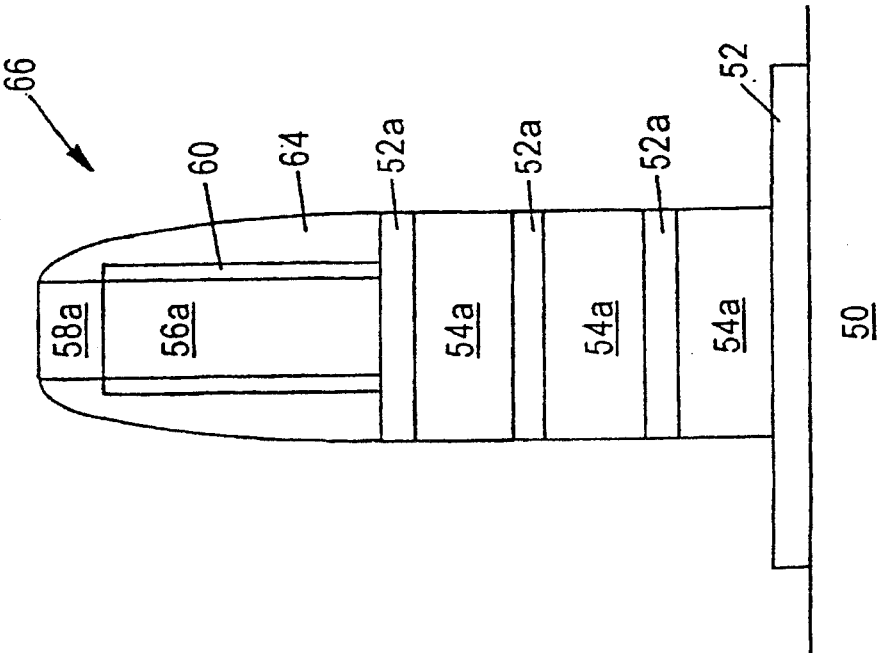


图13

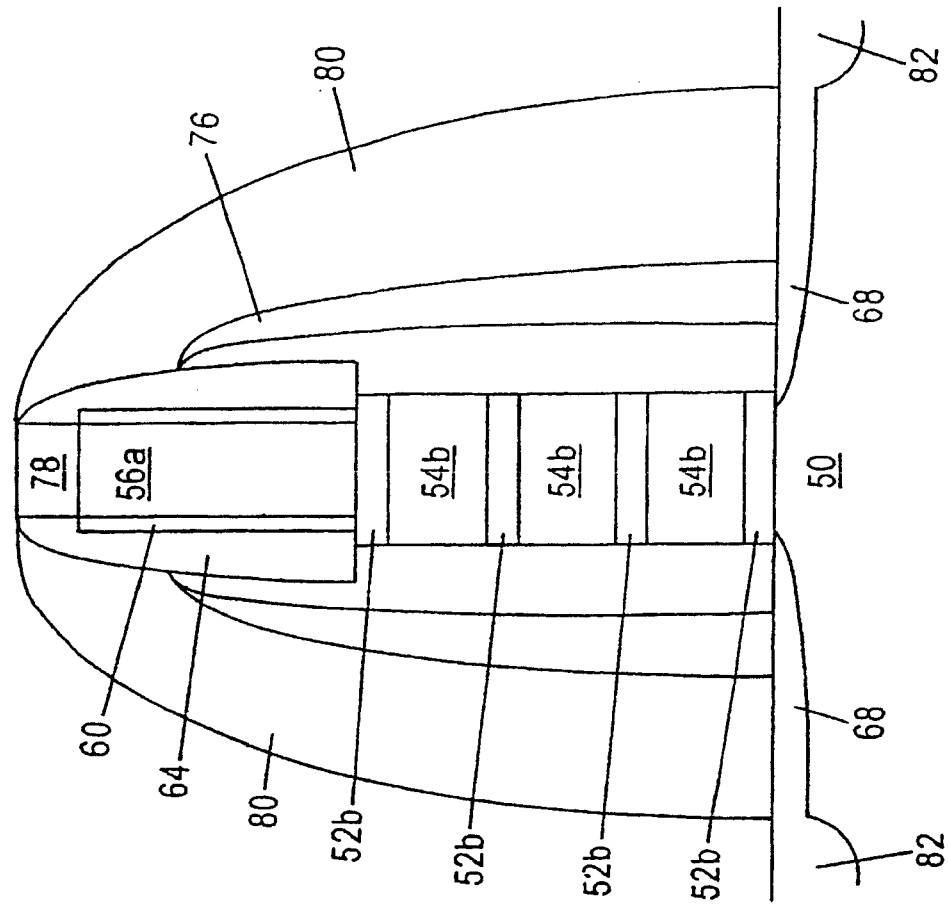


图 15

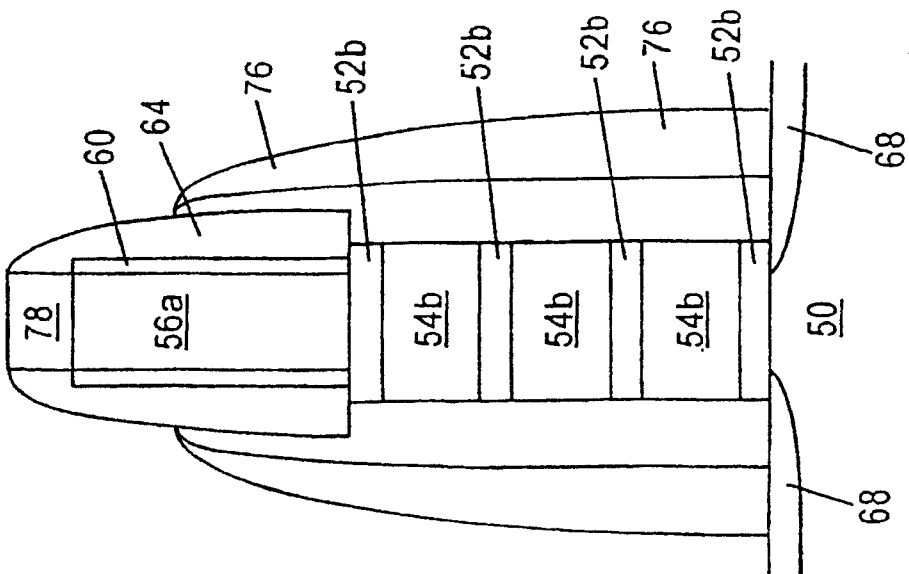


图 16