世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 **H04N 9/28**	**A1**	(11) 国際公開番号	**WO99/20052**
		(43) 国際公開日	1999年4月22日(22.04.99)

(21) 国際出願番号 PCT/JP97/03647

(22) 国際出願日 1997年10月9日(09.10.97)

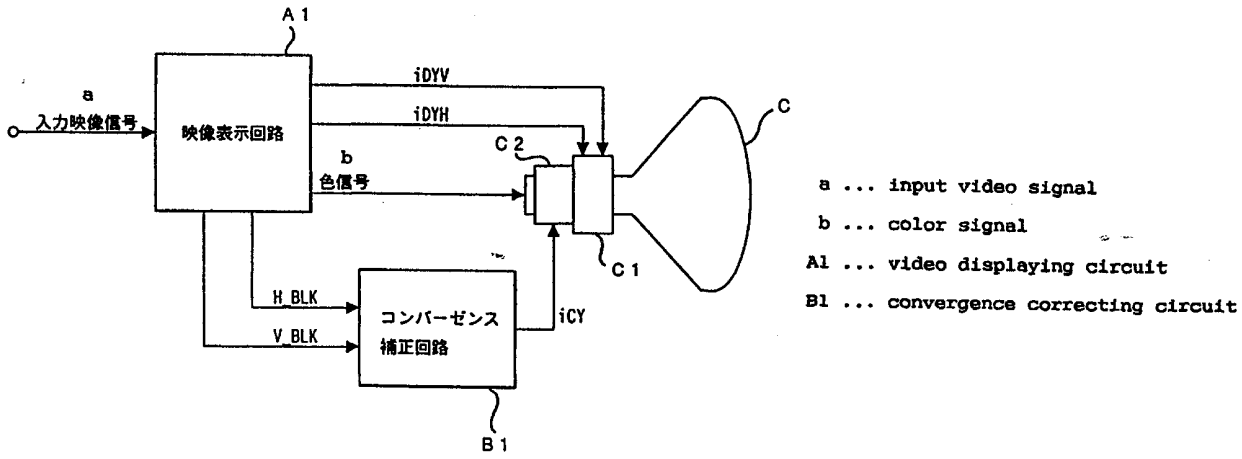
(71) 出願人（米国を除くすべての指定国について）
三菱電機株式会社
(MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP]
〒100 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
中條雄史(CHUJO, Takeshi)[JP/JP]
〒100 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内 Tokyo, (JP)
(74) 代理人
弁理士 宮田金雄, 外(MIYATA, Kaneo et al.)
〒100 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内 Tokyo, (JP)

(81) 指定国 CN, JP, KR, MX, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類
国際調査報告書

(54)Title: DIGITAL CONVERGENCE CORRECTING DEVICE AND DISPLAY DEVICE

(54)発明の名称 デジタルコンバーゼンス補正装置及びディスプレイ装置



(57) Abstract

The deterioration of the correction accuracy of a digital convergence correcting device which occurs when the relation between a screen raster and an effective area of picture changes is prevented. The vertical displaying range detecting signal corresponding to the vertical position of a video displaying range on the screen is generated based on a vertical deflecting current and an address counter which generates the reading-out address of correcting data is controlled based on the detecting signal.

(57)要約

画面ラスタと有効画面との関係が変化した場合におけるデジタルコンバーゼンス補正装置の補正精度の低下防止が課題である。

垂直偏向電流に基づいて画面上における映像表示範囲の垂直方向の位置に相当する垂直表示範囲検出信号を生成し、この信号に基づいて補正データの読み出しアドレスを生成するアドレスカウンタを制御する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦
AL アルバニア
AM アルメニア
AT オーストリア
AU オーストラリア
AZ アゼルバイジャン
BA ボズニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルギナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CF 中央アフリカ
CG コンゴー
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CU キューバ
CY キプロス
CZ チェッコ
DE ドイツ
DK デンマーク
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE グルジア
GH ガーナ
GM ガンビア
GN ギニア
GW ギニア・ビサオ
GR ギリシャ
HR クロアチア
HU ハンガリー
ID インドネシア
IE アイルランド
IL イスラエル
IN インド
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国
KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリ・ランカ
LR リベリア
LS レソト
LT リトアニア
LU ルクセンブルグ
LV ラトヴィア
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア共和国
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノールウェー
NZ ニュー・ジーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シエラ・レオネ
SN セネガル
SZ スワジランド
TD チャード
TG トーゴー
TJ タジキスタン
TM トルクメニスタン
TR トルコ
TT トリニダッド・トバゴ
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴィェトナム
YU ユーゴースラビア
ZA 南アフリカ共和国
ZW ジンバブエ

明　細　書

デジタルコンバーゼンス補正装置及びディスプレイ装置

技術分野

本発明は、デジタルコンバーゼンス補正装置及びデジタルコンバーゼンス補正装置を備えたディスプレイ装置に関する。

背景技術

デジタルコンバーゼンス補正装置は、一般に、ＣＲＴ画面上の複数の点をコンバーゼンス補正点と定め、各コンバーゼンス補正点におけるコンバーゼンス補正量を予め求め、補正データとしてメモリに記憶している。そして、このメモリから画面走査に同期して補正データを読み出し、読み出された補正データをアナログ信号に変換し、さらにローパスフィルタにより補間（平滑化）して、コンバーゼンス補正信号を生成し、ＣＲＴのコンバーゼンス・ヨーク・コイル（ＣＹコイル）を駆動している。

上記コンバーゼンス補正量は、ＣＲＴ画面上の位置により決まる値である。即ち、ＣＲＴ画面上の位置に１対１に対応している。このため、ＣＲＴ画面上の位置に１対１に対応するように複数のコンバーゼンス補正点を予め決定し、これらの各コンバーゼンス補正点について予め求められたコンバーゼンス補正量を補正データとしてメモリに記憶している。

従って、ＣＲＴ画面上の有効な表示領域である有効画面と、ＣＲＴ画面上の走査領域である画面ラスタとの関係が変動した場合には、画面走査に同期して読み出される補正データと、ＣＲＴ画面上のコンバーゼンス補正点とが対応しなくなってしまう。

例えば、画面ラスタがよりオーバースキャン方向へ拡大し、或いは、

よりアンダースキャン方向へ縮小した場合や、画面ラスタの縦横比が変化した場合や、画面ラスタが有効画面内で上下左右に移動したような場合に、この様な問題が生ずる。特に、異なる走査周波数の映像信号を入力することができるディスプレイ装置において、偏向周波数が変化することにより、画面ラスタとＣＲＴの有効画面との関係が変化する場合があり、この様な場合に正しくコンバーゼンス補正を行うことができない。

この様な画面ラスタとＣＲＴの有効画面との関係が変化する場合にもコンバーゼンス補正を行うことができるデジタルコンバーゼンス補正装置が、例えば、特開昭６０－３３７９１号公報に開示されている。このコンバーゼンス補正装置は、補正データを記憶するメモリを各走査周波数ごとに備え、ローパスフィルタも各走査周波数ごとに備えて構成され、入力される映像信号の走査周波数を検出し、検出された走査周波数に対応するメモリ及びローパスフィルタを選択して使用するものである。

しかしながら、適切にコンバーゼンス補正を行うには、ＣＲＴ画面上に多数のコンバーゼンス補正点を設ける必要があり、これらの各コンバーゼンス補正点における補正データを記憶するためには、容量の大きなメモリが必要になる。従って、この様なメモリを走査周波数ごとに備えたコンバーゼンス補正装置は高価となり、ディスプレイ装置も高価になるという問題があった。

また、各走査周波数に対応したローパスフィルタを備えることにより回路が複雑となり、コンバーゼンス補正装置がさらに高価となって、ディスプレイ装置もさらに高価になるという問題があった。

また、このコンバーゼンス補正装置は、走査周波数により、画面ラスタとＣＲＴの有効画面との関係を特定しているため、同一の走査周波数の映像信号が入力された場合であって、画面ラスタとＣＲＴの有効画面との関係が異なる場合には、正しくコンバーゼンス補正を行うことがで

きないという問題があった。

一方、走査周波数の異なる映像信号についてコンバーゼンス補正を行う比較的安価なデジタルコンバーゼンス補正装置が、例えば、特開平７－２０８０９号公報に開示されている。このコンバーゼンス補正装置は、画面走査に同期することなく、一定の周期でメモリから補正データを読み出している。このため、走査周波数の異なる映像信号が入力された場合でも、補正データの読み出される時間間隔を一定とすることができ、ローパスフィルタを変更することなく走査周波数の異なる映像信号に対応することができる。即ち、このコンバーゼンス補正装置は、１個のローパスフィルタのみを備えて構成できるため、走査周波数の異なる映像信号に対応できるコンバーゼンス補正装置を比較的安価に提供することができる。しかしながら、容量の大きなメモリが必要であることに変わりはない。また、画面ラスタとＣＲＴの有効画面との関係が異なる場合には、正しくコンバーゼンス補正を行うことができない。

発明の開示

本発明によるデジタルコンバーゼンス補正装置は、画面上の位置に１対１に対応する各コンバーゼンス補正点について補正データを記憶するメモリと、メモリに対する読み出しアドレスを画面走査に同期して生成するアドレスカウンタとを備え、読み出された補正データに基づいてコンバーゼンス補正信号を生成するデジタルコンバーゼンス補正装置であって、垂直偏向電流に基づいて、画面上における映像表示範囲の垂直方向の位置に相当する垂直表示範囲検出信号を生成し、出力する垂直表示範囲検出回路と、この垂直表示範囲検出信号に基づいて、アドレスカウンタを制御するアドレス制御回路とを備えて構成される。

画面上の映像表示範囲の垂直方向の位置に相当する垂直表示範囲検出

信号に基づいて、アドレスカウンタを制御することにより、画面上の映像表示範囲に応じてメモリから補正データを読み出すことができる。このため、垂直方向に関して画面ラスタと有効画面との関係が変化した場合でも、高精度のコンバーゼンス補正を行うことができる。即ち、オーバースキャン状態の場合であっても、画面上の位置に１対１に対応している各コンバーゼンス補正点に対応するように、画面走査に同期してメモリから補正データを読み出すことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、垂直表示範囲検出回路が、垂直偏向電流の電流値を所定の比較レベルと比較するコンパレータを備え、アンダースキャン状態の場合、画面ラスタの垂直方向の両端の位置に相当するレベルを比較レベルとし、オーバースキャン状態の場合、有効画面の垂直方向の両端の位置に相当するレベルを比較レベルとする。

このため、垂直方向に関して画面ラスタと有効画面との関係が変化した場合でも、映像表示範囲の垂直方向の位置に相当する垂直表示範囲検出信号を生成することができ、所望のコンバーゼンス補正を行うことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、アドレス制御回路が、オーバースキャン状態の場合における垂直表示範囲検出信号を垂直有効画面信号として予め記憶保持し、アンダースキャン状態の場合に、この垂直有効画面信号の変化タイミングと、垂直表示範囲検出信号の変化タイミングのズレを求め、このタイミングのズレを読み出しアドレスに換算し、アドレスカウンタへ出力する。

このため、垂直方向に関して画面ラスタと有効画面との関係が変化した場合でも、所望のコンバーゼンス補正を行うことができる。即ち、アンダースキャン状態の場合であっても、画面上の位置に１対１に対応し

ている各コンバーゼンス補正点に対応するように、画面走査に同期してメモリから補正データを読み出すことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、垂直表示範囲検出信号に基づいて、画面上の垂直方向における映像表示範囲を表示する表示範囲指示信号を出力する指示信号発生回路を備えて構成される。

このため、垂直方向に関する表示範囲指示信号を画面上に表示することができ、画面ラスタの垂直方向の位置と有効画面の垂直方向の位置が一致する場合の垂直表示範囲検出信号を容易に求めることができる。

また、本発明によるディスプレイ装置は、垂直表示範囲検出信号に基づいて表示範囲指示信号を出力する指示信号発生回路を有する上記デジタルコンバーゼンス補正装置と、このデジタルコンバーゼンス補正回路からの表示範囲指示信号に基づき映像表示を行う映像表示回路とを備えて構成される。

このため、垂直方向に関する表示範囲指示信号を画面上に表示することができ、画面ラスタの垂直方向の位置と有効画面の垂直方向の位置が一致する場合の垂直表示範囲検出信号を容易に求めることができる。

また、本発明によるデジタルコンバーゼンス補正装置は、アドレス制御回路が、オーバースキャン状態の場合に、垂直同期信号及び垂直表示範囲検出信号に基づき、最初の水平走査期間における読み出しアドレスを、垂直同期信号の変化時から垂直表示範囲検出信号の変化時まで、水平走査期間ごとにアドレスカウンタへ出力する

このため、オーバースキャン状態の場合に、画面上の映像表示範囲の上端又はその近辺において、コンバーゼンス補正信号が急激に変化し、表示画像が乱れることを防止することができる。

また、本発明によるデジタルコンバーゼンス補正装置は、アドレス制御回路は、オーバースキャン状態の場合に、垂直同期信号及び垂直表示

範囲検出信号に基づき、最後の水平走査期間における読み出しアドレスを、垂直表示範囲検出信号の変化時から垂直同期信号の変化時までの水平走査期間ごとにアドレスカウンタへ出力する。

このため、オーバースキャン状態の場合に、画面上の映像表示範囲の下端又はその近辺において、コンバーゼンス補正信号が急激に変化し、表示画像が乱れることを防止することができる。

また、本発明によるディスプレイ装置は、上記デジタルコンバーゼンス補正装置を備えて構成される。このため、垂直方向に関して画面ラスタと有効画面との関係が変化した場合でも、コンバーゼンス補正の精度が低下することがなく、高品質の映像表示を行うことができる。

本発明によるデジタルコンバーゼンス補正装置は、画面上の位置に1対1に対応する各コンバーゼンス補正点について補正データを記憶するメモリと、メモリに対する読み出しアドレスを画面走査に同期して生成するアドレスカウンタとを備え、読み出された補正データに基づいてコンバーゼンス補正信号を生成するデジタルコンバーゼンス補正装置であって、水平偏向電流に基づいて、画面上の映像表示範囲の水平方向の位置に相当する水平表示範囲検出信号を生成し、出力する水平表示範囲検出回路と、この水平表示範囲検出信号に基づいて、アドレスカウンタを制御するアドレス制御回路とを備えて構成される。

画面上の映像表示範囲の水平方向の位置に相当する水平表示範囲検出信号に基づいて、アドレスカウンタを制御することにより、画面上の映像表示範囲に応じてメモリから補正データを読み出すことができる。このため、水平方向に関して画面ラスタと有効画面との関係が変化した場合でも、高精度のコンバーゼンス補正を行うことができる。即ち、オーバースキャン状態の場合であっても、画面上の位置に1対1に対応している各コンバーゼンス補正点に対応するように、画面走査に同期してメ

モリから補正データを読み出すことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、水平表示範囲検出回路が、水平偏向電流の電流値を所定の比較レベルと比較するコンパレータを備え、アンダースキャン状態の場合、画面ラスタの水平方向の両端の位置に相当するレベルを比較レベルとし、オーバースキャン状態の場合、有効画面の水平方向の両端の位置に相当するレベルを比較レベルとする。

このため、水平方向に関して画面ラスタと有効画面との関係が変化した場合でも、映像表示範囲の水平方向の位置に相当する水平表示範囲検出信号を生成することができ、所望のコンバーゼンス補正を行うことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、アドレス制御回路が、オーバースキャン状態の場合における水平表示範囲検出信号を水平有効画面信号として予め記憶保持し、アンダースキャン状態の場合に、この水平有効画面信号の変化タイミングと、水平表示範囲検出信号の変化タイミングのズレを求め、このタイミングのズレを読み出しアドレスに換算し、アドレスカウンタへ出力する。

このため、水平方向に関して画面ラスタと有効画面との関係が変化した場合でも、所望のコンバーゼンス補正を行うことができる。即ち、アンダースキャン状態の場合であっても、画面上の位置に１対１に対応している各コンバーゼンス補正点に対応するように、画面走査に同期してメモリから補正データを読み出すことができる。

また、本発明によるディスプレイ装置は、上記デジタルコンバーゼンス補正装置を備えて構成される。このため、水平方向に関して画面ラスタと有効画面との関係が変化した場合でも、コンバーゼンス補正の精度が低下することがなく、高品質の映像表示を行うことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、水平表示範囲検出信号に基づいて、画面上の水平方向における映像表示範囲を表示する表示範囲指示信号を出力する指示信号発生回路を備えて構成される。

このため、水平方向に関する表示範囲指示信号を画面上に表示することができ、画面ラスタの水平方向の位置と有効画面の水平方向の位置が一致する場合の水平表示範囲検出信号を容易に求めることができる。

また、本発明によるディスプレイ装置は、水平表示範囲検出信号に基づいて表示範囲指示信号を出力する表示範指示信号発生回路を有する上記デジタルコンバーゼンス補正装置と、このデジタルコンバーゼンス補正回路からの表示範囲指示信号に基づき映像表示を行う映像表示回路とを備えて構成される。

このため、水平方向に関する表示範囲指示信号を画面上に表示することができ、画面ラスタの水平方向の位置と有効画面の水平方向の位置が一致する場合の水平表示範囲検出信号を容易に求めることができる。

また、本発明によるデジタルコンバーゼンス補正装置は、画面上の位置に１対１に対応する各コンバーゼンス補正点について補正データを記憶するメモリと、メモリに対する読み出しアドレスを画面走査に同期して生成するアドレスカウンタとを備え、読み出された補正データに基づいてコンバーゼンス補正信号を生成するデジタルコンバーゼンス補正装置であって、垂直偏向電流に基づいて、画面上における映像表示範囲の垂直方向の位置に相当する垂直表示範囲検出信号を生成し、出力する垂直表示範囲検出回路と、水平偏向電流に基づいて、画面上における映像表示範囲の水平方向の位置に相当する水平表示範囲検出信号を生成し、出力する水平表示範囲検出回路と、垂直表示範囲検出信号及び水平表示範囲検出信号に基づいて、アドレスカウンタを制御するアドレス制御回路とを備えて構成される。

垂直表示範囲検出信号と水平表示範囲検出信号を生成し、これらの信号に基づいて、アドレスカウンタを制御することにより、画面上の映像表示範囲に応じてメモリから補正データを読み出すことができる。このため、垂直方向及び水平方向のいずれに関して画面ラスタと有効画面との関係が変化した場合でも、高精度のコンバーゼンス補正を行うことができる。即ち、オーバースキャン状態の場合であっても、画面上の位置に1対1に対応している各コンバーゼンス補正点に対応するように、画面走査に同期してメモリから補正データを読み出すことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、垂直表示範囲検出回路が、垂直偏向電流の電流値を所定の比較レベルと比較するコンパレータを備え、アンダースキャン状態の場合、画面ラスタの垂直方向の両端の位置に相当するレベルを比較レベルとし、オーバースキャン状態の場合、有効画面の垂直方向の両端の位置に相当するレベルを比較レベルとし、水平表示範囲検出回路が、水平偏向電流の電流値を所定の比較レベルと比較するコンパレータを備え、アンダースキャン状態の場合、画面ラスタの水平方向の両端の位置に相当するレベルを比較レベルとし、オーバースキャン状態の場合、有効画面の水平方向の両端の位置に相当するレベルを比較レベルとする。

このため、画面ラスタと有効画面との関係が変化した場合でも、映像表示範囲の垂直方向の位置に相当する垂直表示範囲検出信号及び映像表示範囲の水平方向の位置に相当する水平表示範囲検出信号を生成することができ、所望のコンバーゼンス補正を行うことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、アドレス制御回路が、オーバースキャン状態の場合における垂直表示範囲検出信号を垂直有効画面信号として予め記憶保持するとともに、オーバースキャン状態の場合における水平表示範囲検出信号を水平有効画面信号として

予め記憶保持し、アンダースキャン状態の場合に、垂直有効画面信号の変化タイミングと、垂直表示範囲検出信号の変化タイミングのズレを求めるとともに、水平有効画面信号の変化タイミングと、水平表示範囲検出信号の変化タイミングのズレを求め、これらのタイミングのズレを読み出しアドレスに換算し、アドレスカウンタへ出力する。

このため、垂直方向及び水平方向のいずれに関して画面ラスタと有効画面との関係が変化した場合でも、所望のコンバーゼンス補正を行うことができる。即ち、アンダースキャン状態の場合であっても、画面上の位置に１対１に対応している各コンバーゼンス補正点に対応するように、画面走査に同期してメモリから補正データを読み出すことができる。

また、本発明によるディスプレイ装置は、上記デジタルコンバーゼンス補正装置を備えて構成される。このため、垂直方向及び水平方向のいずれに関して画面ラスタと有効画面との関係が変化した場合でも、コンバーゼンス補正の精度が低下することがなく、高品質の映像表示を行うことができる。

また、本発明によるデジタルコンバーゼンス補正装置は、垂直表示範囲検出信号及び水平表示範囲検出信号に基づいて、画面上における映像表示範囲を表示する表示範囲指示信号を出力する指示信号発生回路を備えて構成される。

このため、垂直方向及び水平方向に関する表示範囲指示信号を画面上に表示することができ、有効画面に一致する垂直表示範囲検出信号及び水平表示範囲検出信号を容易に求めることができる。

また、本発明によるディスプレイ装置は、垂直表示範囲検出信号及び水平表示範囲検出信号に基づいて表示範囲指示信号を出力する表示範指示信号発生回路を有する上記デジタルコンバーゼンス補正装置と、このデジタルコンバーゼンス補正回路からの表示範囲指示信号に基づき映像

表示を行う映像表示回路とを備えて構成される。

このため、垂直方向及び水平方向に関する表示範囲指示信号を画面上に表示することができ、有効画面に一致する垂直表示範囲検出信号及び水平表示範囲検出信号を容易に求めることができる。

図面の簡単な説明

図１は、実施の形態１によるディスプレイ装置の概略構成を示したブロック図である。

図２は、図１に示したコンバーゼンス補正回路Ｂ１の一構成例を示したブロック図である。

図３は、メモリ６及び１ビットラッチ７の動作について説明するための説明図である。図３の（ａ）は１ビットラッチ７の具体的な構成例を示した図であり、（ｂ）はメモリ６から順に読み出されたデータがシリアルデータに変換される様子を示した図であり、（ｃ）は各シリアルデータが、ＣＲＴ画面上の位置に１対１に対応している様子を示した図である。

図４は、図２に示した１ビットＤＡＣ（８）の一構成例を示したブロック図である。

図５は、図４に示した１ビットＤＡＣ（８）における主要な信号の変化を、ゲートパルスが常に高レベルの場合について示したタイミングチャートである。

図６は、図２に示した１ビットＤＡＣ（８）における主要な信号の変化を、異なる２つの水平偏向周波数の場合について示したタイミングチャートであり、図６の（Ｂ）は（Ａ）の１／２倍の周波数の水平ブランキングパルスＨ＿ＢＬＫが入力された場合である。

図７は、実施の形態２によるデジタルコンバーゼンス補正装置の要部

の一例を示した図であり、図１に示したゲートパルス発生回路１３の構成を示した回路図である。

図８は、図７に示したゲートパルス発生回路における主要な信号の変化を示したタイミングチャートである。

図９は、実施の形態３によるディスプレイ装置の要部の一例を示した図であり、図１に示したデジタルコンバーゼンス補正装置の他の構成例を示したブロック図である。

図１０は、図９に示した１ビットＤＡＣ（８Ａ）の一構成例を示したブロック図である。

図１１は、図１０に示した１ビットＤＡＣにおける主要な信号の変化を、走査周波数が変化した場合について示したタイミングチャートである。

図１２は、表示範囲の一例を示した図である。図１２の（ａ）は、画面ラスタがＣＲＴの有効画面よりも大きいオーバースキャン状態の場合であり、（ｂ）は、画面ラスタがＣＲＴの有効画面よりも小さいアンダースキャン状態の場合である。

図１３は、実施の形態４によるディスプレイ装置の概略構成を示したブロック図である。

図１４は、図１３に示した偏向電流検出回路Ｅ１、Ｅ２の一構成例を示した図である。

図１５は、図１３に示した偏向電流検出回路Ｅ１、Ｅ２の他の構成例を示した図である。

図１６は、図１３に示したコンバーゼンス補正回路Ｂ２の一構成例を示したブロック図である。

図１７は、図１６に示した垂直表示範囲検出回路１７の一構成例を示した図である。

図１８は、図１７に示した垂直表示範囲検出回路１７の各信号の変化の一例を示した図である。

図１９は、図１６に示した水平表示範囲検出回路１８の一構成例を示した図である。

図２０は、図１９に示した水平表示範囲検出回路１８の各信号の変化の一例を示した図である。

図２１の（ａ）～（ｃ）は、垂直表示範囲検出信号Ｖ＿ＤＩＳと水平表示範囲検出信号Ｈ＿ＤＩＳの説明図である。図２１の（ａ）は、オーバースキャン状態の場合であり、（ｂ）は、アンダースキャン状態の場合であり、（ｃ）は、画面ラスタと有効画面が一致する場合を示している。

図２２は、アンダースキャン状態の場合における、アドレス制御回路１９の動作を説明するための説明図であり、図２２の（ａ）が、垂直方向のタイミングのズレを示しており、（ｂ）が、水平方向のタイミングのズレを示している。

図２３は、表示範囲とメモリ６内の補正データとの関係（メモリアドレスマッピング）の一例を示した図である。図２３の（ａ）がオーバースキャン状態でのメモリアドレスマッピングを示しており、（ｂ）がアンダースキャン状態でのメモリアドレスマッピングを示している。

図２４は、図１６に示した１ビットＤＡＣ（８Ｂ）の一構成例を示したブロック図である。

図２５は、実施の形態５によるディスプレイ装置の概略構成を示したブロック図である。

図２６は、図２５に示したデジタルコンバーゼンス補正回路Ｂ３の一構成例を示したブロック図である。

図２７は、図２６に示した指示信号発生回路２０の一構成例を示した

ブロック図である。

図２８は、図２５に示した映像表示回路Ａ２が表示範囲指示信号ＨＶ＿ＣＳＬをＣＲＴ画面上に表示した場合の様子を、主な信号とともに示した図である。

図２９は、実施の形態６によるディスプレイ装置の要部の一例を示した図であり、図２５に示したデジタルコンバーゼンス装置Ｂ３の他の構成例を示したブロック図である。

図３０は、図２９中の１ビットＤＡＣ（８Ｃ）の一構成例を示したブロック図である。

図３１は、実施の形態７によるディスプレイ装置の要部の一例を示した図であり、図２５に示したデジタルコンバーゼンス補正装置Ｂ３の他の構成例を示したブロック図である。

図３２は、図３１に示したアドレス制御回路１９Ａの動作の一例を説明するためのタイミングチャートであり、垂直ブランキングパルスＶ＿ＢＬＫの立ち上がりから、垂直表示範囲検出信号Ｖ＿ＤＩＳの立ち上がりまでの主な信号の変化を示している。

図３３は、図３１に示したアドレス制御回路１９Ａの動作の一例を説明するためのタイミングチャートであり、垂直表示範囲検出信号Ｖ＿ＤＩＳの立ち下がりから、垂直ブランキングパルスＶ＿ＢＬＫの立ち上がりまでの主な信号の変化を示している。

図３４は、図３２、３３に示したアドレス制御回路１９Ａの動作の結果を画面上において模式的に示した説明図である。

図３５は、実施の形態８によるディスプレイ装置の一構成例を示した図である。

図３６は、図３５に示したコンバーゼンス補正装置Ｂ４の一構成例を示したブロック図である。

図３７は、映像表示回路Ａ３により、画面上に表示された補正点指示パターンＬ＿ＣＳＬの一例を、垂直表示範囲検出信号Ｖ＿ＤＩＳ及び水平表示範囲検出信号Ｈ＿ＤＩＳとともに示した図である。

図３８は、図３７に示した２５ポイントの各コンバーゼンス補正点に対する調整順序の一例を示した図である。

図３９は、実施の形態９によるディスプレイ装置の概略構成を示したブロック図である。

図４０は、図３９に示したコンバーゼンス補正装置Ｂ５の一構成例を示したブロック図である。

発明を実施するための最良の形態

実施の形態１．

図１は、本実施の形態によるディスプレイ装置の概略構成を示したブロック図である。図中のＡ１が映像表示回路、Ｂ１がコンバーゼンス補正回路、ＣがＣＲＴ、Ｃ１が偏向ヨーク、Ｃ２がコンバーゼンス・ヨークである。映像表示回路Ａ１は、入力映像信号に基づきＣＲＴ画面上に映像を表示する回路であり、偏向ヨークＣ１へ垂直偏向電流ｉＤＹＶ及び水平偏向電流ｉＤＹＨを供給するとともに、ＣＲＴのカソードに色信号を供給する。コンバーゼンス補正回路Ｂ１は、映像表示回路Ａ１からの水平ブランキングパルスＨ＿ＢＬＫと垂直ブランキングパルスＶ＿ＢＬＫに基づきコンバーゼンス・ヨークＣ２へコンバーゼンス補正電流ｉＣＹを供給し、電子ビームの偏向角を補正する。

図２は、図１に示したコンバーゼンス補正回路Ｂ１の一構成例を示したブロック図である。図中の１が水平ブランキングパルスＨ＿ＢＬＫの入力端子、２が垂直ブランキングパルスＶ＿ＢＬＫの入力端子、３がフェーズロックドループ回路（ＰＬＬ）、４が分周カウンタ、５がアドレ

スカウンタ、６がメモリ、７が１ビットラッチ、８が１ビットＤＡＣ、９がローパスフィルタ、１０が増幅器、１１がコンバーゼンス補正電流ｉＣＹの出力端子、１３がゲートパルス発生回路である。

〔１〕　まず、図２に示した各構成部分について説明する。Ｈ＿ＢＬＫ入力端子１には、ＣＲＴでのラスタスキャンに同期した周波数f_Hの水平ブランキングパルスＨ＿ＢＬＫが入力され、ＰＬＬ３がこの水平ブランキングパルスＨ＿ＢＬＫを逓倍して基準クロックを生成し、さらに、分周カウンタ４が基準クロックを分周してシステムクロックを生成する。このため、システムクロックは、水平方向の分周を常に一定に保っている。

アドレスカウンタ５は、このシステムクロックに同期して、メモリ６の読み出しアドレスを順に生成する。これらのアドレスは、ラスタスキャンの水平方向及び垂直方向に関する時間的位相、即ち、画面ラスタ内の相対的位置に対応している。Ｖ＿ＢＬＫ入力端子２には、ＣＲＴでのラスタスキャンに同期した周波数f_Vの垂直ブランキングパルスＶ＿ＢＬＫが入力され、この垂直ブランキングパルスＶ＿ＢＬＫがアドレスカウンタ５のリセットを行う。

メモリ６は、ＣＲＴ画面上の位置に１対１に対応する各コンバーゼンス補正点における補正量を補正データとして予め記憶している。これらの補正データは、対応するコンバーゼンス補正点における補正量を、水平方向において隣接するコンバーゼンス補正点の補正量と比較した場合のアップ／ダウン情報（変化情報）である。各補正データは１ビットからなり、「１」であれば補正量が「増加」することを示し、「０」であれば補正量が「減少」すること示している。これにより、各コンバーゼンス補正点ごとにその補正量を記憶保持している従来のコンバーゼンス補正装置に比べ、補正データを記憶するためのメモリ容量を大幅に削減

している。

この様な１ビットの補正データは、隣接する補正データとともに２ビットの連係パターンとして使用することができる。即ち、あるコンバーゼンス補正点におけるアップ／ダウン情報は、そのコンバーゼンス補正点に対応する１ビットの補正データと、隣接するコンバーゼンス補正点に対応する１ビットの補正データとを組み合わせることにより、２ビットのアップ／ダウン情報として、「増加」、「減少」、「一定」の３つの状態を表すことができる。２ビットの連係パターンとしては、「００」、「０１」、「１０」、「１１」の４通りの組み合わせがある。このうち、「０１」又は「１０」であれば補正量が「一定」であることを示し、「００」であれば補正量が「減少」することを示し、「１１」であれば補正量が「増加」すること示している。コンバーゼンス補正量は、一般に、「増加」から「減少」へ変化し、或いは「減少」から「増加」へ変化するような急激な変動はなく、ＣＲＴ画面上に充分な数のコンバーゼンス補正点を予め定めておけば、この様な連係パターンとしての補正データにより所望のコンバーゼンス補正を行うことができる。

アドレスカウンタ５からのアドレスに従って、メモリ６から補正データが読み出される。即ち、ＣＲＴでのラスタスキャンに同期してメモリ６の読み出しが行われるため、有効画面と画面ラスタとの関係が変化しない限り、読み出された補正データはコンバーゼンス補正点に対応している。

各補正データは１ビットであるため、例えば、メモリ６のビット幅が８ビットであれば、１つのアドレスに８個のコンバーゼンス補正点に関する補正データを格納することができ、８個の補正データを同時に読み出すことができる。１ビットラッチ７は、メモリ６から読み出されたデータをシリアルデータに変換する回路であり、シフトレジスタにより構

成される。例えば、メモリ６から８ビットのデータが読み出されると、このデータを各コンバーゼンス補正点ごとの１ビットの補正データに分離し、システムクロックに同期してＭＳＢ側から順にシリアルデータとして出力する。

図３は、メモリ６及び１ビットラッチ７の動作について説明するための説明図である。図中の（ａ）は１ビットラッチ７の具体的な構成例を示した図であり、（ｂ）はメモリ６から順に読み出されたデータがシリアルデータに変換される様子を示した図であり、（ｃ）は各シリアルデータが、ＣＲＴ画面上の位置に１対１に対応している様子を示した図である。（ｂ）、（ｃ）に示した様に、画面上の最初の水平走査線上のコンバーゼンス補正点から順に、補正データが読み出され、シリアルデータに変換される。

図４は、図２に示した１ビットＤＡＣ（８）の一構成例を示したブロック図である。図中の８０はシリアルデータをアップ信号とダウン信号に変換するデコード回路、８１は、アップ信号及びダウン信号の出力時間が、走査周期に関わらず一定となるように制御するゲート回路、８２はアップ信号とダウン信号をアップダウン信号に変換する減算回路、８３はアップダウン信号を積分する積分回路である。

デコード回路８０は、Ｄフリップフロップ８０１～８０３及びＮＯＲ演算回路８０４、８０５からなる。フリップフロップ８０１は、システムクロックの立ち上がりに同期して反転する位相ゲート信号ｇ１、ｇ２を生成する。これらの位相ゲート信号ｇ１、ｇ２は、互いに他方の反転信号である。各位相ゲート信号ｇ１、ｇ２は、それぞれＮＯＲ演算回路８０４、８０５においてシステムクロックとのＮＯＲ演算が行われ、タイミング信号ＣＬＫ１、ＣＬＫ２となる。フリップフロップ８０２はタイミング信号ＣＬＫ１に同期して、フリップフロップ８０３はタイミン

グ信号ＣＬＫ２に同期して、それぞれ１ビットのシリアルデータを記憶する。そして、フリップフロップ８０２が記憶データをアップ信号として出力する一方、リップフロップ８０３は記憶データを反転し、ダウン信号として出力する。

ゲート回路８１は、ＡＮＤ演算回路８１０、８１１により構成されている。アップ信号、ダウン信号は、それぞれＡＮＤ演算回路８１０、８１１において、後述のゲートパルスとのＡＮＤ演算が行われ、減算回路８２へ入力される。即ち、ゲートパルスが高レベルの場合にのみ、アップ信号、ダウン信号がゲート回路８１を通過することができる。

減算回路８２は、オペアンプ及び抵抗により構成され、ゲート回路８１を通過したダウン信号から、ゲート回路８１を通過したアップ信号を減算して、アップダウン信号を生成する。従って、このアップダウン信号は、「増加」を示す－１レベル、「減少」を示す＋１レベル、「一定」を示す±０レベルの３つの電圧レベルからなる信号である。

積分回路８３は、オペアンプを用いたミラー積分回路であり、アップダウン信号を積分して得られるアナログ信号を出力する。このアナログ信号は、ローパスフィルタ９において連続したコンバーゼンス補正信号となり、増幅器１０で増幅された後、コンバーゼンス・ヨーク・コイルＣ２へ供給される。この様な１ビットＤＡＣ（８）を用いることにより、２ビットの連係パターンをアップダウン情報に変換し、各コンバーゼンス補正点における所望の補正量を求めることができる。

〔２〕　次に、ゲートパルスが常に高レベルの場合における、コンバーゼンス補正回路Ｂ１の動作について説明する。図５は、図４に示した１ビットＤＡＣ（８）における主要な信号の変化を、ゲートパルスが常に高レベルの場合について示したタイミングチャートである。図中の（ａ）がシリアルデータ、（ｂ）がシステムクロック、（ｃ）がゲート信号ｇ

１、（ｄ）がゲート信号ｇ２、（ｅ）がタイミング信号ＣＬＫ１、（ｆ）がタイミング信号ＣＬＫ２、（ｇ）がアップ信号、（ｈ）がダウン信号、（ｉ）がアップダウン信号、（ｊ）がゲートパルス、（ｋ）がアナログ出力信号である。

タイミング信号ＣＬＫ１、ＣＬＫ２は、システムクロックに同期して交互にパルスを出力し、アップ信号はタイミング信号ＣＬＫ１に同期して更新され、ダウン信号はタイミング信号ＣＬＫ２に同期して更新されている。

ここでは、ゲートパルスが常に高レベルであるので、アップ信号とダウン信号は、ともにゲート回路８１を常に通過し、両者の減算結果がそのままアップダウン信号となる。このため、シリアルデータの連係パターンが「０１」又は「１０」の期間は、アナログ出力信号の出力レベルは変化せず一定状態であり、「００」の期間は出力レベルが減少し続け、「１１」の期間は出力レベルが増加し続けている。

〔３〕　次に、水平偏向周波数が変化した場合における、ディスプレイ装置の動作について説明する。図６は、図２に示した１ビットＤＡＣ（８）における主要な信号の変化を、異なる２つの水平偏向周波数の場合について示したタイミングチャートである。図中の（Ｂ）は（Ａ）の１／２倍の周波数の水平ブランキングパルスＨ＿ＢＬＫが入力された場合であり、（Ａ）と（Ｂ）は横軸が同一、即ち、同一の時間スケールで示されている。

システムクロックは、入力される水平ブランキングパルスを逓倍し分周して得られる信号であり、その周波数は水平偏向周波数f_Hに比例して変化する。このため、水平偏向周波数f_Hが１／２倍になれば、水平アドレスカウンタ６が１／２倍の周波数でアドレスを生成し、メモリ１２からの補正データの読み出しも１／２倍の周波数で行われる。このため、図

中の（Ｂ）の場合は、（Ａ）の場合に比べてシステムクロック、シリアルデータがともに２倍の周期で変化している。

一方、ゲートパルス発生回路１３は、システムクロックに同期してゲートパルスを発生する単安定マルチバイブレータであり、ゲートパルスのパルス幅は、システムクロックに関係なく一定である。このため、（Ａ）のゲートパルスが常に高レベルであるのに対し、（Ｂ）のゲートパルスはデューティー比が５０％である。このため、アップダウン信号が「減少」レベルとなる期間及び「増加」レベルとなる期間は、いずれも（Ａ）、（Ｂ）で等しく、積分回路８３におけるこれらの積分期間が等しくなっている。このため、アナログ出力信号が時間軸方向に伸張されても、その波高長Ｗを常に一定とすることができる。

即ち、このコンバーゼンス補正装置は、ＰＬＬ３によりシステムクロックの周波数が水平偏向周波数の変化に比例して変化し、システムクロックは水平方向の分周を常に一定に保っている。このため、補正データの読み出しタイミングと、この補正データが対応すべきコンバーゼンス補正点との対応関係にズレが生ずることはない。また、水平偏向周波数が変化してもゲートパルスのパルス幅を一定とし、水平偏向周波数に関わらず、ゲート回路８１の出力信号のシステムクロック周期における出力時間を一定とし、コンバーゼンス補正点に対応するアナログ出力信号のレベル（即ち、波高値Ｗ）が変化するのを防止している。このため、水平偏向周波数が変化しても、ＣＲＴ画面上の位置に１対１に対応する各コンバーゼンス補正点について、所望のコンバーゼンス補正を行うことが可能となる。

この様なコンバーゼンス補正装置を用いることにより、補正データを記憶保持するためのメモリの容量を大幅に削減することができる。また、ある１つの水平偏向周波数について、各コンバーゼンス補正点における

補正量を決定すれば、他の異なる水平偏向周波数について補正量を決定することなく、所望のコンバーゼンス補正を行うことができる。

なお、本実施の形態においては、異なる水平偏向周波数の一例として、一方が他方の２倍である場合を例にとって説明したが、本発明によるコンバーゼンス補正装置は、この様な場合に限定されるものではない。即ち、ゲートパルスのデューティー比が１００％となる場合における水平偏向周波数が適用可能な最大の周波数であり、デューティー比が１００％を越えない範囲で、あらゆる水平偏向周波数に適用することができる。

また、本実施の形態においては、１ビットの補正データを用いたが、補正データとして２ビット以上のデータを用いることもできる。例えば、２ビットのデータにより、連係パターンとして使用することなく、各コンバーゼンス補正点ごとに「増加」、「減少」、「一定」の状態を記憶保持させてもよい。また、２ビットのデータにより、変化量が２階調の「増加」及び変化量が２階調の「減少」を記憶保持させてもよい。

実施の形態２.

図７は、実施の形態２によるデジタルコンバーゼンス補正装置の要部の一例を示した図であり、図１に示したゲートパルス発生回路１３の構成を示した回路図である。このゲートパルス発生回路１３は、フリップフロップの組み合わせ回路により構成される。図中の１３０はリセット端子付のＤフリップフロップ、１３１は高インピーダンス出力が可能なトライステートバッファ、１３２はインバータ・シュミット・バッファ、Ｒが抵抗、Ｃがコンデンサである。また、図８は、このゲートパルス発生回路における主要な信号の変化を示したタイミングチャートである。図中の（ａ）がシステムクロック、（ｂ）がゲートパルス、（ｃ）がコンデンサの端子電圧Ｖｃ、（ｄ）がフリップフロップのリセット信号で

ある。

フリップフロップ１３０は、入力端子Ｄに電源電圧Ｖｃｃ１から常に高レベルが入力され、トリガ入力端子にシステムクロックが入力されている。このため、システムクロックの立ち上がりに同期して出力端子Ｑが高レベルとなり、ゲートパルスとして高レベルが出力されるとともに、トライステートバッファ１３１の出力端子は、低レベルから高インピーダンス状態へ変化する。

トライステートバッファ１３３の出力端子が、高インピーダンス状態になると、抵抗Ｒを流れる電源Ｖｃｃ２からの電流ｉがコンデンサＣに流れ込み、コンデンサＣの充電が行われる。そして、コンデンサＣの端子電圧Ｖｃがインバータ・シュミット・バッファ１３２の閾値レベルＶｔｈに達すると、インバータ・シュミット・バッファ１３２の出力端子が低レベルに変化し、フリップフロップ１３０をリセットする。

フリップフロップ１３０がリセットされると、その出力端子Ｑは低レベルへ変化し、ゲートパルスとして低レベルが出力されるとともに、トライステートバッファ１３１の出力端子が低レベルとなる。このため、コンデンサＣからトライステートバッファ１３１へ電流ｉ’が流れて、コンデンサＣの放電が行われ、インバータ・シュミット・バッファ１３２の出力は高レベルへと変化する。以上の動作を繰り返すことにより、システムクロックに同期したパルス幅一定のパルスからなるゲートパルスを発生させることができる。即ち、走査周波数に関係なくパルス幅が一定であるパルスを走査周波数に同期して出力することができる。

なお、ゲートパルスを構成する各パルスの幅は、コンデンサＣの充電時間に相当するため、電源Ｖｃｃ２の電圧値、抵抗Ｒの抵抗値及びコンデンサＣの容量により、ゲートパルスを所望のパルス幅にすることができる。また、電源Ｖｃｃ２を可変電源とし、マイコン（不図示）により

その出力電圧を制御することにより、パルス幅の調整が容易となる。

実施の形態３．

走査周波数が一定の場合、分周カウンタ４は安定したシステムクロックを供給することができるが、走査周波数が変化した場合には、ＰＬＬ３が再設定されるためシステムクロックが不安定となり、アドレスカウンタ５からメモリ６に供給されるアドレスが乱れる。このため、画面上の位置に１対１に対応するコンバーゼンス補正点と、読み出された補正データとが対応しなくなり、コンバーゼンス・ヨーク・コイルＣ２に供給されるコンバーゼンス補正信号ｉＣＹが乱れ、画像表示が乱れることになる。本実施の形態においては、入力映像信号の走査周波数が変化した場合に、コンバーゼンス補正信号により画像表示が乱れることを防止するディスプレイ装置ついて説明する。

図９は、実施の形態３によるディスプレイ装置の要部の一例を示した図であり、図１のデジタルコンバーゼンス補正装置の構成を示したブロック図である。このコンバーゼンス補正装置は、図２に示したコンバーゼンス補正装置に周波数検出回路１２を追加し、図２とは異なる１ビットＤＡＣ（８Ａ）を備えて構成される。また、図１０は、図９中の１ビットＤＡＣ（８Ａ）の一構成例を示したブロック図である。この１ビットＤＡＣ（８Ａ）は、図４に示した１ビットＤＡＣに、さらにインヒビット回路８４を備えて構成され、図中の８４０がインバータ（反転演算回路）、８４１がＡＮＤ演算回路、８４２がＯＲ演算回路である。

周波数検出回路１２は、走査周波数の変化を監視し、周波数が変化した場合にＰＬＬ３の再設定を行うとともに、１ビットＤＡＣ（８Ａ）に対しインヒビット信号を出力する回路であり、例えば、マイコンにより構成することができる。ここでは、水平ブランキングパルスＨ＿ＢＬＫ

及び垂直ランキングパルスＶ＿ＢＬＫが入力され、水平周波数又は垂直周波数が変化した場合に、ＰＬＬ３の再設定を行う。また、水平周波数又は垂直周波数の変化後の一定期間だけ低レベルのインヒビット信号を出力する。

インヒビット信号が高レベルの場合、シリアルデータは、ＡＮＤ演算回路８４１、ＯＲ演算回路８４２をそのまま通過し、図４の１ビットＤＡＣと全く同様に動作する。インヒビット信号が低レベルになると、ＡＮＤ演算回路８４１、ＯＲ演算回路８４２の出力は、それぞれ低レベル、高レベルに固定され、アップ信号及びダウン信号は、ともに低レベルに固定され、アナログ出力信号のレベルは一定となる。

周波数検出回路１２は、走査周波数が変化した場合に、ＰＬＬ３が再設定されシステムクロックが安定するまで、低レベルのインヒビット信号を出力する。これにより、コンバーゼンス補正信号のレベルを一定状態とすることができ、画像表示が乱れを防止することができる。

図１１は、図１０に示した１ビットＤＡＣにおける主要な信号の変化を、走査周波数が変化した場合について示したタイミングチャートである。走査周波数の変化によりインヒビット信号が高レベルから低レベルから高レベルへ変化すると、アップ信号及びダウン信号は、ともに低レベルに固定され、アナログ出力信号は一定状態に制御される。その後、システムクロックが安定した後に、周波数検出回路１２が再び高レベルのインヒビット信号を出力し、所望のアナログ信号を出力するように制御する。

なお、本実施の形態においては、水平周波数の変化及び垂直周波数の変化に基づいてコンバーゼンス補正信号を制御する場合について説明したが、水平周波数の変化のみに基づく制御を行い、或いは、垂直周波数の変化のみに基づく制御を行うこともできる。

実施の形態４．

本実施の形態においては、ＣＲＴ画面上の有効な表示領域である有効画面と、ＣＲＴ画面上の走査領域である画面ラスタとの関係が変化した場合でも、各コンバーゼンス補正点と、メモリ６から読み出される補正データとを対応させることができるディスプレイ装置について説明する。

まず、映像を表示する画面上の範囲である映像表示範囲について、画面ラスタと有効画面との関係により場合を分けて説明する。なお、本実施の形態においては、コンバーゼンス補正を行う画面上の範囲である補正範囲が、この映像表示範囲と一致している。図１２は、表示範囲の一例を示した図である。図中の（ａ）は、画面ラスタがＣＲＴの有効画面よりも大きいオーバースキャン状態の場合であり、（ｂ）は、画面ラスタがＣＲＴの有効画面よりも小さいアンダースキャン状態の場合である。また、図中の実線が有効画面を示し、破線が画面ラスタを示し、斜線を付した部分が表示範囲である。この図に示した通り、アンダースキャンの場合、表示範囲を画面ラスタに一致させ、オーバースキャンの場合、表示範囲を有効画面に一致させる。この様な表示範囲についてコンバーゼンス補正を行う場合、アンダースキャン時には、有効画面の一部についてコンバーゼンス補正を行う必要がある。

図１３は、本実施の形態によるディスプレイ装置の概略構成を示したブロック図である。このディスプレイ装置は、図１に示したディスプレイ装置に、偏向電流の電流値を検出する偏向電流検出回路Ｅ１、Ｅ２を追加し、図１とは異なるデジタルコンバーゼンス補正回路Ｂ２を備えて構成される。偏向電流検出回路Ｅ１は、垂直偏向電流ｉＤＹＶを検出して検出信号ＤＹＶを出力し、偏向電流検出回路Ｅ２は、水平偏向電流ｉＤＹＨを検出して検出信号ＤＹＨを出力する。そして、コンバーゼンス

補正回路Ｂ２が、これらの検出信号ＤＹＶ、ＤＹＨに基づいて、コンバーゼンス補正信号ｉＣＹを出力する。

図１４は、偏向電流検出回路Ｅ１、Ｅ２の一構成例を示した図である。この偏向電流検出回路は、偏向ヨークＣ１と直列に検出抵抗ＲＬを挿入し、検出抵抗ＲＬの端子間電圧を検出電圧Ｖｏとするものである。この回路を用いれば、抵抗ＲＬに流れる電流、即ち、偏向ヨークに流れる電流ｉＤＹＶ、ｉＤＹＨを直接、電圧値ＤＹＶ、ＤＹＨに変換することができる。また、図１５は、偏向電流検出回路Ｅ１、Ｅ２の他の構成例を示した図である。この偏向電流検出回路は、偏向ヨークＣ１と直列に検出用電流トランスＬの１次側コイルを接続し、２次側に検出抵抗ＲＬを接続し、検出抵抗ＲＬの端子間電圧を検出電圧Ｖｏとするものである。この様にして、偏向電流ｉＤＹＶ、ｉＤＹＨを電圧値ＤＹＶ、ＤＹＨに変換することができる。

図１６は、図１３に示したコンバーゼンス補正回路Ｂ２の一構成例を示したブロック図である。このコンバーゼンス補正回路は、図２に示したコンバーゼンス補正回路に、垂直表示範囲検出信号Ｖ＿ＤＩＳを出力する垂直表示範囲検出回路１７と、水平表示範囲検出信号Ｈ＿ＤＩＳを出力する水平表示範囲検出回路１８と、アドレスカウンタ５を制御するアドレス制御回路１９を追加し、図２とは異なる１ビットＤＡＣ（８Ｂ）を備えて構成される。

垂直表示範囲検出回路１７は、垂直偏向電流の検出信号ＤＹＶに基づいて、表示範囲の垂直方向に相当する垂直表示範囲検出信号Ｖ＿ＤＩＳを生成する。また、水平表示範囲検出回路１８は、水平偏向電流の検出信号ＤＹＨに基づいて、表示範囲の水平方向に相当する水平表示範囲検出信号Ｈ＿ＤＩＳを生成する。図１７は垂直表示範囲検出回路１７の一構成例を示した図であり、図中の１７０、１７１がコンパレータ、１７

２がＶ＿ＤＩＳ発生回路である。また、図１８は、各信号の変化の一例を示した図であり、図中の（ａ）が検出信号ＤＹＶ、（ｂ）がコンパレータ１７０の出力、（ｃ）がコンパレータ１７１の出力、（ｄ）が垂直表示範囲検出信号Ｖ＿ＤＩＳである。垂直偏向電流の検出信号ＤＹＶは、コンパレータ１７０において表示範囲上端に相当するレベルＶＴと比較されるとともに、コンパレータ１７１において表示範囲下端に相当するレベルＶＢと比較される。そして、これらの比較結果に基づいて、Ｖ＿ＤＩＳ発生回路が、表示範囲の垂直方向に相当する垂直表示範囲検出信号Ｖ＿ＤＩＳを生成する。図１９は水平表示範囲検出回路１８の一構成例を示した図であり、図中の１８０、１８１がコンパレータ、１８２がＨ＿ＤＩＳ発生回路である。また図２０は、各信号の変化の一例を示した図であり、図中の（ａ）が検出信号ＤＹＨ、（ｂ）がコンパレータ１８０の出力、（ｃ）がコンパレータ１８１の出力、（ｄ）が水平表示範囲検出信号Ｈ＿ＤＩＳである。水平偏向電流の検出信号ＤＹＨは、コンパレータ１８０において表示範囲左端に相当するレベルＶＬと比較されるとともに、コンパレータ１８１において表示範囲右端に相当するレベルＶＲと比較される。そして、これらの比較結果に基づいて、Ｈ＿ＤＩＳ発生回路が、表示範囲の水平方向に相当する水平表示範囲検出信号Ｈ＿ＤＩＳを生成する。これらの各比較レベルＶＴ、ＶＢ、ＶＲ、ＶＬは、図示しないマイコンにより調整され、設定される。

図２１の（ａ）～（ｃ）は、垂直表示範囲検出信号Ｖ＿ＤＩＳと水平表示範囲検出信号Ｈ＿ＤＩＳの説明図である。図中の（ａ）は、オーバースキャン状態の場合であり、（ｂ）は、アンダースキャン状態の場合であり、（ｃ）は、画面ラスタと有効画面が一致する場合を示している。いずれの場合にも、垂直表示範囲検出信号Ｖ＿ＤＩＳは垂直走査のスケールに一致する時間軸を縦方向にとり、水平表示範囲検出信号Ｖ＿ＤＩ

Ｓは水平走査のスケールに一致する時間軸を横方向にとって示している。各比較レベルを調整するマイコンは、（ｂ）及び（ｃ）の場合、比較レベルＶＴ、ＶＢをそれぞれ検出信号ＤＹＶの最大値、最小値とし、比較レベルＶＬ、ＶＲをそれぞれ検出信号ＤＹＨの最大値、最小値とすればよい。ところが、（ａ）の場合には、垂直表示範囲検出信号Ｖ＿ＤＩＳとして、有効画面の垂直方向に相当する垂直有効画面信号Ｖ＿ＤＩＳｏを生成する必要があり、水平表示範囲検出信号Ｈ＿ＤＩＳとして、有効画面の水平方向に相当する垂直有効画面信号Ｈ＿ＤＩＳｏを生成する必要がある。このため、マイコンは、画面ラスタと有効画面が一致する場合、即ち、（ｃ）の場合における垂直有効画面信号Ｖ＿ＤＩＳｏのデータ及び水平有効画面信号Ｈ＿ＤＩＳｏのデータを予め求めて記憶しておき、これらを用いてオーバースキャン状態の場合における各比較レベルの調整を行う。即ち、オーバースキャン状態の場合に、垂直表示範囲検出信号Ｈ＿ＤＩＳが垂直有効画面信号Ｖ＿ＤＩＳｏのデータに一致するように、垂直表示範囲検出回路１７の比較レベルＶＴ、ＶＢを調整し、垂直表示範囲検出信号Ｈ＿ＤＩＳが垂直有効画面信号Ｖ＿ＤＩＳｏのデータに一致するように、垂直表示範囲検出回路１７の比較レベルＶＴ、ＶＢを調整する。

アドレス制御回路１９は、アンダースキャン状態の場合、メモリ-6の一部の補正データを読み出すようにアドレスカウンタ５の制御を行う。この制御は、予め求め記憶されている垂直有効画面信号Ｖ＿ＤＩＳｏのデータと、予め求め記憶されている水平有効画面信号Ｈ＿ＤＩＳｏのデータと、垂直表示範囲検出回路１７からの垂直表示範囲検出信号Ｖ＿ＤＩＳと、水平表示範囲検出回路１８からの水平表示範囲検出信号Ｈ＿ＤＩＳとに基づいて行われる。アドレス制御回路１９は、まず、垂直表示範囲検出信号Ｖ＿ＤＩＳが立ち上がりエッジと、垂直有効画面信号Ｖ＿

ＤＩＳｏの立ち上がりエッジのタイミングのズレｔＶを求め、このタイミングのズレを垂直方向に関するコンバーゼンス補正点の間隔数ｎＶに換算する。また、水平表示範囲信号Ｈ＿ＤＩＳが立ち上がりエッジと、水平有効画面信号Ｈ＿ＤＩＳｏの立ち上がりエッジのタイミングのズレを求め、このタイミングのズレを水平方向に関するコンバーゼンス補正点の間隔数ｎＨ（即ち、システムクロック数）に換算する。図２２の（ａ）、（ｂ）はこの時の様子を示した図である。

この結果に基づいて、アドレス制御回路１９は、アドレスカウンタ５へ読み出しアドレスを供給する。垂直方向に（ｎＶ＋１）番目、水平方向に（ｎＨ＋１）番目のコンバーゼンス補正点に対応する補正データのアドレスをアドレスカウンタ５へ出力する。また、画面ラスタの左端においても、水平方向にｎＨ個のコンバーゼンス補正点をスキップさせたアドレスをアドレスカウンタ５へ出力する。アドレスカウンタ５は、アドレス制御回路１９によりアドレスが設定された後、水平表示範囲検出信号Ｈ＿ＤＩＳがその後に低レベルに変化するまで、システムクロックに同期して順にアドレスをインクリメントする。なお、オーバースキャン状態の場合には、メモリ６の全ての補正データを読み出すため、アドレス制御回路１９がアドレスカウンタ５の制御を行う必要はない。

図２３は、この時の表示範囲とメモリ６内の補正データとの関係（メモリアドレスマッピング）の一例を示した図である。図中の（ａ）がオーバースキャン状態でのメモリアドレスマッピングを示しており、（ｂ）がアンダースキャン状態でのメモリアドレスマッピングを示している。オーバースキャン状態では、ＣＲＴの有効画面全域に対しコンバーゼンス補正が行われ、メモリ６に記憶された全ての補正データが利用されている。一方、アンダースキャン状態においては、画面ラスタ全域、即ち、有効画面の一部に対しコンバーゼンス補正が行われ、メモリ６に記憶さ

れている一部の補正データのみが使用されている。この図では、メモリ６が、アドレス００００ｈ～ＦＦＦＦｈに、有効画面上の全てのコンバーゼンス補正点に関する補正データを記憶しているが、アンダースキャン状態においては、アドレス８８８８ｈ～ＣＣＣＣｈのデータのみを使用していることを示している。

図２４は、１ビットＤＡＣ（８Ｂ）の一構成例を示したブロック図である。この１ビットＤＡＣは、図１０に示した１ビットＤＡＣ（８）に初期値発生回路８５、ＤＡＣ（８６）及び電流加算回路８７を追加して構成され、アドレスカウンタ５からのアドレスが供給されている。初期値発生回路８５は、アドレスカウンタからのアドレスに基づいて、アンダースキャン時における画面ラスタ左端のコンバーゼンス補正量又はオーバースキャン時の有効画面左端のコンバーゼンス補正量を初期値データとして発生する。このコンバーゼンス補正量は、走査周波数が変化する毎に求められる値であり、有効画面の左端、画面ラスタの左端の間における補正データの積分値であり、電圧発生回路８５内のメモリに記憶されている。初期値発止回路８５からの初期値データは、ＤＡＣ（８６）においてアナログ信号に変換され、加算回路８７において、積分回路８３の出力と加算されて、アナログ出力信号となる。

この様にして、本実施の形態によるディスプレイ装置は、オーバースキャン状態の場合に、有効画面を表示範囲とし、有効画面に対してコンバーゼンス補正を行うため、各コンバーゼンス補正点と、メモリから読み出される補正データとを対応させることができる。

また、本実施の形態によるディスプレイ装置は、アンダースキャン状態の場合に、メモリ内の一部の補正データ、即ち、画面ラスタ内のコンバーゼンス補正点に対応する補正データのみを用いてコンバーゼンス補正を行うため、各コンバーゼンス補正点と、メモリから読み出される補

正データとを対応させることができる。

また、補正量の初期値データを記憶保持しているので、補正データがコンバーゼンス補正量の変化データの場合であっても、アンダースキャン状態において正しいアナログ出力信号を出力することができる。

また、このコンバーゼンス補正装置は、垂直表示範囲検出回路１７、水平表示範囲検出回路１８及びアドレス制御回路１９Ａを備えることにより、実施の形態４と同様にして、アドレスカウンタ１７が、オーバースキャン状態の場合には有効画面についてのアドレスを生成するとともに、アンダースキャンの場合には、画面ラスタ内にある各コンバーゼンス補正に対応するアドレスを生成する。従って、常に、画面ラスタと有効画面の関係に応じたコンバーゼンス補正を行うことができる。

また、実施の形態１において説明した様に、走査周波数が変化した場合であっても、このコンバーゼンス補正装置は、ＣＲＴ画面上の位置に１対１に対応する各コンバーゼンス補正点について、所望のコンバーゼンス補正を行うことができる。このため、走査周波数の変化に伴って画面ラスタと有効画面の関係が変化した場合にも、所望のコンバーゼンス補正を行うことができる。さらに、走査周波数の変化により、画面ラスタと有効画面の関係が変化した場合のみならず、同一の走査周波数の場合であっても、画面ラスタと有効画面の関係が異なる場合に、所望のコンバーゼンス補正を行うことができる。

なお、本実施の形態においては、典型的なアンダースキャン状態の場合及びオーバースキャン状態の場合を例にとって説明したが、水平方向及び垂直方向に関して、一方がオーバースキャン状態で他方がアンダースキャン状態の場合にも適用することができる。

実施の形態５．

本実施の形態においては、垂直有効画面信号Ｖ＿ＤＩＳｏのデータ及び水平有効画面信号Ｈ＿ＤＩＳｏのデータを容易に求めることができるコンバーゼンス補正装置について説明する。

図２５は、本実施の形態によるディスプレイ装置の概略構成を示したブロック図である。このディスプレイ装置は、図１３に示したディスプレイ装置に、図１３とは異なる映像表示回路Ａ２及びデジタルコンバーゼンス補正回路Ｂ３を備えて構成され、コンバーゼンス補正装置Ｂ３から出力される表示範囲指示信号ＨＶ＿ＣＳＬが映像表示回路Ａ１に入力され、映像信号表示回路Ａ２は、入力映像信号と表示範囲指示信号ＨＶ＿ＣＳＬのいずれか一方に基づいて、ＣＲＴ（Ｃ）上に映像表示を行う。

図２６は、図２５に示したデジタルコンバーゼンス補正回路Ｂ３の一構成例を示したブロック図である。このコンバーゼンス補正回路Ｂ３は、図１６に示したコンバーゼンス補正回路に、指示信号発生回路２０を追加して構成される。指示信号発生回路２０は、垂直表示範囲検出信号Ｖ＿ＤＩＳ及び水平表示範囲検出信号Ｈ＿ＤＩＳに基づいて、表示範囲を画面上に表示するための表示範囲指示信号ＨＶ＿ＣＳＬを生成する。

図２７は、指示信号発生回路２０の一構成例を示したブロック図である。図中の２００がＶ＿ＣＳＬ発生回路、２０１がＨ＿ＣＳＬ発生回路、２０２がＯＲ演算回路である。

Ｖ＿ＣＳＬ発生回路２００は、垂直表示範囲検出信号Ｖ＿ＤＩＳの変化時に表示範囲の垂直方向の両端部、即ち、上端部及び下端部に相当するパルスからなる垂直表示範囲指示信号Ｖ＿ＣＳＬを出力する。この垂直表示範囲指示信号Ｖ＿ＣＳＬに含まれる各パルスは、フィールド期間に比べて充分に短いパルス幅を有している。特に、各パルスが水平走査期間程度のパルス幅を有する場合が好適である。

Ｈ＿ＣＳＬ発生回路２０１は、水平表示範囲検出信号Ｈ＿ＤＩＳの変

化時にパルスを出力する回路であり、表示範囲の水平方向の両端部、即ち、左端部及び右端部に相当する水平表示範囲指示信号Ｈ＿ＣＳＬを出力する。この水平表示範囲指示信号Ｈ＿ＣＳＬに含まれる各パルスは、水平走査期間に比べて十分に短いパルス幅を有している。特に、各パルスがシステムクロック周期程度のパルス幅を有する場合が好適である。

ＯＲ演算回路２０２は、垂直表示範囲指示信号Ｖ＿ＣＳＬ及び水平表示範囲指示信号Ｈ＿ＣＳＬを混合して、表示範囲の周辺端部に相当する表示範囲指示信号ＨＶ＿ＣＳＬを出力する。映像表示回路Ａ２は、この表示範囲指示信号Ｖ＿ＣＳＬを映像としてＣＲＴ画面上に表示する。即ち、表示範囲の周辺端部を示す矩形枠状の映像が表示される。図２８は、これらの各信号の関係、及び、映像表示回路Ａ２が表示範囲指示信号ＨＶ＿ＣＳＬをＣＲＴ画面上に表示した場合の様子を示した図である。

次に、アドレス制御回路１９内に記憶される垂直有効画面信号Ｖ＿ＤＩＳｏのデータ及び水平有効画面信号Ｈ＿ＤＩＳｏのデータを求める方法について説明する。まず、ディスプレイ装置の画面サイズの変更などにより、入力映像信号をオーバースキャン状態とする。この時、マイコンにより調整されるべき各比較レベルＶＴ、ＶＢ、ＶＬ、ＶＲを、表示範囲指示信号ＨＶ＿ＣＲＬによる矩形枠の全部又は一部が画面上に表示される程度の適当な値に設定しておけば、映像表示回路Ａ２により、ＣＲＴ画面上に矩形枠が表示される。この様にして画面上に表示された矩形枠を見ながら、オペレータが、この矩形枠を有効画面の周辺端部に一致させるように、垂直表示範囲検出回路１７における比較レベルＶＴ、ＶＢ及び水平表示範囲検出回路１８における比較レベルＶＬ、ＶＲの調整を行う。この調整は、図示しないマイコンを介して行われる。

表示範囲の周辺端部と有効画面の周辺端部とを一致させることにより、垂直表示範囲検出回路１７から垂直有効画面信号Ｖ＿ＤＩＳｏを出力さ

せることができ、水平表示範囲検出回路１８から水平有効画面信号Ｈ＿ＤＩＳｏを出力させることができる。従って、この時の垂直表示範囲検出回路１７の出力信号を、垂直有効画面信号Ｖ＿ＤＩＳｏのデータとして記憶し、水平表示範囲検出回路１８の出力信号を水平有効画面信号Ｈ＿ＤＩＳｏのデータとして記憶すればよい。

この様な構成とすることにより、本実施の形態によるコンバーゼンス補正装置は、垂直有効画面信号Ｖ＿ＤＩＳｏのデータ及び水平有効画面信号Ｈ＿ＤＩＳｏのデータを容易に求めることができる。

なお、本実施の形態においては、指示信号発生回路２０が、垂直表示範囲指示信号Ｖ＿ＣＳＬ及び水平表示範囲指示信号Ｈ＿ＣＳＬを混合して得られる表示範囲指示信号ＨＶ＿ＣＳＬを出力しているが、垂直表示範囲指示信号Ｖ＿ＣＳＬと水平表示範囲指示信号Ｈ＿ＣＳＬの一方を切り替えて出力し、垂直有効画面信号Ｖ＿ＤＩＳｏのデータ及び水平有効画面信号Ｈ＿ＤＩＳｏのデータを順に取得するようにしてもよい。

実施の形態６．

本実施の形態においては、実施の形態５に示したディスプレイ装置（図２５）であって、入力映像信号の走査周波数が変化した場合でもコンバーゼンス補正信号の乱れによる画像表示の乱れを防止することができるディスプレイ装置ついて説明する。

図２９は、本実施の形態によるディスプレイ装置の要部の一例を示した図であり、図２５に示したデジタルコンバーゼンス装置の他の構成例を示したブロック図である。このコンバーゼンス補正装置は、図２６に示したコンバーゼンス補正装置に周波数検出回路１２を追加し、図２６とは異なる１ビットＤＡＣ（８Ｃ）を備えて構成される。この周波数検出回路１２は、図９に示した周波数検出回路と同じ回路である。また、

図３０は、図２９中の１ビットＤＡＣ（８Ｃ）の一構成例を示したブロック図である。この１ビットＤＡＣ（８Ｃ）は、図２４に示した１ビットＤＡＣ（８Ｂ）に、さらにインヒビット回路８４を備えて構成される。このインヒビット回路８４は、図１０に示されたインヒビット回路と同じ回路である。

走査周波数が変化した場合に、ＰＬＬ３が再設定されシステムクロックが安定するまで、周波数検出回路１２が、低レベルのインヒビット信号を出力する。これにより、インヒビット回路８４がアップ信号及びダウン信号を低レベルに固定し、積分回路８３からのアナログ信号を一定にする。一方、ＤＡＣ（８６）は、初期値発生回路８５の出力する初期値データに基づいて一定のアナログ信号を出力している。このため、加算回路８７から出力されるアナログ出力信号のレベルは、一定の状態に維持される。

従って、実施の形態４又は５によるディスプレイ装置においても、走査周波数が変化した場合に、ＰＬＬ３が再設定されシステムクロックが安定するまで、コンバーゼンス補正信号のレベルを一定状態とすることができ、画像表示が乱れを防止することができる。

実施の形態７．

本実施の形態においては、アンダースキャン状態の場合に、画面ラスタの上端部及び下端部においてコンバーゼンス補正信号が急激に変化し、表示画像が乱れることを防止することができるディスプレイ装置について説明する。

図３１は、本実施の形態によるディスプレイ装置の要部の一例を示した図であり、図２５に示したデジタルコンバーゼンス補正装置Ｂ３の他の構成例を示したブロック図である。このコンバーゼンス補正装置は、

図２９に示したコンバーゼンス補正装置に、図２９とは異なるアドレス制御回路１９Ａを備えて構成される。

図３２、３３は、図３１に示したアドレス制御回路１９Ａの動作の一例を説明するためのタイミングチャートであり、アンダースキャン状態の場合における主な信号の変化を示している。ともに図中の（ａ）が垂直ブランキングパルスＶ＿ＢＬＫ、（ｂ）が垂直表示範囲検出信号Ｖ＿ＤＩＳ、（ｃ）が水平ブランキングパルスＨ＿ＢＬＫ、（ｄ）が水平表示範囲検出信号Ｈ＿ＤＩＳ、（ｅ）がコンバーゼンスヨークコイルＣ２の駆動信号であるコンバーゼンス補正信号ｉＣＹである。

アドレス制御回路１９Ａは、垂直ブランキングパルスＶ＿ＢＬＫの立ち上がりから、垂直表示範囲検出信号Ｖ＿ＤＩＳの立ち上がりまで、全ての水平走査線期間において同一のコンバーゼンス補正を行う様に、各水平走査期間ごとにアドレスカウンタ５に対し同一アドレスを出力している。このアドレスは、垂直表示範囲検出信号Ｖ＿ＤＩＳが立ち上がった後に最初にアドレスカウンタ５に対し出力されるアドレスである。従って、フィールドの最初の１水平走査期間において読み出される各補正データが、垂直表示範囲検出信号Ｖ＿ＤＩＳの立ち上がり後の各水平走査期間においても読み出される。図３２は、この時の様子を示した図である。垂直表示範囲検出信号Ｖ＿ＤＩＳの立ち上がり変化の前後、即ち、フィールドの最初の１水平走査期間とそれ以前の水平走査期間を比較しても、コンバーゼンス補正信号は変化していない。従って、コンバーゼンス補正信号が急激に変化することによって生ずる有効画面の上端部又はその近辺における表示画像の乱れを防止することができる。

また、アドレス制御回路１９Ａは、垂直表示範囲検出信号Ｖ＿ＤＩＳの立ち下がり、垂直ブランキングパルスＶ＿ＢＬＫの立ち上がりまで、全ての水平走査線期間において同一のコンバーゼンス補正を行う様に、

各水平走査期間ごとにアドレスカウンタ５に対し同一アドレスを出力している。このアドレスは、垂直表示範囲信号Ｖ＿ＤＩＳが立ち下がる前に最後にアドレスカウンタ５に対し出力されるアドレスである。従って、フィールドの最後の１水平走査期間において読み出される各補正データが、垂直表示範囲検出信号Ｖ＿ＤＩＳの立ち下がり後の各水平走査期間においても読み出される。図３３は、この時の様子を示した図である。垂直表示範囲検出信号Ｖ＿ＤＩＳの立ち下がり変化の前後、即ち、フィールドの最後の１水平走査期間とそれ以後の水平走査期間を比較しても、コンバーゼンス補正信号は変化していない。従って、コンバーゼンス補正信号が急激に変化することによって生ずる有効画面の下端部又はその近辺における表示画像の乱れを防止することができる。

図３４は、これらの様子を画面上において模式的に示した説明図である。画面ラスタの上端部から有効画面の上端部まで、及び有効画面の下端部から画面ラスタの下端部まで、それぞれ垂直方向において同一のコンバーゼンス補正が行われている。従って、有効画面、即ち、アンダースキャン時における映像表示範囲の上端部及び下端部においてコンバーゼンス補正信号は変化しない。このため、コンバーゼンス補正信号の急激な変化により、映像が乱れるのを防止することができる。

本実施の形態においては、垂直ブランキングパルスの立ち上がり前後においてコンバーゼンス補正を変化させている場合を例にとって説明したが、その他のタイミング、例えば、垂直ブランキングパルスの立ち下がり前後において、コンバーゼンス補正を変化させるようにしてもよい。

実施の形態８．

本実施の形態においては、メモリ６に格納する補正データを容易に求めることができるディスプレイ装置について説明する。

図３５は、本実施の形態によるディスプレイ装置の一構成例を示した図である。このディスプレイ装置は、図２５に示したディスプレイ装置に、図２５とは異なる映像表示回路Ａ２及びデジタルコンバーゼンス補正回路Ｂ４を備えて構成され、コンバーゼンス補正装置Ｂ４から出力される表示範囲指示信号ＨＶ＿ＣＳＬ及び補正点指定パターンＬ＿ＣＳＬが映像表示回路Ａ３に入力され、映像信号表示回路Ａ３は、入力映像信号、表示範囲指示信号ＨＶ＿ＣＳＬ又は補正点指定パターンＬ＿ＣＳＬのいずれかに基づいて、ＣＲＴ（Ｃ）上に映像表示を行う。

図３６は、図３５に示したコンバーゼンス補正装置Ｂ４の一構成例を示したブロック図である。このコンバーゼンス補正装置Ｂ４は、図３１に示したコンバーゼンス補正装置に、パターン発生回路２１を追加して構成される。パターン発生回路２１は、垂直表示範囲検出信号Ｖ＿ＤＩＳ及び水平表示範囲検出信号Ｈ＿ＤＩＳに基づいて、システムクロックに同期した、水平方向に所定の幅を有する補正点指定パターンＬ＿ＣＳＬを生成する。各パターンの位置及び幅は、図示しないマイコンが任意により設定することができる。

図３７は、映像表示回路Ａ３により、画面上に表示された補正点指示パターンＬ＿ＣＳＬの一例を示した図であり、垂直表示範囲検出信号Ｖ＿ＤＩＳ及び水平表示範囲検出信号Ｈ＿ＤＩＳとともに示されている。補正データは、有効画面全域について求める必要があり、オーバースキャン状態で行われる。即ち、図示した表示範囲は、有効画面に一致している。この図では、有効画面を５×５＝２５ポイントに均等分割して、左上端を座標原点（０，０）とし、右下端の座標（４，４）まで、２５ポイントのコンバーゼンス補正点を順次に指定している。

図３８は、図３７に示した２５ポイントの各コンバーゼンス補正点に対する調整順序の一例を示した図である。まず、オペレータは、画面上

の補正点指定パターンを見ながら、例えば、（０，０）→（０，１）→（０，２）→（０，３）→（０，４）→（１，０）→（２，０）→（３，０）→（４，０）→（１，１）→（２，１）→（３，１）→（４，１）→（１，２）→（２，２）→（３，２）→（４，２）→（１，３）→（２，３）→（３，３）→（４，３）→（１，４）→（２，４）→（３，４）→（４，４）の順にコンバーゼンス量の調整を行い、最適なコンバーゼンス補正量を求める。求められたコンバーゼンス補正量は、直接、メモリ６のコンバーゼンス補正点に対応するアドレスに補正データとして格納される。

次に、これらのコンバーゼンス補正点以外については、既に求められた上記コンバーゼンス補正点における補正データを直線補間することにより求めることができる。即ち、補正点指定パターンが対応する隣接する４ポイントのコンバーゼンス補正点に囲まれた領域を４等分し、例えば、座標（０，０）、座標（０，１）間にある各コンバーゼンス補正について、座標（０，０）におけるコンバーゼンス補正量及び座標（０，１）におけるコンバーゼンス補正量を用いて、コンバーゼンス補正量を求め、座標（０，０）、座標（１，０）間にある各コンバーゼンス補正について、座標（０，０）におけるコンバーゼンス補正量及び座標（１，０）におけるコンバーゼンス補正量を用いて、コンバーゼンス補正量を求める。この時、走査周波数、有効画面の範囲（画面サイズ）等が変化しても、垂直表示範囲信号Ｖ＿ＤＩＳ及び水平表示範囲検出信号Ｈ＿ＤＩＳを有効画面に一致させているため、垂直偏向電流ｉＤＹＶ及び水平偏向電流ｉＤＹＨと、画面上の位置との相関関係を利用して、時間を変数とする直線補間を行うだけで最適なコンバーゼンス補正量を求めることができる。

この様にして、画面位置に対応した垂直偏向電流ｉＤＹＶ及び水平偏

向電流ｉＤＹＨを時間パラメータとする補間演算を行うため、走査周波数及び画面サイズの変化などに影響されることなく、コンバーゼンス補正精度を確保することができる。

なお、図３８では、有効画面を５×５＝２５ポイントに均等分割した例を示したが、例えば、５×９＝４５ポイント、或いは、９×９＝８１ポイントの様に補正点指定パターンを増やすことにより、コンバーゼンス補正精度をさらに向上させることができる。

実施の形態９．

本実施の形態は、各コンバーゼンス補正点についてのコンバーゼンス補正量を補正データとしてメモリに記憶保持するデジタルコンバーゼンス補正装置を備えるとともに、画面ラスタと有効画面との対応関係が変化した場合にも、所望のコンバーゼンス補正を行うディスプレイ装置について説明する。

図３９は、本実施の形態によるディスプレイ装置の一構成例を示したブロック図である。このディスプレイ装置は、図３５に示したディスプレイ装置に、図３５とは異なるデジタルコンバーゼンス補正回路Ｂ５を備えて構成される。

図４０は、図３９に示したデジタルコンバーゼンス補正回路Ｂ５の一構成例を示したブロック図である。このコンバーゼンス補正回路は、図３６に示したコンバーゼンス補正回路に、異なるメモリ部６Ｘ、ＤＡＣ（８Ｘ）及びローパスフィルタ部９Ｘを備え、１ビットラッチ及びゲートパルス発生回路を備えることなく構成される。

メモリ部６は、異なる周波数に対応するメモリ６０～６ｎからなり、ローパスフィルタ部９Ｘは、異なる周波数に対応するローパスフィルタ９０～９ｎからなる。周波数検出回路１２は、水平ブランキングパルス

Ｈ＿ＢＬＫ及び垂直ブランキングパルスＶ＿ＢＬＫに基づき、選択信号を出力し、メモリ６Ｘを構成するいずれかのメモリ６ｉを選択するとともに、ローパスフィルタ９Ｘを構成するいずれかのローパスフィルタ９ｉを選択する。ＤＡＣ（８Ｘ）は、補正データをアナログ信号に変換するデジタル／アナログ変換回路であり、補正データが８ビット幅であれば、８ビット幅のＤＡＣにより構成される。アドレスカウンタ５からの読み出しアドレスに基づいて、選択されたメモリ６ｉから画面走査に同期して補正データが読み出され、ＤＡＣ（８Ｘ）が読み出された補正データをアナログ信号に変換し、入力映像信号の走査周波数に対応したローパスフィルタ９ｉにより、このアナログ信号を平滑化してコンバーゼンス補正信号ｉＤＹを生成する。

このコンバーゼンス補正装置は、垂直表示範囲検出回路１７、水平表示範囲検出回路１８及びアドレス制御回路１９Ａを備えることにより、実施の形態４と同様にして、アドレスカウンタ１７が、オーバースキャン状態の場合には有効画面内にある各コンバーゼンス補正に対応するアドレスを生成するとともに、アンダースキャンの場合には、画面ラスタ内にある各コンバーゼンス補正に対応するアドレスを生成する。従って、常に、画面ラスタと有効画面の関係に応じたコンバーゼンス補正を行うことができる。

一方、走査周波数が変化した場合には、走査周波数に対応するメモリ６ｉ及び走査周波数に対応するローパスフィルタ９ｉを選択して対応することができる。このため、走査周波数の変化に伴って画面ラスタと有効画面の関係が変化した場合にも、所望のコンバーゼンス補正を行うことができる。さらに、走査周波数の変化により、画面ラスタと有効画面の関係が変化した場合のみならず、同一の走査周波数の場合であっても、画面ラスタと有効画面の関係が異なる場合に、所望のコンバーゼンス補

正を行うことができる。

また、実施の形態５の場合と同様、指示信号発生回路２１を備えることにより、垂直表示範囲検出信号Ｖ＿ＤＩＳ及び水平表示範囲検出信号Ｈ＿ＤＩＳに基づいて、表示範囲指示信号ＨＶ＿ＣＳＬを出力することができる。このため、画面上に表示範囲の周辺端部を示す矩形枠状の映像を表示させ、垂直有効画面信号Ｖ＿ＤＩＳｏのデータ及び水平有効画面信号Ｈ＿ＤＩＳｏのデータを容易に求めることができる。

また、アドレス制御回路１９Ａを備えることにより、実施の形態７の場合と同様にして、アンダースキャン状態の場合に、画面ラスタの上端部及び下端部においてコンバーゼンス補正信号が急激に変化し、表示画像が乱れることを防止することができる。

請求の範囲

1． 画面上の位置に1対1に対応する各コンバーゼンス補正点について補正データを記憶するメモリと、メモリに対する読み出しアドレスを画面走査に同期して生成するアドレスカウンタとを備え、読み出された補正データに基づいてコンバーゼンス補正信号を生成するデジタルコンバーゼンス補正装置において、

垂直偏向電流に基づいて、画面上における映像表示範囲の垂直方向の位置に相当する垂直表示範囲検出信号を生成し、出力する垂直表示範囲検出回路と、

この垂直表示範囲検出信号に基づいて、アドレスカウンタを制御するアドレス制御回路とを備えることを特徴とするデジタルコンバーゼンス補正装置。

2． 垂直表示範囲検出回路は、垂直偏向電流の電流値を所定の比較レベルと比較するコンパレータを備え、

アンダースキャン状態の場合、画面ラスタの垂直方向の両端の位置に相当するレベルを比較レベルとし、オーバースキャン状態の場合、有効画面の垂直方向の両端の位置に相当するレベルを比較レベルとすることを特徴する請求項1に記載のデジタルコンバーゼンス補正装置。

3． アドレス制御回路は、オーバースキャン状態の場合における垂直表示範囲検出信号を垂直有効画面信号として予め記憶保持し、アンダースキャン状態の場合に、この垂直有効画面信号の変化タイミングと、垂直表示範囲検出信号の変化タイミングのズレを求め、このタイミングのズレを読み出しアドレスに換算し、アドレスカウンタへ出力することを特徴とする請求項2に記載のデジタルコンバーゼンス補正装置。

4． 垂直表示範囲検出信号に基づいて、画面上の垂直方向における映

像表示範囲を表示する表示範囲指示信号を出力する指示信号発生回路を備えることを特徴とする請求項１に記載のデジタルコンバーゼンス補正装置。

５．　請求項４に記載のデジタルコンバーゼンス補正装置と、

このデジタルコンバーゼンス補正回路からの表示範囲指示信号に基づき映像表示を行う映像表示回路とを備えることを特徴とするディスプレイ装置。

６．　アドレス制御回路は、オーバースキャン状態の場合に、垂直同期信号及び垂直表示範囲検出信号に基づき、最初の水平走査期間における読み出しアドレスを、垂直同期信号の変化時から垂直表示範囲検出信号の変化時まで、水平走査期間ごとにアドレスカウンタへ出力することを特徴とする請求項１に記載のデジタルコンバーゼンス補正装置。

７．　アドレス制御回路は、オーバースキャン状態の場合に、垂直同期信号及び垂直表示範囲検出信号に基づき、最後の水平走査期間における読み出しアドレスを、垂直表示範囲検出信号の変化時から垂直同期信号の変化時までの水平走査期間ごとにアドレスカウンタへ出力することを特徴とする請求項１に記載のデジタルコンバーゼンス補正装置。

８．　請求項１から３、６、７のいずれかに記載のデジタルコンバーゼンス補正装置を備えることを特徴とするディスプレイ装置。

９．　画面上の位置に１対１に対応する各コンバーゼンス補正点について補正データを記憶するメモリと、メモリに対する読み出しアドレスを画面走査に同期して生成するアドレスカウンタとを備え、読み出された補正データに基づいてコンバーゼンス補正信号を生成するデジタルコンバーゼンス補正装置において、

水平偏向電流に基づいて、画面上の映像表示範囲の水平方向の位置に相当する水平表示範囲検出信号を生成し、出力する水平表示範囲検出回

路と、

この水平表示範囲検出信号に基づいて、アドレスカウンタを制御するアドレス制御回路とを備えることを特徴とするデジタルコンバーゼンス補正装置。

１０．　水平表示範囲検出回路は、水平偏向電流の電流値を所定の比較レベルと比較するコンパレータを備え、

アンダースキャン状態の場合、画面ラスタの水平方向の両端の位置に相当するレベルを比較レベルとし、オーバースキャン状態の場合、有効画面の水平方向の両端の位置に相当するレベルを比較レベルとすることを特徴する請求項９に記載のデジタルコンバーゼンス補正装置。

１１．　アドレス制御回路は、オーバースキャン状態の場合における水平表示範囲検出信号を水平有効画面信号として予め記憶保持し、アンダースキャン状態の場合に、この水平有効画面信号の変化タイミングと、水平表示範囲検出信号の変化タイミングのズレを求め、このタイミングのズレを読み出しアドレスに換算し、アドレスカウンタへ出力することを特徴とする請求項９に記載のデジタルコンバーゼンス補正装置。

１２．　請求項９から１１のいずれかに記載のデジタルコンバーゼンス補装置を備えることを特徴とするディスプレイ装置。

１３．　水平表示範囲検出信号に基づいて、画面上の水平方向における映像表示範囲を表示する表示範囲指示信号を出力する指示信号発生回路を備えて構成されることを特徴とする請求項９に記載のデジタルコンバーゼンス補正装置。

１４．　請求項１３に記載のデジタルコンバーゼンス補正装置と、

このデジタルコンバーゼンス補正回路からの表示範囲指示信号に基づき映像表示を行う映像表示回路とを備えることを特徴とするディスプレイ装置。

１５．　画面上の位置に１対１に対応する各コンバーゼンス補正点について補正データを記憶するメモリと、メモリに対する読み出しアドレスを画面走査に同期して生成するアドレスカウンタとを備え、読み出された補正データに基づいてコンバーゼンス補正信号を生成するデジタルコンバーゼンス補正装置において、

垂直偏向電流に基づいて、画面上における映像表示範囲の垂直方向の位置に相当する垂直表示範囲検出信号を生成し、出力する垂直表示範囲検出回路と、

水平偏向電流に基づいて、画面上における映像表示範囲の水平方向の位置に相当する水平表示範囲検出信号を生成し、出力する水平表示範囲検出回路と、

垂直表示範囲検出信号及び水平表示範囲検出信号に基づいて、アドレスカウンタを制御するアドレス制御回路とを備えることを特徴とするデジタルコンバーゼンス補正装置。

１６．　垂直表示範囲検出回路は、垂直偏向電流の電流値を所定の比較レベルと比較するコンパレータを備え、アンダースキャン状態の場合、画面ラスタの垂直方向の両端の位置に相当するレベルを比較レベルとし、オーバースキャン状態の場合、有効画面の垂直方向の両端の位置に相当するレベルを比較レベルとし、

水平表示範囲検出回路は、水平偏向電流の電流値を所定の比較レベルと比較するコンパレータを備え、アンダースキャン状態の場合、画面ラスタの水平方向の両端の位置に相当するレベルを比較レベルとし、オーバースキャン状態の場合、有効画面の水平方向の両端の位置に相当するレベルを比較レベルとすることを特徴する請求項１５に記載のデジタルコンバーゼンス補正装置。

１７．　アドレス制御回路は、オーバースキャン状態の場合における垂

直表示範囲検出信号を垂直有効画面信号として予め記憶保持するとともに、オーバースキャン状態の場合における水平表示範囲検出信号を水平有効画面信号として予め記憶保持し、

アンダースキャン状態の場合に、垂直有効画面信号の変化タイミングと、垂直表示範囲検出信号の変化タイミングのズレを求めるとともに、水平有効画面信号の変化タイミングと、水平表示範囲検出信号の変化タイミングのズレを求め、これらのタイミングのズレを読み出しアドレスに換算し、アドレスカウンタへ出力することを特徴とする請求項１５に記載のデジタルコンバーゼンス補正装置。

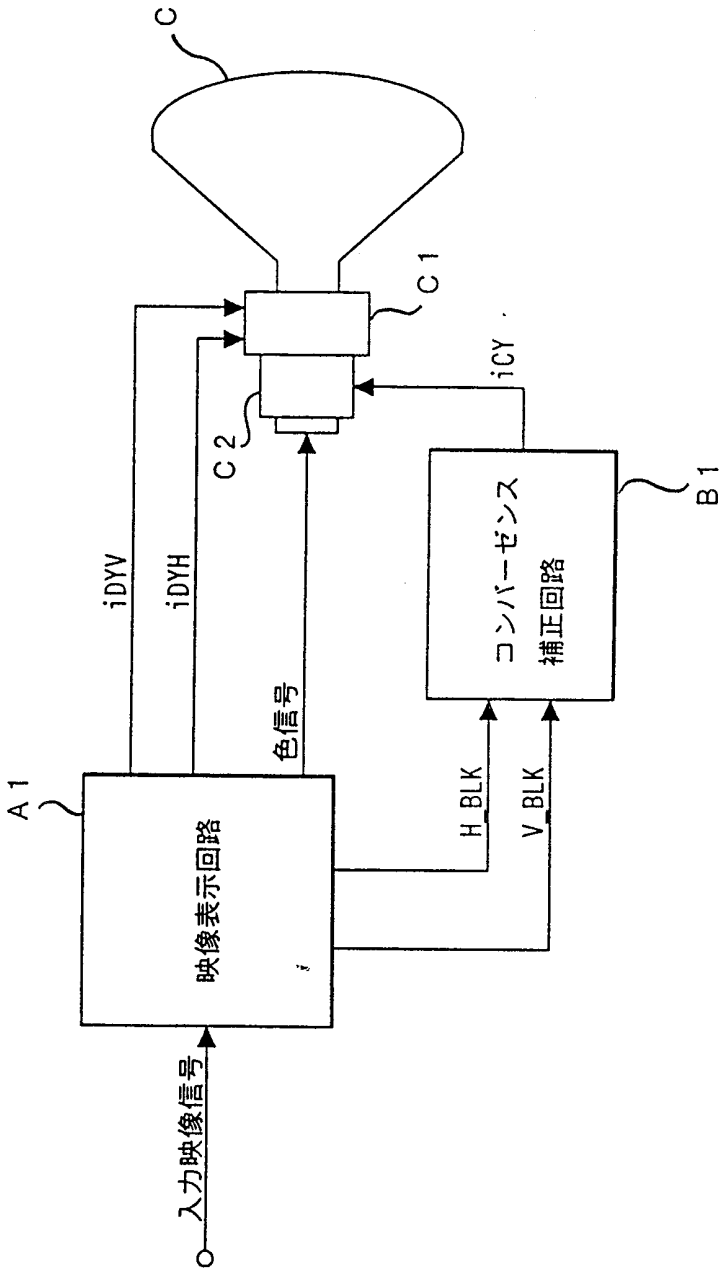
１８．　請求項１５から１７のいずれかに記載のデジタルコンバーゼンス補装置を備えることを特徴とするディスプレイ装置。

１９．　垂直表示範囲検出信号及び水平表示範囲検出信号に基づいて、画面上における映像表示範囲を表示する表示範囲指示信号を出力する指示信号発生回路を備えて構成されることを特徴とする請求項１５に記載のデジタルコンバーゼンス補正装置。

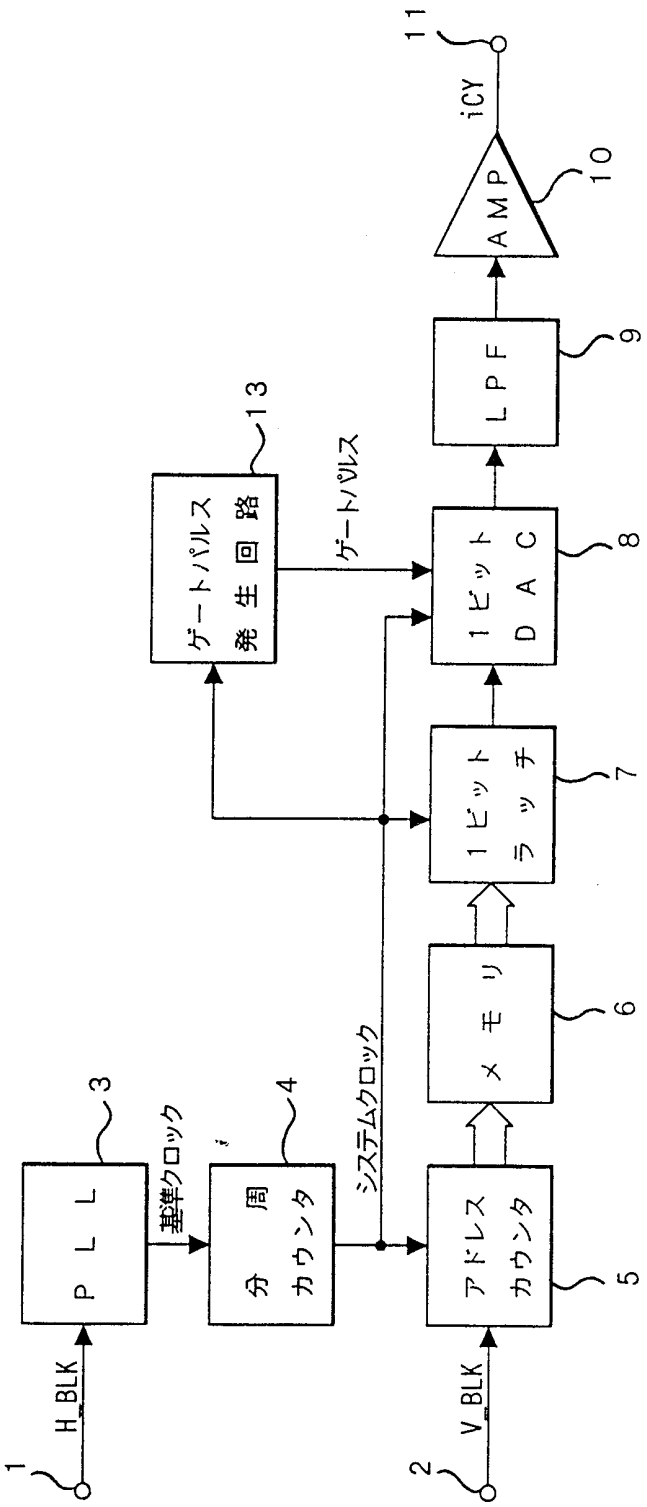
２０．　請求項１９に記載のデジタルコンバーゼンス補正装置と、

このデジタルコンバーゼンス補正回路からの表示範囲指示信号に基づき映像表示を行う映像表示回路とを備えることを特徴とするディスプレイ装置。

第 1図

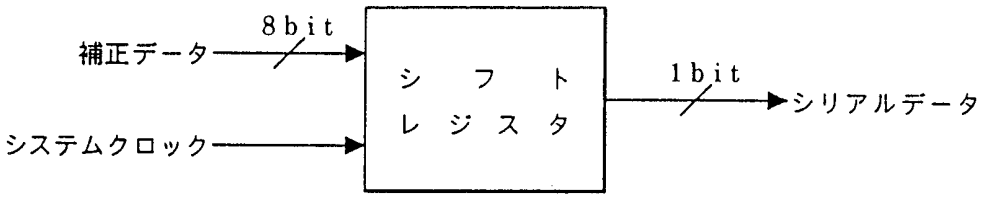

C
C 1
C 2
iDYV
iDYH
色信号
iCY
A 1
映像表示回路
コンバーゼンス
補正回路
B 1
H_BLK
V_BLK
入力映像信号

第 2図

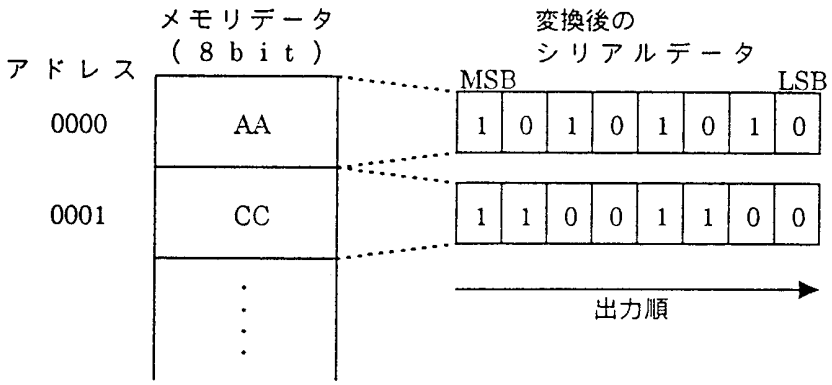

1
H_BLK
PLL
3
基準クロック
分周カウンタ
4
システムクロック
2
V_BLK
アドレスカウンタ
5
メモリ
6
1ビットラッチ
7
1ビットDAC
8
LPF
9
AMP
10
iCY
11
ゲートパルス発生回路
13
ゲートパルス

第 3図

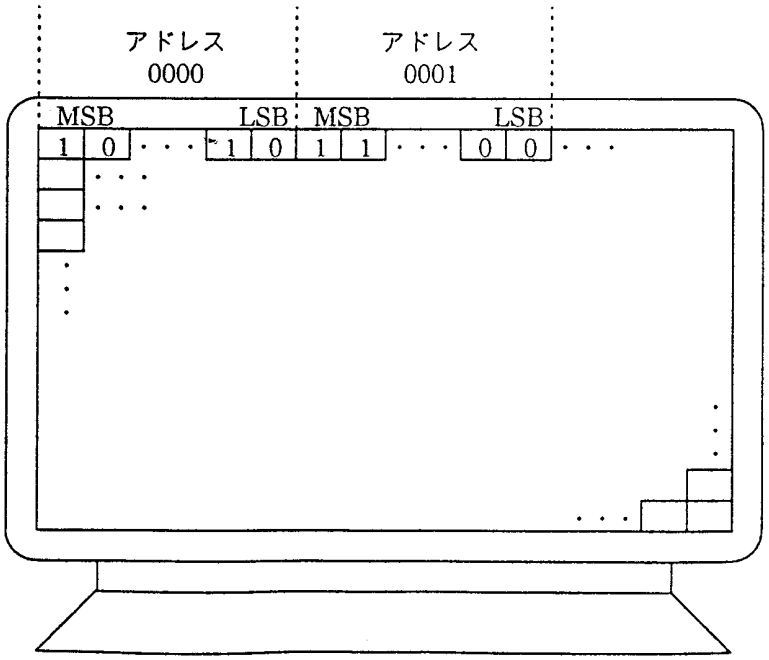
（ａ）


8bit
補正データ
システムクロック
シ フ ト
レ ジ ス タ
1bit
シリアルデータ

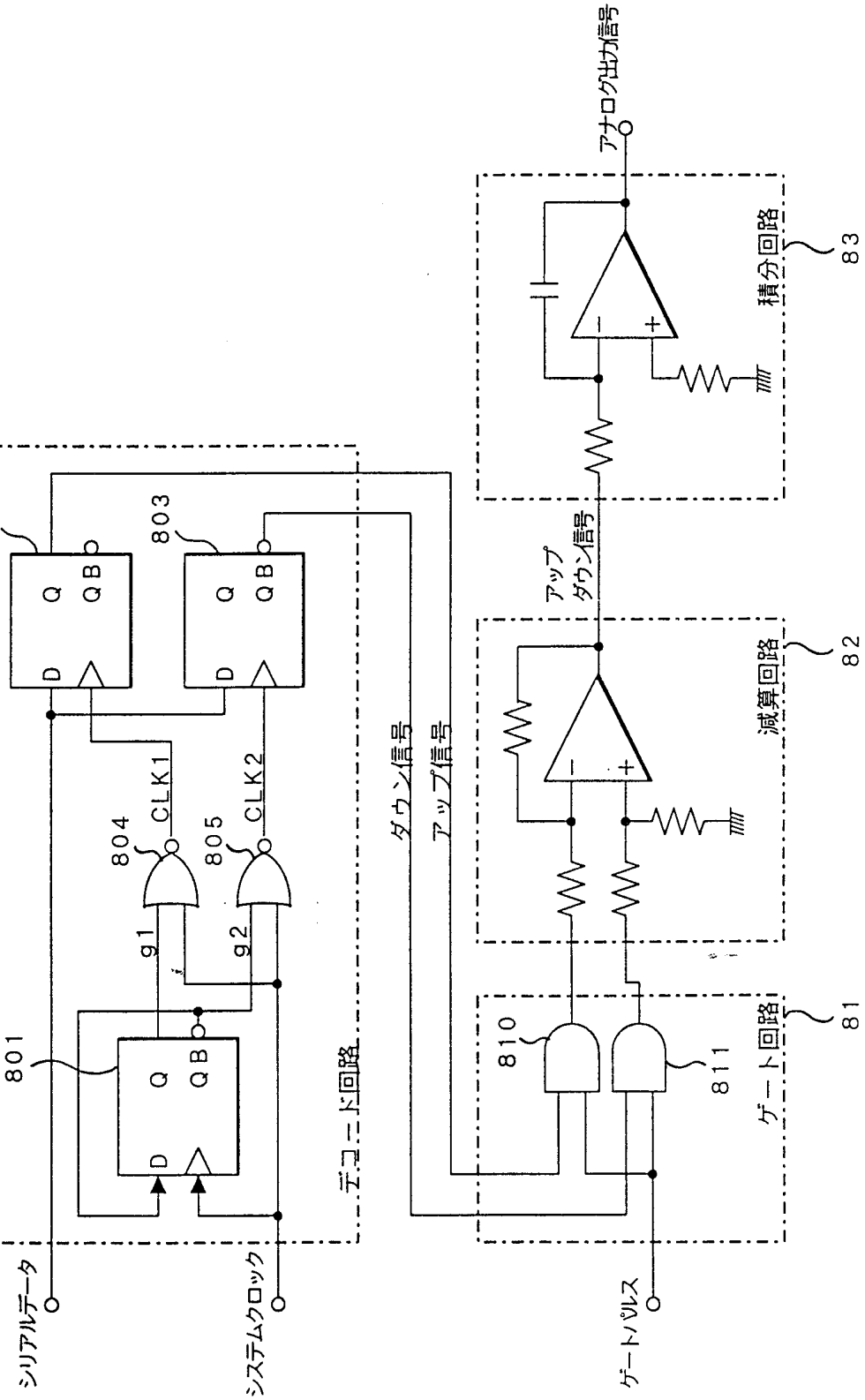
（ｂ）


メモリデータ
（8bit）
アドレス
0000
AA
0001
CC
変換後の
シリアルデータ
MSB
LSB
1 0 1 0 1 0 1 0
1 1 0 0 1 1 0 0
出力順

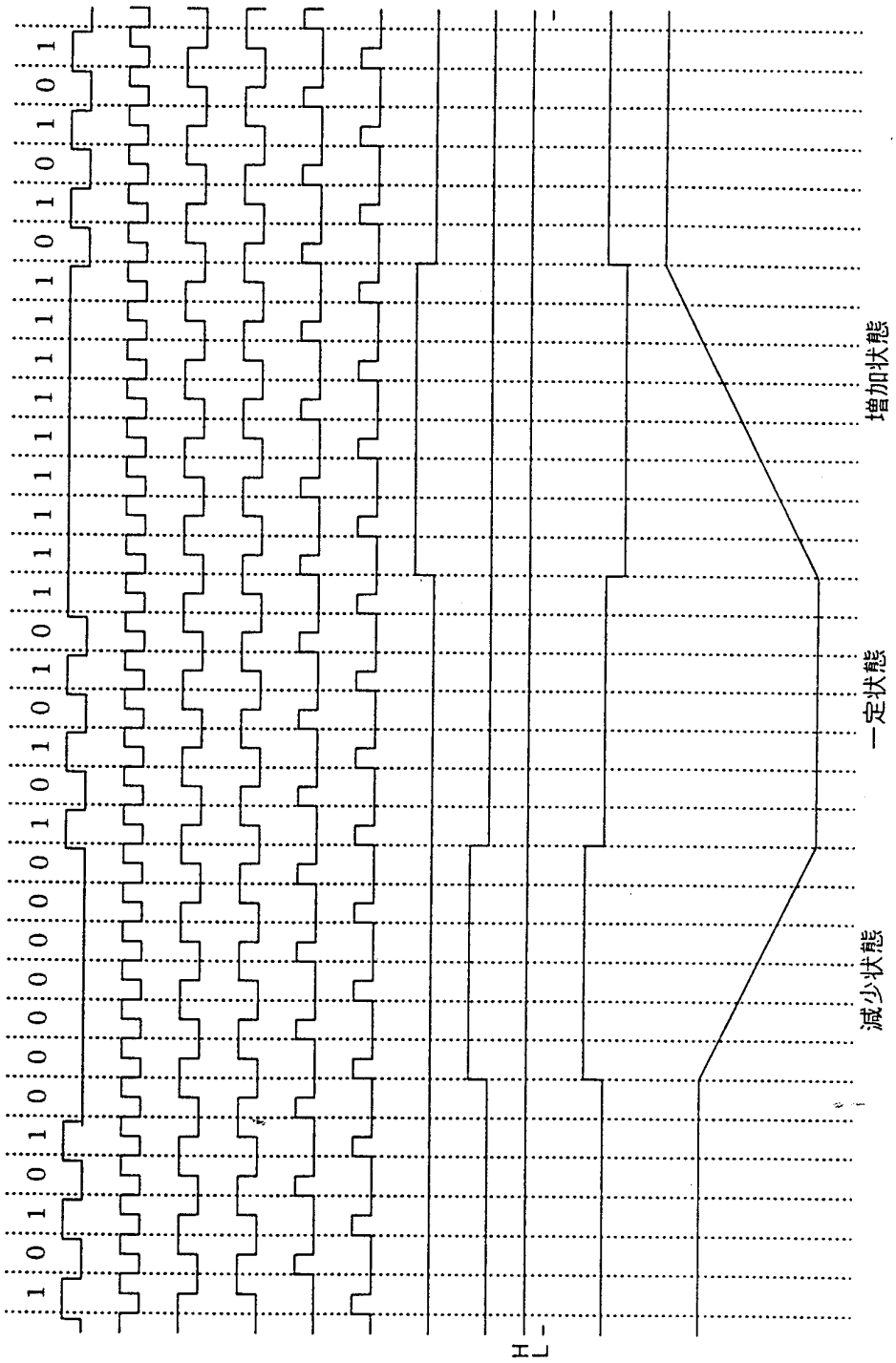
（ｃ）


アドレス
0000
アドレス
0001
MSB
LSB
MSB
LSB
1 0
1 0 1 1
0 0

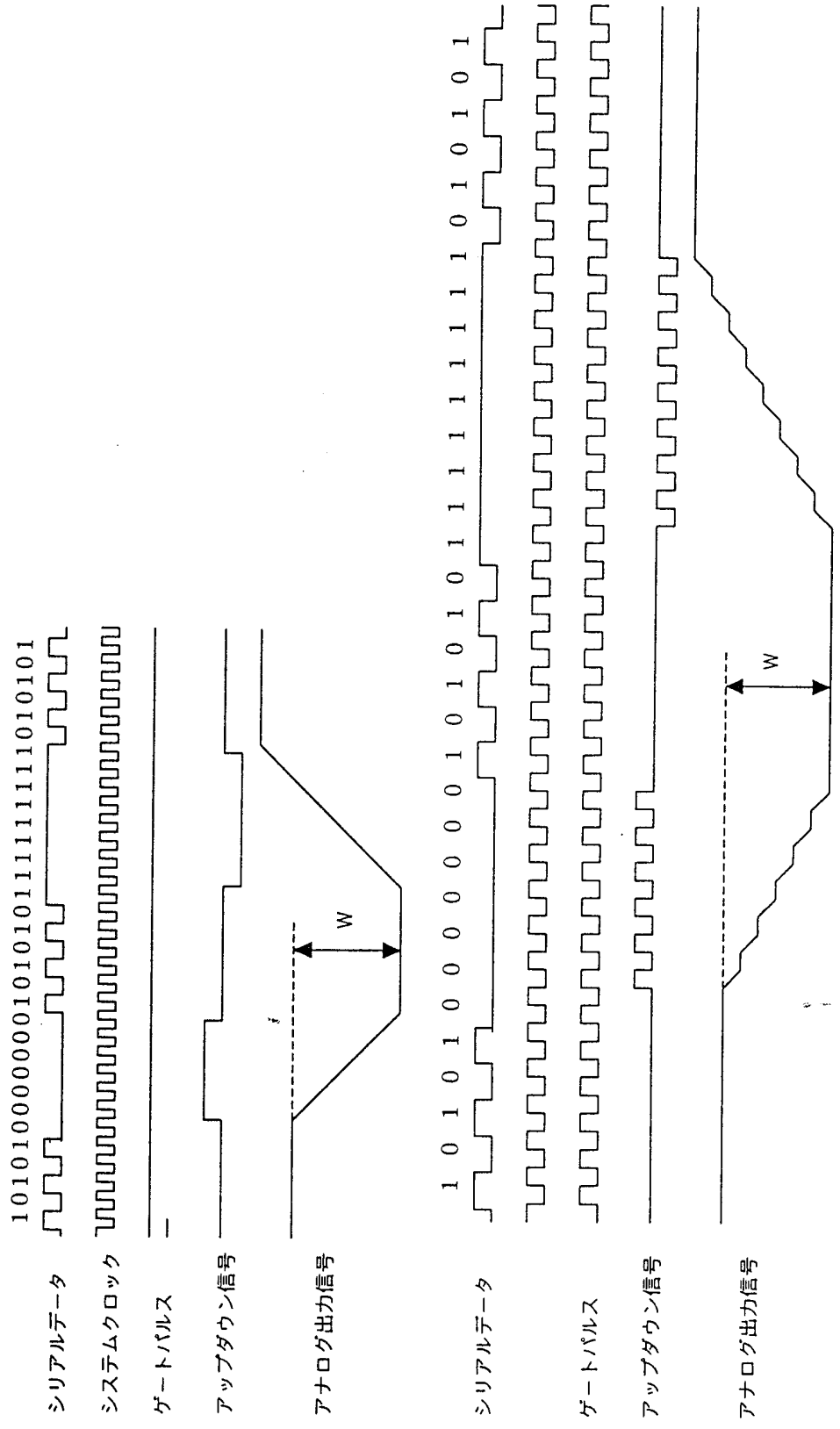
第 4図


80
802
803
801
804
805
CLK1
CLK2
g1
g2
D
Q
QB
デコード回路
シリアルデータ
システムクロック
ダウン信号
アップ信号
アップ
ダウン信号
810
811
ゲート回路
81
減算回路
82
積分回路
83
アナログ出力信号
ゲートパルス

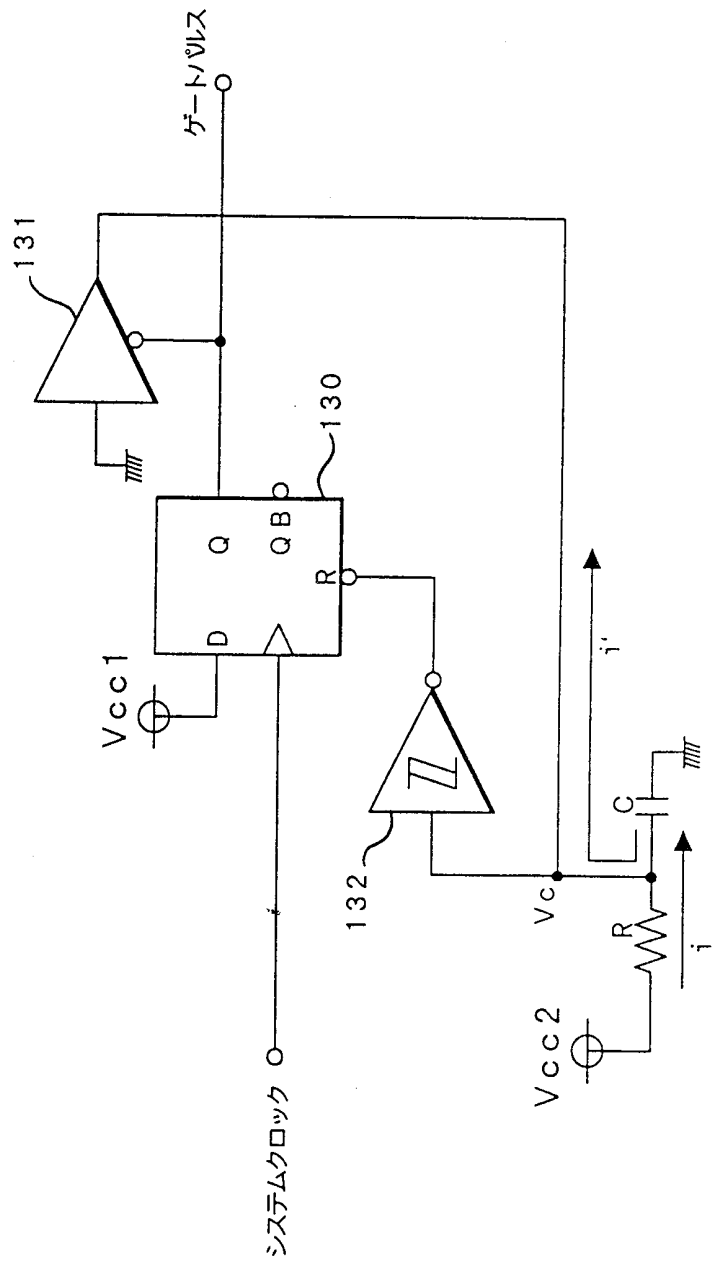
第 5図


(a) シリアルデータ
(b) システムクロック
(c) 位相ゲート信号g1
(d) 位相ゲート信号g2
(e) タイミング信号CLK1
(f) タイミング信号CLK2
(g) アップ信号
(h) ダウン信号
(i) ゲートパルス
(j) アップ／ダウン信号
(k) アナログ出力信号
H
L
減少状態
一定状態
増加状態

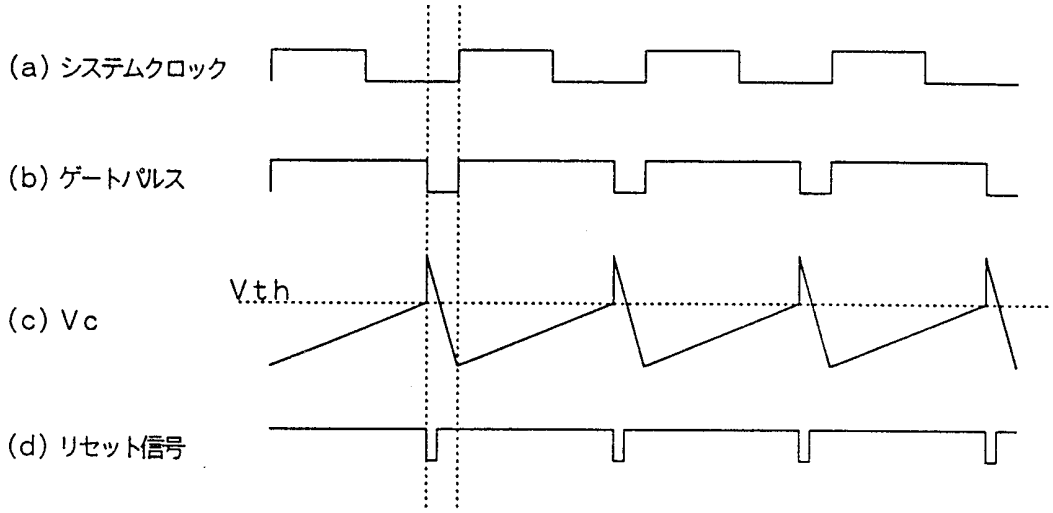
第 6図


(A)
シリアルデータ
1010100000001010101111111111010101
システムクロック
ゲートパルス
アップダウン信号
アナログ出力信号
W
(B)
シリアルデータ
1 0 1 0 1 0 0 0 0 0 0 0 0 1 0 1 0 1 1 1 1 1 1 1 1 1 1 0 1 0 1 0 1
ゲートパルス
アップダウン信号
アナログ出力信号
W

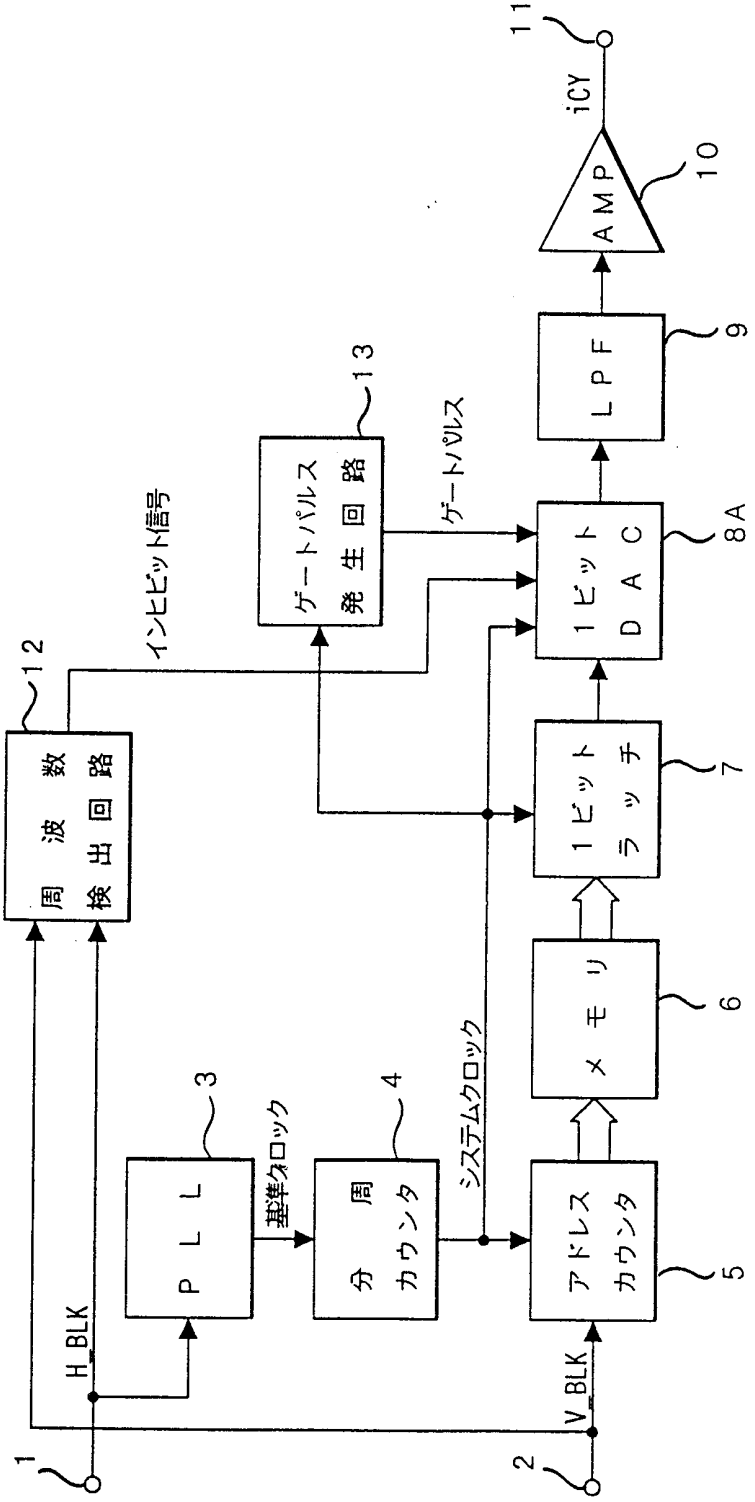
第 7図



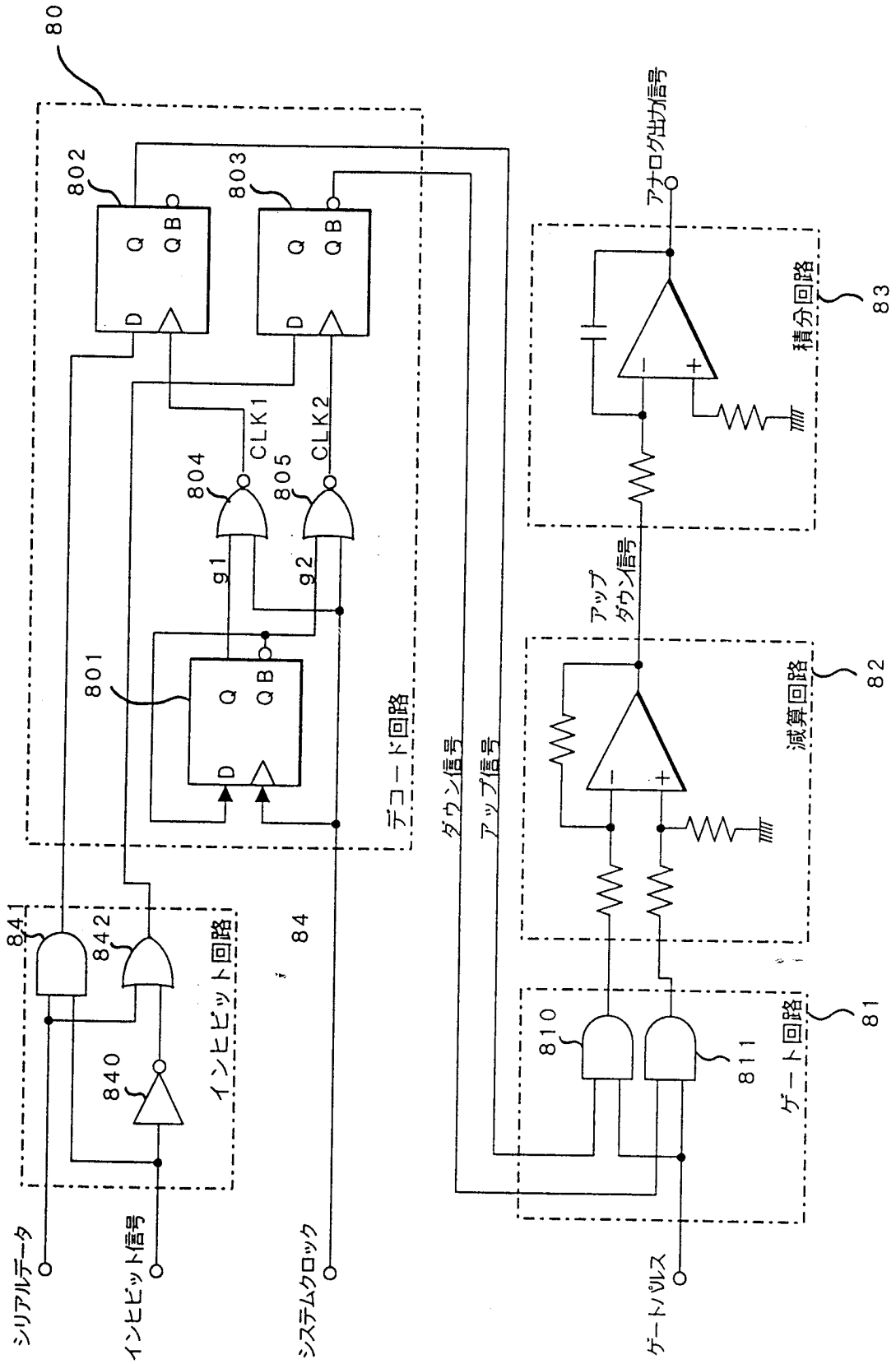
第 8図



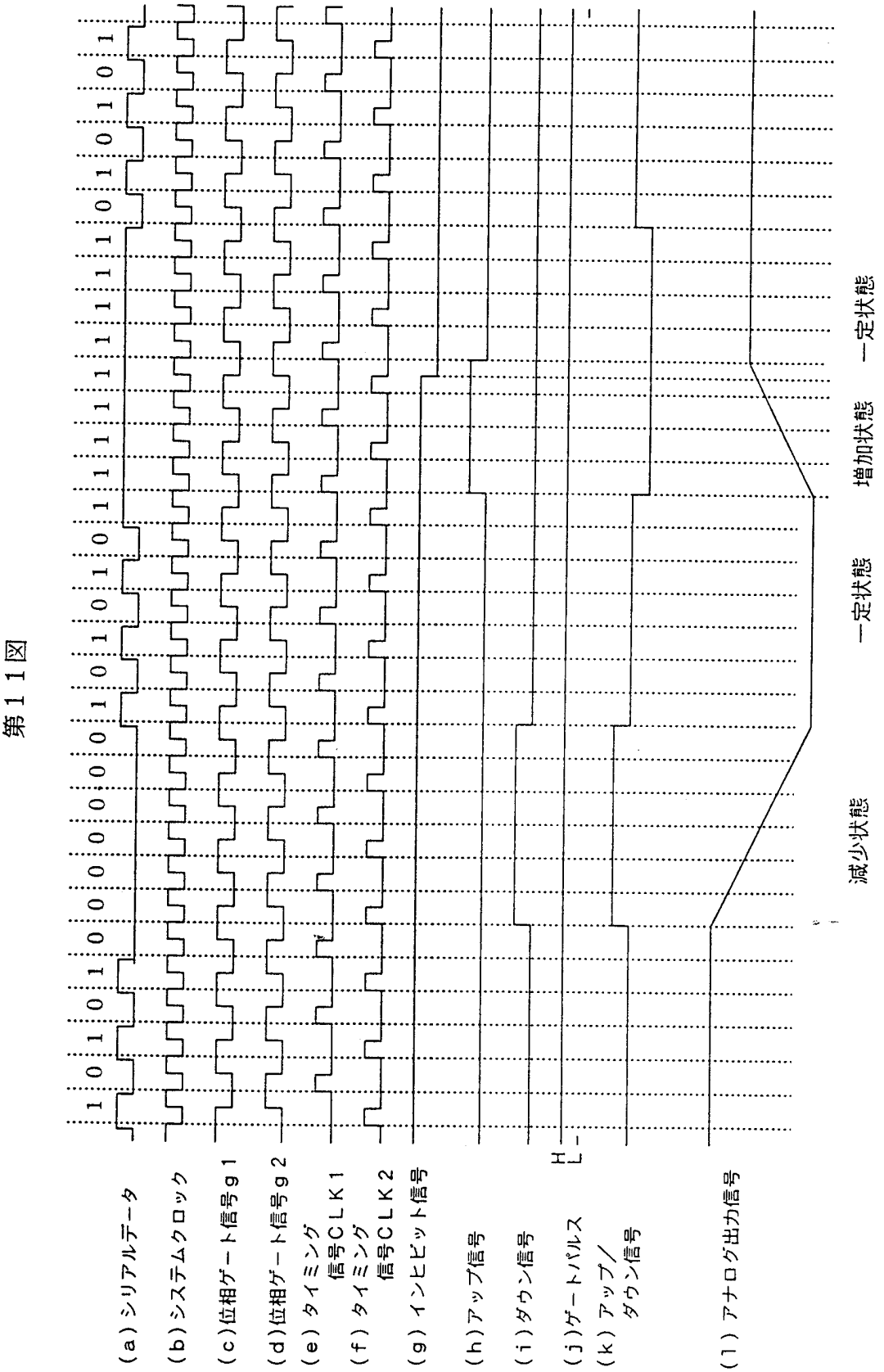
第 9 図


1
2
H_BLK
V_BLK
周波数検出回路
12
インヒビット信号
PLL
3
基準クロック
分周カウンタ
4
システムクロック
アドレスカウンタ
5
メモリ
6
1ビットラッチ
7
1ビットDAC
8A
ゲートパルス発生回路
13
ゲートパルス
LPF
9
AMP
10
iCY
11

第１０図

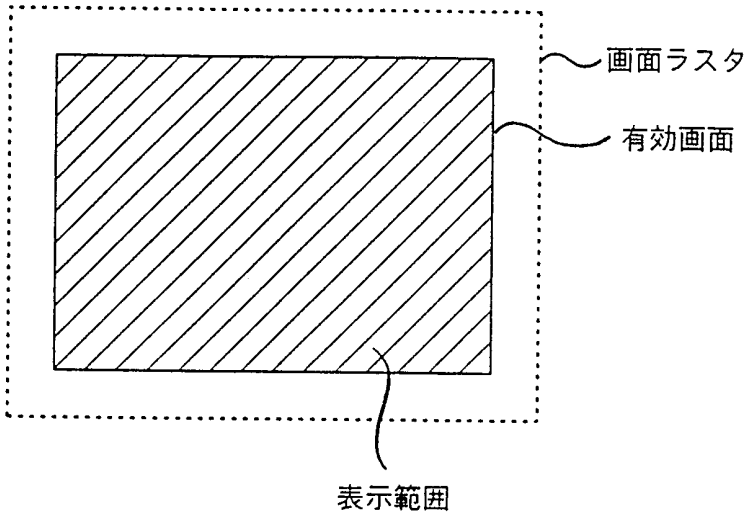

80
802
803
D
Q
QB
CLK1
CLK2
804
805
g1
g2
801
デコード回路
ダウン信号
アップ信号
アナログ出力信号
積分回路
83
アップ
ダウン信号
減算回路
82
ゲート回路
81
810
811
841
842
840
インヒビット回路
84
シリアルデータ
インヒビット信号
システムクロック
ゲートパルス

第１１図

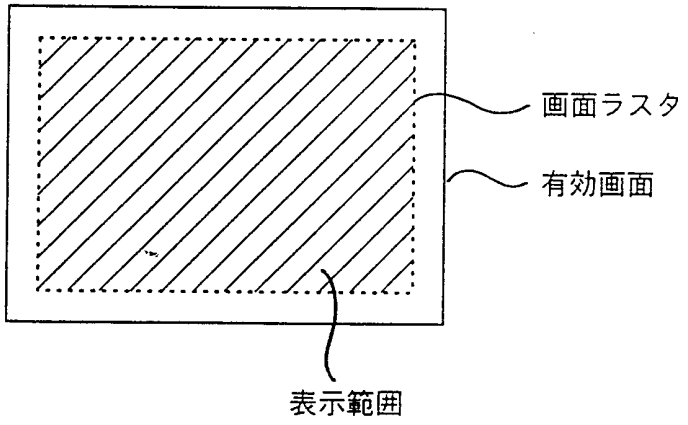

(a)シリアルデータ
(b)システムクロック
(c)位相ゲート信号g1
(d)位相ゲート信号g2
(e)タイミング信号CLK1
(f)タイミング信号CLK2
(g)インヒビット信号
(h)アップ信号
(i)ダウン信号
(j)ゲートパルス
(k)アップ／ダウン信号
(l)アナログ出力信号
H
L
減少状態
一定状態
増加状態
一定状態

第12図

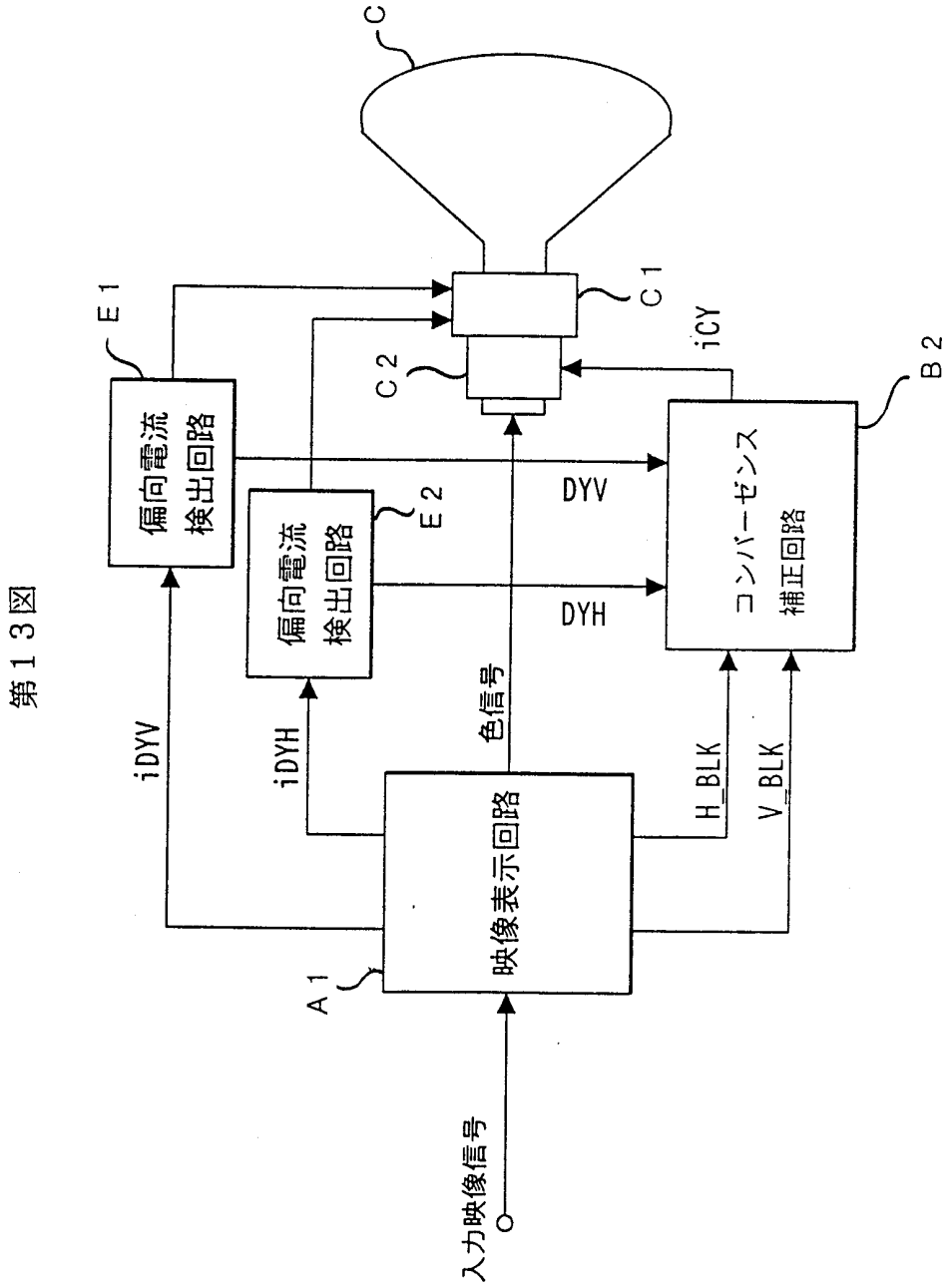
(a)



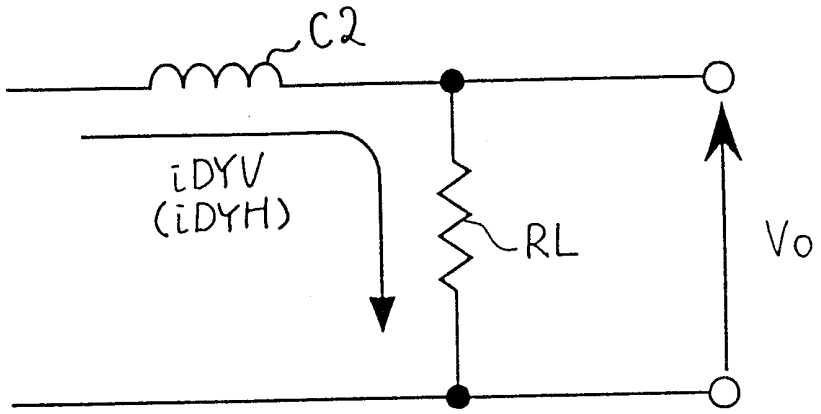
(b)



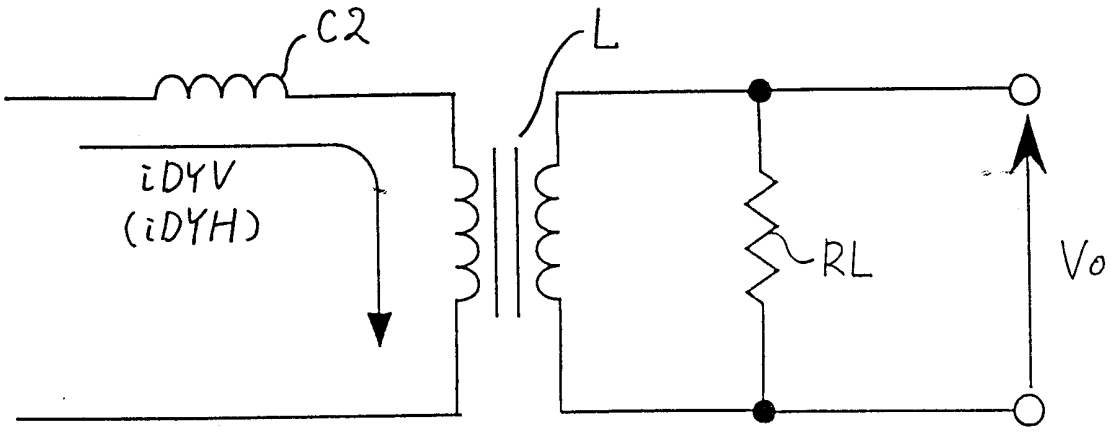
第１３図


C
C1
C2
E1
E2
iCY
B2
偏向電流
検出回路
偏向電流
検出回路
DYV
DYH
コンバーゼンス
補正回路
iDYV
iDYH
色信号
H_BLK
V_BLK
映像表示回路
A1
入力映像信号

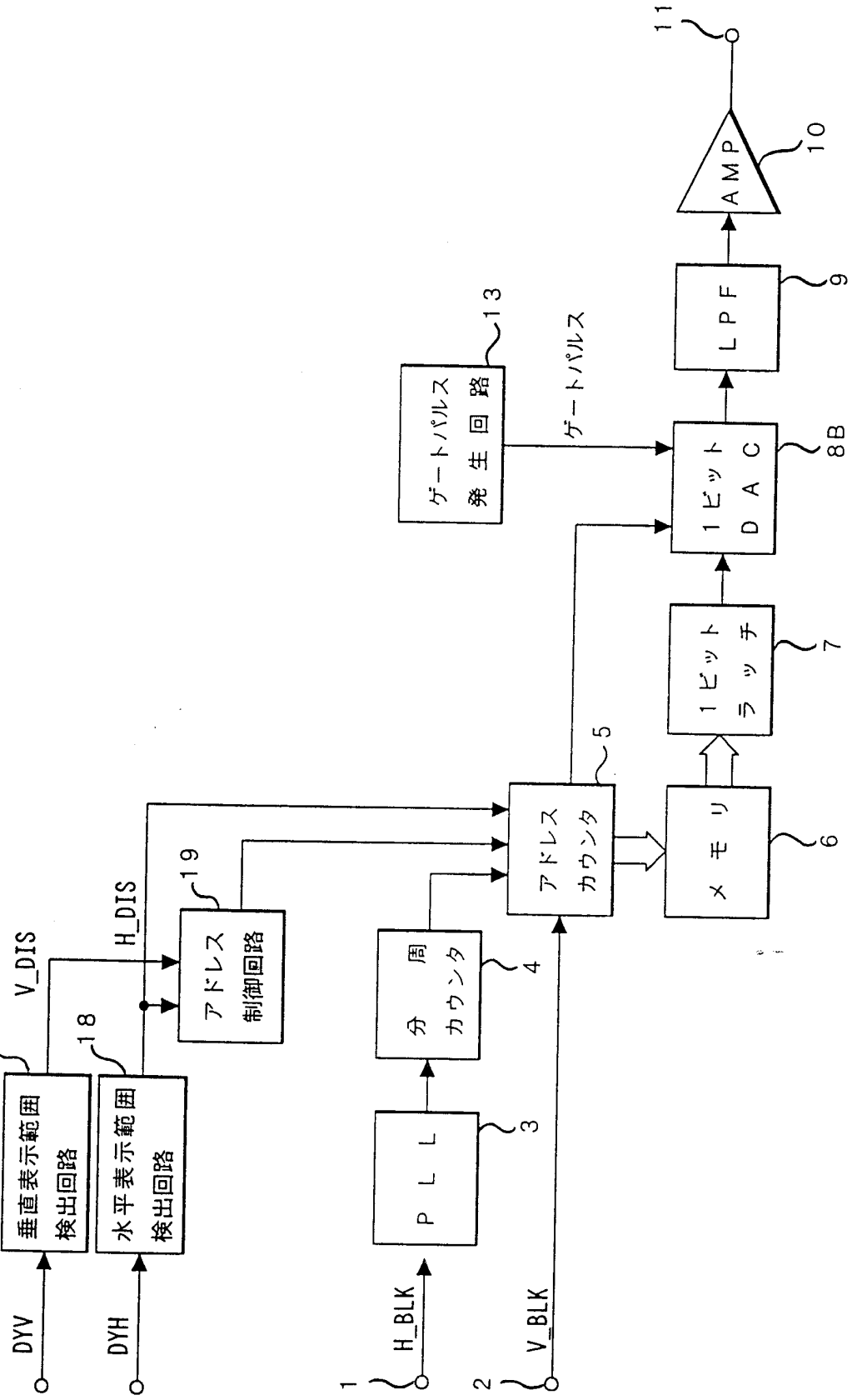
第14図



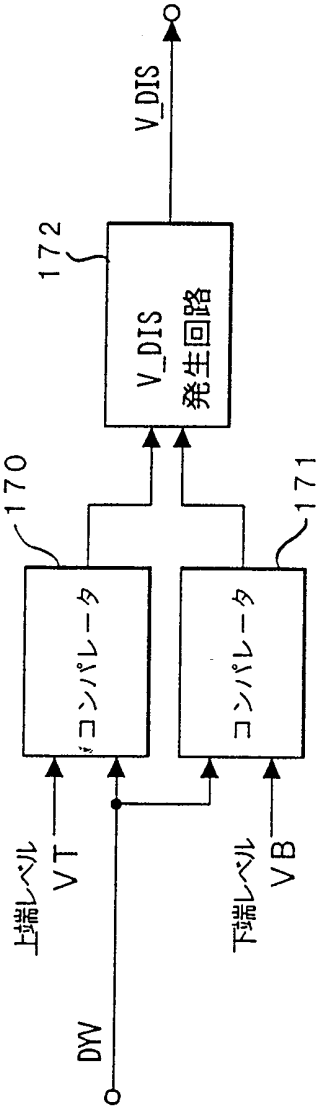
第15図



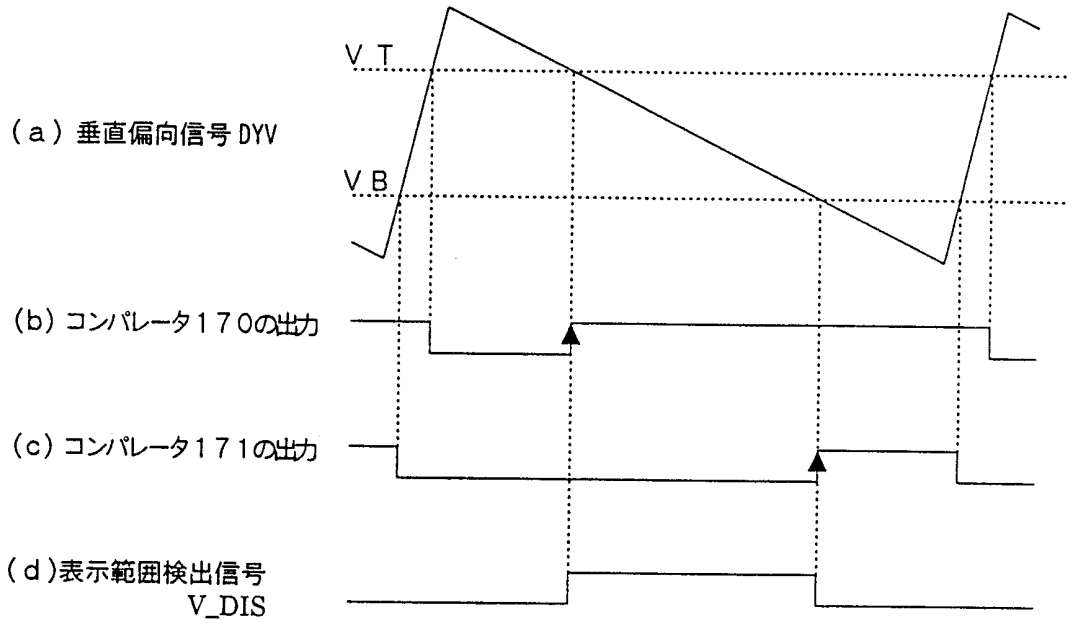
第16図


DYV
DYH
H_BLK
V_BLK
垂直表示範囲検出回路
水平表示範囲検出回路
アドレス制御回路
PLL
分周カウンタ
アドレスカウンタ
メモリ
1ビットラッチ
1ビットDAC
ゲートパルス発生回路
ゲートパルス
LPF
AMP
V_DIS
H_DIS
17
18
19
1
2
3
4
5
6
7
8B
9
10
11
13

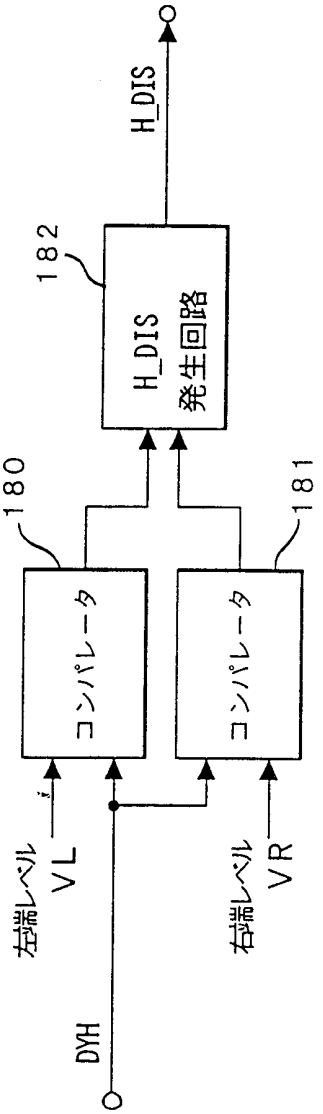
第１７図


V_DIS
172
V_DIS
発生回路
170
171
コンパレータ
コンパレータ
上端レベル
VT
下端レベル
VB
DIV

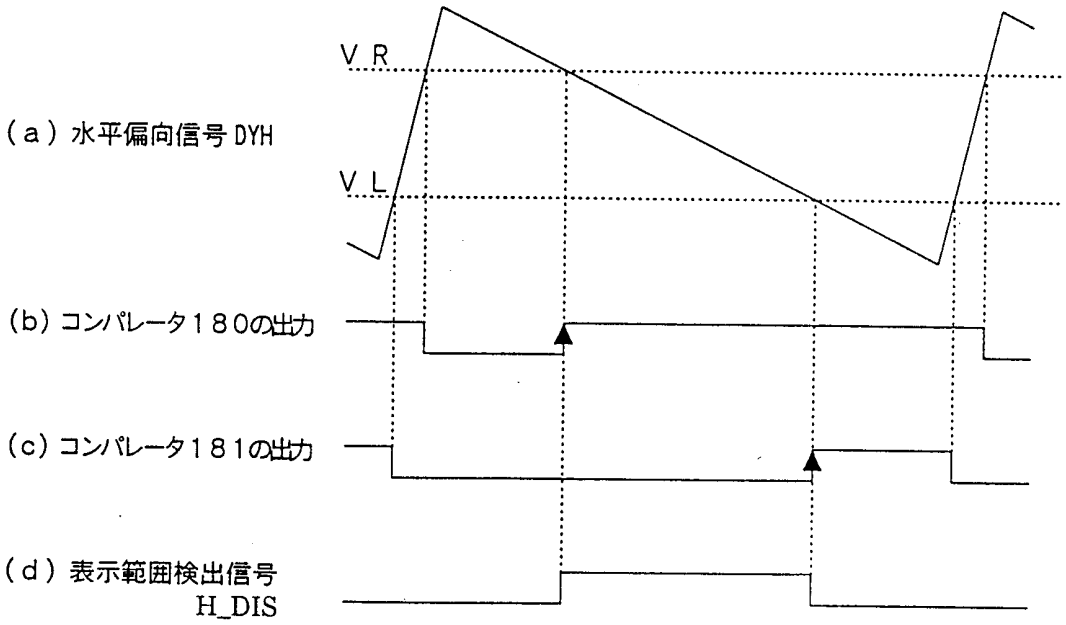
第18図


V T
V B
(a) 垂直偏向信号 DYV
(b) コンパレータ170の出力
(c) コンパレータ171の出力
(d)表示範囲検出信号
V_DIS

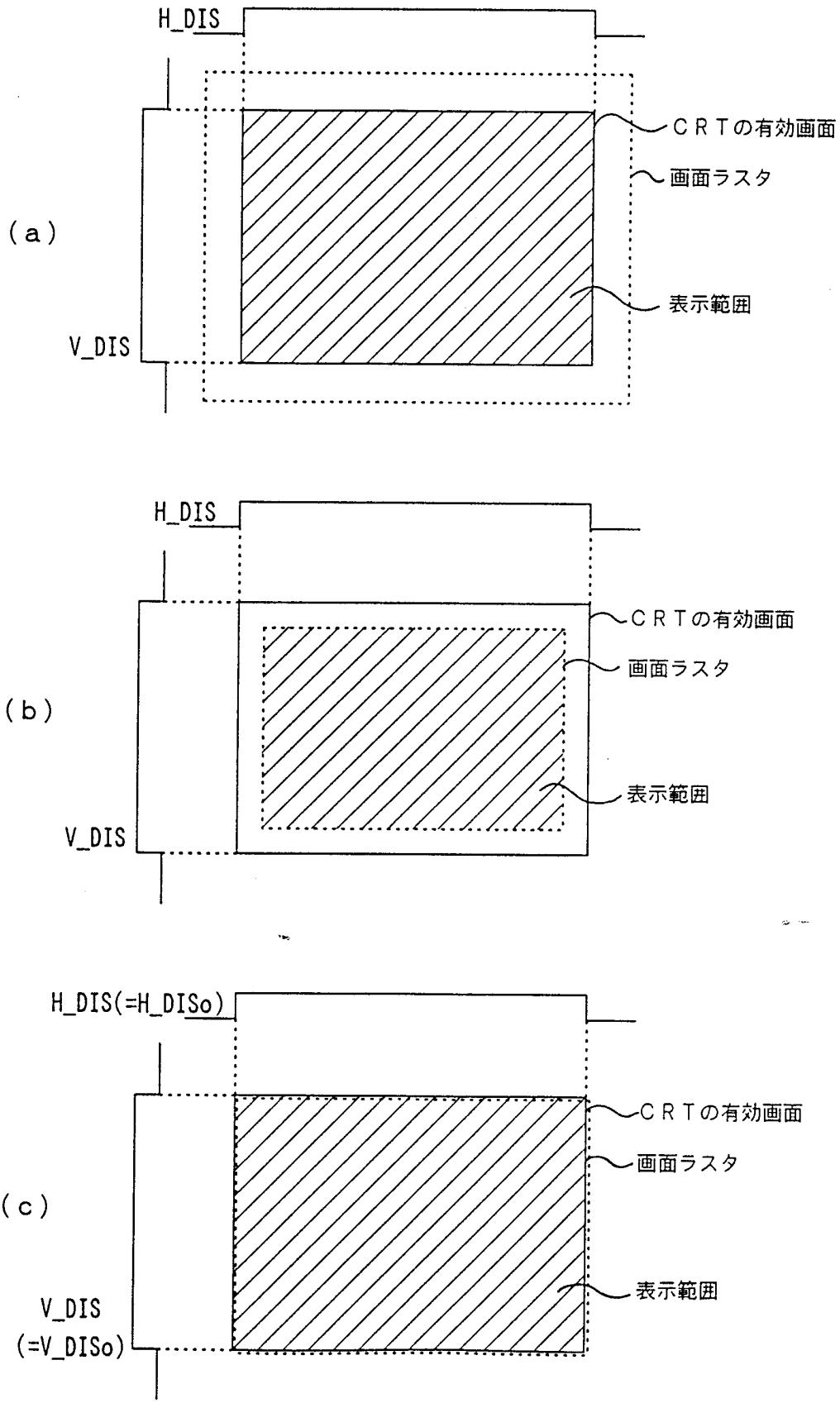
第１９図


H_DIS
182
H_DIS
発生回路
180
181
コンパレータ
コンパレータ
左端レベル
VL
右端レベル
VR
DYH

第２０図

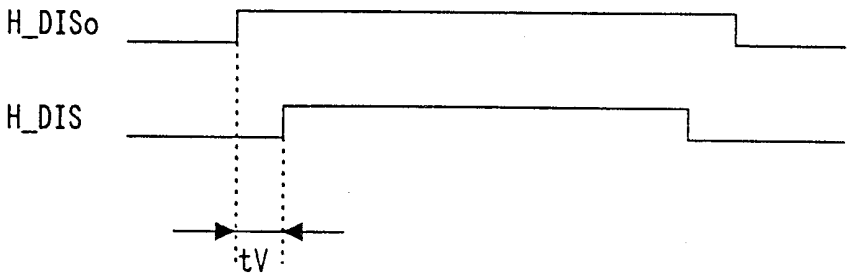

V R
V L
(a) 水平偏向信号 DYH
(b) コンパレータ１８０の出力
(c) コンパレータ１８１の出力
(d) 表示範囲検出信号
H_DIS

第21図

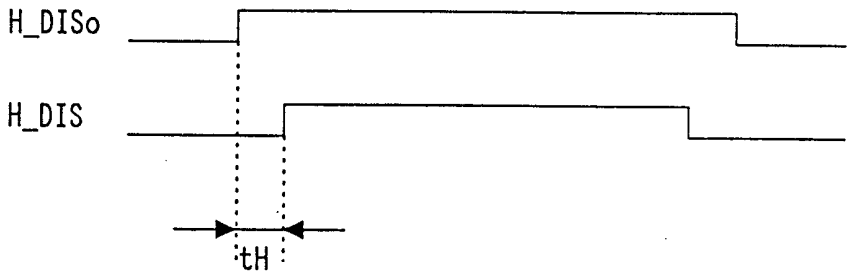

H_DIS
ＣＲＴの有効画面
画面ラスタ
(a)
表示範囲
V_DIS
H_DIS
ＣＲＴの有効画面
画面ラスタ
(b)
表示範囲
V_DIS
H_DIS(=H_DISo)
ＣＲＴの有効画面
画面ラスタ
(c)
表示範囲
V_DIS
(=V_DISo)

第22図

(a)

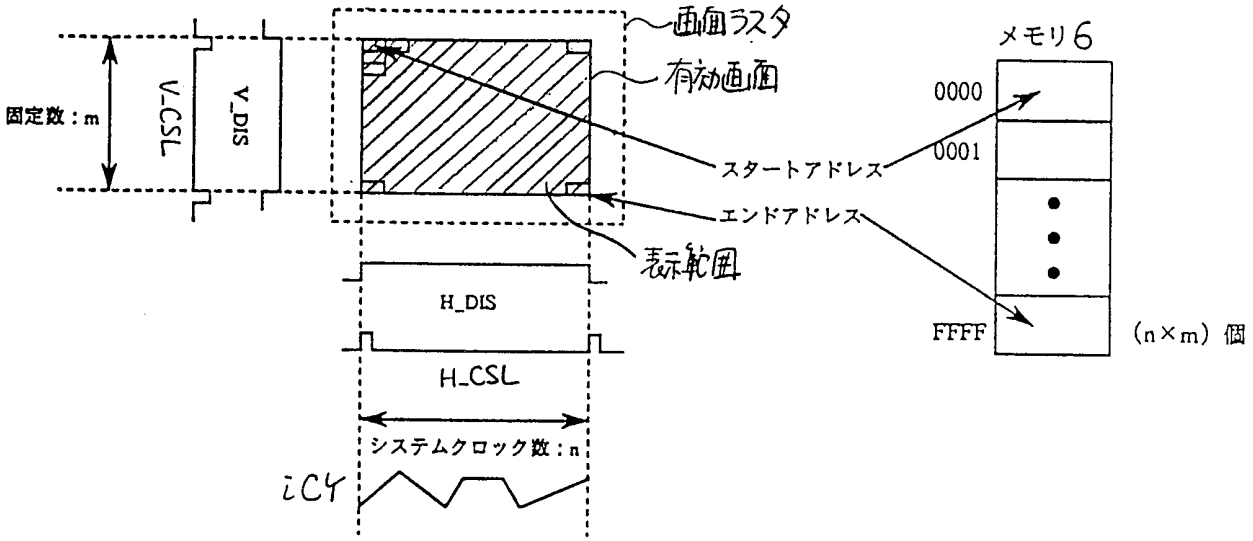


(b)

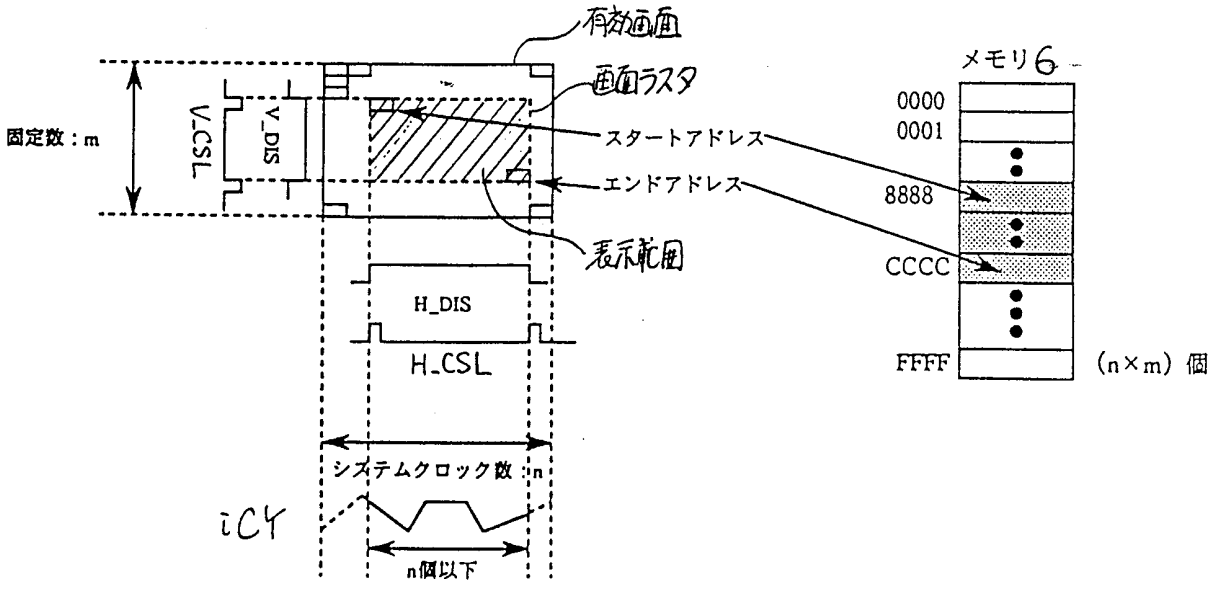


第23図

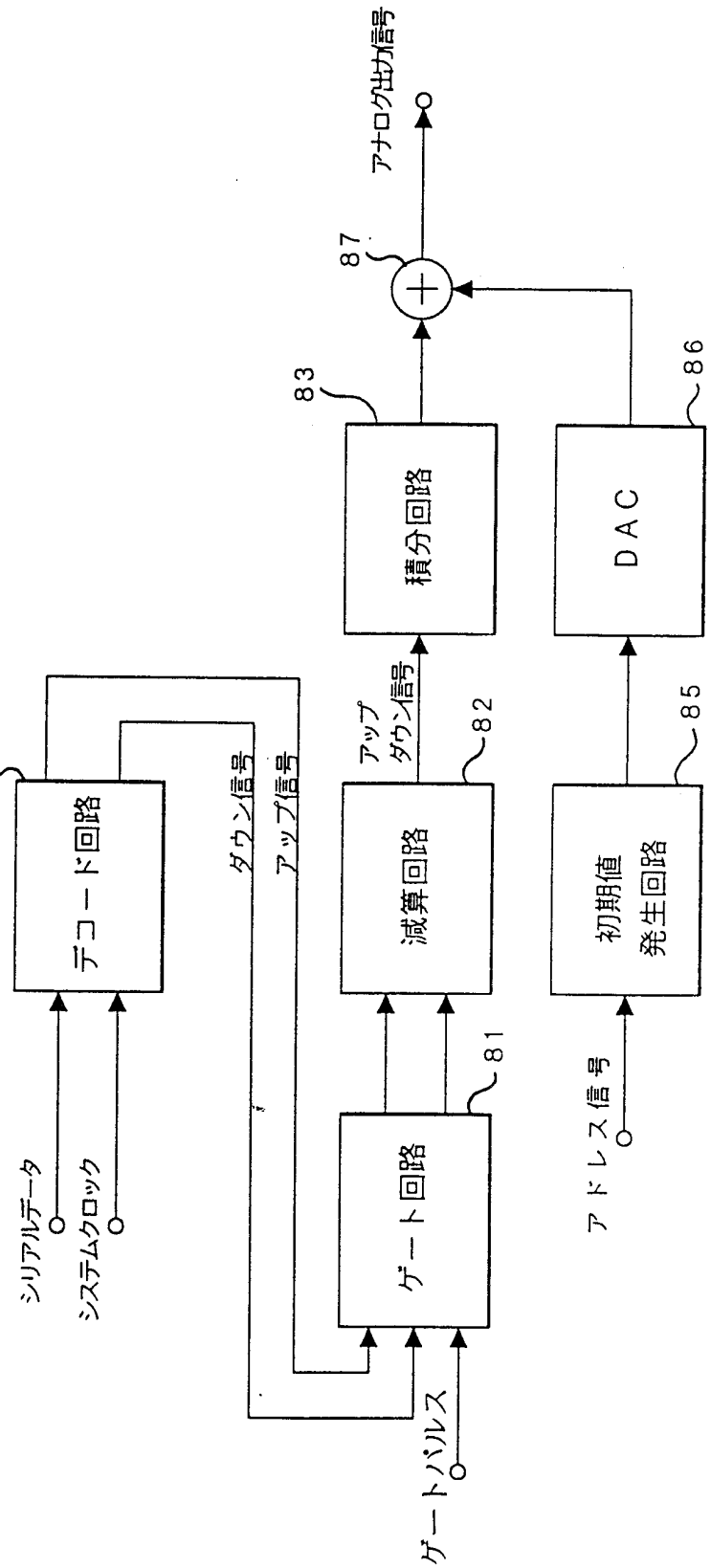
(a)


画面ラスタ
有効画面
固定数：m
V_CSL
V_DIS
スタートアドレス
エンドアドレス
表示範囲
メモリ6
0000
0001
FFFF
(n×m) 個
H_DIS
H_CSL
システムクロック数：n
iCY

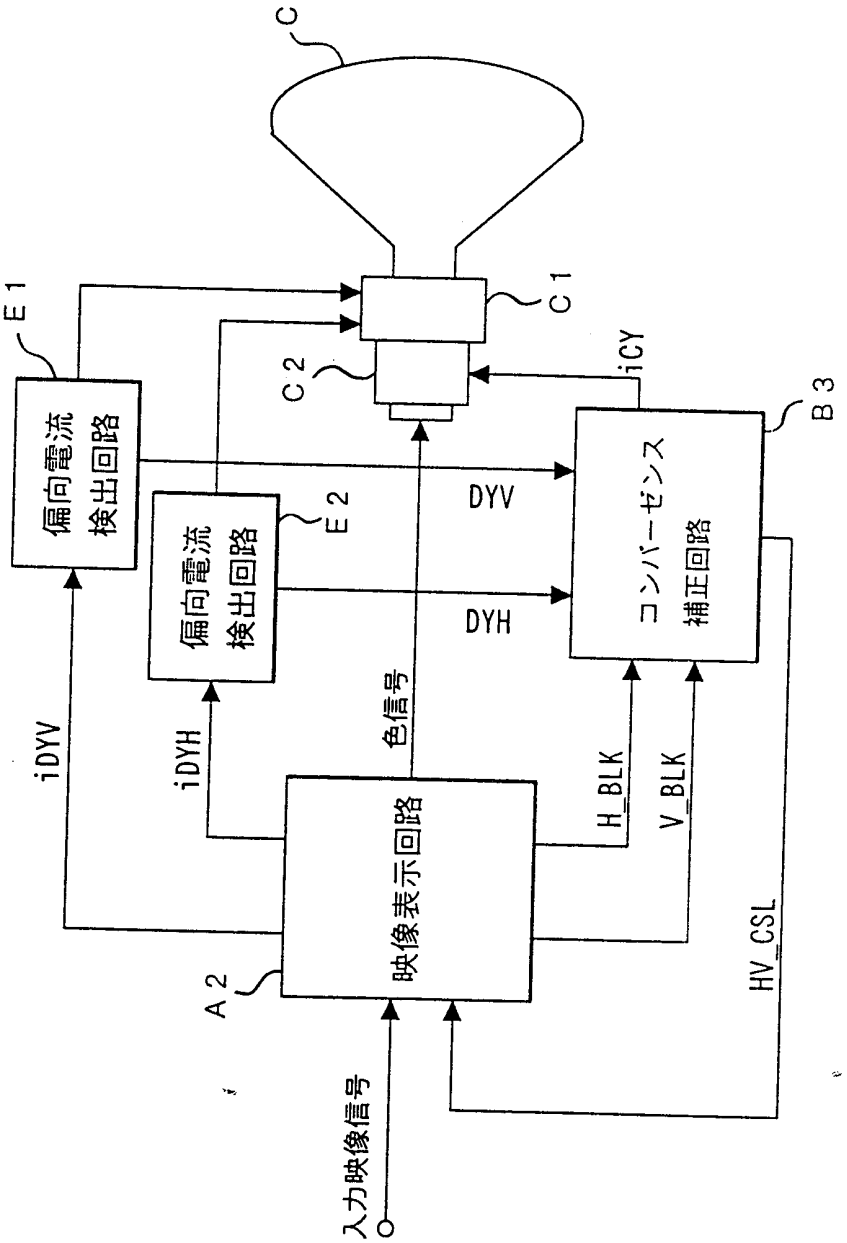
(b)


有効画面
画面ラスタ
固定数：m
V_CSL
V_DIS
スタートアドレス
エンドアドレス
表示範囲
メモリ6
0000
0001
8888
CCCC
FFFF
(n×m) 個
H_DIS
H_CSL
システムクロック数：n
iCY
n個以下

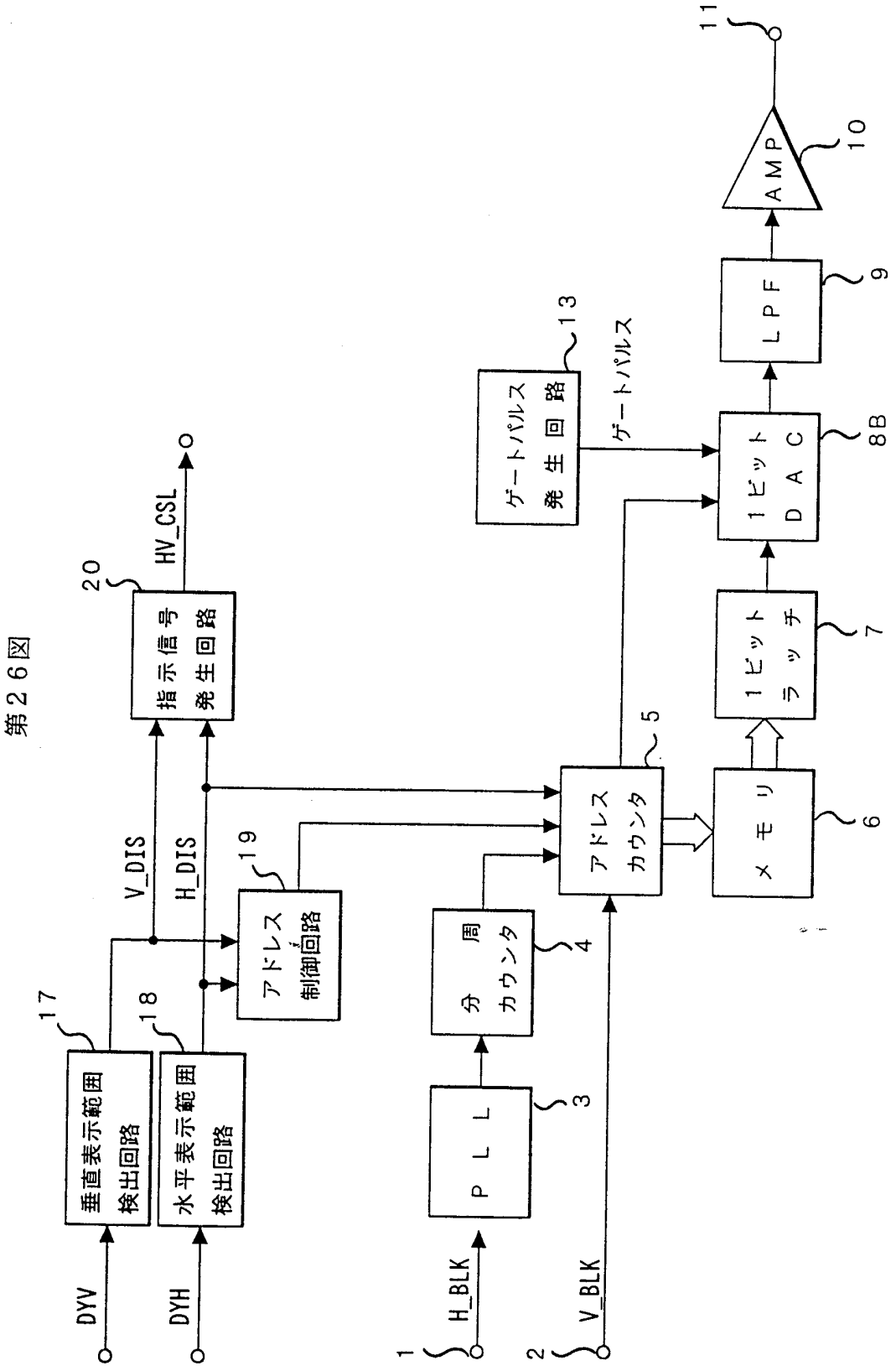
第２４図


シリアルデータ
システムクロック
デコード回路
80
ダウン信号
アップ信号
ゲートパルス
ゲート回路
81
アップ
ダウン信号
減算回路
82
積分回路
83
87
アナログ出力信号
アドレス信号
初期値
発生回路
85
DAC
86

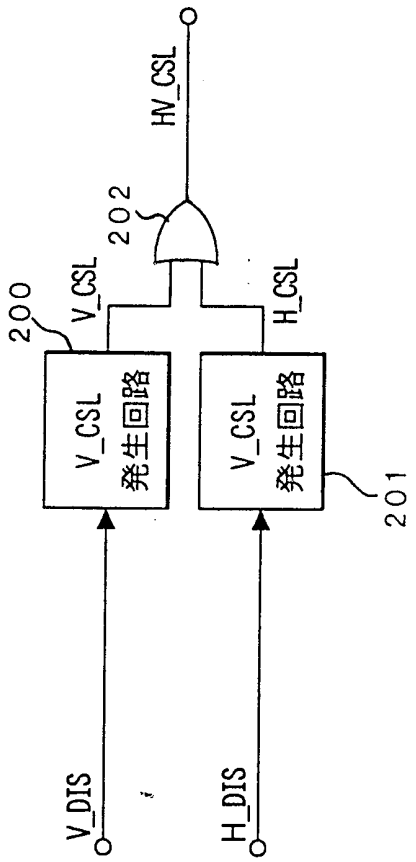
第２５図


C
C1
C2
E1
E2
A2
B3
偏向電流検出回路
偏向電流検出回路
コンバーゼンス補正回路
映像表示回路
iDYV
iDYH
DYV
DYH
iCY
色信号
H_BLK
V_BLK
HV_CSL
入力映像信号

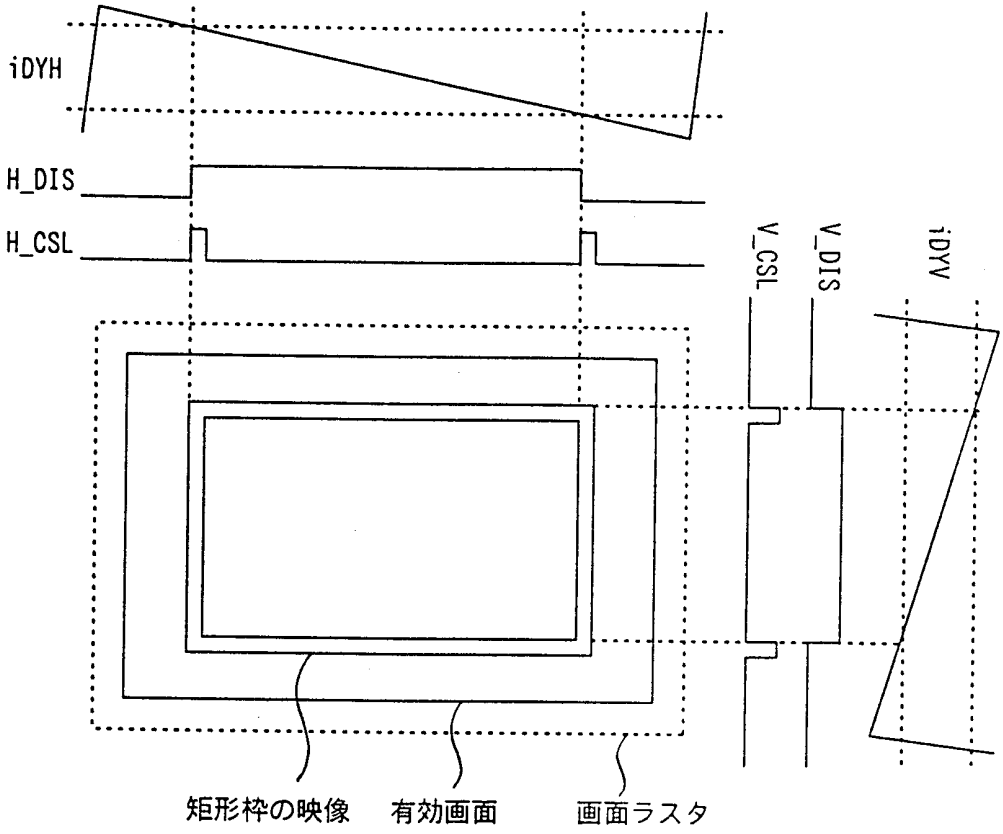
第２６図


DYV
DYH
H_BLK
V_BLK
垂直表示範囲検出回路
水平表示範囲検出回路
アドレス制御回路
指示信号発生回路
HV_CSL
V_DIS
H_DIS
PLL
分周カウンタ
アドレスカウンタ
メモリ
1ビットラッチ
1ビットDAC
ゲートパルス発生回路
ゲートパルス
LPF
AMP
1
2
3
4
5
6
7
8B
9
10
11
13
17
18
19
20

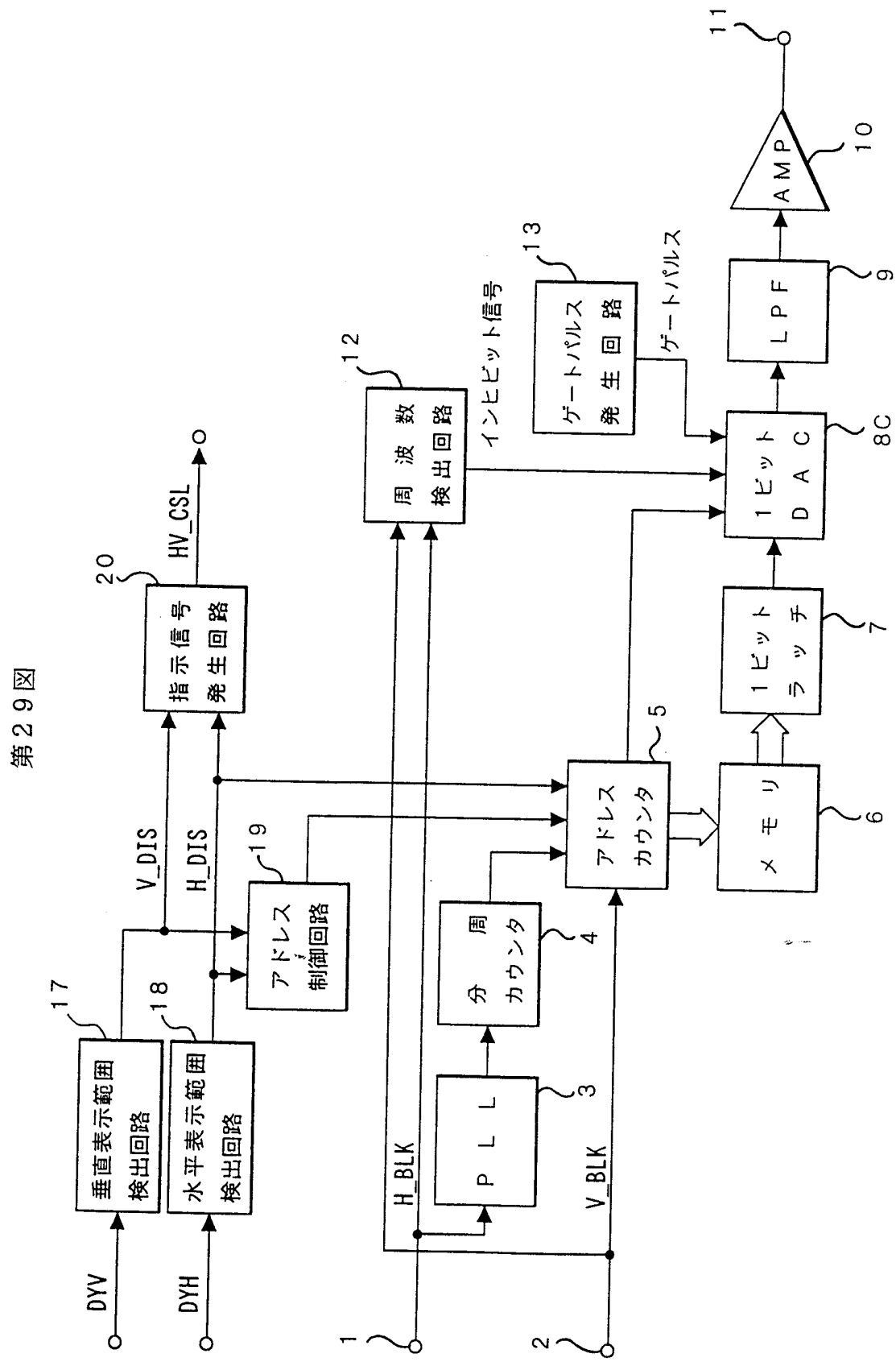
第27図



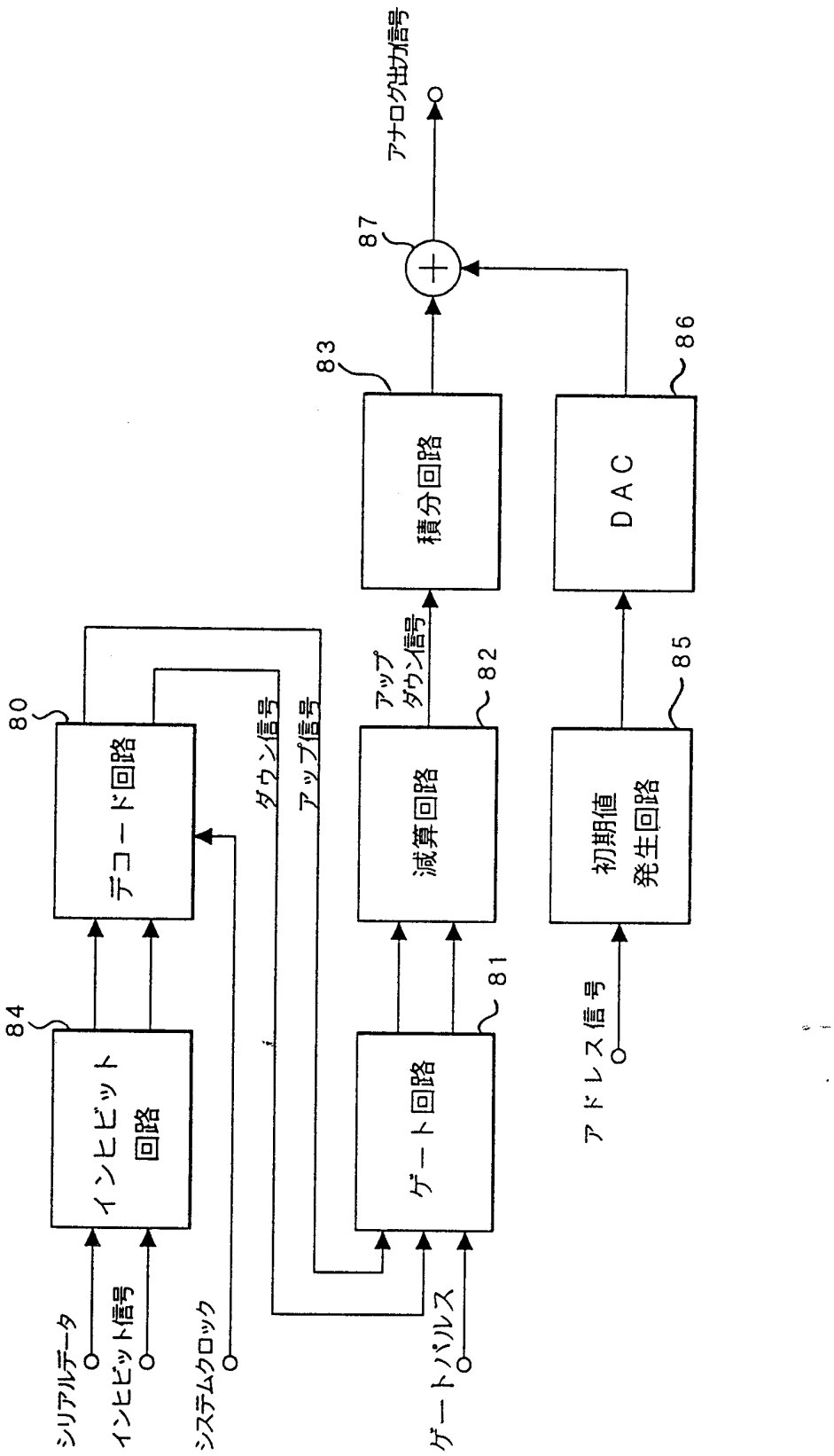
第２８図



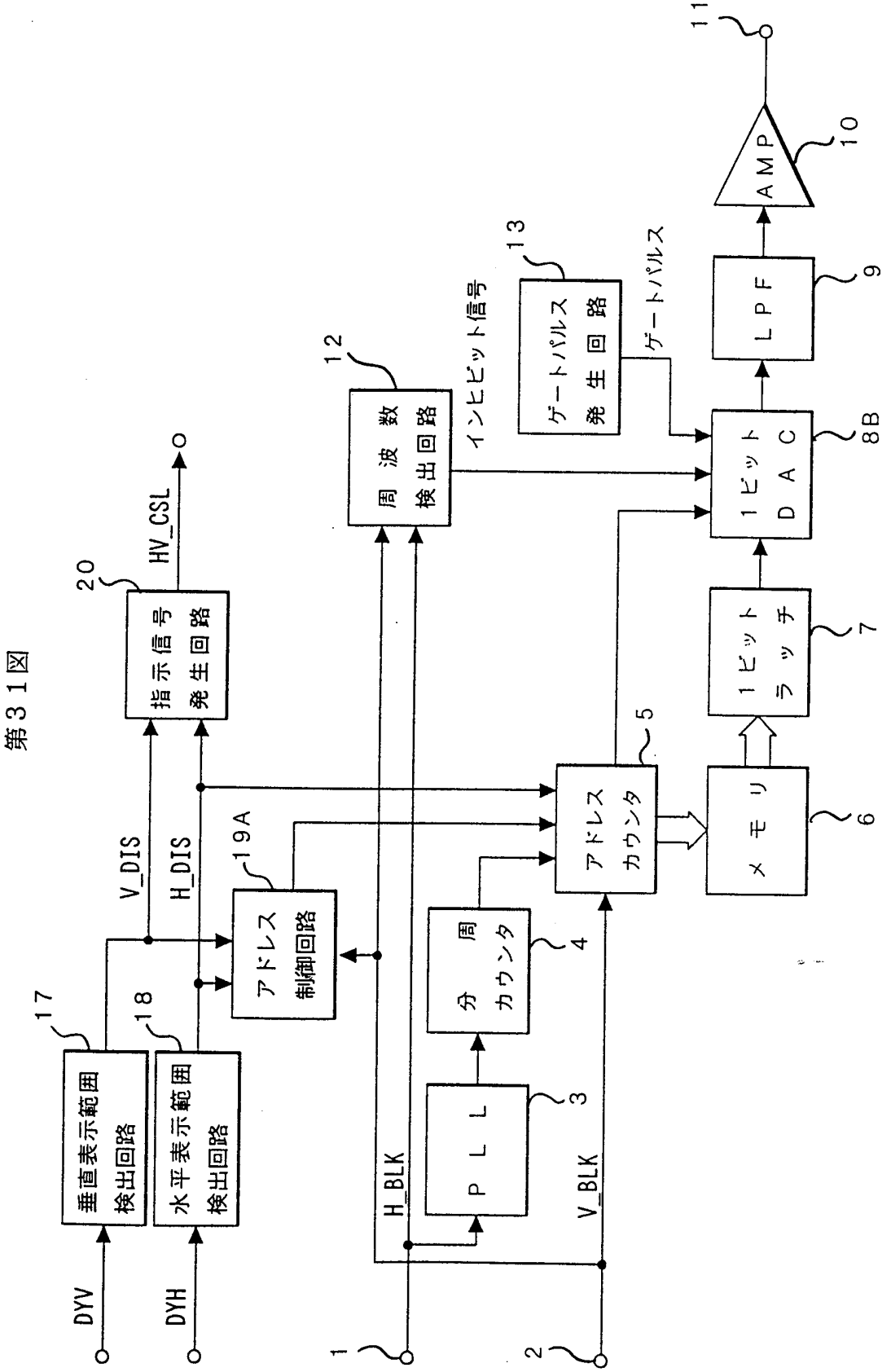
第２９図


DYV
DYH
垂直表示範囲検出回路
水平表示範囲検出回路
17
18
V_DIS
H_DIS
アドレス制御回路
19
指示信号発生回路
20
HV_CSL
H_BLK
V_BLK
PLL
3
分周カウンタ
4
アドレスカウンタ
5
メモリ
6
1ビットラッチ
7
1ビットDAC
8C
LPF
9
AMP
10
11
周波数検出回路
12
インヒビット信号
ゲートパルス発生回路
13
ゲートパルス
1
2

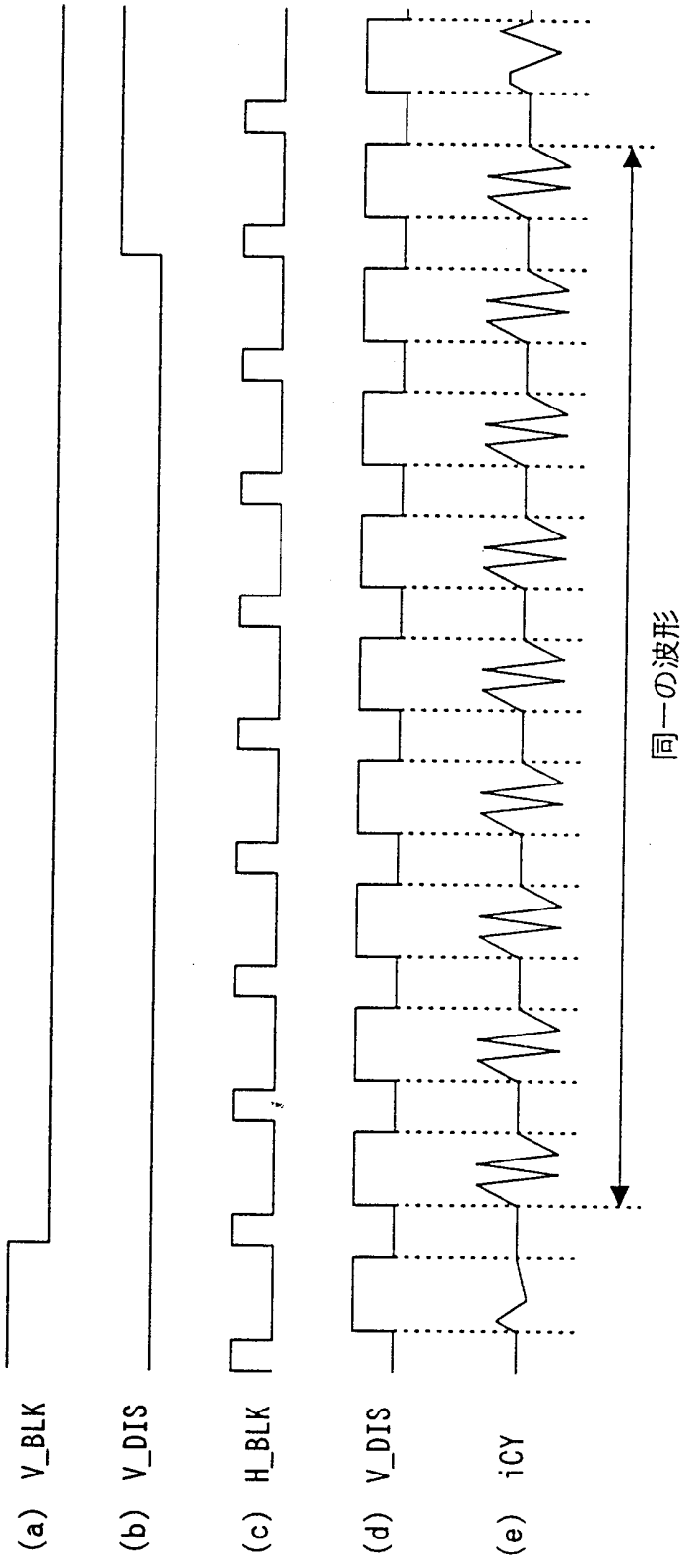
第３０図


シリアルデータ
インヒビット信号
システムクロック
ゲートパルス
アドレス信号
アナログ出力信号
インヒビット回路
デコード回路
ゲート回路
減算回路
積分回路
初期値発生回路
DAC
ダウン信号
アップ信号
アップダウン信号
80
81
82
83
84
85
86
87

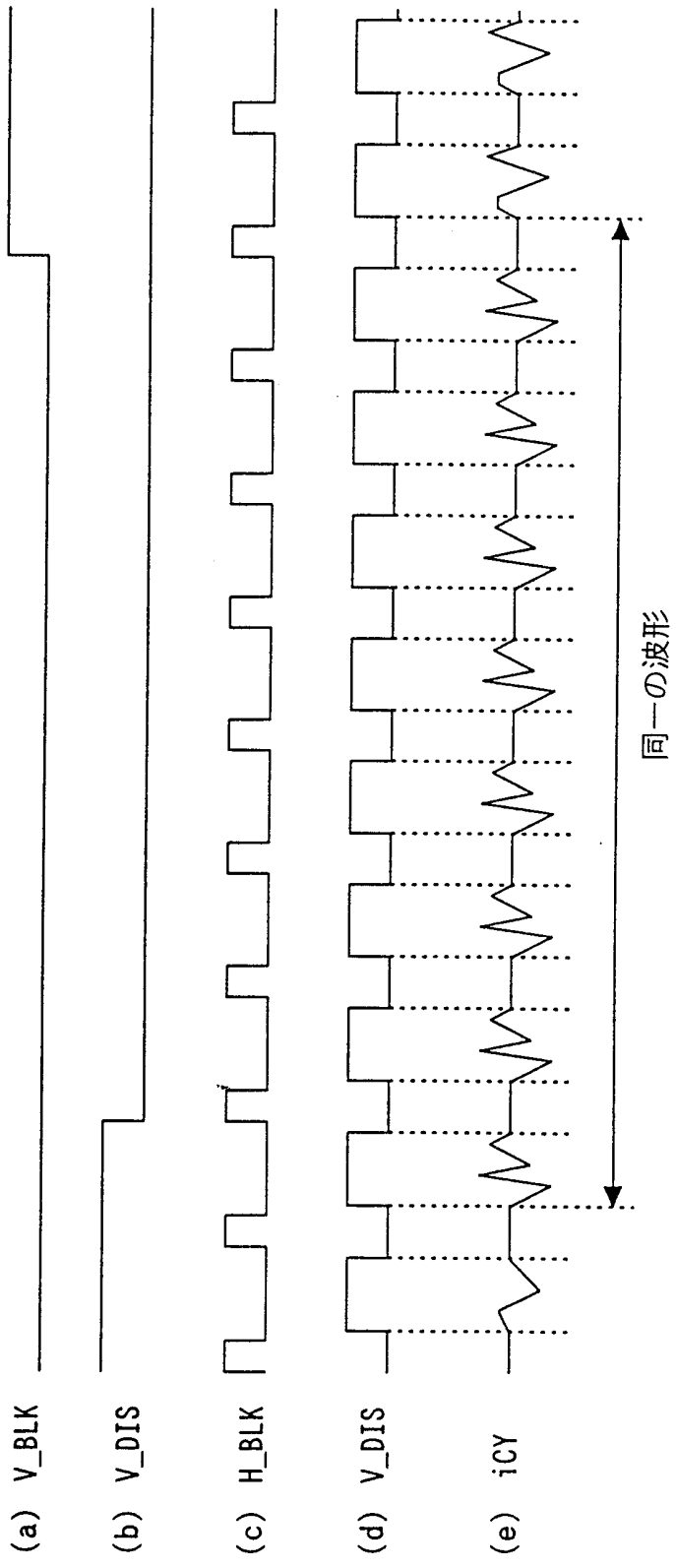
第３１図


DYV
DYH
垂直表示範囲検出回路
水平表示範囲検出回路
17
18
V_DIS
H_DIS
アドレス制御回路
19A
指示信号発生回路
20
HV_CSL
O
H_BLK
V_BLK
1
2
PLL
3
分周カウンタ
4
アドレスカウンタ
5
メモリ
6
1ビットラッチ
7
1ビットDAC
8B
LPF
9
AMP
10
11
周波数検出回路
12
インヒビット信号
ゲートパルス発生回路
13
ゲートパルス

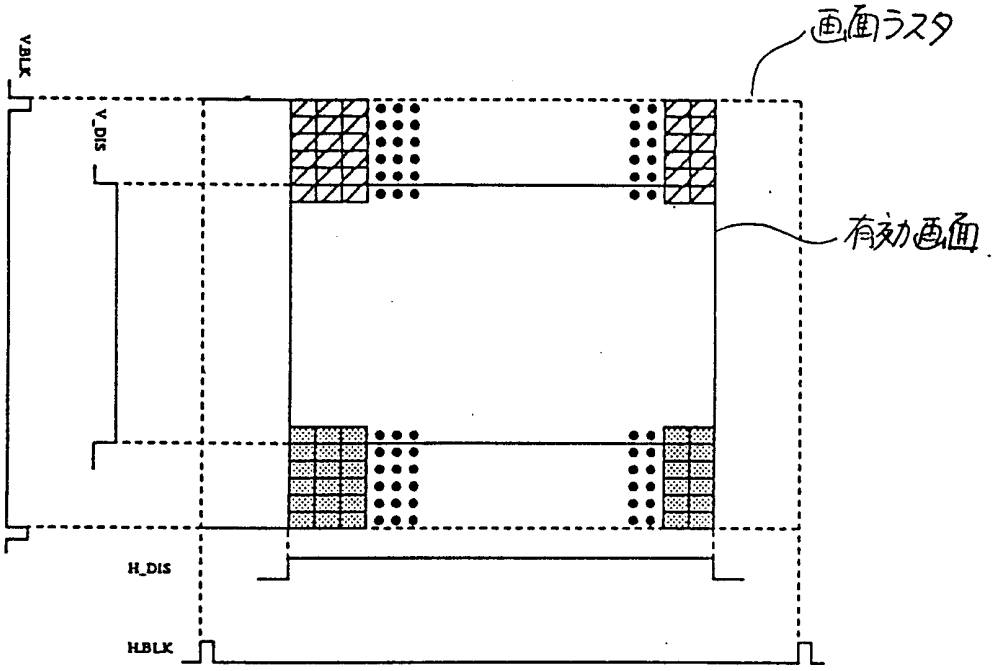
第３２図



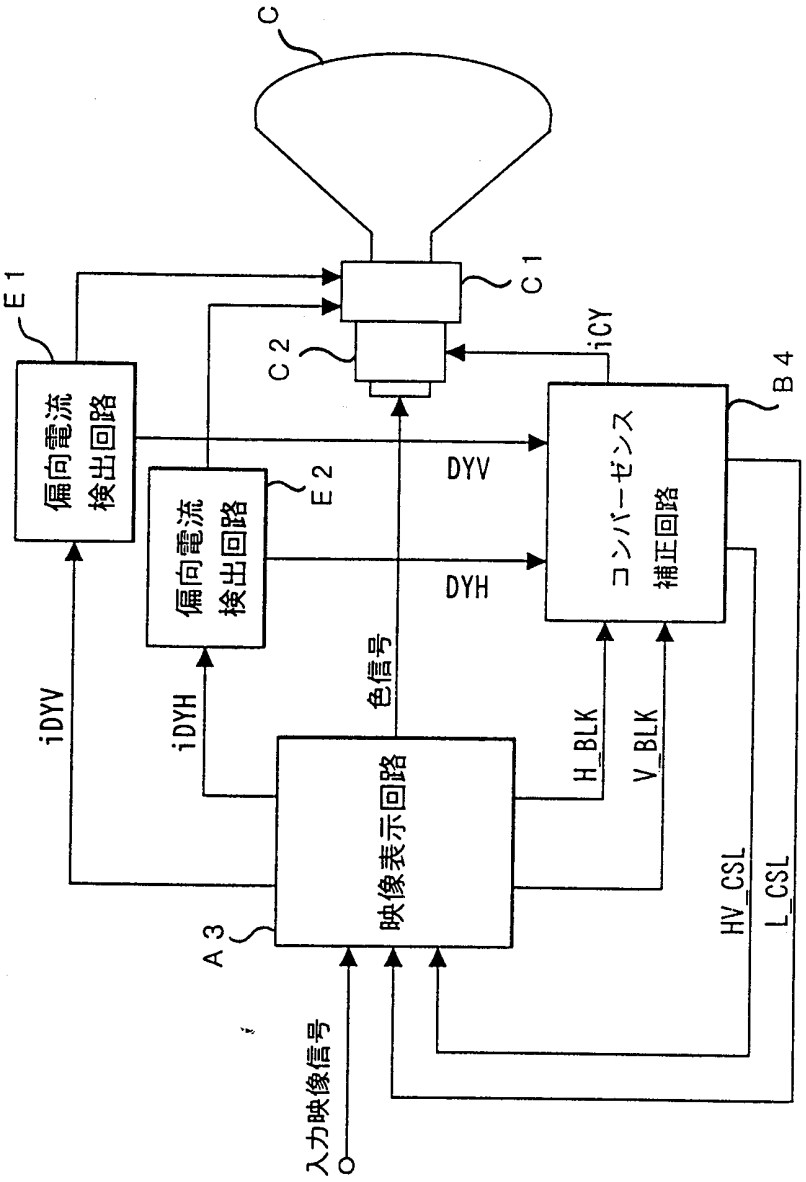
第３３図



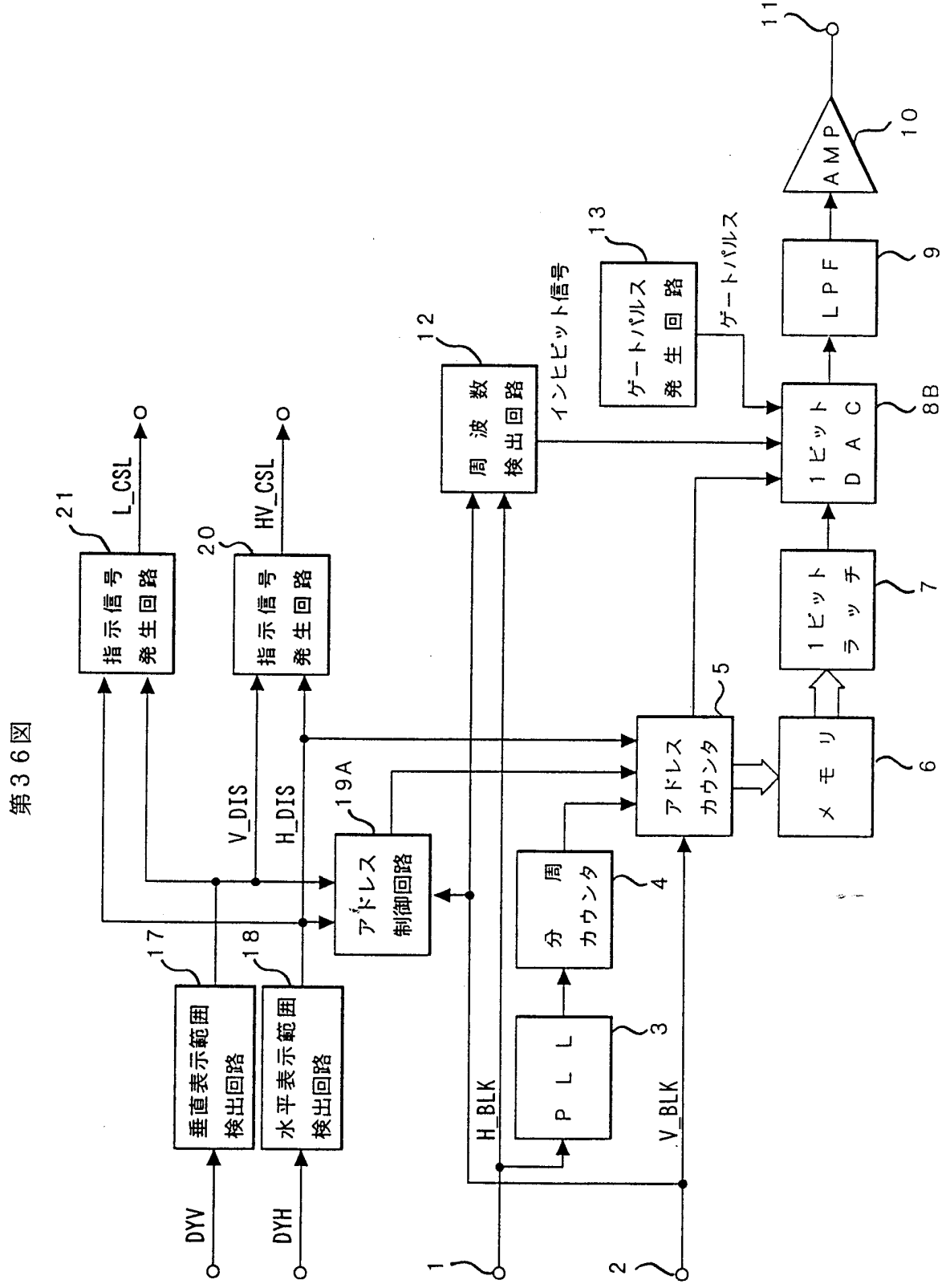
第34図



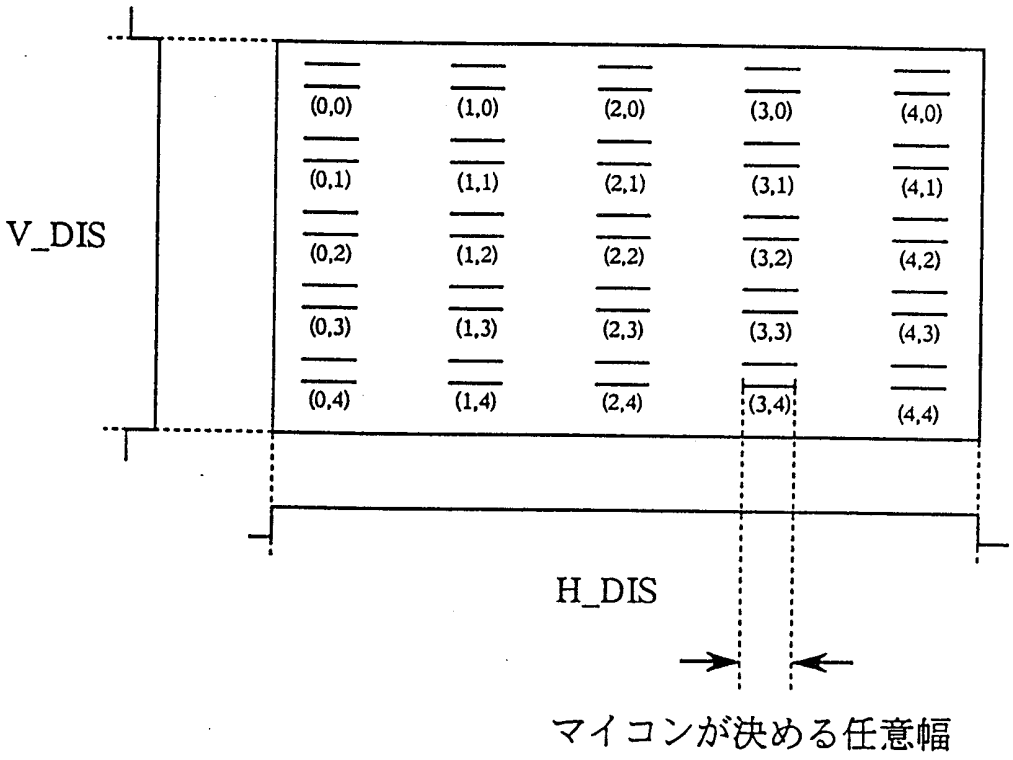
第３５図


C
C1
C2
E1
E2
iCY
B4
偏向電流
検出回路
偏向電流
検出回路
コンバーゼンス
補正回路
DYV
DYH
iDYV
iDYH
色信号
H_BLK
V_BLK
HV_CSL
L_CSL
映像表示回路
A3
入力映像信号

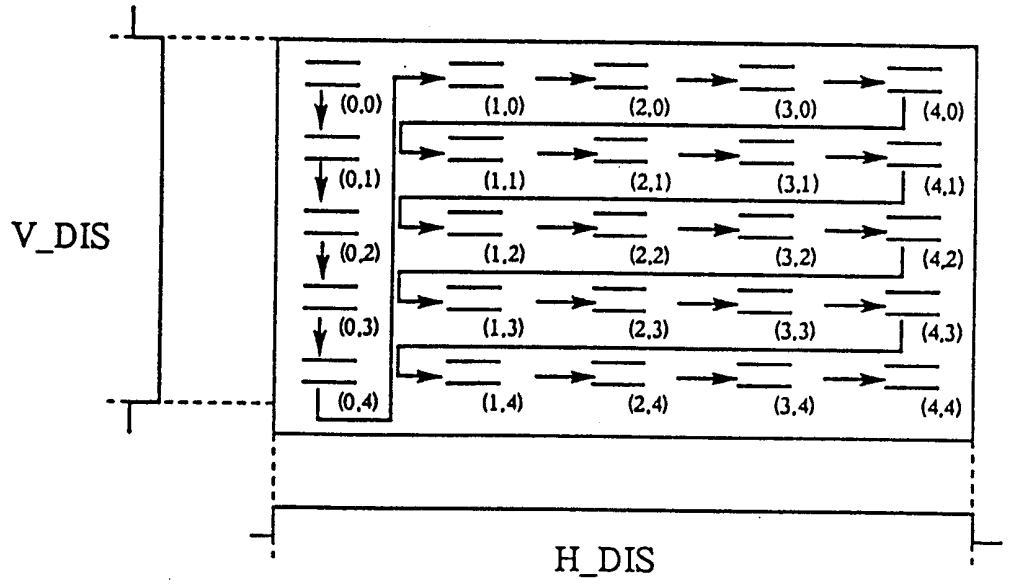
第３６図


垂直表示範囲検出回路
水平表示範囲検出回路
指示信号発生回路
指示信号発生回路
アドレス制御回路
周波数検出回路
ゲートパルス発生回路
分周カウンタ
ＰＬＬ
アドレスカウンタ
メモリ
１ビットラッチ
１ビットＤＡＣ
ＬＰＦ
ＡＭＰ
DYV
DYH
H_BLK
V_BLK
V_DIS
H_DIS
L_CSL
HV_CSL
インヒビット信号
ゲートパルス
17
18
19A
20
21
12
13
3
4
5
6
7
8B
9
10
11
1
2

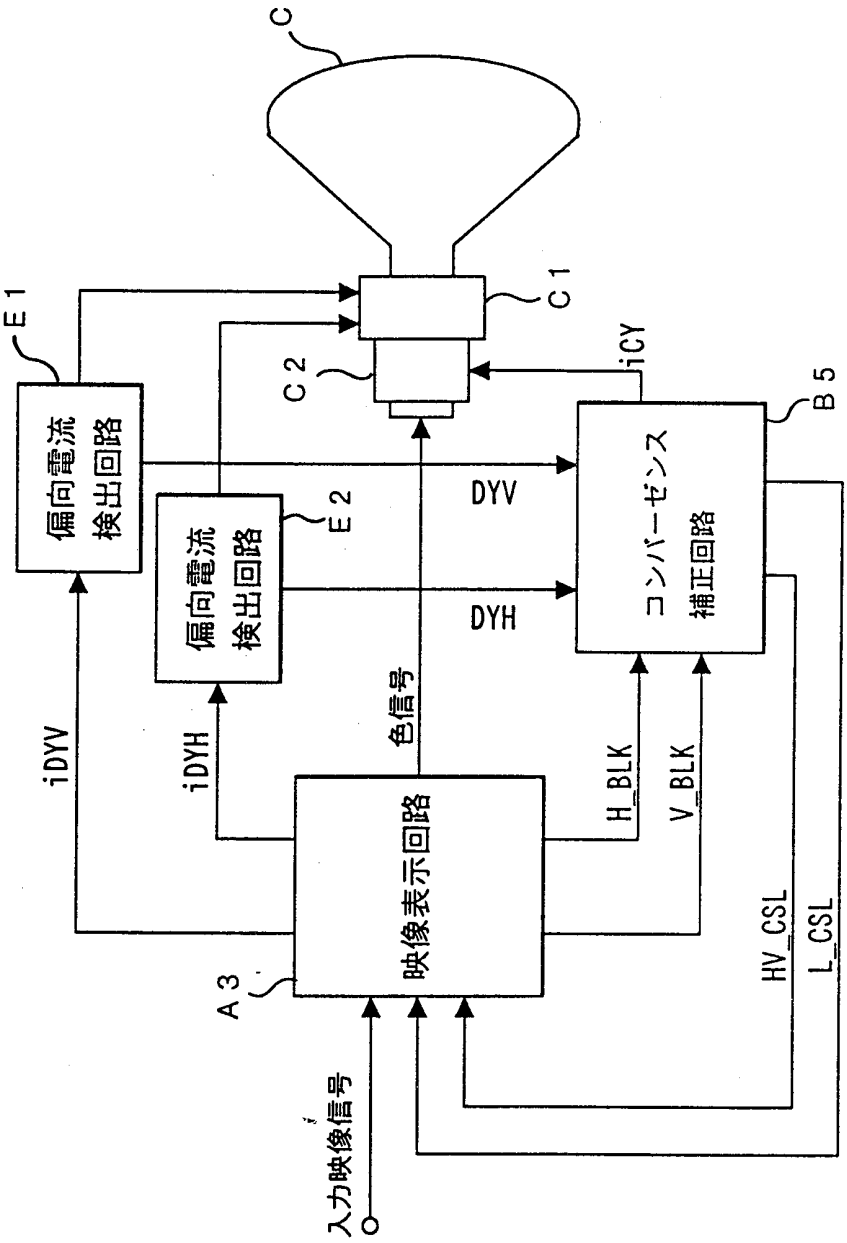
第３７図


V_DIS
(0,0)
(1,0)
(2,0)
(3,0)
(4,0)
(0,1)
(1,1)
(2,1)
(3,1)
(4,1)
(0,2)
(1,2)
(2,2)
(3,2)
(4,2)
(0,3)
(1,3)
(2,3)
(3,3)
(4,3)
(0,4)
(1,4)
(2,4)
(3,4)
(4,4)
H_DIS
マイコンが決める任意幅

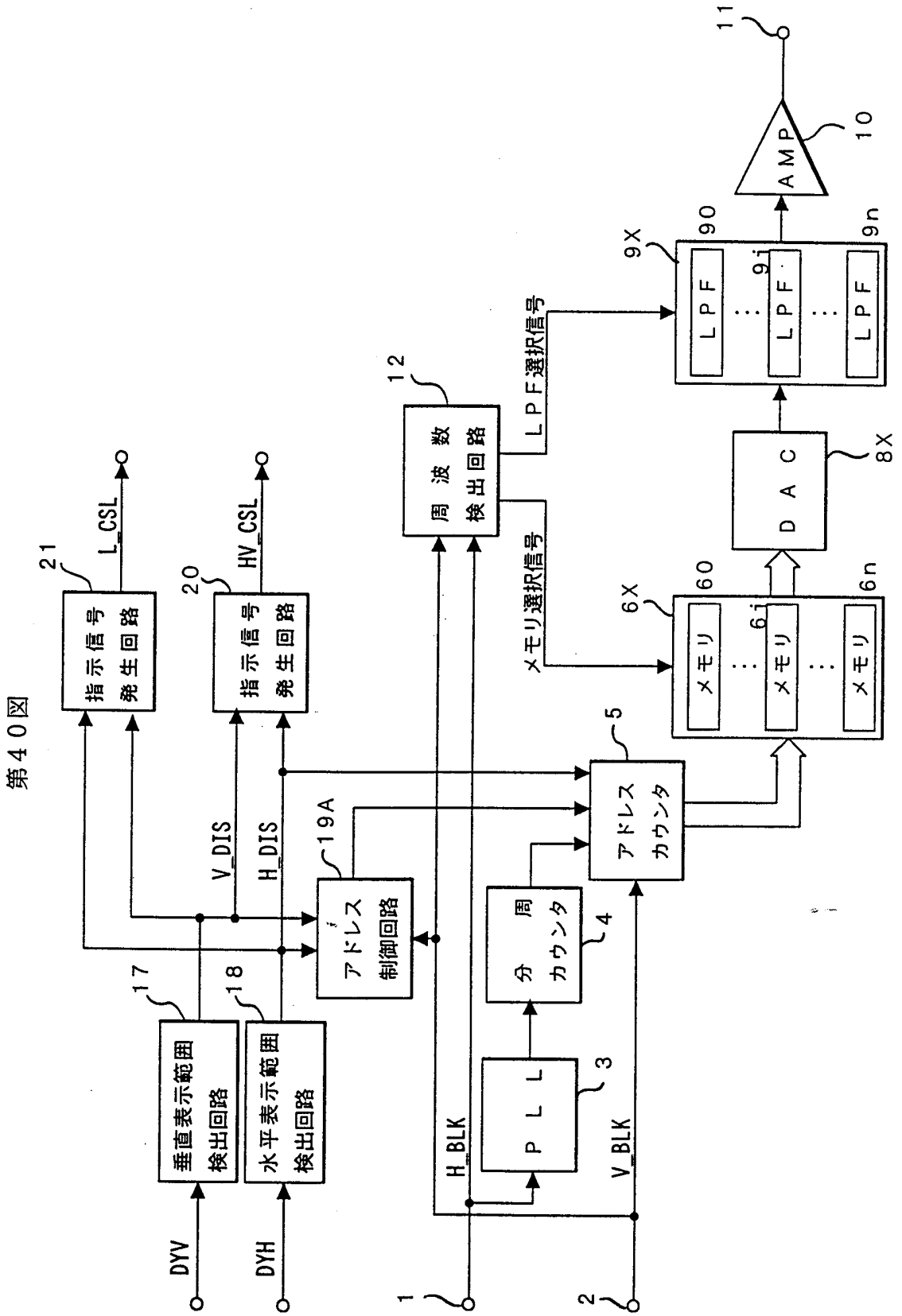
第38図


V_DIS
(0,0)
(1,0)
(2,0)
(3,0)
(4,0)
(0,1)
(1,1)
(2,1)
(3,1)
(4,1)
(0,2)
(1,2)
(2,2)
(3,2)
(4,2)
(0,3)
(1,3)
(2,3)
(3,3)
(4,3)
(0,4)
(1,4)
(2,4)
(3,4)
(4,4)
H_DIS

第３９図


C
C1
C2
E1
E2
A3
B5
iCY
偏向電流検出回路
偏向電流検出回路
コンバーゼンス補正回路
映像表示回路
DYV
DYH
iDYV
iDYH
色信号
H_BLK
V_BLK
HV_CSL
L_CSL
入力映像信号

第４０図


11
AMP
10
9X
90
9n
LPF
9j
LPF
LPF
LPF選択信号
12
周波数検出回路
8X
DAC
6X
60
6n
6j
メモリ
メモリ
メモリ
メモリ選択信号
5
アドレスカウンタ
19A
アドレス制御回路
4
分周カウンタ
3
PLL
H_BLK
V_BLK
1
2
21
L_CSL
指示信号発生回路
20
HV_CSL
指示信号発生回路
V_DIS
H_DIS
17
垂直表示範囲検出回路
18
水平表示範囲検出回路
DYV
DYH

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP97/03647

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[6] H04N9/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[6] H04N9/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926 - 1997
Kokai Jitsuyo Shinan Koho 1971 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 8-223594, A (Matsushita Electric Industrial Co., Ltd.), August 30, 1996 (30. 08. 96) (Family: none)	1 - 20
A	JP, 61-12191, A (Sony Corp.), January 20, 1986 (20. 01. 86) (Family: none)	1 - 20

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
January 6, 1998 (06. 01. 98)	January 20, 1998 (20. 01. 98)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ９７／０３６４７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.cl^{6} Ｈ０４Ｎ９／２８

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.cl^{6} Ｈ０４Ｎ９／２８

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２６－１９９７
日本国公開実用新案公報　１９７１－１９９７

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ，８－２２３５９４，Ａ(松下電器産業株式会社) ３０．８月．１９９６（３０．０８．９６）（ファミリーなし）	１－２０
Ａ	ＪＰ，６１－１２１９１，Ａ（ソニー株式会社）２０．１月．１９８６（２０．０１．８６）（ファミリーなし）	１－２０

☐ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」先行文献ではあるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０１．９８	20.01.98
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 西谷　憲人　印　　５Ｃ　９１８７ 電話番号　０３－３５８１－１１０１　内線　３５４２

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９２年７月）