

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-24657

(P2006-24657A)

(43) 公開日 平成18年1月26日(2006.1.26)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 23/29 (2006.01)	H O 1 L 23/30 B	4 M 1 0 9
H O 1 L 23/31 (2006.01)	H O 1 L 23/12 5 O 1 B	
H O 1 L 23/12 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2004-199949 (P2004-199949)	(71) 出願人	000005821
(22) 出願日	平成16年7月7日(2004.7.7)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100113859
			弁理士 板垣 孝夫
		(74) 代理人	100068087
			弁理士 森本 義弘
		(74) 代理人	100096437
			弁理士 笹原 敏司
		(74) 代理人	100100000
			弁理士 原田 洋平
		(72) 発明者	竹村 康司
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		Fターム(参考)	4M109 AA02 BA03 CA04

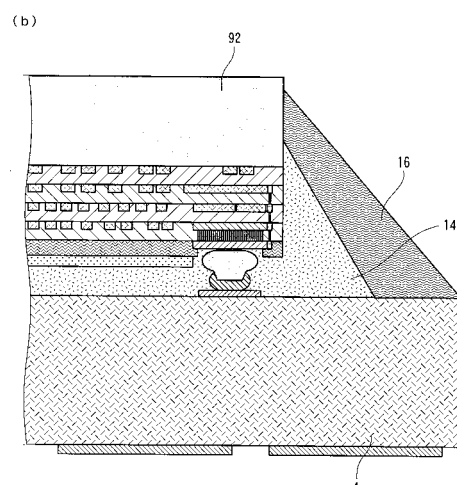
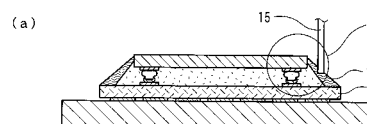
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 層間絶縁膜の機械的強度が弱くても、樹脂硬化時やパッケージ組立時に加わる応力にも耐えうるパッケージ構造となり、信頼性を向上することを目的とする。

【解決手段】 半導体素子とインターポーザ基板の間を低応力樹脂で充填被覆し、チップ周辺部、さらには、チップ上部までを、高剛性樹脂16で被覆することにより、半導体装置の剛性が向上し、層間絶縁膜の機械的強度が弱くても、樹脂硬化時やパッケージ組立時に加わる応力にも耐えうるパッケージ構造となり、信頼性を向上することができる。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

インターポーザ基板に半導体素子を搭載して成る半導体装置であって、
前記インターポーザ基板と前記半導体素子の間に素子形成層が被覆されるような樹脂フィレットが形成されるように充填被覆される第 1 の樹脂と、前記第 1 の樹脂より剛性が高く前記樹脂フィレット上を被覆する第 2 の樹脂と
を有することを特徴とする半導体装置。

【請求項 2】

インターポーザ基板に半導体素子を搭載して成る半導体装置であって、
前記インターポーザ基板と前記半導体素子の間に素子形成層が被覆されるような樹脂フィレットが形成されるように充填被覆される第 1 の樹脂と、
前記第 1 の樹脂より熱膨張性が低く前記樹脂フィレット上を被覆する第 2 の樹脂と
を有することを特徴とする半導体装置。 10

【請求項 3】

インターポーザ基板に半導体素子を搭載して成る半導体装置であって、
前記インターポーザ基板と前記半導体素子の間に素子形成層が被覆されるような樹脂フィレットが形成されるように充填被覆される第 1 の樹脂と、
前記第 1 の樹脂より剛性が高く前記樹脂フィレット上および前記半導体素子を被覆する第 2 の樹脂と
を有することを特徴とする半導体装置。 20

【請求項 4】

インターポーザ基板に半導体素子を搭載して成る半導体装置であって、
前記インターポーザ基板と前記半導体素子の間に素子形成層が被覆されるような樹脂フィレットが形成されるように充填被覆される第 1 の樹脂と、
前記第 1 の樹脂より熱膨張性が低く前記樹脂フィレット上および前記半導体素子を被覆する第 2 の樹脂と
を有することを特徴とする半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、樹脂封止構造を有する半導体装置に関するものである。 30

【背景技術】**【0002】**

図 7，図 8，図 9，図 10 を用いて従来の半導体装置について説明する。

図 7 (a) は従来の半導体装置の平面図、図 7 (b) は従来の半導体装置の断面図、図 7 (c) は従来の半導体装置における入出力回路部分の拡大断面図であり、半導体装置の一般的な入出力回路のレイアウトを示す。また、図 7 (c) は図 7 (b) の B 部拡大図である。本図面では、5 層配線構造の場合を示している。以下、本発明の説明では、入出力回路の素子領域上にパッドを形成した構造を、素子上パッド：POE (Pad On Element) パッドと称する。 40

【0003】

101 は半導体素子、102 は周辺 POE パッドである。131 は PSiN などの第 1 の保護膜、132 はポリイミドなどの第 2 の保護膜、171 は層間絶縁膜、192 はシリコン基板である。また、拡散プロセスの微細化による配線遅延への対応として、層間絶縁膜 172、層間絶縁膜 173、層間絶縁膜 174 には、これまでよりも誘電率の低いいわゆる low-k 材料が用いられている。周辺 POE パッド 102 は、最上層のパッドメタル 161 とそのひとつ下の配線層に形成された下層パッドメタル 162、およびこれらパッドメタル間を接続するビア 163 からなる、積層ビア構造を有している。積層ビア構造は、ワイヤボンドなどのボンディング工程で生じるクレタリングを抑制するのに効果がある。これらパッドの下には、電源供給のための、第 1 の電源層メタル 191、さらに下層 50

には、入出力回路内への信号供給のための最下層メタル 110 が形成されており、周辺 P O E パッドと最下層メタル 110 は、引出し部メタル 181 のスタック構造により電氣的に接続されている。

【0004】

このような電極パッドを I / O セルの素子形成領域上に配置した構造が、チップサイズの縮小を目的として、各社から提案されている。

例えば、ロジック回路やドライバ回路の上に層間絶縁膜を設け、その上に入力パッド、あるいは出力パッドを形成した半導体集積回路を提案している（特許文献 1 参照）。

【0005】

次に、従来のチップサイズパッケージ（以下、C S P と称す）と呼ばれる半導体装置およびその製造方法について図面を参照しながら説明する。 10

図 8 は従来の C S P における金属突起を形成する工程を説明する図、図 9 は従来の C S P の製造工程を説明する工程断面図、図 10 は従来の C S P を示す断面図である。

【0006】

図 8 において、半導体素子 101 の周辺 P O E パッド 102 上に（図 8（a））、通常のワイヤボンダーを用いて金属突起 208 を以下の方法を用いて形成する。

まず、金属線 141 先端に金属ボール 142 を形成し、キャピラリー 143 を用いて半導体素子 145 上のパッド 144 に超音波振動を加えながら加圧し、クランプ 146 を用いて金属線を固定し、キャピラリー 143 を上方に移動させ金属線 141 を引きちぎる。その後、平坦化ツール 147 を用いて金属突起 208 の高さを規定値に平坦化する（図 8 20（b））。

【0007】

以上のようにして形成された金属突起 208 が（図 9（a））、位置合わせを行った後に導電性接続材料 209 によりインターポーザ基板 204 の電極 210 と接続される（図 9（b））。次に、適温に保持した樹脂封止用加熱ステージ 211 上に半導体素子を搭載したインターポーザ基板 204 を支持し、インターポーザ基板 204 上の半導体素子の 1 辺から樹脂ノズル 213 を用いて樹脂 212 を一定量塗布する（図 9（c））。この際、樹脂封止用加熱ステージは水平でも、樹脂が浸入しやすい方向に傾斜させてもよい。塗布した樹脂が半導体素子とインターポーザ基板間に注入されたことを確認した後、2 回目の樹脂を適量塗布する。この動作を繰り返し、所定量を塗布した後、樹脂封止用加熱ステージ上で半導体素子周辺部に樹脂フィレット 214 が形成されるまで放置する（図 10（a））。図 10（b）は、図 10（a）の D 部分の拡大図である。この際、樹脂フィレット 214 が形成されやすいように、また形成スピードを上昇させるために樹脂封止用加熱ステージを傾斜させてもよい。最後に、オープン中で樹脂の加熱硬化を行うことにより、半導体装置を完成させる。 30

【特許文献 1】特開平 6 - 244235 号公報

【特許文献 2】特開平 11 - 238745 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記従来の半導体装置では、封止樹脂硬化工程における封止樹脂硬化収縮が半導体材料の熱収縮よりも大きく、結果として応力がチップ表面付近の層間絶縁膜に直接作用する。また、パッケージ組立後の外部環境温度変化を受け、チップ、封止樹脂、インターポーザ基板の熱膨張係数差による応力がチップ表面付近の層間絶縁膜に発生する。そして、低誘電率の層間絶縁膜 172、173、174 は従来用いられていた層間絶縁膜よりも機械的強度が格段に弱い。このため、層間絶縁膜が各種応力に耐え切れずに、特にチップ周辺部で破壊、剥離してしまうという課題があり、信頼性上大きな問題となっていた。 40

【0009】

本発明は上記従来の問題点を解決するもので、層間絶縁膜の機械的強度が弱くても、樹 50

脂硬化時やパッケージ組立時に加わる応力にも耐えうるパッケージ構造となり、信頼性を向上することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明の請求項1記載の半導体装置は、インターポザ基板に半導体素子を搭載して成る半導体装置であって、前記インターポザ基板と前記半導体素子の間に素子形成層が被覆されるような樹脂フィレットが形成されるように充填被覆される第1の樹脂と、前記第1の樹脂より剛性が高く前記樹脂フィレット上を被覆する第2の樹脂とを有することを特徴とする。

【0011】

請求項2記載の半導体装置は、インターポザ基板に半導体素子を搭載して成る半導体装置であって、前記インターポザ基板と前記半導体素子の間に素子形成層が被覆されるような樹脂フィレットが形成されるように充填被覆される第1の樹脂と、前記第1の樹脂より熱膨張性が低く前記樹脂フィレット上を被覆する第2の樹脂とを有することを特徴とする。

【0012】

請求項3記載の半導体装置は、インターポザ基板に半導体素子を搭載して成る半導体装置であって、前記インターポザ基板と前記半導体素子の間に素子形成層が被覆されるような樹脂フィレットが形成されるように充填被覆される第1の樹脂と、前記第1の樹脂より剛性が高く前記樹脂フィレット上および前記半導体素子を被覆する第2の樹脂とを有

【0013】

請求項4記載の半導体装置は、インターポザ基板に半導体素子を搭載して成る半導体装置であって、前記インターポザ基板と前記半導体素子の間に素子形成層が被覆されるような樹脂フィレットが形成されるように充填被覆される第1の樹脂と、前記第1の樹脂より熱膨張性が低く前記樹脂フィレット上および前記半導体素子を被覆する第2の樹脂とを有することを特徴とする。

【0014】

以上により、層間絶縁膜の機械的強度が弱くても、樹脂硬化時やパッケージ組立時に加わる応力にも耐えうるパッケージ構造となり、信頼性を向上することができる。

【発明の効果】

【0015】

本発明の半導体装置は、半導体素子とインターポザ基板の間を低応力樹脂で充填被覆し、チップ周辺部、さらには、チップ上部までを、高剛性樹脂で被覆することにより、半導体装置の剛性が向上し、層間絶縁膜の機械的強度が弱くても、樹脂硬化時やパッケージ組立時に加わる応力にも耐えうるパッケージ構造となり、信頼性を向上することができる。

【発明を実施するための最良の形態】

【0016】

本発明の実施の形態1における半導体装置について、以下図面を参照しながら説明する。

図1(a)は実施の形態1における半導体装置の平面図、図1(b)は実施の形態1における半導体装置の断面図、図1(c)は実施の形態1の半導体装置における入出力回路部分の拡大断面図であり、半導体装置の一般的な入出力回路のレイアウトを示す。また、図1(c)は図1(b)のB部拡大図である。

図1では、5層配線構造の場合を示している。以下、本発明の説明では、従来、入出力回路外側にあった入出力パッドを、入出力回路の素子領域上に形成した構造をとり、素子上パッド：POE(Pad On Element)と称する。

【0017】

図1において、1は半導体素子、2は周辺POEパッドである。31はPSiNなどの

10

20

30

40

50

第 1 の保護膜、32 はポリイミドなどの第 2 の保護膜、71 は層間絶縁膜、92 はシリコン基板である。また、拡散プロセスの微細化による配線遅延への対応として、層間絶縁膜 72、層間絶縁膜 73、層間絶縁膜 74 には、これまでよりも誘電率の低いいわゆる low-k 材料が用いられている。周辺 POE パッド 2 は、最上層のパッドメタル 61 とそのひとつ下の配線層に形成された下層パッドメタル 62、およびこれらパッドメタル間を接続するビア 63 からなる、積層ビア構造を有している。積層ビア構造は、ワイヤボンダなどのボンディング工程で生じるクレタリングを抑制するのに効果がある。これらパッドの下には、電源供給のための、第 1 の電源層メタル 91、さらに下層には、入出力回路内への信号供給のための最下層メタル 20 が形成されており、周辺 POE パッドと最下層メタル 20 は、引出し部メタル 81 のスタック構造により電氣的に接続されている。

10

【0018】

次に、本発明の CSP と呼ばれる半導体装置およびその製造方法について図面を参照しながら説明する。

図 2 は実施の形態 1 の CSP における金属突起を形成する工程を説明する図、図 3 は実施の形態 1 における CSP の製造工程を説明する工程断面図、図 4 は実施の形態 1 の CSP を示す断面図、図 5 は実施の形態 1 の高剛性樹脂を備える CSP を示す断面図である。

【0019】

半導体素子 1 の周辺 POE パッド 2 上に（図 2（a））、通常のワイヤボンダーを用いて金属突起 8 を以下の方法を用いて形成する。

まず、金属線 41 先端に金属ボール 42 を形成し、キャピラリー 43 を用いて半導体素子 45 上のパッド 44 に超音波振動を加えながら加圧し、クランプ 46 を用いて金属線を固定し、キャピラリー 43 を上方に移動させ金属線 41 を引きちぎる。その後平坦化ツール 47 を用いて金属突起 8 の高さを規定値に平坦化する（図 2（b））。

20

【0020】

以上のようにして形成された金属突起 8 が（図 3（a））、位置合わせを行った後に導電性接続材料 9 によりインターポーザ基板 4 の電極 10 と接続される（図 3（b））。

次に、適温に保持した樹脂封止用加熱ステージ 11 上に半導体素子を搭載したインターポーザ基板 4 を支持し、インターポーザ基板 4 上の半導体素子の 1 辺に樹脂ノズル 13 を用いて低応力樹脂 12 を一定量塗布する（図 3（c））。この際、樹脂封止用加熱ステージ 11 は水平でも、樹脂が浸入しやすい方向に傾斜させてもよい。塗布した低応力樹脂 12 が半導体素子とインターポーザ基板間に注入されたことを確認した後、2 回目の樹脂を適量塗布する。この動作を繰り返し、所定量を塗布した後、樹脂封止用加熱ステージ上で半導体素子周辺部に層間絶縁膜 74 より上方まで樹脂フィレット 14 が形成されるまで放置する（図 4（a））。これにより、半導体素子とインターポーザ基板間、および、素子形成領域である半導体素子周辺部が低応力樹脂 12 により充填被覆される。

30

【0021】

図 4（b）は、図 4（a）の D 部分の拡大図である。この際、樹脂フィレット 14 が形成されやすいように、また、形成スピードを上昇させるために樹脂封止用加熱ステージを傾斜させてもよい。その後、オープン中で樹脂の加熱硬化を行う。

【0022】

さらに、低応力樹脂 12 硬化後、樹脂ノズル 15 により、高剛性樹脂 16 をチップ周辺部に一定量塗布する（図 5（a））。高剛性樹脂 16 が半導体素子周辺端部と前記インターポーザ基板 4 と前記低応力樹脂 12 を被覆するまで放置する（図 5（b））。図 5（b）は、図 5（a）の E 部分の拡大図である。その後、オープン中で樹脂の加熱硬化を行い、半導体装置が完成する。

40

【0023】

このように低応力樹脂に加えて高剛性樹脂により半導体装置を被覆して、封止樹脂を二重構造にすることにより、半導体装置の剛性が向上し、層間絶縁膜の機械的強度が弱くても、樹脂硬化時やパッケージ組立時に加わる応力にも耐えうるパッケージ構造となり、信頼性を向上することができる。

50

【 0 0 2 4 】

また、高剛性樹脂の特性は、低応力樹脂 1 2 よりも熱膨張係数が小さいものを使用しても良い。この結果、熱膨張係数の小さい樹脂が熱ストレスに対するパッケージ変形に対し支配的になり、環境変化に対する応力発生を抑え、信頼性を向上することができる。

【 0 0 2 5 】

また、高剛性樹脂の構造は以下に示す実施の形態 2 でも良い。

図 6 は実施の形態 2 の高剛性樹脂を備える C S P を示す断面図である。

低応力樹脂 1 2 硬化後、樹脂ノズル 3 1 5 により、高剛性樹脂 3 1 6 をチップ上方より一定量塗布する（図 6（a））。高剛性樹脂 3 1 6 が半導体素子上面、周辺端部と前記半導体キヤリアと前記低応力樹脂 1 2 を被覆するまで放置する（図 6（b））。図 6（b）は、図 6（a）の F 部分の拡大図である。その後、オープン中で樹脂の加熱硬化を行い、半導体装置を完成する。

10

【 0 0 2 6 】

このように低応力樹脂に加えて高剛性樹脂により半導体装置を被覆して、封止樹脂を二重構造にすることにより、半導体装置の剛性が向上し、層間絶縁膜の機械的強度が弱くても、樹脂硬化時やパッケージ組立時に加わる応力にも耐えうるパッケージ構造となり、信頼性を向上することができる。

【 0 0 2 7 】

また、高剛性樹脂の特性は、低応力樹脂 1 2 よりも熱膨張係数が小さいものを使用しても良い。この結果、熱膨張係数の小さい樹脂が熱ストレスに対するパッケージ変形に対し支配的になり、環境変化に対する応力発生を抑え、信頼性を向上することができる。

20

【産業上の利用可能性】

【 0 0 2 8 】

本発明の半導体装置は、層間絶縁膜の機械的強度が弱くても、樹脂硬化時やパッケージ組立時に加わる応力にも耐えうるパッケージ構造となり、信頼性を向上することができ、樹脂封止構造を有する半導体装置等に有用である。

【図面の簡単な説明】

【 0 0 2 9 】

【図 1】（a）実施の形態 1 における半導体装置の平面図 （b）実施の形態 1 における半導体装置の断面図 （c）実施の形態 1 の半導体装置における入出力回路部分の拡大断面図

30

【図 2】実施の形態 1 の C S P における金属突起を形成する工程を説明する図

【図 3】実施の形態 1 における C S P の製造工程を説明する工程断面図

【図 4】実施の形態 1 の C S P を示す断面図

【図 5】実施の形態 1 の高剛性樹脂を備える C S P を示す断面図

【図 6】実施の形態 2 の高剛性樹脂を備える C S P を示す断面図

【図 7】（a）従来の半導体装置の平面図 （b）従来の半導体装置の断面図 （c）従来の半導体装置における入出力回路部分の拡大断面図

【図 8】従来の C S P における金属突起を形成する工程を説明する図

【図 9】従来の C S P の製造工程を説明する工程断面図

40

【図 10】従来の C S P を示す断面図

【符号の説明】

【 0 0 3 0 】

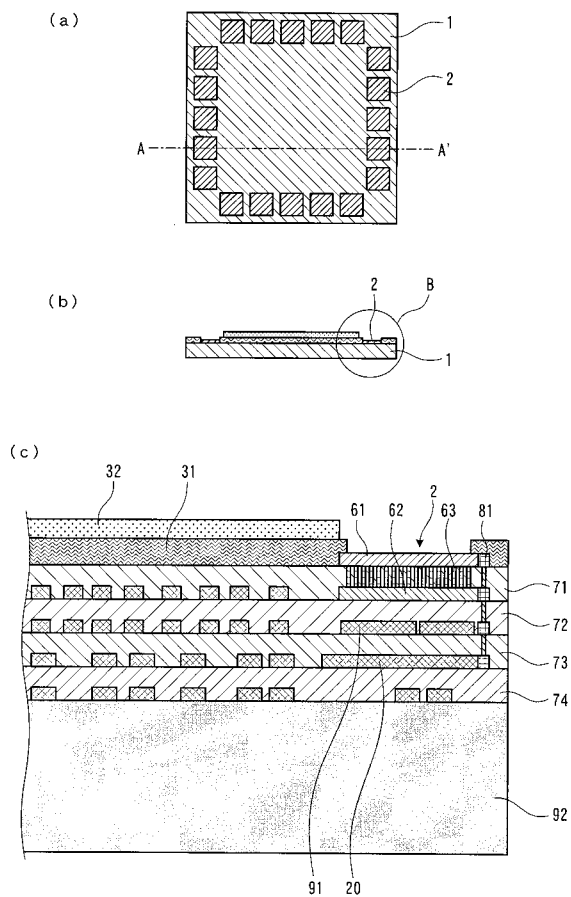
- 1 半導体素子
- 2 周辺 P O E パッド
- 4 インターポーザ基板
- 8 金属突起
- 9 導電性接続材料
- 10 電極
- 11 樹脂封止用加熱ステージ

50

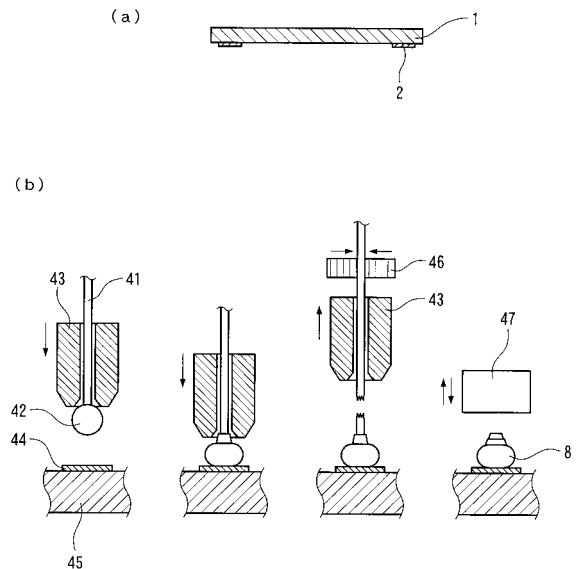
1 2	低応力樹脂	
1 3	樹脂ノズル	
1 4	樹脂フィレット	
1 5	樹脂ノズル	
1 6	高剛性樹脂	
2 0	最下層メタル	
3 1	第 1 の保護膜	
3 2	第 2 の保護膜	
4 1	金属線	
4 2	金属ボール	10
4 3	キャピラリー	
4 4	パッド	
4 5	半導体素子	
4 6	クランプ	
4 7	平坦化ツール	
6 1	パッドメタル	
6 2	パッドメタル	
6 3	ビア	
7 1	層間絶縁膜	
7 2	層間絶縁膜	20
7 3	層間絶縁膜	
7 4	層間絶縁膜	
8 1	引出し部メタル	
9 1	第 1 の電源層メタル	
9 2	シリコン基板	
1 0 1	半導体素子	
1 0 2	周辺 P O E パッド	
1 1 0	最下層メタル	
1 3 1	第 1 の保護膜	
1 3 2	第 2 の保護膜	30
1 4 1	金属線	
1 4 2	金属ボール	
1 4 3	キャピラリー	
1 4 4	パッド	
1 4 5	半導体素子	
1 4 6	クランプ	
1 4 7	平坦化ツール	
1 6 1	パッドメタル	
1 6 2	パッドメタル	
1 6 3	ビア	40
1 7 1	層間絶縁膜	
1 7 2	層間絶縁膜	
1 7 3	層間絶縁膜	
1 7 4	層間絶縁膜	
1 8 1	引出し部メタル	
1 9 1	第 1 の電源層メタル	
1 9 2	シリコン基板	
2 0 4	インターポーザ基板	
2 0 8	金属突起	
2 0 9	導電性接続材料	50

- 2 1 0 電 極
- 2 1 1 樹脂封止用加熱ステージ
- 2 1 2 樹脂
- 2 1 3 樹脂ノズル
- 2 1 4 樹脂フィレット
- 3 1 5 樹脂ノズル
- 3 1 6 高剛性樹脂

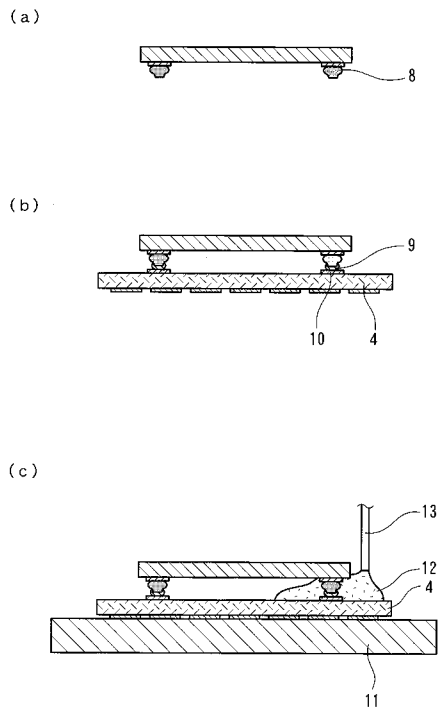
【図 1】



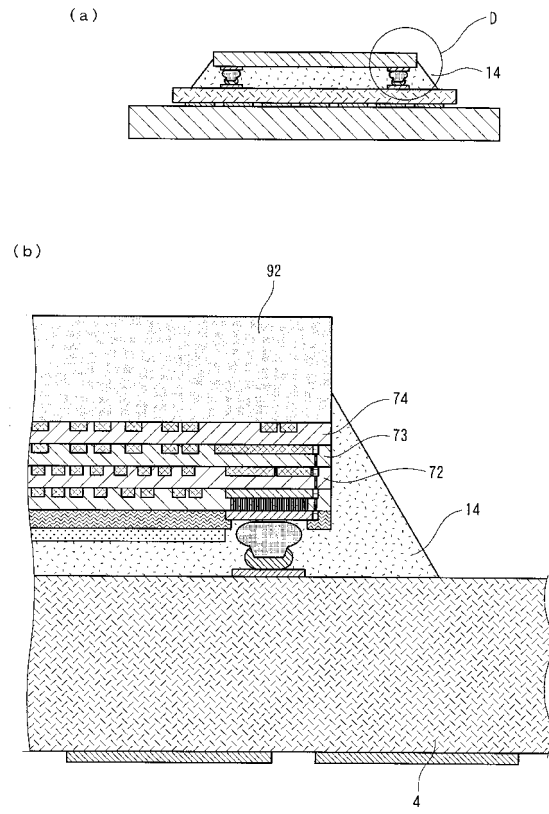
【図 2】



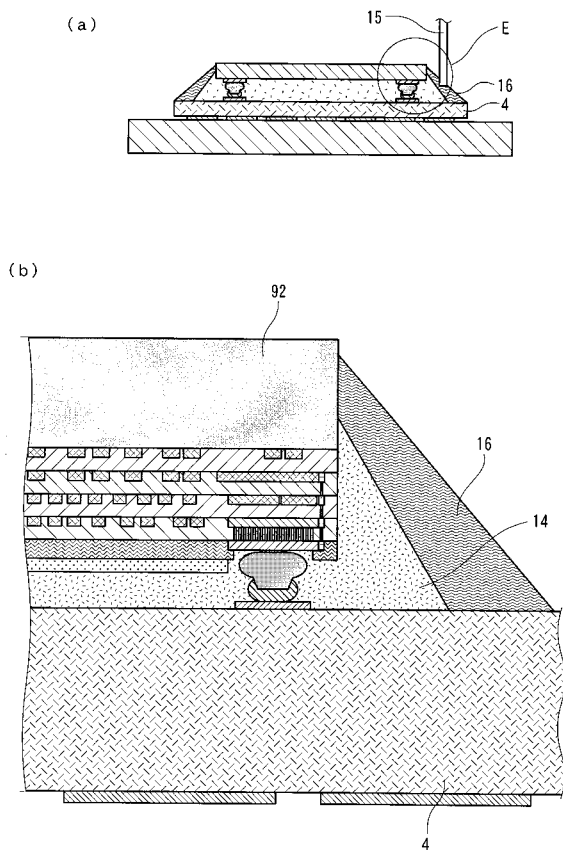
【図 3】



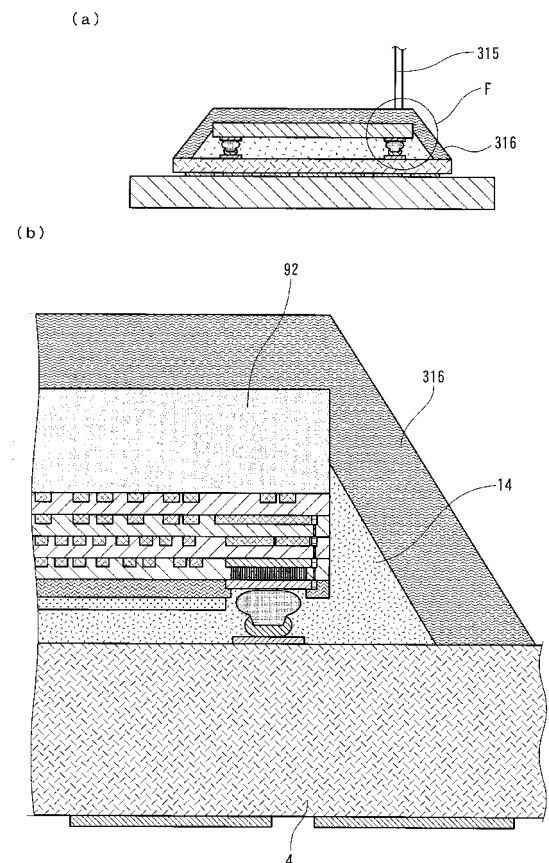
【図 4】



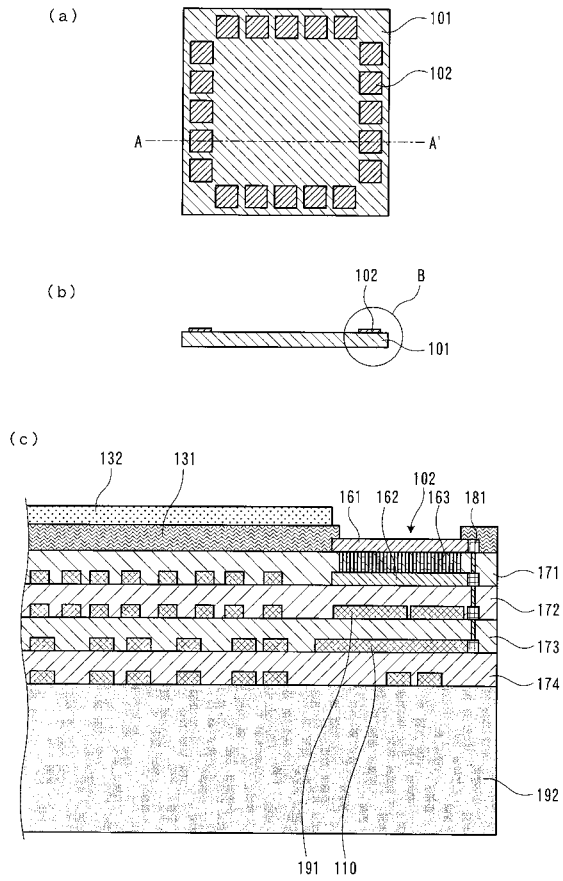
【図 5】



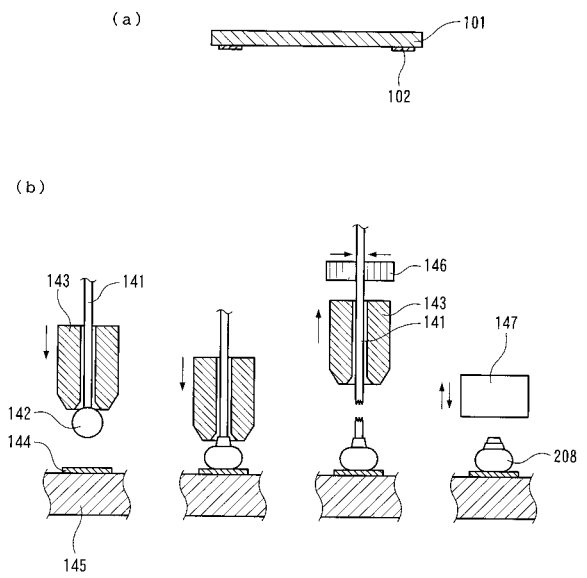
【図 6】



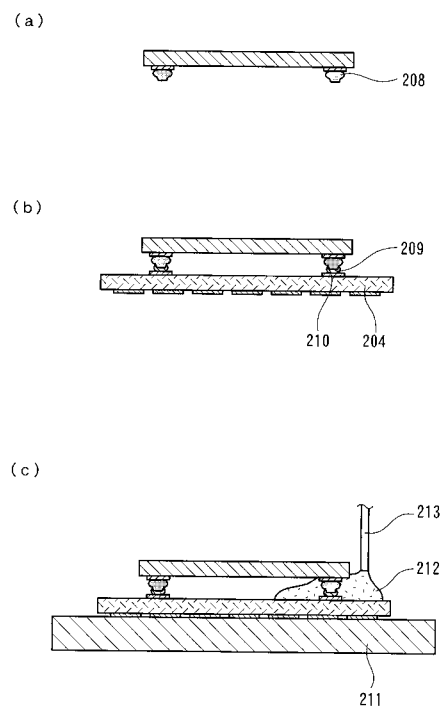
【図 7】



【図 8】



【図 9】



【図 10】

