

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 4 月 21 日 (21.04.2016)



(10) 国际公布号
WO 2016/058351 A1

- (51) 国际专利分类号:
G09G 3/32 (2006.01)
- (21) 国际申请号: PCT/CN2015/077376
- (22) 国际申请日: 2015 年 4 月 24 日 (24.04.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410554799.9 2014 年 10 月 17 日 (17.10.2014) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 曹昆 (CAO, Kun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 吴仲远 (WU, Zhongyuan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 宋琛 (SONG, Chen); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: DISPLAY CIRCUIT AND DRIVING METHOD THEREFOR AND DISPLAY DEVICE

(54) 发明名称: 显示电路及其驱动方法和显示装置

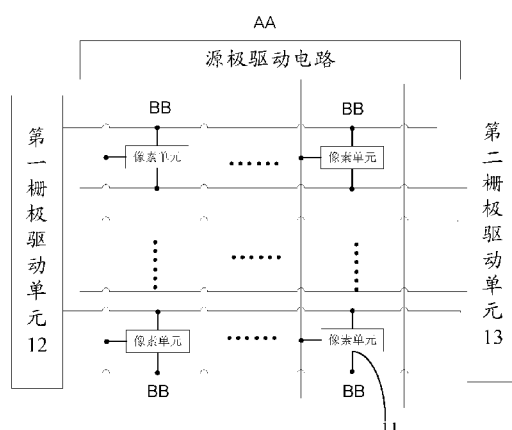


图 1 / Fig. 1

11, BB PIXEL UNIT
12 FIRST GATE DRIVING UNIT
13 SECOND GATE DRIVING UNIT
AA SOURCE DRIVING CIRCUIT

(57) Abstract: A display circuit and a driving method therefor and a display device. The display circuit comprises pixel units (11), a first gate driving unit (12) and a second gate driving unit (13). The first gate driving unit (12) is used for inputting a first gate driving signal to each pixel unit (11). The second gate driving unit (13) is used for inputting a second gate driving signal to each pixel unit (11). A pixel unit (11) is used for performing simultaneously threshold compensation and grayscale display under the control of the first gate driving signal and the second gate driving signal. The device and the method can reduce design complexity of a display circuit and help to increase pixel density of a display panel. Embodiments of the device and the method can be applied to display manufacturing.

(57) 摘要: 一种显示电路及其驱动方法和显示装置。该显示电路包括像素单元 (11)、第一栅极驱动单元 (12) 和第二栅极驱动单元 (13); 其中, 所述第一栅极驱动单元 (12) 用于向所述像素单元 (11) 输入第一栅极驱动信号; 所述第二栅极驱动单元 (13) 用于向所述像素单元 (11) 输入第二栅极驱动信号; 所述像素单元 (11) 用于在所述第一栅极驱动信号和所述第二栅极驱动信号的控制下同时进行阈值补偿和灰阶显示。所述装置和方法能够降低显示电路的设计复杂度, 有利于提高显示面板的像素密度。所述装置和方法的实施例可应用于显示器制造。



WO 2016/058351 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

显示电路及其驱动方法和显示装置

技术领域

本公开涉及一种显示电路及其驱动方法和显示装置。

5

背景技术

由于有机发光二极管（英文：Organic Light-Emitting Diode，简称 OLED）像素设计多采用电流控制型，因此整个面板内各像素单元的驱动晶体管的阈值电压（ V_{th} ）不均一，并且长期工作后产生的 V_{th} 偏移会降低面板显示的均匀性。因此，通过 V_{th} 补偿像素设计来避免上述问题的发生。为了提高 OLED 显示面板的工艺集成度，同时降低成本，采用集成栅极驱动技术（英文：gate driver on array，简称 GOA）是未来的发展趋势。但是 OLED 的 V_{th} 补偿像素设计需要外围栅极驱动电路与之相配合提供进行 V_{th} 补偿过程中的驱动信号，因此对栅极驱动电路提出了更高的要求。

目前显示电路的设计以单纯具有 V_{th} 补偿功能的像素设计配合单脉冲的 GOA 电路设计为主。具有 V_{th} 补偿功能的像素设计，通常是在像素单元中通过开关逻辑器件组成的阈值补偿模块将数据线信号 V_{data} 进行若干时序的信号转换实现像素 V_{th} 补偿。此外，单脉冲的 GOA 电路除需要提供栅极驱动信号外，还必须能够提供与像素 V_{th} 补偿匹配的时序信号。 V_{th} 补偿功能和栅极驱动功能独立进行。因此，显示电路的设计较为复杂，不利于显示面板的像素密度的提高。

发明内容

在本公开的一些实施例中提供一种显示电路及其驱动方法和显示装置，能够降低显示电路的设计复杂度，有利于提高显示面板的像素密度。

在本公开的一个方面，提供一种显示电路，包括像素单元、第一栅极驱动单元和第二栅极驱动单元。

所述第一栅极驱动单元用于向所述像素单元输入第一栅极驱动信号。

所述第二栅极驱动单元用于向所述像素单元输入第二栅极驱动信号。

所述像素单元用于在所述第一栅极驱动信号和所述第二栅极驱动信号的控制下，同时进行阈值补偿和灰阶显示。

5 可选地，所述第一栅极驱动单元包括：至少三个 GOA 单元，每个所述 GOA 单元包括：信号输入端、输出端、复位端和闲置输出端。

第 1 级 GOA 单元的信号输入端输入第一帧起始信号，第 1 级 GOA 单元的复位端连接第 3 级 GOA 单元的闲置输出端。

第 2 级 GOA 单元的信号输入端输入第二帧起始信号。

10 第 $2n$ 级 GOA 单元的复位端连接第 $2n-1$ 级 GOA 单元的闲置输出端和第 $2n+1$ 级 GOA 单元的信号输入端。

第 $2n+1$ 级 GOA 单元的复位端连接第 $2n+3$ 级 GOA 单元的闲置输出端。

15 第 $2n+2$ 级 GOA 单元的信号输入端连接第 $2n-2$ 级 GOA 单元的闲置输出端。

所述第 $2n$ 级 GOA 单元的输出端和第 $2n+1$ 级 GOA 单元的输出端通过逻辑或单元向第 n 行像素单元输出所述第一栅极驱动信号，其中， n 为正整数。

20 可选地，所述第二栅极驱动单元包括：至少三个 GOA 单元，每个所述 GOA 单元包括：信号输入端、输出端、复位端和闲置输出端。

第 1 级 GOA 单元的信号输入端输入第三帧起始信号，第 1 级 GOA 单元的复位端连接第 3 级 GOA 单元的闲置输出端。

第 2 级 GOA 单元的信号输入端输入第四帧起始信号。

25 第 $2n$ 级 GOA 单元的复位端连接第 $2n-1$ 级 GOA 单元的闲置输出端和第 $2n+1$ 级 GOA 单元的信号输入端。

第 $2n+1$ 级 GOA 单元的复位端连接第 $2n+3$ 级 GOA 单元的闲置输出端。

第 $2n+2$ 级 GOA 单元的信号输入端连接第 $2n-2$ 级 GOA 单元的闲置输出端。

30 所述第 $2n$ 级 GOA 单元的输出端和第 $2n+1$ 级 GOA 单元的输出端连接至逻辑或单元的输入端，所述逻辑或单元的输入端连接至逻辑反向单

元的输入端，所述逻辑反向单元的输出端输出所述第二栅极驱动信号，其中， n 为正整数。

可选地，所述第二栅极驱动单元包括：至少一对 GOA 单元，每个所述 GOA 单元包括：信号输入端、输出端、复位端和闲置输出端。

5 除第 1 级 GOA 单元和第 2 级 GOA 单元外，第 m 级 GOA 单元的信号输入端连接第 $m-2$ 级 GOA 单元的闲置输出端；第 m 级 GOA 单元的复位端连接第 $m+1$ 级 GOA 单元的闲置输出端；第 $m+1$ 级 GOA 单元的信号输入端连接第 $m-1$ 级 GOA 单元的闲置输出端；第 $m+1$ 级 GOA 单元的复位端连接第 $m+3$ 级 GOA 单元的闲置输出端。

10 第 1 级 GOA 单元的复位端连接第 2 级 GOA 单元的闲置输出端；第 2 级 GOA 单元的复位端连接第 4 级 GOA 单元的闲置输出端。

其中第 1 级 GOA 单元的信号输入端输入第五帧起始信号，第 2 级 GOA 单元的信号输入端输入第六帧起始信号。

第 m 级 GOA 单元的输入端通过逻辑反向单元向第 $(m+1)/2$ 行像素单元输出所述第二栅极驱动信号， m 为奇数。

可选地，所述 GOA 单元包括：上拉单元、下拉单元、复位单元、闲置输出单元和输出单元。

所述上拉单元连接信号输入端、第一电平端、第一时钟信号端、第二时钟信号端、第一节点、第二节点、第三节点和第四节点；其中所述上拉单元用于在所述信号输入端、第一电平端、第一时钟信号端和第二时钟信号端的信号控制下将所述第一节点的电压与所述信号输入端拉齐，将所述第二节点的电压与所述信号输入端拉齐或将所述第二节点的电压与所述第四节点的电压拉齐，将所述第三节点的电压与所述第一电平端的电压拉齐，将所述第四节点的电压与所述第一时钟信号端的电压拉齐。

所述下拉单元连接第二电平端、第三电平端、所述闲置输出端、所述输出端、第一节点、第二节点、第三节点和第四节点；用于在所述第一节点的信号控制下将所述第三节点的电压与所述第二电平端拉齐，在所述第三节点的信号控制下将所述第一节点及所述第二节点的电压与所述第二电平端拉齐，在所述第三节点的信号控制下将所述重置输出端的电压与所述第二电平端拉齐，在所述第三节点的信号控制下将所述

输出端的电压与所述第三电平端拉齐,在所述第三节点的信号控制下将所述第四节点的电压与所述第三电平端拉齐。

所述复位单元连接复位端,第二电平端、第一节点和第二节点;用于在所述复位端的信号控制下将所述第一节点及第二节点的电压与
5 所述第二电平端拉齐。

所述闲置输出单元连接第一节点、第二时钟信号端和闲置输出端,用于在所述第一节点的控制下在所述闲置输出端输出所述第二时钟信号端的信号。

所述输出单元连接第一节点、第二时钟信号端和输出端,用于在
10 所述第一节点的控制下在所述输出端输出所述第二时钟信号端的信号。

可选地,所述闲置输出单元包括:第一晶体管,所述第一晶体管的栅极连接第一节点,所述第一晶体管的源极连接第二时钟信号端,所述第一晶体管的漏极连接所述闲置输出端。

可选地,所述上拉单元包括:第四晶体管、第六晶体管、第七晶
15 体管、第十一晶体管、第十四晶体管。

所述第四晶体管的栅极和源极连接第一电平端,所述第四晶体管的漏极连接第二节点。

所述第六晶体管的栅极和源极连接所述信号输入端,所述第六晶体管的漏极第二节点。

所述第七晶体管的栅极连接所述第一节点,所述第七晶体管的源极连接所述第二时钟信号端,所述第七晶体管的漏极连接第四节点。
20

所述第十一晶体管的栅极连接所述栅极连接所述闲置输出端,所述第十一晶体管的源极连接所述第二节点,所述第十一晶体管的漏极连接所述第四节点。

所述第十四晶体管的栅极连接第一时钟信号端,所述第十四晶体管的源极连接所述第二节点,所述第十四晶体管的漏极连接所述第一节点。
25

可选地,所述下拉单元包括:第二晶体管、第三晶体管、第五晶体管、第八晶体管、第十晶体管和第十三晶体管。

所述第二晶体管的栅极连接第三节点,所述第二晶体管的源极连接所述闲置输出端,所述第二晶体管的漏极连接第二电平端。
30

所述第三晶体管的栅极连接所述第一节点，所述第三晶体管的源极连接所述第三节点，所述第三晶体管的漏极连接所述第二电平端。

所述第五晶体管的栅极连接所述第三节点，所述第五晶体管的源极连接所述第一节点，所述第五晶体管的漏极连接所述第二节点。

5 所述第八晶体管的栅极连接所述第三节点，所述第八晶体管的源极连接所述第四节点，所述第八晶体管的漏极连接第三电平端。

所述第十晶体管的栅极连接所述第三节点，所述第十晶体管的源极连接所述输出端，所述第十晶体管的漏极连接所述第三电平端。

10 所述第十三晶体管的栅极连接所述第三节点，所述第十三晶体管的源极连接所述第二节点，所述第十三晶体管的漏极连接所述第二电平端。

可选地，所述复位单元包括：第十二晶体管和第十五晶体管。

所述第十二晶体管的栅极连接所述复位端，所述第十二晶体管的源极连接所述第一节点，所述第十二晶体管的漏极连接所述第二节点。

15 所述第十五晶体管的栅极连接所述复位端，所述第十五晶体管的源极连接所述第二节点，所述第十五晶体管的漏极连接所述第二电平端。

20 可选地，所述输出单元包括第九晶体管，所述第九晶体管的栅极连接所述第一节点，所述第九晶体管的源极连接所述第二时钟信号端，所述第九晶体管的漏极连接所述输出端。

可选地，所述第一帧起始信号为单脉冲信号，所述第二帧起始信号为多脉冲信号。

25 或者，所述第二帧起始信号为单脉冲信号，所述第二帧起始信号的脉冲宽度包含输入所述第一栅极驱动单元的时钟信号的至少两个时钟周期。

可选地，所述第三帧起始信号为单脉冲信号，所述第四帧起始信号为多脉冲信号。

30 或者，所述第四帧起始信号为单脉冲信号，所述第四帧起始信号的脉冲宽度包含输入所述第二栅极驱动单元的时钟信号的至少两个时钟周期。

可选地，所述第五帧起始信号为多脉冲信号，所述第六帧起始信

号为单脉冲信号。

或者，所述第五帧起始信号为单脉冲信号，所述第五帧起始信号的脉冲宽度包含输入所述第一栅极驱动单元的时钟信号的至少两个时钟周期。

5 按照本公开的另一方面，提供一种显示电路的驱动方法，该方法包括下列步骤：

通过第一栅极驱动单元向像素单元输入第一栅极驱动信号；

通过第二栅极驱动单元向所述像素单元输入第二栅极驱动信号；

10 通过所述第一栅极驱动信号和所述第二栅极驱动信号控制所述像素单元同时进行阈值补偿和灰阶显示。

可选地，所述第一栅极驱动信号和所述第二栅极驱动信号为多脉冲信号。

15 可选地，所述第一栅极驱动信号为包含至少两种脉冲宽度的脉冲信号，和/或所述第二栅极驱动信号为包含至少两种脉冲宽度的脉冲信号。

按照本发明的另一方面，提供一种显示装置，包括：上述任一的显示电路。

20 按照本公开的实施例，通过第一栅极驱动单元向像素单元输入第一栅极驱动信号；通过第二栅极驱动单元向所述像素单元输入第二栅极驱动信号；通过所述第一栅极驱动信号和所述第二栅极驱动信号控制所述像素单元同时进行阈值补偿和灰阶显示。由于像素单元的阈值补偿和灰阶显示可以同时两个栅极驱动单元的信号控制下进行，因此能够降低显示电路的设计复杂度，有利于提高显示面板的像素密度，从而提高显示面板的分辨率。

25

附图说明

图 1 为本公开的实施例提供的一种显示电路的结构示意图；

图 2 为本公开的实施例提供的第一栅极驱动单元的结构示意图；

图 3 为本公开的实施例提供的第二栅极驱动单元的结构示意图；

30 图 4 为本公开的另一实施例提供的第二栅极驱动单元的结构示意图；

图 5 为本公开的实施例提供的一种 GOA 单元的结构示意图；

图 6 为本公开的另一实施例提供的一种 GOA 单元的结构示意图；

图 7 为本公开的实施例提供的一种时序信号示意图；

图 8 为本公开的实施例提供的另一种时序信号示意图；

5 图 9 为本公开的实施例提供的又一种时序信号示意图；

图 10 为本公开的实施例提供的另外一种时序信号示意图；

图 11 为本公开的实施例提供的一种显示电路的驱动方法流程示意图。

10 具体实施方式

下面结合附图对本公开实施例提供的显示电路及其驱动方法和显示装置进行详细描述，其中用相同的附图标记指示本文中的相同元件。在下面的描述中，为便于解释，给出了大量具体细节，以便提供一个或多个实施例的全面理解。然而，很明显，也可以不用这些具体细
15 节来实现所述实施例。

本公开所有实施例中采用的开关晶体管和驱动晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本公开实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为栅极、信号输入端为漏极、输出端为源极。此外，本公开实施例所采用的开关晶体管包括 P 型开关晶体管和 N 型开关晶体管两种，其中，P 型开关晶体管在栅极为低电平时导通，在栅极为高电平时截止，N 型开关晶体管为在栅极为高电平时导通，在栅极为低电平时截止；驱动
20 晶体管包括 P 型和 N 型，其中 P 型驱动晶体管在栅极电压为低电平（栅极电压小于源极电压），且栅极源极的压差的绝对值大于阈值电压时处于放大状态或饱和状态；其中 N 型驱动晶体管的栅极电压为高电平（栅极电压大于源极电压），且栅极源极的压差的绝对值大于阈值电压时处于放大状态或饱和状态。

30 图 1 示出了本公开的实施例提供的一种显示电路的结构示意图。

参照图 1 所示，本公开实施例提供的显示电路包括：像素单元 11、第

一栅极驱动单元 12 和第二栅极驱动单元 13。

图 1 中, 所述第一栅极驱动单元 12 用于向所述像素单元 11 输入第一栅极驱动信号;

所述第二栅极驱动单元 13 用于向所述像素单元 11 输入第二栅极驱动信号 13;

所述像素单元 11 用于在所述第一栅极驱动信号和所述第二栅极驱动信号的控制下同时进行阈值补偿和灰阶显示。

这里, 像素单元 11 通常为按照阵列形式排列。图 1 中还示意性地示出了提供数据线信号的源极驱动电路。像素单元 11 可以为任何一种具备 V_{th} 补偿功能的像素单元, 本公开的实施例对像素单元 11 的具体电路结构不做限制。该像素单元 11 至少通过两个栅极驱动信号控制工作

时序。

在图 1 所示电路中, 通过第一栅极驱动单元向像素单元输入第一栅极驱动信号; 通过第二栅极驱动单元向所述像素单元输入第二栅极驱动信号; 通过所述第一栅极驱动信号和所述第二栅极驱动信号控制所述像素单元同时进行阈值补偿和灰阶显示。由于像素单元的阈值补偿和灰阶显示可以在两个栅极驱动单元的信号控制下同时进行, 因此能够降低显示电路的设计复杂度, 有利于提高显示面板的像素密度, 从而提高显示面板的分辨率。

进一步地, 图 2 示出了本公开的实施例提供的第一栅极驱动单元的结构示意图。参照图 2 所示, 第一栅极驱动单元 12 包括: 至少三个 GOA 单元, 每个所述 GOA 单元包括: 信号输入端 INPUT、输出端 OUT、复位端 RESET 和闲置输出端 COUT。

图 2 中, 第 1 级 GOA 单元 (如图中所示的 S/R2-0) 的信号输入端 INPUT 输入第一帧起始信号 STV1, 第 1 级 GOA 单元的复位端连接第 3 级 GOA 单元的闲置输出端 COUT;

第 2 级 GOA 单元 (如图中所示的 S/R1-1) 的信号输入端输入第二帧起始信号 STV2;

第 $2n$ 级 GOA 单元的复位端 RESET 连接第 $2n-1$ 级 GOA 单元的闲置输出端 COUT 和第 $2n+1$ 级 GOA 单元的信号输入端 INPUT;

第 $2n+1$ 级 GOA 单元的复位端 RESET 连接第 $2n+3$ 级 GOA 单元的闲

置输出端 COUT;

第 $2n+2$ 级 GOA 单元的信号输入端 INPUT 连接第 $2n-2$ 级 GOA 单元的闲置输出端 COUT;

所述第 $2n$ 级 GOA 单元的输出端 OUT 和第 $2n+1$ 级 GOA 单元的输出端 OUT 通过逻辑或单元 OR 向第 n 行像素单元输出所述第一栅极驱动信号, 其中, n 为正整数。

在此, 可以理解的是, 逻辑或单元 OR 能够将所述第 $2n$ 级 GOA 单元的输出端 OUT 和第 $2n+1$ 级 GOA 单元的输出端 OUT 的信号在时域上叠加输出。

进一步地, 图 3 示出了本公开的实施例提供的第二栅极驱动单元的结构示意图。图 4 示出了本公开的另一实施例提供的第二栅极驱动单元的结构示意图。第二栅极驱动单元可以通过如图 3 或 4 提供的两种方式中的任何一种实现。参照图 3 所示, 所述第二栅极驱动单元 13 包括: 至少三个 GOA 单元, 每个所述 GOA 单元包括: 信号输入端、输出端、复位端和闲置输出端;

图 3 中, 第 1 级 GOA 单元 (S/R2-0) 的信号输入端输入第三帧起始信号, 第 1 级 GOA 单元的复位端连接第 3 级 GOA 单元 (S/R2-1) 的闲置输出端;

第 2 级 GOA 单元 (S/R1-1) 的信号输入端输入第四帧起始信号;

第 $2n$ 级 GOA 单元的复位端连接第 $2n-1$ 级 GOA 单元的闲置输出端和第 $2n+1$ 级 GOA 单元的信号输入端;

第 $2n+1$ 级 GOA 单元的复位端连接第 $2n+3$ 级 GOA 单元的闲置输出端;

第 $2n+2$ 级 GOA 单元的信号输入端连接第 $2n-2$ 级 GOA 单元的闲置输出端;

所述第 $2n$ 级 GOA 单元的输出端和第 $2n+1$ 级 GOA 单元的输出端连接至逻辑或单元的输入端, 所述逻辑或单元的输出端连接至逻辑反向单元的输入端, 所述逻辑反向单元的输出端输出所述第二栅极驱动信号, 其中, n 为正整数。

可以理解的是, 逻辑反向单元 NG 能够将逻辑或单元 OR 的输入端的信号反相 180° 后输出。

参照图 4 所示, 所述第二栅极驱动单元 13 包括: 至少一对 GOA 单元, 每个所述 GOA 单元包括: 信号输入端 INPUT、输出端 OUT、复位端 RESET 和闲置输出端 COUT;

除第 1 级 GOA 单元和第 2 级 GOA 单元外, 第 m 级 GOA 单元的信号输入端 INPUT 连接第 $m-2$ 级 GOA 单元的闲置输出端 COUT; 第 m 级 GOA 单元的复位端 RESET 连接第 $m+1$ 级 GOA 单元的闲置输出端 COUT; 第 $m+1$ 级 GOA 单元的信号输入端 INPUT 连接第 $m-1$ 级 GOA 单元的闲置输出端 COUT; 第 $m+1$ 级 GOA 单元的信号复位端 RESET 连接第 $m+3$ 级 GOA 单元的闲置输出端 COUT;

第 1 级 GOA 单元的复位端 RESET 连接第 2 级 GOA 单元的闲置输出端 COUT; 第 2 级 GOA 单元的复位端 RESET 连接第 4 级 GOA 单元的闲置输出端 COUT;

其中第 1 级 GOA 单元的信号输入端 INPUT 输入第五帧起始信号, 第 2 级 GOA 单元的信号输入端 INPUT 输入第六帧起始信号;

第 m 级 GOA 单元的输出端通过逻辑反向单元 NG 向第 $(m+1)/2$ 行像素单元输出所述第二栅极驱动信号, m 为奇数。

可以理解的是, 逻辑反向单元 NG 能够将第 m 级 GOA 单元的输入端 OUT 的信号反相 180° 后输出。

图 5 示出本公开的实施例提供的一种 GOA 单元的结构示意图。可选地, 参照图 5 所示, 该 GOA 单元包括: 上拉单元 41、下拉单元 42、复位单元 43、闲置输出单元 44 和输出单元 45。

在图 5 中, 所述上拉单元 41 连接信号输入端 INPUT、第一电平端 V1、第一时钟信号端 CLKA、第二时钟信号端 CLKB、第一节点 a、第二节点 b、第三节点 c 和第四节点 d。所述上拉单元 41 用于在所述信号输入端 INPUT、第一电平端 V1、第一时钟信号端 CLKA 和第二时钟信号端 CLKB 的信号控制下将所述第一节点 a 的电压与所述信号输入端 INPUT 拉齐, 将所述第二节点 b 的电压与所述信号输入端 INPUT 拉齐或将所述第二节点 b 的电压与所述第四节点 d 的电压拉齐, 将所述第三节点 c 的电压与所述第一电平端 V1 的电压拉齐, 将所述第四节点 d 的电压与所述第一时钟信号端 CLKA 的电压拉齐。

在图 5 中, 所述下拉单元 42 连接第二电平端 V2、第三电平端 V3、

所述闲置输出端 COUT、所述输出端 OUT、第一节点 a、第二节点 b、第三节点 c 和第四节点 d。所述下拉单元 42 用于在所述第一节点 a 的信号控制下将所述第三节点 c 的电压与所述第二电平端 V2 拉齐，在所述第三节点 c 的信号控制下将所述第一节点 a 及所述第二节点 b 的电压与
5 所述第二电平端 V2 拉齐，在所述第三节点 c 的信号控制下将所述输出端 OUT 的电压与所述第二电平端 V2 拉齐，在所述第三节点 c 的信号控制下将所述输出端 OUT 的电压与所述第三电平端 V3 拉齐，在所述第三节点 c 的信号控制下将所述第四节点 d 的电压与所述第三电平端 V3 拉齐。

10 如图 5 所示，所述复位单元 43 连接复位端 RESET，第二电平端 V2、和第二节点 b，并通过下拉单元 42 连接第一节点 a；用于在所述复位端 RESET 的信号控制下将所述第一节点 a 及第二节点 b 的电压与所述第二电平端 V2 拉齐。

如图 5 所示，所述闲置输出单元 44 连接第二时钟信号端 CLKB 和
15 闲置输出端 COUT，并通过下拉单元 42 连接第一节点 a；用于在所述第一节点 a 的控制下在所述闲置输出端 COUT 输出所述第二时钟信号端 CLKB 的信号。

如所 5 所示，所述输出单元 45 连接第一节点 a、第二时钟信号端 CLKB，和输出端 OUT。所述输出单元 45 用于在所述第一节点 a 的控制
20 下在所述输出端 OUT 输出所述第二时钟信号端 CLKB 的信号。

图 6 示出本公开的另一实施例提供的一种 GOA 单元的结构示意图。进一步地，参照图 6 所示，在该 GOA 单元中，所述闲置输出单元包括：第一晶体管 M1，所述第一晶体管 M1 的栅极连接第一节点 a，所述第一晶体管 M1 的源极连接第二时钟信号端 CLKB，所述第一晶体管 M1 的漏
25 极连接所述闲置输出端 COUT。

如图 6 所示，所述上拉单元包括：第四晶体管 M4、第六晶体管 M6、第七晶体管 M7、第十一晶体管 M11、第十四晶体管 M14。

所述第四晶体管 M4 的栅极和源极连接第一电平端 V1，所述第四晶体管 M4 的漏极连接第三节点 c。

30 所述第六晶体管 M6 的栅极和源极连接所述信号输入端 INPUT，所述第六晶体管 M6 的漏极第二节点 b。

所述第七晶体管 M7 的栅极连接所述第一节点 a，所述第七晶体管 M7 的源极连接所述第二时钟信号端 CLKB，所述第七晶体管 M7 的漏极连接第四节点 d。

所述第十一晶体管 M11 的栅极连接所述闲置输出端 COUT，所述第十一晶体管 M11 的源极连接所述第二节点 b，所述第十一晶体管 M11 的漏极连接所述第四节点 d。

所述第十四晶体管 M14 的栅极连接第一时钟信号端 CLKA，所述第十四晶体管 M14 的源极连接所述第二节点 b，所述第十四晶体管 M14 的漏极连接所述第一节点 a。

10 如图 6 所示，所述下拉单元包括：第二晶体管 M2、第三晶体管 M3、第五晶体管 M5、第八晶体管 M8、第十晶体管 M10 和第十三晶体管 M13。

所述第二晶体管 M2 的栅极连接第三节点 c，所述第二晶体管 M2 的源极连接所述闲置输出端 COUT，所述第二晶体管 M2 的漏极连接第二电平端 V2。

15 所述第三晶体管 M3 的栅极连接所述第一节点 a，所述第三晶体管 M3 的源极连接所述第三节点 c，所述第三晶体管 M3 的漏极连接所述第二电平端 V2。

所述第五晶体管 M5 的栅极连接所述第三节点 c，所述第五晶体管 M5 的源极连接所述第一节点 a，所述第五晶体管 M5 的漏极连接所述第二节点 b。

所述第八晶体管 M8 的栅极连接所述第三节点 c，所述第八晶体管 M8 的源极连接所述第四节点 d，所述第八晶体管 M8 的漏极连接第三电平端 V3。

25 所述第十晶体管 M10 的栅极连接所述第三节点 c，所述第十晶体管 M10 的源极连接所述输出端 OUT，所述第十晶体管 M10 的漏极连接所述第三电平端 V3。

所述第十三晶体管 M13 的栅极连接所述第三节点 c，所述第十三晶体管 M13 的源极连接所述第二节点 b，所述第十三晶体管 M13 的漏极连接所述第二电平端 V2。

30 如图 6 所示，所述复位单元包括：第十二晶体管 M12 和第十五晶体管 M15。

所述第十二晶体管 M12 的栅极连接所述复位端 RESET，所述第十二晶体管 M12 的源极连接所述第一节点 a，所述第十二晶体管 M12 的漏极连接所述第二节点 b。

所述第十五晶体管 M15 的栅极连接所述复位端 RESET，所述第十五晶体管 M15 的源极连接所述第二节点 b，所述第十五晶体管 M15 的漏极连接所述第二电平端 V2。

如图 6 所示，所述输出单元包括第九晶体管 M9，所述第九晶体管 M9 的栅极连接所述第一节点 a，所述第九晶体管 M9 的源极连接所述第二时钟信号端 CLKB，所述第九晶体管 M9 的漏极连接所述输出端 OUT。

进一步可选地，所述第一帧起始信号为单脉冲信号，所述第二帧起始信号为多脉冲信号。或者，所述第二帧起始信号为单脉冲信号，所述第二帧起始信号的脉冲宽度包含输入所述第一栅极驱动单元的时钟信号的至少两个时钟周期。所述第三帧起始信号为单脉冲信号，所述第四帧起始信号为多脉冲信号。或者，所述第四帧起始信号为单脉冲信号，所述第四帧起始信号的脉冲宽度包含输入所述第二栅极驱动单元的时钟信号的至少两个时钟周期。所述第五帧起始信号为多脉冲信号，所述第六帧起始信号为单脉冲信号。或者，所述第五帧起始信号为单脉冲信号，所述第五帧起始信号的脉冲宽度包含输入所述第一栅极驱动单元的时钟信号的至少两个时钟周期。

本公开的实施例应用的一种像素单元 11，可以为任一种具备 V_{th} 补偿功能的像素单元，并且像素单元 11 至少通过两个栅极驱动信号控制工作时序，这里不再提供像素单元 11 的具体电路结构。

下面参照如图 7、8、9、10 所示的时序信号示意图，对上述的显示电路的工作过程进行描述。在此，上述 GOA 单元中各晶体管可以为 N 型开关晶体管，或 P 型开关晶体管，以下以 N 型开关晶体管为例进行说明。此外，第一电平端 V1 的信号为高电平 VGH，第二电平端 V2 的信号为第一低电平 VGL1，第三电平端 V3 的信号为第二低电平 VGL2。参照图 2 所示，对于第一栅极驱动单元 12 中的 GOA 单元，奇数级的 GOA 单元（如图 2 中的 S/R2-0、S/R2-1）的第一时钟信号端 CLKA 输入第一时钟信号 CLK1，第二时钟信号端 CLKB 输入第二时钟信号 CLK2，第一级 GOA 单元的信号输入端 INPUT 输入第一帧起始信号 STV1；其中 CLK1 和 CLK2

为一对反相的时钟信号,即 CLK1 和 CLK2 的相位差为 180° 。例如: CLK1 和 CLK2 占空比相同(示例性的占空比均为 50%)、频率相同、相位差为 180° 。两个相邻的奇数级的 GOA 单元中一个 GOA 单元的第一时钟信号端 CLKA 输入的时钟信号与另一个 GOA 单元的第一时钟信号端 CLKA 输入的时钟信号相位相反(即存在 180° 相位差)。偶数级的 GOA 单元(如图 2 中的 S/R1-1、S/R1-2)中, GOA 单元 S/R1-2x 的第一时钟信号端 CLKA 输入第三时钟信号 CLK3、第二时钟信号端 CLKB 输入第四时钟信号 CLK4, GOA 单元 S/R1-(2x-1) 的第一时钟信号端 CLKA 输入第五时钟信号 CLK5、第二时钟信号端 CLKB 输入第六时钟信号 CLK6; 第 2 级 GOA 单元(S/R1-1)的信号输入端 INPUT 输入第二帧起始信号 STV2; CLK3 和 CLK4 为一对反相的时钟信号,即 CLK3 和 CLK4 的相位差为 180° 。例如: CLK3 和 CLK4 占空比相同(示例性的占空比均为 50%)、频率相同、相位差为 180° 。CLK5 和 CLK6 为一对反相的时钟信号,即 CLK5 和 CLK6 的相位差为 180° 。例如: CLK5 和 CLK6 占空比相同(示例性的占空比均为 50%)、频率相同、相位差为 180° 。CLK3 与 CLK5 存在预设的相位差,示例性地, CLK3 与 CLK5 存在 90° 或 180° 相位差,或者 CLK5 的脉冲上升沿比 CLK3 的脉冲的上升沿延迟四分之一周期或二分之一周期。CLK3 的频率与 CLK1 的频率不同,如: CLK3 的频率大于 CLK1 的频率,即 CLK3 的脉冲宽度小于 CLK1 的脉冲宽度, CLK5 的频率大于 CLK1 的频率,即 CLK5 的脉冲宽度小于 CLK1 的脉冲宽度。示例性地, CLK3 的脉冲宽度为 CLK1 的脉冲宽度的 50%; CLK5 的脉冲宽度为 CLK1 的脉冲宽度的 50%。

图 2 中,第一栅极驱动单元 12 中对于偶数级的 GOA 单元,在本级输出过程中,上拉单元 41 中的各个晶体管为导通状态,下拉单元 42 中的各个晶体管为截止状态;复位单元 43 中的各个晶体管为截止状态,输出单元 45 和闲置输出单元 44 中的各个晶体管的导通状态。参照图 7 所示,第 2 级 GOA 单元(S/R1-1)的输出端输出多脉冲信号,参照图 8 所示,提供一种多脉冲信号的具体实现方式,第二帧起始信号 STV2 为多脉冲信号。可替换地,如图 9 所示,通过调整第二帧起始信号 STV2 脉冲宽度,使得 STV2 的脉冲宽度包含输入所述第一栅极驱动单元的时钟信号 CLK4 的至少两个时钟周期,即在 STV2 的一个脉冲宽度的时长中,

CLK4 包含四个脉冲信号。针对图 9, 如果各晶体管为高电平导通, 在 STV2 的一个高电平脉冲的时间周期内, CLK4 为高电平时, 输出单元能够将 CLK4 的信号作为第 2 级 GOA 单元 (S/R1-1) 的输出信号, 由于在 STV2 的一个脉冲宽度的时长中, CLK4 包含四个脉冲信号, 因此第 2 级 GOA 单元 (S/R1-1) 的输出端输出的信号为包含 4 个脉冲的多脉冲信号。对于之后的第 $2n$ 级 GOA 单元, 因为 $2n-2$ 级的 GOA 单元的 COUT 端输出的为多脉冲信号, 因此第 $2n$ 级 GOA 单元的信号输入端 INPUT 也为多脉冲信号 (即进位信号也为多脉冲信号)。因此, 第 $2n$ 级 GOA 单元的输出端 OUT 也得到多脉冲信号的输出。

在本级非输出过程中, 上拉单元 41 中的各个晶体管为截止状态, 下拉单元 42 中的各个晶体管为导通状态。复位单元 43 中的各个晶体管为导通状态, 输出单元 45 和闲置输出单元 44 中的各个晶体管的截止状态。此时, 输出单元 45 的 OUT 端不输出, 闲置输出单元 44 的 COUT 端也不输出。

第一栅极驱动单元 12 中对于奇数级的 GOA 单元, 在本级输出过程中, 上拉单元 41 中的各个晶体管为导通状态, 下拉单元 42 中的各个晶体管为截止状态; 复位单元 43 中的各个晶体管为截止状态, 输出单元 45 和闲置输出单元 44 中的各个晶体管的导通状态。示例性地, 参照图 7 所示, 第 3 级 GOA 单元 (S/R2-1) 的输出端输出单脉冲信号, 因此第一栅极驱动单元 12 中奇数级的 GOA 单元序列均输出单脉冲信号, 其为常规方式, 本公开的实施例不再结合 STV1 及 CLK1 和 CLK2 的时序图进行详述。在本级非输出过程中, 上拉单元 41 中的各个晶体管为截止状态, 下拉单元 42 中的各个晶体管为导通状态; 复位单元 43 中的各个晶体管为导通状态, 输出单元 45 和闲置输出单元 44 中的各个晶体管的截止状态。此时, 输出单元 45 的 OUT 端不输出, 闲置输出单元 44 的 COUT 端也不输出。

第 $2n$ 级的 GOA 单元的输出信号和第 $2n+1$ 级的 GOA 单元的输出信号通过逻辑或单元 OR 进行叠加输出, 得到第 n 行像素单元的栅极驱动信号 Gate1 (n)。如图 7 所示, 将第 2 级 GOA 单元 (S/R1-1) 的输出端输出的包含四个脉冲的多脉冲信号与第 3 级 GOA 单元 (S/R2-1) 的输出端输出单脉冲信号叠加输出得到 Gate1。由于 CLK3 的脉冲宽度小于

CLK1 的脉冲宽度, CLK5 的脉冲宽度小于 CLK1 的脉冲宽度, 因此 Gate1 包含一个宽脉冲信号和至少一个波形固定的窄脉冲信号。其中图 6-10 中 Gate1 包含一个宽脉冲信号和四个波形固定的窄脉冲信号只是一种示例, 本公开的实施例中不局限于此, 可以具有其他形式的组合。

5 对于图 3 所示的第二栅极驱动单元 13 的工作原理, 由于相对于图 2 所示的第一栅极驱动单元 12, 图 3 所示的第二栅极驱动单元 13 中仅增加了逻辑反向单元, 因此仅是将图 2 所示的第一栅极驱动单元 12 输出的第一栅极驱动信号反相 180° 后用作第二栅极驱动信号, 其中两个帧起始信号中, 第五帧起始信号 STV5 类似于第三帧起始信号 STV3, 第
10 六帧起始信号 STV6 类似于第四帧起始信号 STV4, 具体原理这里不再赘述。

对于图 4 所示的第二栅极驱动单元 13 中的 GOA 单元, 奇数级的 GOA 单元的第一时钟信号端 CLKA 输入第七时钟信号 CLK7, 第二时钟信号端 CLKB 输入第八时钟信号 CLK8, 第 1 级 GOA 单元的信号输入端 INPUT
15 输入第五帧起始信号 STV5。这里 CLK7 和 CLK8 为一对反相的时钟信号, 即 CLK7 和 CLK8 的相位差为 180° 。例如: CLK7 和 CLK8 占空比相同(示例性的占空比均为 50%)、频率相同、相位差为 180° 。两个相邻的奇数级的 GOA 单元中一个 GOA 单元的第一时钟信号端 CLKA 输入的时钟信号与另一个 GOA 单元的第一时钟信号端 CLKA 输入的时钟信号相位相反
20 (即存在 180° 相位差)。偶数级的 GOA 单元的第一时钟信号端 CLKA 输入第九时钟信号 CLK9、第二时钟信号端 CLKB 输入第十时钟信号 CLK10, 第 2 级 GOA 单元的信号输入端 INPUT 输入第六帧起始信号 STV6。此处, CLK9 和 CLK10 为一对反相的时钟信号, 即 CLK9 和 CLK10 的相位差为 180° 。例如: CLK9 和 CLK10 占空比相同(示例性的占空比均为
25 50%)、频率相同、相位差为 180° 。两个相邻的偶数级的 GOA 单元中一个 GOA 单元的第一时钟信号端 CLKA 输入的时钟信号与另一个 GOA 单元的第一时钟信号端 CLKA 输入的时钟信号相位相反(即存在 180° 相位差)。

此外, 参照图 10 所示, 第二栅极驱动单元 13 中对于奇数级的 GOA
30 单元, 在本级输出过程中, 上拉单元 41 中的各个晶体管为导通状态, 下拉单元 42 中的各个晶体管为截止状态; 复位单元 43 中的各个晶体管

为截止状态，输出单元 45 和闲置输出单元 44 中的各个晶体管的导通状态。类似于第一栅极驱动单元 12 中的偶数级的 GOA 单元，第二栅极驱动单元 13 中的奇数级 GOA 单元输出多脉冲信号，通过逻辑反相单元 NG 进行 180° 反相处理后作为第 $(m+1)/2$ 行像素单元的栅极驱动信号 Gate2，其中 m 为奇数。在本级非输出过程中，上拉单元 41 中的各个晶体管为截止状态，下拉单元 42 中的各个晶体管为导通状态；复位单元 43 中的各个晶体管为导通状态，输出单元 45 和闲置输出单元 44 中的各个晶体管的截止状态。此时，输出单元 45 的 OUT 端不输出，闲置输出单元 44 的 COUT 端也不输出。

第二栅极驱动单元 13 中对于偶数级的 GOA 单元，在本级输出过程中，上拉单元 41 中的各个晶体管为导通状态，下拉单元 42 中的各个晶体管为截止状态；复位单元 43 中的各个晶体管为截止状态，输出单元 45 和闲置输出单元 44 中的各个晶体管的导通状态。第二栅极驱动单元 13 中的偶数级的 GOA 单元通过 COUT 端为相邻的上一级偶数级的 GOA 单元提供复位端 RESET 输入的复位信号，该复位信号可以为单脉冲信号，第 3 级 GOA 单元 $(S/R2-1)$ ，类似于第一栅极驱动单元 12 中的奇数级的 GOA 单元，这里不再赘述。在本级非输出过程中，上拉单元 41 中的各个晶体管为截止状态，下拉单元 42 中的各个晶体管为导通状态；复位单元 43 中的各个晶体管为导通状态，输出单元 45 和闲置输出单元 44 中的各个晶体管的截止状态。此时，输出单元 45 的 OUT 端不输出，闲置输出单元 44 的 COUT 端也不输出。

当然上述图 7、8、9、10 提供的第一栅极驱动单元 12 生成的第一栅极驱动信号和第二栅极驱动单元 13 生成的第二栅极驱动信号的时序状态只是一种可能的实现形式，在调整输入 GOA 单元的时钟信号和帧起始信号时还能产生其他时序状态的第一栅极驱动信号和第二栅极驱动信号输出，这里不做具体限定。

图 11 示出本公开的实施例提供的一种显示电路的驱动方法流程示意图。参照图 11 所示，本公开的实施例提供一种显示电路的驱动方法，包括如下步骤：

在步骤 101 中，通过第一栅极驱动单元向像素单元输入第一栅极驱动信号；

在步骤 102 中，通过第二栅极驱动单元向所述像素单元输入第二栅极驱动信号；

在步骤 103 中通过所述第一栅极驱动信号和所述第二栅极驱动信号控制所述像素单元同时进行阈值补偿和灰阶显示。

5 可选地，所述第一栅极驱动信号和所述第二栅极驱动信号为多脉冲信号。可选地，所述第一栅极驱动信号为包含至少两种脉冲宽度的脉冲信号，和/或所述第二栅极驱动信号为包含至少两种脉冲宽度的脉冲信号。

上述实施例中，通过第一栅极驱动单元向像素单元输入第一栅极驱动信号；通过第二栅极驱动单元向所述像素单元输入第二栅极驱动信号；通过所述第一栅极驱动信号和所述第二栅极驱动信号控制所述像素单元同时进行阈值补偿和灰阶显示。由于像素单元的阈值补偿和灰阶显示可以在两个栅极驱动单元的信号控制下同时进行，因此能够降低显示电路的设计复杂度，有利于提高显示面板的像素密度，从而提高显示面板的分辨率。

本公开的实施例还提供一种显示装置，包括：上述的任一显示电路。其中，显示电路，包括像素单元、第一栅极驱动单元和第二栅极驱动单元。该显示装置可以为电子纸、手机、电视、数码相框等等显示设备。

20 以上所述，仅为本公开的具体实施方式，本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应所述以权利要求的保护范围为准。

本申请要求于 2014 年 10 月 17 日递交的中国专利申请第 201410554799.9 号的优先权，在此全文引用该中国专利申请公开的内容作为本申请的一部分。

权 利 要 求 书

1、一种显示电路，包括像素单元、第一栅极驱动单元和第二栅极驱动单元；

5 其中，所述第一栅极驱动单元用于向所述像素单元输入第一栅极驱动信号；

所述第二栅极驱动单元用于向所述像素单元输入第二栅极驱动信号；

10 所述像素单元用于在所述第一栅极驱动信号和所述第二栅极驱动信号的控制下同时进行阈值补偿和灰阶显示。

2、根据权利要求 1 所述的显示电路，其中，所述第一栅极驱动单元包括：至少三个 GOA 单元，每个所述 GOA 单元包括：信号输入端、输出端、复位端和闲置输出端；

15 第 1 级 GOA 单元的信号输入端输入第一帧起始信号，第 1 级 GOA 单元的复位端连接第 3 级 GOA 单元的闲置输出端；

第 2 级 GOA 单元的信号输入端输入第二帧起始信号；

第 $2n$ 级 GOA 单元的复位端连接第 $2n-1$ 级 GOA 单元的闲置输出端和第 $2n+1$ 级 GOA 单元的信号输入端；

第 $2n+1$ 级 GOA 单元的复位端连接第 $2n+3$ 级 GOA 单元的闲置输出端；

20 第 $2n+2$ 级 GOA 单元的信号输入端连接第 $2n-2$ 级 GOA 单元的闲置输出端；

所述第 $2n$ 级 GOA 单元的输出端和第 $2n+1$ 级 GOA 单元的输出端通过逻辑或单元向第 n 行像素单元输出所述第一栅极驱动信号，其中， n 为正整数。

25 3、根据权利要求 1 所述的显示电路，其中，所述第二栅极驱动单元包括：至少三个 GOA 单元，每个所述 GOA 单元包括：信号输入端、输出端、复位端和闲置输出端；

第 1 级 GOA 单元的信号输入端输入第三帧起始信号，第 1 级 GOA 单元的复位端连接第 3 级 GOA 单元的闲置输出端；

30 第 2 级 GOA 单元的信号输入端输入第四帧起始信号；

第 $2n$ 级 GOA 单元的复位端连接第 $2n-1$ 级 GOA 单元的闲置输出端和第 $2n+1$ 级 GOA 单元的信号输入端;

第 $2n+1$ 级 GOA 单元的复位端连接第 $2n+3$ 级 GOA 单元的闲置输出端;

第 $2n+2$ 级 GOA 单元的信号输入端连接第 $2n-2$ 级 GOA 单元的闲置输出端;

所述第 $2n$ 级 GOA 单元的输出端和第 $2n+1$ 级 GOA 单元的输出端连接至逻辑或单元的输入端, 所述逻辑或单元的输出端连接至逻辑反向单元的输入端, 所述逻辑反向单元的输出端输出所述第二栅极驱动信号, 其中, n 为正整数。

4、根据权利要求 1 所述的显示电路, 其中, 所述第二栅极驱动单元包括: 至少两个 GOA 单元, 每个所述 GOA 单元包括: 信号输入端、输出端、复位端和闲置输出端;

除第 1 级 GOA 单元和第 2 级 GOA 单元外, 第 m 级 GOA 单元的信号输入端连接第 $m-2$ 级 GOA 单元的闲置输出端; 第 m 级 GOA 单元的复位端连接第 $m+1$ 级 GOA 单元的闲置输出端; 第 $m+1$ 级 GOA 单元的信号输入端连接第 $m-1$ 级 GOA 单元的闲置输出端; 第 $m+1$ 级 GOA 单元的信号复位端连接第 $m+3$ 级 GOA 单元的闲置输出端;

第 1 级 GOA 单元的复位端连接第 2 级 GOA 单元的闲置输出端; 第 2 级 GOA 单元的复位端连接第 4 级 GOA 单元的闲置输出端;

第 1 级 GOA 单元的信号输入端输入第五帧起始信号, 第 2 级 GOA 单元的信号输入端输入第六帧起始信号;

第 m 级 GOA 单元的输出端通过逻辑反向单元向第 $(m+1)/2$ 行像素单元输出所述第二栅极驱动信号, m 为奇数。

5、根据权利要求 2-4 任一项所述的显示电路, 其中, 所述 GOA 单元包括: 上拉单元、下拉单元、复位单元、闲置输出单元和输出单元;

所述上拉单元连接信号输入端、第一电平端、第一时钟信号端、第二时钟信号端、第一节点、第二节点、第三节点和第四节点, 用于在所述信号输入端、第一电平端、第一时钟信号端和第二时钟信号端的信号控制下将所述第一节点的电压与所述信号输入端拉齐, 将所述第二节点的电压与所述信号输入端拉齐或将所述第二节点的电压与所述第四节点

的电压拉齐，将所述第三节点的电压与所述第一电平端的电压拉齐，将所述第四节点的电压与所述第一时钟信号端的电压拉齐；

所述下拉单元连接第二电平端、第三电平端、所述闲置输出端、所述输出端、第一节点、第二节点、第三节点和第四节点，用于在所述第一节点的信号控制下将所述第三节点的电压与所述第二电平端拉齐，在所述第三节点的信号控制下将所述第一节点及所述第二节点的电压与
5 所述第二电平端拉齐，在所述第三节点的信号控制下将所述重置输出端的电压与所述第二电平端拉齐，在所述第三节点的信号控制下将所述输出端的电压与所述第三电平端拉齐，在所述第三节点的信号控制下将所述
10 第四节点的电压与所述第三电平端拉齐；

所述复位单元连接复位端，第二电平端、第一节点和第二节点，用于在所述复位端的信号控制下将所述第一节点及第二节点的电压与所述第二电平端拉齐；

所述闲置输出单元连接第一节点、第二时钟信号端和闲置输出端，
15 用于在所述第一节点的控制下在所述闲置输出端输出所述第二时钟信号端的信号；

所述输出单元连接第一节点、第二时钟信号端和输出端，用于在所述第一节点的控制下在所述输出端输出所述第二时钟信号端的信号。

6、根据权利要求 5 所述的显示电路，其中，所述闲置输出单元包
20 括：第一晶体管，所述第一晶体管的栅极连接第一节点，所述第一晶体管的源极连接第二时钟信号端，所述第一晶体管的漏极连接所述闲置输出端。

7、根据权利要求 5 所述的显示电路，其中，所述上拉单元包括：第四晶体管、第六晶体管、第七晶体管、第十一晶体管、第十四晶体管；

25 所述第四晶体管的栅极和源极连接第一电平端，所述第四晶体管的漏极连接第二节点；

所述第六晶体管的栅极和源极连接所述信号输入端，所述第六晶体管的漏极第二节点；

所述第七晶体管的栅极连接所述第一节点，所述第七晶体管的源极
30 连接所述第二时钟信号端，所述第七晶体管的漏极连接第四节点；

所述第十一晶体管的栅极连接所述栅极连接所述闲置输出端，所述第十一晶体管的源极连接所述第二节点，所述第十一晶体管的漏极连接所述第四节点；

所述第十四晶体管的栅极连接第一时钟信号端，所述第十四晶体管的源极连接所述第二节点，所述第十四晶体管的漏极连接所述第一节点。

8、根据权利要求 5 所述的显示电路，其中，所述下拉单元包括：第二晶体管、第三晶体管、第五晶体管、第八晶体管、第十晶体管和第十三晶体管；

所述第二晶体管的栅极连接第三节点，所述第二晶体管的源极连接所述闲置输出端，所述第二晶体管的漏极连接第二电平端；

所述第三晶体管的栅极连接所述第一节点，所述第三晶体管的源极连接所述第三节点，所述第三晶体管的漏极连接所述第二电平端；

所述第五晶体管的栅极连接所述第三节点，所述第五晶体管的源极连接所述第一节点，所述第五晶体管的漏极连接所述第二节点；

所述第八晶体管的栅极连接所述第三节点，所述第八晶体管的源极连接所述第四节点，所述第八晶体管的漏极连接第三电平端；

所述第十晶体管的栅极连接所述第三节点，所述第十晶体管的源极连接所述输出端，所述第十晶体管的漏极连接所述第三电平端；

所述第十三晶体管的栅极连接所述第三节点，所述第十三晶体管的源极连接所述第二节点，所述第十三晶体管的漏极连接所述第二电平端。

9、根据权利要求 5 所述的显示电路，其中，所述复位单元包括：第十二晶体管和第十五晶体管，其中：

所述第十二晶体管的栅极连接所述复位端，所述第十二晶体管的源极连接所述第一节点，所述第十二晶体管的漏极连接所述第二节点；

所述第十五晶体管的栅极连接所述复位端，所述第十五晶体管的源极连接所述第二节点，所述第十五晶体管的漏极连接所述第二电平端。

10、根据权利要求 5 所述的显示电路，其中，所述输出单元包括第九晶体管，所述第九晶体管的栅极连接所述第一节点，所述第九晶体管的源极连接所述第二时钟信号端，所述第九晶体管的漏极连接所述输出端。

11、根据权利要求 2 所述的显示电路，其中，所述第一帧起始信号为单脉冲信号，所述第二帧起始信号为多脉冲信号；

或者，所述第二帧起始信号为单脉冲信号，所述第二帧起始信号的脉冲宽度包含输入所述第一栅极驱动单元的时钟信号的至少两个时钟周期。

12、根据权利要求 3 所述的显示电路，其中，所述第三帧起始信号为单脉冲信号，所述第四帧起始信号为多脉冲信号；

或者，所述第四帧起始信号为单脉冲信号，所述第四帧起始信号的脉冲宽度包含输入所述第二栅极驱动单元的时钟信号的至少两个时钟周期。

13、根据权利要求 4 所述的显示电路，其中，所述第五帧起始信号为多脉冲信号，所述第六帧起始信号为单脉冲信号；

或者，所述第五帧起始信号为单脉冲信号，所述第五帧起始信号的脉冲宽度包含输入所述第一栅极驱动单元的时钟信号的至少两个时钟周期。

14、一种显示电路的驱动方法，包括下列步骤：

通过第一栅极驱动单元向像素单元输入第一栅极驱动信号；

通过第二栅极驱动单元向所述像素单元输入第二栅极驱动信号；

通过所述第一栅极驱动信号和所述第二栅极驱动信号控制所述像素单元同时进行阈值补偿和灰阶显示。

15、根据权利要求 14 所述的方法，其中，所述第一栅极驱动信号和所述第二栅极驱动信号为多脉冲信号。

16、根据权利要求 14 所述的方法，其中，所述第一栅极驱动信号为包含至少两种脉冲宽度的脉冲信号，和/或所述第二栅极驱动信号为包含至少两种脉冲宽度的脉冲信号。

17、一种显示装置，包括：如权利要求 1-13 任一项所述的显示电路。

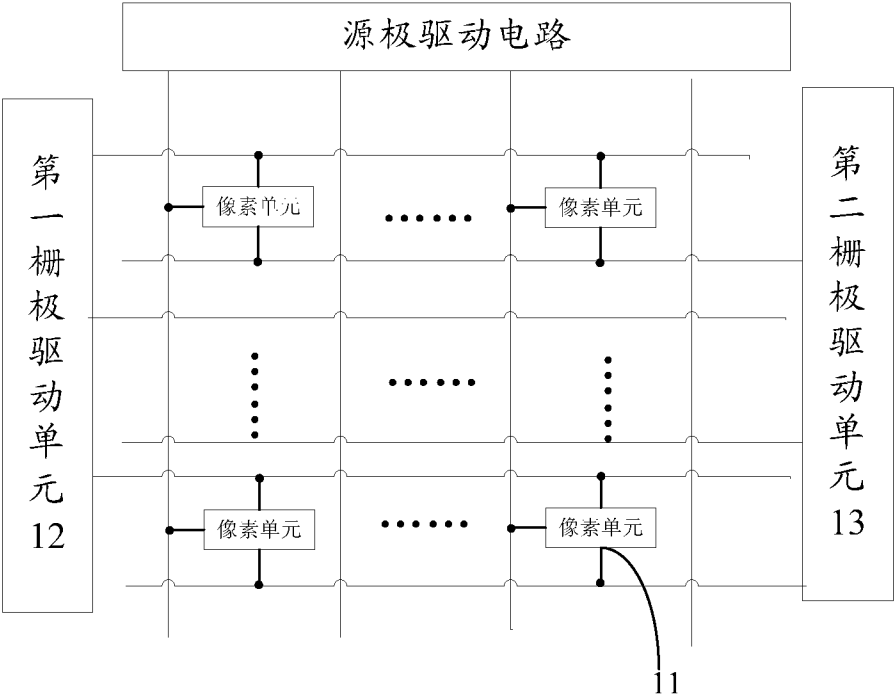


图 1

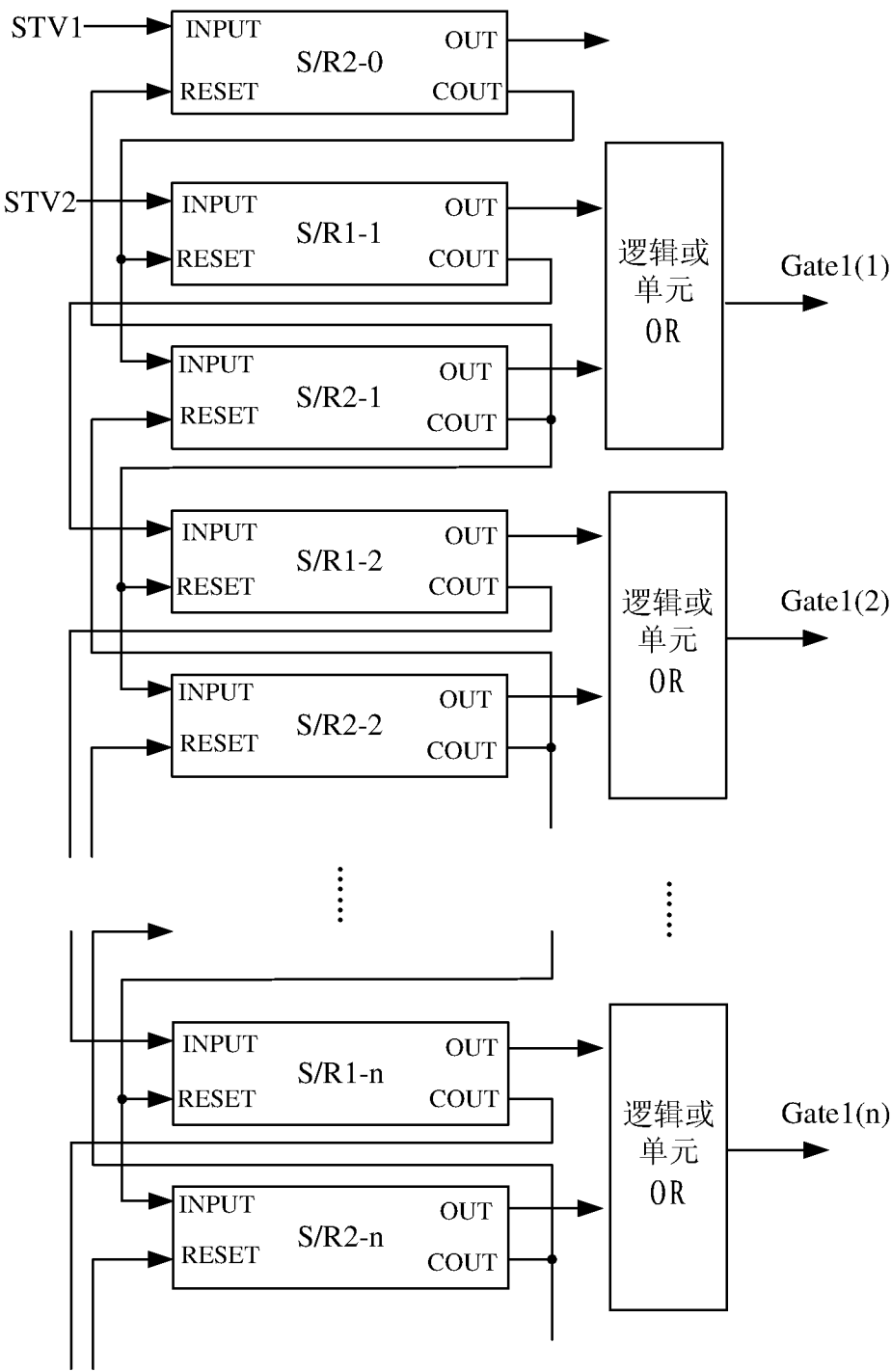


图 2

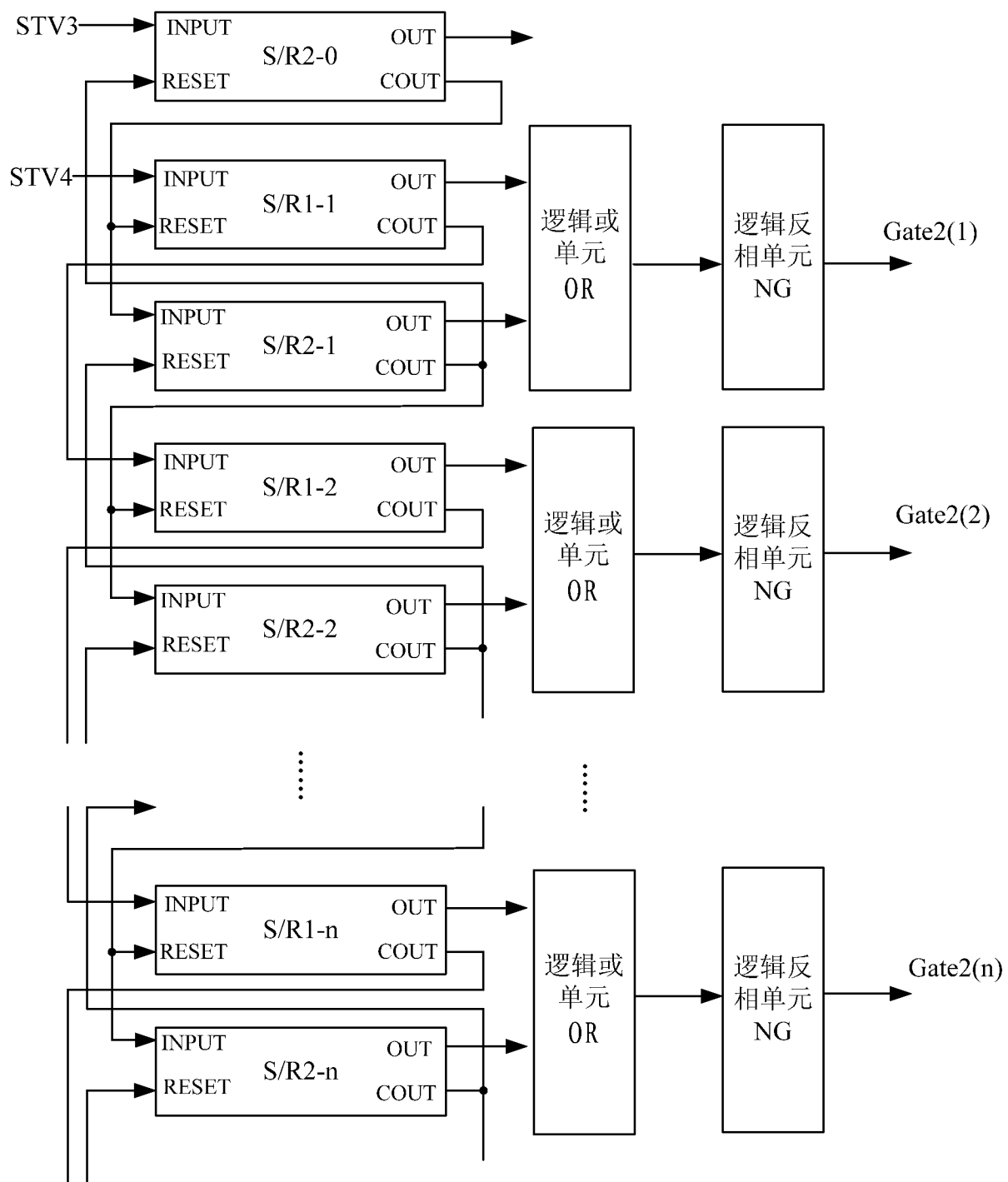


图 3

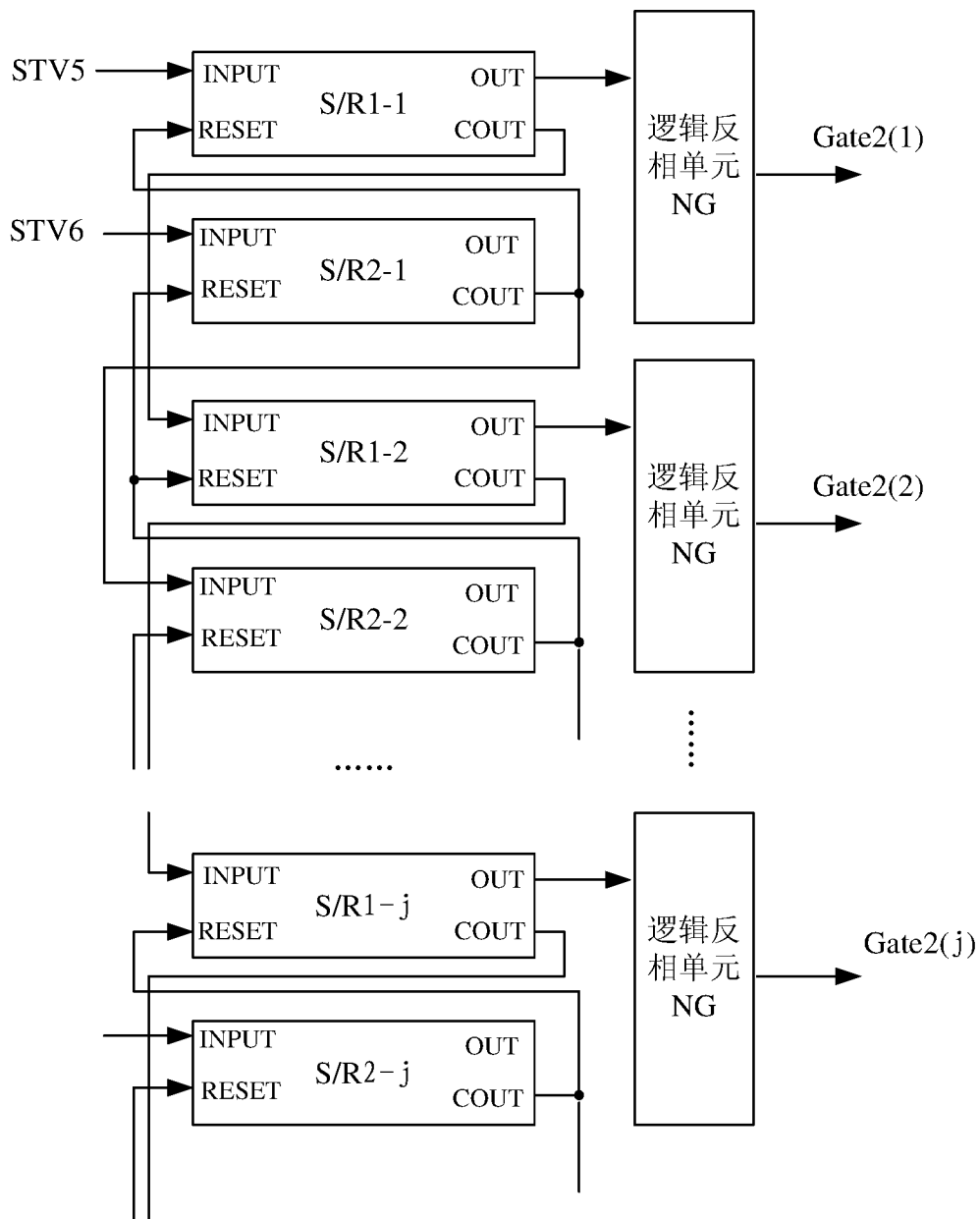


图 4

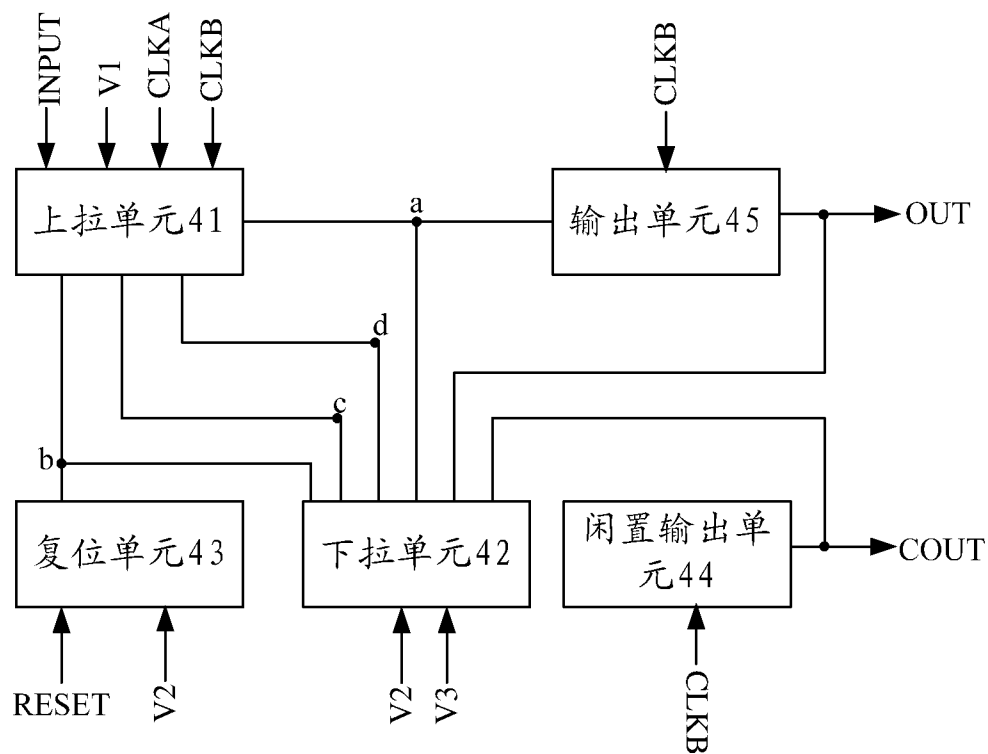


图 5

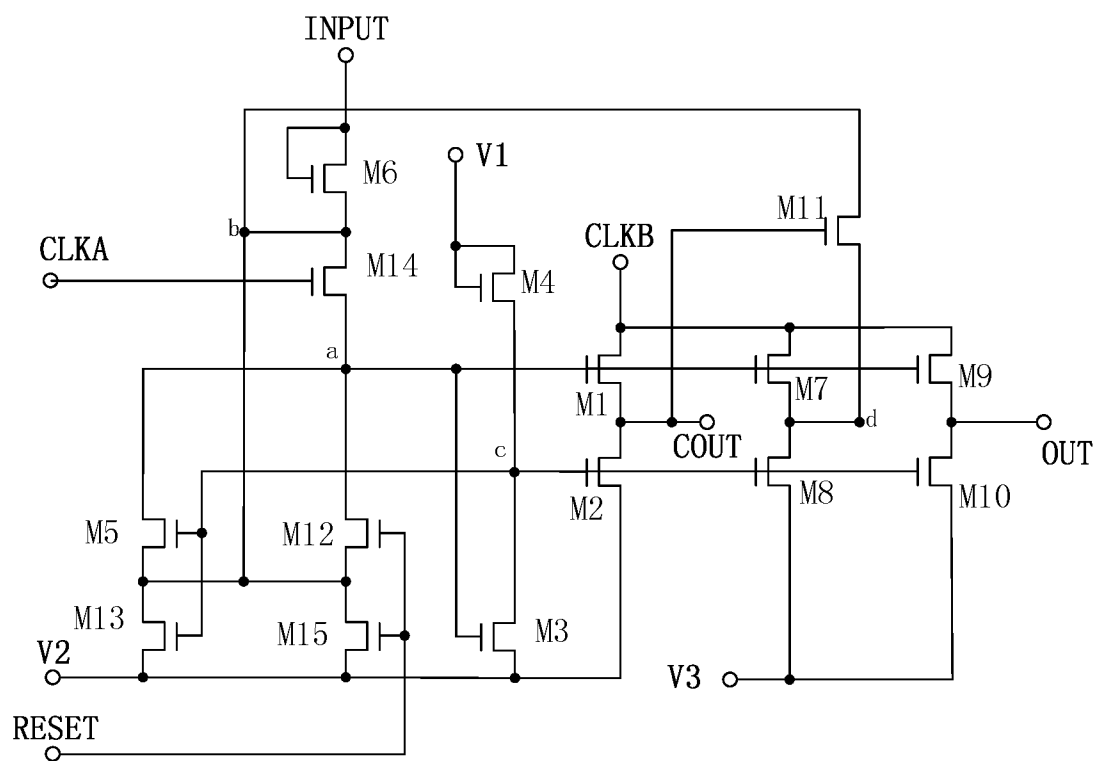


图 6

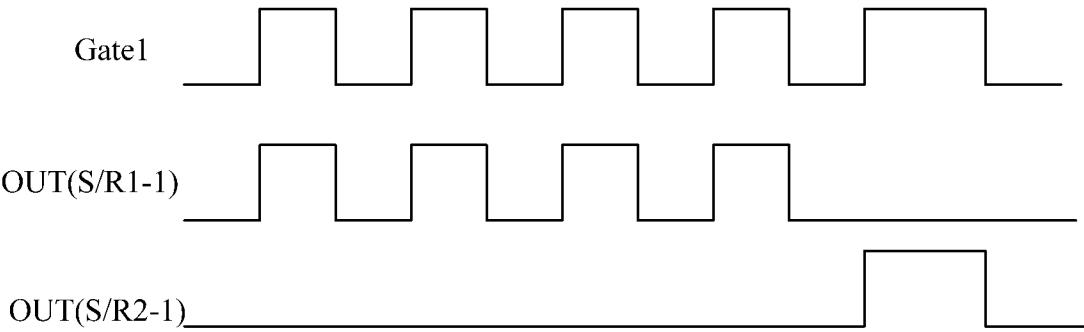


图 7

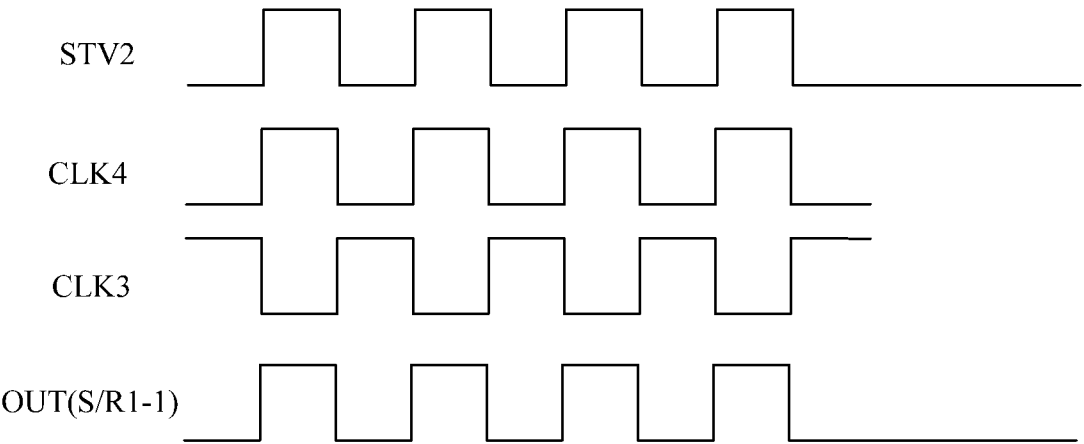


图 8

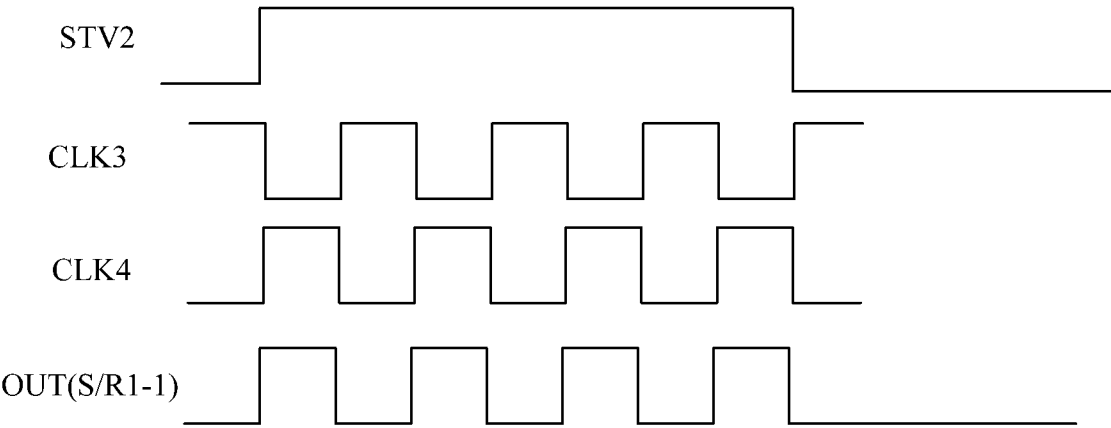


图 9

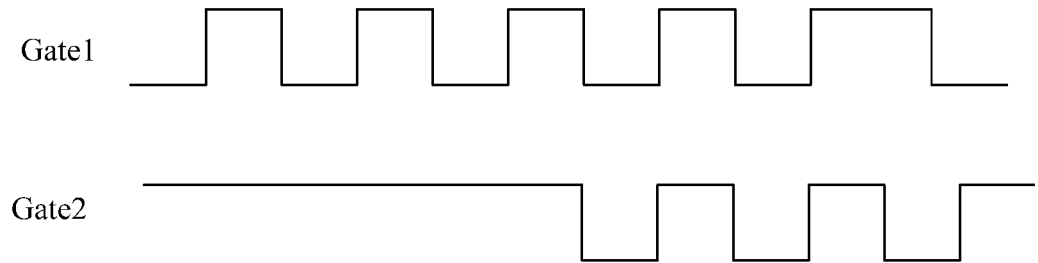


图 10

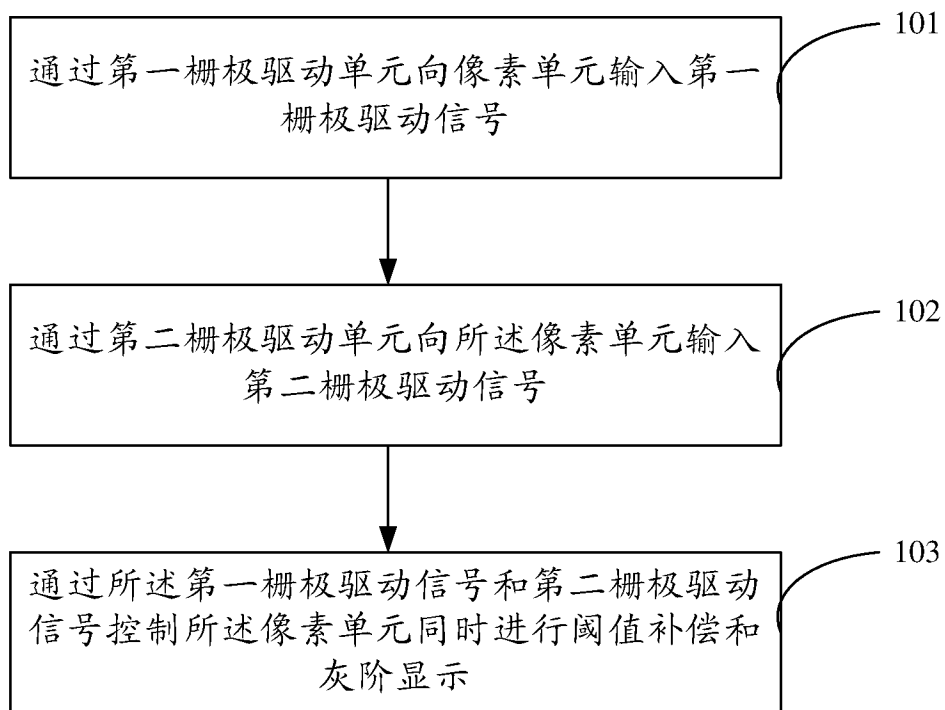


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/077376

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: threshold * compensate, gray level; pixel, Gate driv+, grid driv+, Compensat+, gray

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101192381 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 04 June 2008 (04.06.2008), description, page 2, paragraph 3, and page 5, paragraphs 2-6, and figures 4-5	1, 14-17
X	CN 101408684 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 15 April 2009 (15.04.2009), description, page 2, paragraph 3, and page 4, paragraph 2 to page 7, paragraph 1, and figures 4-5	1, 14-17
X	CN 101191920 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 04 June 2008 (04.06.2008), description, page 2, paragraph 2, and page 4, paragraph 9 to page 8, paragraph 1, and figures 4-5	1, 14-17
PX	CN 104282269 A (BOE TECHNOLOGY GROUP CO., LTD.), 14 January 2015 (14.01.2015), claims 1-17	1-17
PX	CN 104282270 A (BOE TECHNOLOGY GROUP CO., LTD.), 14 January 2015 (14.01.2015), description, paragraphs 74-133, and figures 1-13	1-17
A	US 2010053233 A1 (SEIKO EPSON CORPORATION), 04 March 2010 (04.03.2010), the whole document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 July 2015 (01.07.2015)	Date of mailing of the international search report 15 July 2015 (15.07.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YIN, Huayu Telephone No.: (86-10) 61648479

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/077376

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101192381 A	04 June 2008	CN 101192381 B	22 December 2010
CN 101408684 A	15 April 2009	CN 101408684 B	25 August 2010
		US 2009096735 A1	16 April 2009
		US 8217926 B2	10 July 2012
CN 101191920 A	04 June 2008	CN 100582880 C	20 January 2010
CN 104282269 A	14 January 2015	None	
CN 104282270 A	14 January 2015	None	
US 2010053233 A1	04 March 2010	US 8599222 B2	03 December 2013
		JP 2010060868 A	18 March 2010
		JP 5374976 B2	25 December 2013
		JP 2010060867 A	18 March 2010
		JP 5369552 B2	18 December 2013
		JP 2010078947 A	08 April 2010
		JP 5332454 B2	06 November 2013
		US 2014055508 A1	27 February 2014

国际检索报告

国际申请号

PCT/CN2015/077376

A. 主题的分类

G09G 3/32 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNKI, CNPAT, WPI, EPODOC: 像素, 栅极*驱动, 阈值*补偿, 灰阶; pixel, Gate driv+, grid driv+, Compensat+, gray

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101192381 A (群康科技深圳有限公司 等) 2008年 6月 4日 (2008 - 06 - 04) 说明书第2页第3段, 第5页第2-6段、图4-5	1, 14-17
X	CN 101408684 A (群康科技深圳有限公司 等) 2009年 4月 15日 (2009 - 04 - 15) 说明书第2页第3段, 第4页第2段-第7页第1段、图4-5	1, 14-17
X	CN 101191920 A (群康科技深圳有限公司 等) 2008年 6月 4日 (2008 - 06 - 04) 说明书第2页第2段, 第4页第9段-第8页第1段、图4-5	1, 14-17
PX	CN 104282269 A (京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 权利要求1-17	1-17
PX	CN 104282270 A (京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 说明书第74-133段、图1-13	1-17
A	US 2010053233 A1 (SEIKO EPSON CORPORATION) 2010年 3月 4日 (2010 - 03 - 04) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 7月 1日

国际检索报告邮寄日期

2015年 7月 15日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10) 62019451

授权官员

殷华宇

电话号码 (86-10) 61648429

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/077376

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101192381	A	2008年 6月 4日	CN	101192381	B	2010年 12月 22日
CN	101408684	A	2009年 4月 15日	CN	101408684	B	2010年 8月 25日
				US	2009096735	A1	2009年 4月 16日
				US	8217926	B2	2012年 7月 10日
CN	101191920	A	2008年 6月 4日	CN	100582880	C	2010年 1月 20日
CN	104282269	A	2015年 1月 14日	无			
CN	104282270	A	2015年 1月 14日	无			
US	2010053233	A1	2010年 3月 4日	US	8599222	B2	2013年 12月 3日
				JP	2010060868	A	2010年 3月 18日
				JP	5374976	B2	2013年 12月 25日
				JP	2010060867	A	2010年 3月 18日
				JP	5369552	B2	2013年 12月 18日
				JP	2010078947	A	2010年 4月 8日
				JP	5332454	B2	2013年 11月 6日
				US	2014055508	A1	2014年 2月 27日

表 PCT/ISA/210 (同族专利附件) (2009年7月)