



# (12)发明专利

(10)授权公告号 CN 105378897 B

(45)授权公告日 2019. 11. 05

(21)申请号 201380078101.4

(22)申请日 2013.08.21

(65)同一申请的已公布的文献号  
申请公布号 CN 105378897 A

(43)申请公布日 2016.03.02

(85)PCT国际申请进入国家阶段日  
2016.01.08

(86)PCT国际申请的申请数据  
PCT/US2013/056039 2013.08.21

(87)PCT国际申请的公布数据  
W02015/026342 EN 2015.02.26

(73)专利权人 英特尔公司  
地址 美国加利福尼亚

(72)发明人 R·E·申克尔 E·N·谭

(74)专利代理机构 永新专利商标代理有限公司  
72002

代理人 陈松涛 王英

(51)Int.Cl.  
H01L 21/28(2006.01)  
H01L 21/027(2006.01)

(56)对比文件  
US 2004/0232558 A1, 2004.11.25, 说明书  
第[0079]-[0094]段, 图5A-9.

CN 1581475 A, 2005.02.16, 全文.

US 5888897 A, 1999.03.30, 全文.

JP 特开2007-281197 A, 2007.10.25, 全文.

审查员 王春燕

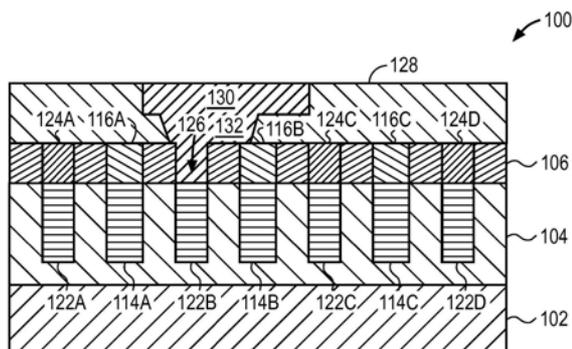
权利要求书3页 说明书11页 附图15页

## (54)发明名称

用引导过孔来接触紧密间距的导电层的方法和结构

## (57)摘要

一种装置包括:电路衬底;第一互连层和第二互连层,所述第一互连层位于所述衬底上的第一平面内,所述第二互连层位于所述衬底上的不同的第二平面内;以及硬掩模层,所述硬掩模层将所述第一互连层与所述第二互连层分隔开,其中,所述硬掩模层包括交替的引导段和过孔引导部,所述交替的引导段包括不同的硬掩模材料。一种方法包括:在集成电路结构上形成电介质层;在所述电介质层中形成具有互连线的第二互连层;在所述电介质层的表面上形成硬掩模层,所述硬掩模层包括交替的硬掩模材料,所述交替的硬掩模材料在所述互连线之上形成引导段;在所述引导段中的一个引导段内形成过孔引导部;以及在所述硬掩模引导层之上形成第一互连层,通过所述过孔引导部将所述第一互连层电连接到所述互连线的其中之一。



1. 一种电路装置,包括:

电路衬底;

在所述电路衬底上的电介质层;

第一互连层和第二互连层,所述第一互连层具有在所述电介质层中的多条互连线且位于所述衬底上的第一平面中,所述第二互连层位于所述衬底上的不同的第二平面中,其中一部分所述电介质层将所述互连线与所述电路衬底分隔开;以及

硬掩模层,所述硬掩模层位于所述第一互连层与所述第二互连层之间,并且将所述第一互连层与所述第二互连层分隔开,

其中,所述硬掩模层包括交替的引导段和过孔引导部,所述交替的引导段中的每个引导段包括不同的硬掩模材料,所述过孔引导部形成于所述交替的引导段中的至少一个引导段中并用金属对所述过孔引导部进行填充,用于将所述第一互连层与所述第二互连层电连接。

2. 根据权利要求1所述的电路装置,其中所述多条互连线中的每条互连线与所述交替的引导段中的一个引导段对准。

3. 根据权利要求1所述的电路装置,其中,所述不同的硬掩模材料包括至少两种不同的硬掩模材料,所述至少两种不同的硬掩模材料允许相对于所述硬掩模材料中的其它硬掩模材料选择性地蚀刻所述硬掩模材料中的一种硬掩模材料。

4. 根据权利要求1所述的电路装置,其中,所述不同的硬掩模材料包括第一硬掩模材料和第二硬掩模材料,并且所述交替的引导段中的每个引导段被第三硬掩模材料分隔开。

5. 根据权利要求1所述的电路装置,其中,所述不同的硬掩模材料包括选自以下各项组成的组的至少两种电介质材料:氧化硅、氮化硅、碳化硅、氧化钛、氧化钪、氮化铝、氮化硼和非晶碳。

6. 根据权利要求1所述的电路装置,其中,所述过孔引导部是第一过孔引导部,并且第二过孔引导部形成在所述交替的引导段中的另一个引导段中。

7. 一种用于形成电路装置的方法,包括:

在集成电路结构上形成电介质层;

在所述电介质层中形成具有互连线的的第一互连层,其中一部分所述电介质层将所述互连线与所述集成电路结构分隔开;

在所述电介质层的表面上形成硬掩模层,所述硬掩模层包括交替的硬掩模材料,所述交替的硬掩模材料在所述互连线上形成引导段;

在所述引导段中的一个引导段中形成过孔引导部并用金属对所述过孔引导部填充;以及

在所述硬掩模层之上形成第二互连层,其中,通过所述过孔引导部将所述第二互连层电连接到所述互连线的其中之一,其中在形成第二组所述互连线之前,形成第一组所述互连线。

8. 根据权利要求7所述的方法,其中,形成所述硬掩模层包括:

在所述电介质层上沉积第一硬掩模材料;

蚀刻所述第一硬掩模材料来形成第一组开口;

使用第二硬掩模材料来填充所述第一组开口;

蚀刻所述第一硬掩模材料来形成第二组开口;以及  
使用第三硬掩模材料来填充所述第二组开口。

9. 根据权利要求8所述的方法,其中,所述第一硬掩模材料余留在所述第一组开口与所述第二组开口之间。

10. 根据权利要求7所述的方法,其中,所述交替的硬掩模材料包括至少两种不同的硬掩模材料,所述至少两种不同的硬掩模材料允许相对于所述至少两种不同的硬掩模材料中的其它硬掩模材料来选择性地蚀刻所述至少两种不同的硬掩模材料中的一种硬掩模材料。

11. 根据权利要求7所述的方法,其中,所述引导段包括与第一组所述互连线对准的第一组引导段、以及与第二组所述互连线对准的第二组引导段。

12. 根据权利要求11所述的方法,其中,所述第一组引导段由第一硬掩模材料形成,并且所述第二组引导段由与所述第一硬掩模材料不同的第二硬掩模材料形成。

13. 根据权利要求7所述的方法,其中,所述硬掩模材料包括选自由以下各项组成的组的至少两种电介质材料:氧化硅、氮化硅、碳化硅、氧化钛、氧化钪、氮化铝、氮化硼和非晶碳。

14. 一种用于形成电路装置的方法,包括:

在集成电路结构上沉积电介质层;

在所述电介质层中形成具有紧密间距的多条第一互连线,其中一部分所述电介质层将所述多条第一互连线与所述集成电路结构分隔开;

在所述电介质层的表面上和所述多条第一互连线上形成硬掩模层,所述硬掩模层包括与所述多条第一互连线对准的不同的硬掩模材料;

选择性地蚀刻所述硬掩模层,以通过所述不同的硬掩模材料中的一种硬掩模材料形成敞开的过孔引导部,并用金属对所述敞开的过孔引导部填充;

在所述硬掩模层上形成第二互连线;以及

通过所述敞开的过孔引导部来将所述多条第一互连线的其中之一电连接到所述第二互连线,其中在形成第二组所述第一互连线之前,形成第一组所述第一互连线。

15. 根据权利要求14所述的方法,其中,所述不同的硬掩模材料包括与第一组第一互连线对准的第一硬掩模材料以及与第二组第一互连线对准的第二硬掩模材料。

16. 根据权利要求15所述的方法,其中,所述硬掩模层包括所述第一硬掩模材料与所述第二硬掩模材料之间的第三硬掩模材料。

17. 根据权利要求14所述的方法,其中,形成所述硬掩模层包括:

在所述电介质层上沉积第一硬掩模材料;

蚀刻所述第一硬掩模材料,以形成与第一组所述第一互连线对准的第一组开口;

使用与所述第一硬掩模材料不同的第二硬掩模材料来填充所述第一组开口;

蚀刻所述第一硬掩模材料,以形成与第二组所述第一互连线对准的第二组开口;以及

使用与所述第一硬掩模材料和所述第二硬掩模材料不同的第三硬掩模材料来填充所述第二组开口。

18. 根据权利要求14所述的方法,其中,选择性地蚀刻所述硬掩模层以形成敞开的过孔引导部包括:去除所述硬掩模材料中的一种硬掩模材料以暴露对准的第一互连线,而不去除与相邻的第一互连线对准的另一种不同的硬掩模材料。

19. 根据权利要求14所述的方法,其中,使所述多条第一互连线在所述硬掩模层下方凹陷一距离。

20. 根据权利要求14所述的方法,其中,所述不同的硬掩模材料在所述硬掩模层内与彼此交替,使得任何相邻的第一互连线与所述硬掩模材料中的不同的硬掩模材料对准。

## 用引导过孔来接触紧密间距的导电层的方法和结构

### 技术领域

[0001] 集成电路工艺。

### 背景技术

[0002] 现代的集成电路使用导电(例如,金属)互连层来连接芯片上独立的器件和/或来发送和/或接收(多个)器件外部的信号。常见类型的互连层包括耦合到独立的器件的铜和铜合金互连(线),包括通过经由过孔进行互连的其它互连(线),有时候被称为过孔层或接触层。对于集成电路,具有通过电介质材料分隔开的多级(例如,五级或六级)的互连并非是不常见的。

[0003] 当为了适应对较小芯片的需求而以较小的间距(pitch)(例如,较窄和/或较靠近在一起)来制造这些互连层或互连线时,却使得过孔与期望的互连层适当地对准变得越来越困难。具体来说,在制造期间,由于自然的制造变化,过孔的边缘相对于过孔要接触的互连层或互连线的位置将具有变化(例如,未被对准)。然而,过孔必须允许一个互连层连接到期望的下层互连层或互连线,而不会错误地连接到不同的互连层或互连线。如果过孔未被对准并且接触了错误的金属特征(例如,不期望的互连层),则芯片会短路,导致降级的电性能。解决这个问题一个解决方案是降低过孔尺寸(例如,使得过孔更窄)。然而,降低过孔尺寸导致了降级的性能(由于较高的电阻)以及过孔制造中可能降低的成品率。

### 附图说明

[0004] 图1示出了包括形成在衬底之上的电介质层的电路结构的一部分的示意性横截面侧视图。

[0005] 图2示出了具有引入的硬掩模层的图1的结构。

[0006] 图3示出了在硬掩模层上形成主干(backbone)材料之后的图2的结构。

[0007] 图4示出了在引入光刻胶材料之后的图3的结构,对该光刻胶材料进行图案化以在主干材料内限定一个或多个沟槽来形成主干结构。

[0008] 图5示出了在对沟槽进行开口以形成主干结构之后的图4的结构。

[0009] 图6示出了在去除光刻胶材料之后的图5的结构。

[0010] 图7示出了在围绕主干结构形成间隔体之后的图6的结构。

[0011] 图8示出了在硬掩模层和电介质层内蚀刻开口之后的图7的结构。

[0012] 图9示出了在使用互连材料填充开口之后的图8的结构。

[0013] 图10示出了对互连材料进行抛光并使互连材料凹陷以在电介质层内形成互连线之后的图9的结构。

[0014] 图11示出了在使用硬掩模材料来填充硬掩模层内的开口以形成一组过孔引导段之后的图10的结构。

[0015] 图12示出了在去除主干结构并在硬掩模层和下层电介质层内蚀刻开口之后的图11的结构。

- [0016] 图13示出了在使用互连材料填充开口之后的图12的结构。
- [0017] 图14示出了在对互连材料进行抛光并使互连材料凹陷以在电介质层内形成互连线之后的图13的结构。
- [0018] 图15示出了在使用硬掩模材料来填充硬掩模层内的开口以形成另一组过孔引导段的图14的结构。
- [0019] 图16示出了在硬掩模层之上形成电介质层之后的图15的结构。
- [0020] 图17示出了在电介质层之上形成硬掩模层之后的图16的结构。
- [0021] 图18示出了在对硬掩模层进行图案化之后的图17的结构。
- [0022] 图19示出了在电介质层内蚀刻互连开口之后的图18的结构。
- [0023] 图20示出了在互连开口内形成硬掩模层之后的图19的结构。
- [0024] 图21示出了对互连开口内的硬掩模层进行图案化之后的图20的结构。
- [0025] 图22示出了在电介质层中蚀刻过孔开口之后的图21中的结构。
- [0026] 图23示出了在硬掩模层中蚀刻敞开的过孔引导部之后的图22的结构。
- [0027] 图24示出了去除硬掩模层之后的图23的结构。
- [0028] 图25示出了在互连开口内形成互连层并通过过孔和敞开的过孔引导部来使互连层连接到互连线的其中之一之后的图24的结构。
- [0029] 图26示出了通过与图24中的过孔和敞开的过孔引导部相似的过孔和敞开的过孔引导部来连接到互连线的其中之一的替代的互连层。
- [0030] 图27示出了通过敞开的过孔引导部连接到互连线的互连层的另一个实施例的示意性横截面侧视图。
- [0031] 图28示出了通过敞开的过孔引导部连接到互连线的互连层的另一个实施例的示意性横截面侧视图。
- [0032] 图29示出了计算设备的示意性示图。

### 具体实施方式

[0033] 图1示出了包括形成在衬底之上的电介质层的电路结构的一部分的示意性横截面侧视图。诸如微处理器芯片之类的典型的集成电路结构可具有例如通过层间介电 (ILD) 材料与彼此分隔开的多个互连层或互连级。参考图1, 结构100包括衬底102, 衬底102可以是在其上具有电路器件 (包括晶体管) 并具有至器件的一级或多级的互连件的晶片衬底 (例如, 硅晶片的一部分)。应当意识到, 本文所描述的技术可以用于包括至器件 (包括电路器件) 的互连件的集成电路内的各种互连件以及其它互连件。

[0034] 图1中在衬底102上面的是电介质层104。在一个实施例中, 电介质层104可以是ILD层。用于电介质层104的代表性材料是例如介电常数 (k) 小于二氧化硅 ( $\text{SiO}_2$ ) 的介电常数的材料 (例如, “低k”材料)。代表性的低k材料包括含有硅、碳和氧的材料, 其可以被称作聚合物并且是本领域中已知的。在一个实施例中, 电介质层104是多孔的。

[0035] 图2示出了引入了硬掩模层的图1的结构。可以根据任何标准的半导体工艺技术来在电介质层104之上施加硬掩模层106。在一个实施例中, 硬掩模层106是介电材料。代表性的介电材料可以包括但不限于, 各种氧化物、氮化物和碳化物 (例如, 氧化硅、氧化钛、氧化钪、氧化铝、氮氧化物、氧化锆、硅酸钪、氧化镧、氮化硅、氮化硼、非晶碳、碳化硅) 和其它相

似的介电材料。在一个实施例中,例如通过等离子体沉积工艺来将硬掩模层106沉积到一定厚度,以作为对下层电介质层104的掩模(例如,以远离在随后的掩模配准(registration)中所使用的能量而避免对介电材料进行不期望的修改)。在一个实施例中,代表性的厚度是将会不会显著影响ILD(电介质层加上硬掩模层106)的整体介电常数,但最多将会轻微影响这样的整体介电常数的厚度。在一个实施例中,代表性的厚度为大约30埃( $\text{\AA}$ )  $\pm 20\text{\AA}$  的量级。在另一个实施例中,代表性的厚度为两纳米(nm)到五纳米(nm)的量级。

[0036] 图3示出了在硬掩模层上形成主干材料之后的图2的结构。主干材料108可以被施加为硬掩模层106之上的层。代表性的主干材料可以包括但不限于,多晶硅、非晶硅、非晶碳、氮化硅和锗。

[0037] 图4示出了在引入光刻胶材料之后的图3的结构,对该光刻胶材料进行图案化以在主干材料内限定一个或多个沟槽来形成如图5所示的主干结构。光刻胶材料109可以在主干材料108之上形成图案,主干材料108反过来可用于形成主干材料108内的图案。

[0038] 典型地,图5示出了在对沟槽进行开口以在主干材料108内形成主干图案之后的图4的结构。可以使用任何标准的光刻工艺步骤来形成主干图案(其包括主干结构108A、108B、108C和108D)。替代地,蚀刻或者湿法清洗半导体工艺技术可用于形成主干结构108A-108D。图5中所图示的主干结构108A-108C有时被称为心轴结构,并且如下面将更详细描述,有助于在硬掩模层106内形成过孔引导段。

[0039] 图6示出了在去除光刻胶材料之后的图5的结构。具体来说,一旦形成主干结构108A-108D,就用任何标准的半导体工艺去除技术来去除光刻胶材料109。典型地,可以通过湿法剥离或干法(等离子体)剥离技术来去除光刻胶材料109。去除光刻胶材料109得到了硬掩模层106上面的主干结构108A-108D,从而暴露位于主干结构108A-108D之间的部分硬掩模层106。

[0040] 图7示出了在围绕主干结构形成间隔体之后的图6中的结构。间隔体110是沿着主干结构108A-108D的侧面而形成的侧间隔体。间隔体110可以由任何典型的间隔体材料形成,并可以通过任何标准的半导体工艺技术来形成。典型地,间隔体110的材料可以包括但不限于,二氧化硅、氮化硅或非晶硅。间隔体110用于在随后的工艺步骤期间防止去除主干结构108A-108D而允许去除硬掩模层106的暴露区域,随后的工艺步骤用于在硬掩模层106中形成过孔引导段以及在电介质层104内形成互连线。

[0041] 图8示出了在硬掩模层和电介质层内蚀刻开口之后的图7的结构。可以在主干结构108A-108D和它们的相关联的间隔体之间形成开口112A、112B和112C。在这个方面,通过硬掩模层106的暴露部分以及下面部分的电介质层104形成开口112A-112C。在一些实施例中,使用选择性的干法蚀刻工艺技术来形成开口112A-112C,选择性的干法蚀刻工艺技术允许去除硬掩模层106的暴露部分和部分的电介质层104,但不去除间隔体110和主干结构108A-108D。开口112A-112C可以是如将参照图9更详细讨论的足以在电介质层104内形成互连线的任何深度。

[0042] 图9示出了在用互连材料填充开口之后的图8的结构。典型地,如图8中所图示,开口112A-112C被形成通过电介质层104到期望的深度。一旦开口112A-112C被形成,就使用互连材料114来填充开口112A-112C。互连材料114可以是任何导电材料,例如,金属材料(例如,铜、铝或钨)。

[0043] 图10示出了在对互连材料进行抛光并使互连材料凹陷以在电介质层内形成互连线之后的图9的结构。典型地,使用任何标准的抛光技术来对互连材料114围绕主干结构108A-108D和间隔体110的部分进行抛光,并使互连材料余留在开口112A-112C内的部分凹陷于硬掩模层106下方,以在电介质层104内形成第一组互连线114A、114B和114C。在一个实施例中,可以使用湿法蚀刻工艺来使互连材料114凹陷,湿法蚀刻工艺被设计为选择性地蚀刻互连材料114,而不蚀刻任何其它材料(例如,间隔体110、主干结构108A-108D和硬掩模层106)。互连线114A-114C可以是例如用于提供至连接到结构100的其它平面内的其它互连层或互连线的器件的连接以及在这些器件之间的连接。

[0044] 图11示出了在使用硬掩模材料填充硬掩模层内的开口以形成一组过孔引导段之后的图10的结构。具体来说,使用硬掩模材料来填充开口112A-112C余留在互连线114A-114C上方的部分。随后硬掩模材料与间隔体110和主干结构108A-108D一起被抛光,以在硬掩模层106内形成第一组过孔引导段116A、116B以及116C。过孔引导段116A-116C的硬掩模材料是与硬掩模层106的硬掩模材料不同的硬掩模材料。典型地,过孔引导段116A-116C的硬掩模材料可以包括化学上与硬掩模层106的材料充分不同的介电材料,以允许对于硬掩模层106选择性地来对过孔引导段116A-116C的硬掩模材料进行蚀刻。代表性的介电材料可以包括但不限于,各种氧化物、氮化物和碳化物,例如,氧化硅、氧化钛、氧化铪、氧化铝、氮氧化物、氧化锆、硅酸铪、氧化镧、氮化硅、氮化硼、非晶碳、碳化硅以及其它相似的介电材料。例如,过孔引导段116A-116C的材料可以是氧化硅并且硬掩模层106的材料可以是氮化硅,或者反之亦然。替代地,在硬掩模层106由高k的介电材料组成的情况下,过孔引导段116A-116C的介电材料可以是低k的介电材料(介电常数(k)小于SiO<sub>2</sub>的介电常数),使得可以以与用于硬掩模层106的材料不同的速率或者除了用于硬掩模层106的材料以外的速率来对过孔引导段116A-116C的介电材料进行蚀刻。还预期到,在一些实施例中,过孔引导段116A-116C的介电材料可以与间隔体110相同,使得可以与围绕主干结构108A-108D形成间隔体110同时形成过孔引导段116A-116C。

[0045] 图12示出了在去除主干结构并在硬掩模层和下面电介质层中蚀刻开口之后的图11的结构。典型地,对主干结构108A-108D的余留部分以及位于主干结构108A-108D下面的硬掩模层106和电介质层104的部分进行蚀刻,以形成开口118A、118B、118C和118D。在一些实施例中,使用干法蚀刻半导体工艺技术来对主干结构108A-108D、硬掩模层106和电介质层104的部分进行蚀刻。典型地,可以使结构100暴露于能够将主干结构108A-108D、硬掩模层106和电介质层104蚀刻到期望的深度的活性气体(例如,碳氟化合物、氧气、氯和/或三氯化硼)的等离子体,而不蚀刻间隔体110和过孔引导段116A-116C。

[0046] 图13示出了在使用互连材料填充开口之后的图12的结构。典型地,如图13所图示,开口118A-118D被形成为通过电介质层104至期望的深度。一旦开口118A-118D被形成,就使用互连材料120来填充开口118A-118D。互连材料120可以与先前参考图9所讨论的互连材料114(例如,铜、铝或钨)大体上相同。

[0047] 图14示出了在对互连材料进行抛光并使互连材料凹陷以在电介质层内形成互连线之后的图13的结构。使用任何标准的抛光技术来对互连材料120进行抛光,并使互连材料120余留在开口118A-118D内的部分凹陷于硬掩模层106下方,以在电介质层104内形成第二组互连线122A、122B、122C和122D。在一个实施例中,可以使用湿法蚀刻工艺来使互连材料

120凹陷,湿法蚀刻工艺被设计为选择性地蚀刻互连材料120,而不蚀刻任何其它材料(例如,间隔体110、过孔引导段116A-116C和硬掩模层106)。互连线122A-122D可以是例如连接线,该连接线用于提供至连接到结构100的其它平面内的其它互连层或互连线的器件的连接以及这些器件之间的连接。互连线122A-122D可具有与互连线114A-114C相似的大小和尺寸,并还可以与互连线114A-114C平行。此外,互连线122A-122D与互连线114A-114C的间距可以是相对小的,使得它们被视为具有紧密的间距。例如,可以认为互连线122A-122D和互连线114A-114C具有紧密的间距,其中,线与线之间的距离(D)小于80nm。

[0048] 图15示出了在使用另一掩膜材料来填充硬掩模层内的开口以形成另一组过孔引导段之后的图14的结构。具体来说,使用硬掩模材料来填充开口118A-118D余留在互连线122A-122D上方的部分。随后硬掩模材料与间隔体110一起被抛光,以在硬掩模层106内形成第二组过孔引导段124A、124B、124C和124D。过孔引导段124A、124B、124C和124D的硬掩模材料是与第一组过孔引导段116A-116C和硬掩模层106的硬掩模材料不同的硬掩模材料。典型地,第二组过孔引导段124A-124D的硬掩模材料可以包括化学上与过孔引导段116A-116C和硬掩模层106的材料充分不同的介电材料,以允许对于过孔引导段116A-116C和硬掩模层106选择性地来对过孔引导段124A-124D的硬掩模材料进行蚀刻。代表性的介电材料可以包括但不限于,各种氧化物、氮化物和碳化物,例如,氧化硅、氧化钛、氧化钪、氧化铝、氮氧化物、氧化锆、硅酸钪、氧化镧、氮化硅、氮化硼、非晶碳、碳化硅以及其它相似的介电材料。例如,在使用氧化硅来形成硬掩模层106并且过孔引导段116A-116C包括氮化硅的情况下,过孔引导段124A-124D可以包括碳化硅。

[0049] 因此,得到的图15中的结构100包括硬掩模层106,硬掩模层106具有与一种硬掩模材料的过孔引导段124A-124D交替的另一种不同的硬掩模材料的过孔引导段116A-116C。此外,通过第三硬掩模材料(即,硬掩模层106的硬掩模材料,该材料与过孔引导段116A-116C和过孔引导段124A-124D中的每一个过孔引导段的硬掩模材料不同)来分隔过孔引导段116A-116C和过孔引导段124A-124D中的每一个过孔引导段。在这个方面,形成了具有至少三种不同的硬掩模材料(都在单个硬掩模层内)的硬掩模层106,三种不同的硬掩模材料具有不同的蚀刻选择性。该至少三种不同的硬掩模材料遍及硬掩模层106而交替,使得在硬掩模层106内没有两相同的硬掩模材料彼此接触。

[0050] 尽管三种不同的材料被描述为用于硬掩模层106中,但硬掩模层106可以基于互连线114A-114C和互连线122A-122D的间距而包括更多或更少种类的材料。具体来说,交替的过孔引导段116A-116C和过孔引导段124A-124D中的每个过孔引导段分别在互连线114A-114C和互连线122A-122D之上对准。因此,过孔引导段116A-116C和过孔引导段124A-124D分别保护下层互连线114A-114C和互连线122A-122D以免其连接到具有相关联的过孔的另一个互连层或互连线,该相关联的过孔可能与受保护的互连线(例如,见图25)交叠。因此,在互连线之间的间距是紧密的情况下,更有可能发生交叠,因此需要较多的过孔引导段来保护附近的互连线中的每条互连线。然而,在互连线之间的间距较大的情况下,较少的过孔引导段可以是足够的,因为上层互连线和相关联的过孔不太可能宽到足以与附近的互连线交叠。

[0051] 图16示出了在硬掩模层之上形成电介质层之后的图15的结构。一旦完全形成了硬掩模层106,就可以执行如参考图16-图24所描述的随后的工艺步骤,以在硬掩模层106内形

成敞开的过孔引导部,用于另外的互连层到互连线122A-122D和互连线114A-114C中的一条或多条互连线的电连接。电介质层128可以由先前所讨论的介电材料中的任何介电材料组成,例如,包含硅、碳和氧的低k材料,该材料可以被称为聚合物并且是本领域中已知的。

[0052] 图17示出了在电介质层之上形成硬掩模层之后的图16的结构。然后,可以在电介质层128之上施加硬掩模层127,硬掩模层127可以由先前所讨论的硬掩模材料中的任何硬掩模材料组成。

[0053] 图18示出了在对硬掩模层进行图案化之后的图17的结构。可以使用任何标准的光刻和蚀刻工艺技术来对硬掩模层127进行图案化以形成开口141。开口141将提供用于随后形成互连开口的图案,互连开口用于在电介质层128内形成另一个互连层,并且因此,开口141应当被放置于该互连层即将连接的互连线(例如,互连线122B)之上。

[0054] 图19示出了在电介质层内蚀刻互连开口之后的图18的结构。具有开口141的经图案化的硬掩模层127用于在电介质层128内蚀刻互连开口129。可以使用任何标准的半导体工艺技术(例如,干法蚀刻技术)来蚀刻互连开口129。如将进一步参考图25所描述的,互连开口129可以用于形成上层互连层。

[0055] 图20示出了在互连开口内形成硬掩模层之后的图19的结构。在形成互连层之前,可以根据任何标准的工艺技术来在互连开口129内形成另外的硬掩模层133。例如,可以在硬掩模层127和互连开口129之上施加硬掩模层133,并随后对硬掩模层133进行抛光,以使得其仅余留在互连开口129中。

[0056] 图21示出了在对互连开口内的硬掩模层进行图案化之后的图20的结构。可以对硬掩模层133进行图案化(例如,使用任何标准的光刻工艺技术),使得其仅沿着互连开口129的侧面而余留。在这个方面,硬掩模层133在互连开口129内形成较窄的开口143。该较窄的开口143将随后用于在电介质层128内形成过孔开口。

[0057] 图22示出了在电介质层中蚀刻过孔开口之后的图21的结构。使用经图案化的硬掩模层133,进一步蚀刻电介质层128(例如,干法蚀刻),以在硬掩模层106上方形成过孔开口131。将过孔开口131蚀刻到一定深度,使得其延伸到并暴露硬掩模层106的一部分。

[0058] 图23示出了在硬掩模层中蚀刻敞开的过孔引导部之后的图22的结构。在形成过孔开口131之后,或者在形成过孔开口131同时,对过孔引导段124B内的硬掩模材料进行蚀刻以形成敞开的过孔引导部126。在图示出的示例中,选择性蚀刻过孔引导段124B内的硬掩模材料,但并不蚀刻余留的过孔引导段116A-116C和124A、124C和124D内的硬掩模材料。在这个方面,形成了过孔引导部126(其与互连线122B对准),而其它相邻的互连线仍然被过孔引导段116A-116C和124A、124C和124D内的硬掩模材料覆盖。因为相邻的互连线(即,互连线114A和114B)仍然被覆盖,因此用于将另一个互连层电连接到互连线122B的上层过孔的任何未对准将不会与错误的互连线(例如,互连线114A或114B)短路。然而,应当理解,尽管过孔引导部126形成于过孔引导段124B中,但如果期望与不同的互连线连接,则过孔引导部126可以形成于其它过孔引导段中的任何过孔引导段中。此外,尽管图示了单个过孔引导部126,但应当理解,在期望在另外的互连线之间进行连接的情况下,可以形成多于一个的过孔引导部。

[0059] 图24示出了在去除硬掩模层127和133之后的图23的结构。可以通过任何标准的工艺技术(例如,剥离)来去除硬掩模层127和133,以暴露互连开口129用于在其中形成互连

层。

[0060] 图25示出了在形成互连层并使互连层连接到互连线的其中之一之后的图24的结构。在互连开口29内形成互连层130。在这个方面,互连层130位于结构100中与先前所讨论的互连线114A-114C和122A-122D不同的平面(例如,硬掩模层106上方的平面,而互连线114A-114C和122A-122D位于硬掩模层106下方的平面中)内。在敞开的过孔引导部126上面的过孔开口131内形成过孔132。在这个方面,互连材料(例如,金属)可以通过过孔132和敞开的过孔引导部126来将互连层130电连接到互连线122B。应当注意,虽然过孔132相对于敞开的过孔引导部126轻微地未对准,但其并未与任何附近的互连线(例如,互连线114B)短路,因为它们仍然被硬掩模层106覆盖。

[0061] 为了分别在开口129和131内形成互连层130和过孔132,并填充过孔引导部126,可以在电介质层128上沉积填充过孔引导部126以及开口129和开口131的金属(例如,铜)涂层,并且化学机械平坦化(CMP)可用于去除任何延伸到电介质层128顶部上方的金属。沉没在电介质层128的过孔引导部126以及开口129和131内的金属并未被去除并变成了互连层130以及用于过孔132的金属填充。金属还填充了过孔引导部126,从而将互连层130电连接到互连线122B。

[0062] 应当注意,尽管过孔132比互连线122B宽并与硬掩模层106和116B交叠,但不论过孔132的布置和尺寸如何,互连层130只能够连接到互连线122B,因为相邻的互连线(例如,互连线114B)被硬掩模层106覆盖。

[0063] 应当理解,尽管图16至图25图示了用于形成过孔引导部和具有相关联的过孔的互连层的一个示例性过程,但还可以使用其它过程来形成过孔引导部和互连层。典型地,可以在形成上层互连层和过孔之前执行用于在过孔引导段中的一个过孔引导段内选择性地形成过孔引导部的掩膜和蚀刻步骤。

[0064] 图26示出了通过与图25中的过孔开口和过孔引导部相似的过孔开口和过孔引导部来连接到互连线的其中之一的替代的互连层。与图25的结构100相似,结构200包括形成在互连线122B上面的电介质层128的一部分内的互连层134和过孔136。然而,在该实施例中,过孔136与敞开的过孔引导部126对准。可以如参考图16至图25所讨论的来形成过孔136和敞开的过孔引导部126。

[0065] 如可以从图25和图26看到的,过孔引导段116A-116C和过孔引导段124A-124D使得集成电路结构的不同平面内的互连层之间能够连接而较少发生由于过孔的布置和尺寸的变化而引起的短路。因此,过孔的尺寸(例如,过孔136的尺寸)可以比标准尺寸大得多,而不会与“错误的”互连层或互连线短路。较大的过孔尺寸反过来简化了任何相关联的光刻工艺,使得其可以较为便宜和/或以较高的成品率来操作。此外,可以更加一致地制造对于下层互连层或互连线的过孔交叠面积。典型地,对于下层互连层或互连线的过孔交叠面积通常作为过孔对于下层互连层的交叠的函数而改变,并随着过孔尺寸变化而改变。已知的是与控制简单的一维结构的尺寸的变化相比,这两者都具有大的变化。相反,使用如本文所公开的引导过孔结构(例如,敞开的过孔引导部126)的过孔对于下层互连层的交叠将仅取决于上层互连层至下层互连层的宽度,该宽度可以在典型的制造工艺中受到良好控制。较一致的过孔交叠反过来给出了较一致的过孔电阻,该过孔电阻使能较好的芯片电性能。最后,本文中所公开的引导的过孔结构可以允许对非常小的下层互连线的间距(例如,线之间的

距离)的使用,而没有过孔与错误的互连线短路的风险。通过使能到较紧密的间距的连接,可以针对给定的成品率而减小芯片尺寸。较小的芯片尺寸反过来减小了制造成本并提高了电性能。还应当理解,在本文中所讨论的实施例中的每个实施例中,对于误差/未对准的裕度比在常规器件中大得多,并且通过过孔引导部将得到的过孔与期望的互连件对准。

[0066] 图27示出了替代的电路结构的示意性横截面侧视图。结构300与图26中图示出的结构200大体上相似,并且以与图26中图示出的结构200相似的方式来形成,除了在本实施例中,使互连线114A-114C和互连线122A-122D凹陷于硬掩模层106下方一定距离(d)。典型地,回到参照图10和图14所描述的工艺步骤(其中,描述了使互连材料凹陷以形成互连线114A-114C和互连线122A-122D),将互连材料蚀刻(例如,使用湿法蚀刻工艺)到硬掩模层106的底部,取而代之的是,将互连材料蚀刻为硬掩模层106下方一定距离(d)。在这个方面,将互连线114A-114C和互连线122A-122D凹陷于硬掩模层106下方一定距离(d)。随后接着参考图16-图25所描述的剩余的工艺步骤来形成结构300。通过将互连线122B、114B和122C与硬掩模层106分隔开一定距离(d)或者使互连线122B、114B和122C凹陷为离开硬掩模层106一定距离(d),可以增加结构300的金属到金属电容,这反过来得到了提高的电性能。

[0067] 图28示出了替代的电路结构的示意性横截面侧视图。结构400与图26中图示出的结构200大体上相似,并且以与图26中例示出的结构200相似的方式来形成,除了在本实施例中,去除了位于交替的过孔引导段116A-116C和过孔引导段124A-124D之间的硬掩模层106的硬掩模材料。典型地,在如参考图15所描述的形成过孔引导段124A-124D之后,可以引入额外的抛光或蚀刻步骤来去除过孔引导段116A-116C和过孔引导段124A-124B之间的硬掩模层106的部分。

[0068] 图29示出了根据一个实施方式的计算设备的示意性示图。计算设备500容纳板502。板502可以包括多个部件,该多个部件包括但不限于处理器504和至少一个通信芯片506A、506B。处理器504物理地和电地连接到板502。在一些实施方式中,至少一个通信芯片506A、506B还物理地和电地连接到板502。在另外的实施方式中,通信芯片506A、506B是处理器504的一部分。

[0069] 取决于计算设备500的应用,计算设备500可以包括其它部件,这些部件可以或可以不物理地和电地耦合到板502。这些其它部件包括但不限于,易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)、闪存存储器、图形处理器、数字信号处理器、密码处理器、芯片集、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)设备、罗盘、加速度计、陀螺仪、扬声器、照相机、以及大容量存储设备(例如,硬盘驱动器、光盘(CD)、数字多功能盘(DVD)等)。

[0070] 通信芯片506A、506B使能用于来往于计算设备500的数据的传输的无线通信。术语“无线”及其派生词可以用于描述可以通过使用经由非固体介质调制的电磁辐射来传送数据的电路、设备、系统、方法、技术、通信信道等。术语并不暗示相关联的设备不包含任何接线,尽管在一些实施例中它们可以不包含接线。通信芯片506A、506B可以实施多种无线标准或协议中的任何无线标准或协议,包括但不限于:Wi-Fi(IEEE 802.11族)、WiMAX(IEEE 802.16族)、IEEE 802.20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、及其派生物,以及被称为3G、4G、5G或更高代的任何其它无线协议。计算设备500可以包括多个通信芯片506A、506B。例如,第一通信芯片可以专用于诸如Wi-Fi

和蓝牙等较短距离无线通信,并且第二通信芯片可以专用于诸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO等较长距离无线通信。

[0071] 计算设备500的处理器504包括封装在处理器504内的集成电路管芯。在一些实施方式中,处理器的集成电路管芯包括根据以上所描述的实施方式所形成的一个或多个器件(例如,晶体管或互连装置),其中,一个或多个电介质层(ILD)被覆盖有可以保留在最终的电路管芯结构中的电介质硬掩模。术语“处理器”可以指代处理来自寄存器和/或存储器的电子数据以将该电子数据转换成可以被存储在寄存器和/或存储器中的其它电子数据的任何设备或设备的部分。

[0072] 通信芯片506A、506B还包括封装在通信芯片506A、506B内的集成电路管芯。根据本发明的另一个实施方式,通信芯片的集成电路管芯包括根据以上所描述的实施方式而形成的在一个或多个电介质层上包括电介质硬掩模的一个或多个器件,例如晶体管或互连装置。

[0073] 在另外的实施方式中,计算设备500内所容纳的另一个部件可以包含集成电路管芯,该集成电路管芯包括根据以上所描述的实施方式而形成的在一个或多个电介质层上包括电介质硬掩模的一个或多个器件,例如晶体管或互连装置。

[0074] 在各种实施方式中,计算设备500可以是膝上型电脑、上网本、笔记本、超级本、智能电话、平板电脑、个人数字助理(PDA)、超级移动PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数字照相机、便携式音乐播放器、或数字视频录像机。在另外的实施方式中,计算设备500可以是处理数据的任何其它电子设备。

[0075] 在以上的描述中,为了解释的目的,已经阐述了许多具体细节,以便提供对实施例的透彻理解。然而,对本领域的技术人员将显而易见的是,可以实现一个或多个其它实施例而无需这些具体细节中的某些具体细节。所描述的特定实施例并非被提供以限制本发明,而是被提供以说明本发明。本发明的范围并非由以上所提供的的具体示例来确定,而是仅由以下的权利要求来确定。在其它实例中,已经以框图形式示出或者并未详细示出公知的结构、设备、和操作,以免模糊对描述的理解。在被认为适当的情况下,已经在附图之中重复了附图标记或者附图标记的终端部分,以指示对应的或者类似的元件,这些元件可以可选地具有相似的特征。

[0076] 还应当意识到,遍及本说明书对“一个实施例”、“实施例”、“一个或多个实施例”、或“不同实施例”的参考例如表示可以包括在对本发明的实现中的特定特征。类似地,应当意识到,在描述中,为了使本公开内容流线化并有助于对各个创新方面的理解的目的,有时在单个实施例、附图、或其描述中将各个特征集合在一起。然而,本公开内容的方法并非将被解释为反映以下意图:本发明需要比每个权利要求中明确记载的特征多的特征。相反,如以上权利要求所反映的,创新方面可以在于少于单个公开的实施例的所有特征。因此,在具体实施方式之后的权利要求书由此被明确并入到该具体实施方式中,其中,每个权利要求代表其自身作为本发明的单独实施例。

[0077] 以下示例关于另外的实施例。示例中的细节可用于一个或多个实施例中的任何地方。也可以关于方法或过程来实现本文中所描述的装置的所有可选的特征。

[0078] 例如,一种装置包括:电路衬底;第一互连层和第二互连层,所述第一互连层位于所述衬底上的第一平面内,所述第二互连层位于所述衬底上的不同的第二平面内;以及硬

掩模层,所述硬掩模层将所述第一互连层与所述第二互连层分隔开,其中,所述硬掩模层包括交替的引导段和过孔引导部,所述交替的引导段中的每个引导段包括不同的硬掩模材料,所述过孔引导部形成于所述交替的引导段中的至少一个引导段中,用于将所述第一互连层与所述第二互连层电连接。

[0079] 在一个实施例中,所述第一互连层包括多条互连线,并且所述多条互连线中的每条互连线与所述交替的引导段中的一个引导段对准。在一个实施例中,所述不同的硬掩模材料包括至少两种不同的硬掩模材料,所述至少两种不同的硬掩模材料允许相对于所述硬掩模材料中的其它硬掩模材料选择性地蚀刻所述硬掩模材料中的一种硬掩模材料。在一个实施例中,所述不同的硬掩模材料包括第一硬掩模材料和第二硬掩模材料,并且所述交替的引导段中的每个引导段被第三硬掩模材料分隔开。在一个实施例中,所述不同的硬掩模材料包括选自以下各项组成的组的至少两种介电材料:氧化硅、氮化硅、碳化硅、氧化钛、氧化钪、氮化铝、氮化硼和非晶碳。在一个实施例中,所述过孔引导部是第一过孔引导部,并且第二过孔引导部形成在所述交替的引导段中的另一个引导段内。

[0080] 在另一个示例中,一种方法包括:在集成电路结构上形成电介质层;在所述电介质层中形成具有互连线的所述第一互连层;在所述电介质层的表面上形成硬掩模层,所述硬掩模层包括交替的硬掩模材料,所述交替的硬掩模材料在所述互连线之上形成过孔引导段;在所述过孔引导段中的一个过孔引导段内形成敞开的过孔引导部;以及在所述硬掩模引导层之上形成第二互连层,其中,通过所述敞开的过孔引导部将所述第二互连层电连接到所述互连线的其中之一。

[0081] 在一个实施例中,形成所述硬掩模层包括:在所述电介质层上沉积第一硬掩模材料;蚀刻所述第一硬掩模材料来形成第一组开口;使用第二硬掩模材料来填充所述第一组开口;蚀刻所述第一硬掩模材料来形成第二组开口;以及使用第三硬掩模材料来填充所述第二组开口。在一个实施例中,所述第一硬掩模材料余留在所述第一组开口与所述第二组开口之间。在一个实施例中,所述交替的硬掩模材料包括至少两种不同的硬掩模材料,所述至少两种不同的硬掩模材料允许相对于所述硬掩模材料中的其它硬掩模材料选择性地蚀刻所述硬掩模材料中的一种硬掩模材料。在一个实施例中,所述过孔引导段包括与第一组所述互连线对准的第一组过孔引导段,以及与第二组所述互连线对准的第二组过孔引导段。在一个实施例中,所述第一组过孔引导段由第一硬掩模材料形成并且所述第二组过孔引导段由与所述第一硬掩模材料不同的第二硬掩模材料形成。在一个实施例中,所述硬掩模材料包括选自以下各项组成的组的至少两种介电材料:氧化硅、氮化硅、碳化硅、氧化钛、氧化钪、氮化铝、氮化硼和非晶碳。

[0082] 在另一个示例中,一种方法包括:在集成电路结构上沉积电介质层;在所述电介质层中形成多条第一互连线;在所述电介质层的表面上形成硬掩模层,所述硬掩模层包括与所述多条第一互连线对准的不同的硬掩模材料;选择性地蚀刻所述硬掩模层,以通过所述不同的硬掩模材料中的一种硬掩模材料形成敞开的过孔引导部;在所述硬掩模层上形成第二互连线;以及通过所述敞开的过孔引导部来将所述多条第一互连线的其中之一电连接到所述第二互连线。

[0083] 在一个实施例中,所述不同的硬掩模材料包括与第一组所述第一互连线对准的第一硬掩模材料以及与第二组所述第一互连线对准的第二硬掩模材料。在一个实施例中,所

述硬掩模层包括所述第一硬掩模材料与所述第二硬掩模材料之间的第三硬掩模材料。在一个实施例中,形成所述硬掩模层包括:在所述电介质层上沉积第一硬掩模材料;蚀刻所述第一硬掩模材料,以形成与第一组所述第一互连线对准的第一组开口;使用与所述第一硬掩模材料不同的第二硬掩模材料来填充所述第一组开口;蚀刻所述第一硬掩模材料,以形成与第二组所述第一互连线对准的第二组开口;以及使用与所述第一硬掩模材料和所述第二硬掩模材料不同的第三硬掩模材料来填充所述第二组开口。在一个实施例中,选择性地蚀刻所述硬掩模层以形成敞开的过孔引导部包括:去除所述硬掩模材料中的一种硬掩模材料以暴露对准的互连线,而不去除与相邻的互连线对准的另一种不同的硬掩模材料。在一个实施例中,所述硬掩模层包括选自由以下各项组成的组的至少三种硬掩模材料:氧化硅、氮化硅、碳化硅、氧化钛、氧化钪、氮化铝、氮化硼和非晶碳。在实施例中,使所述多条第一互连线凹陷于所述硬掩模层下方一定距离。在另一实施例中,所述不同的硬掩模材料在所述硬掩模层内与彼此交替,以使得任何相邻的第一互连线与所述硬掩模材料中的一种不同的硬掩模材料对准。

[0084] 提供了将允许读者确定本技术公开内容的本质和主旨的说明书摘要。随着这样的理解而提交说明书摘要:说明书摘要将不用于限制权利要求的范围或意思。以下的权利要求由此被并入到具体实施方式中,其中每个权利要求代表其自身作为单独的实施例。

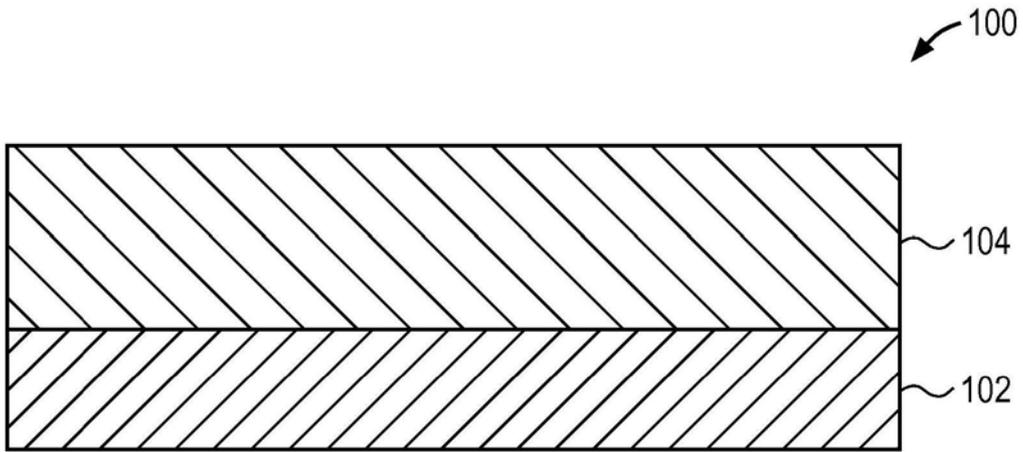


图1

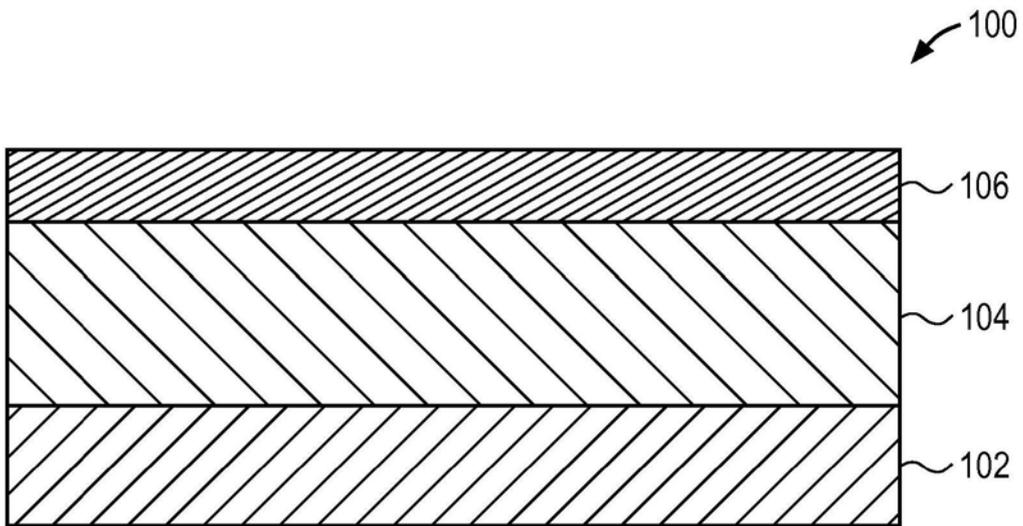


图2

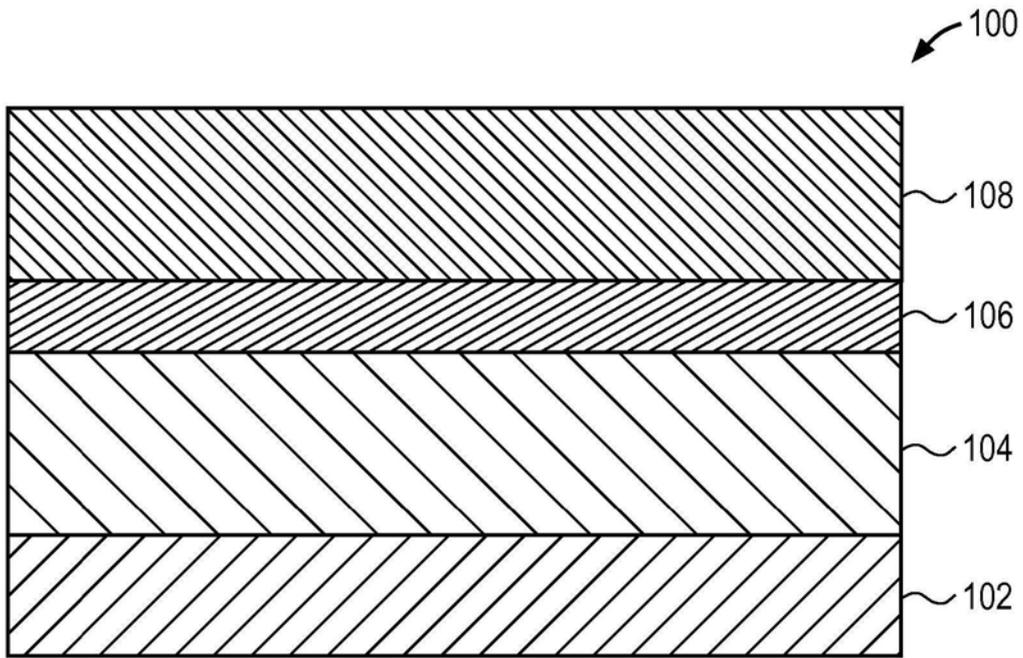


图3

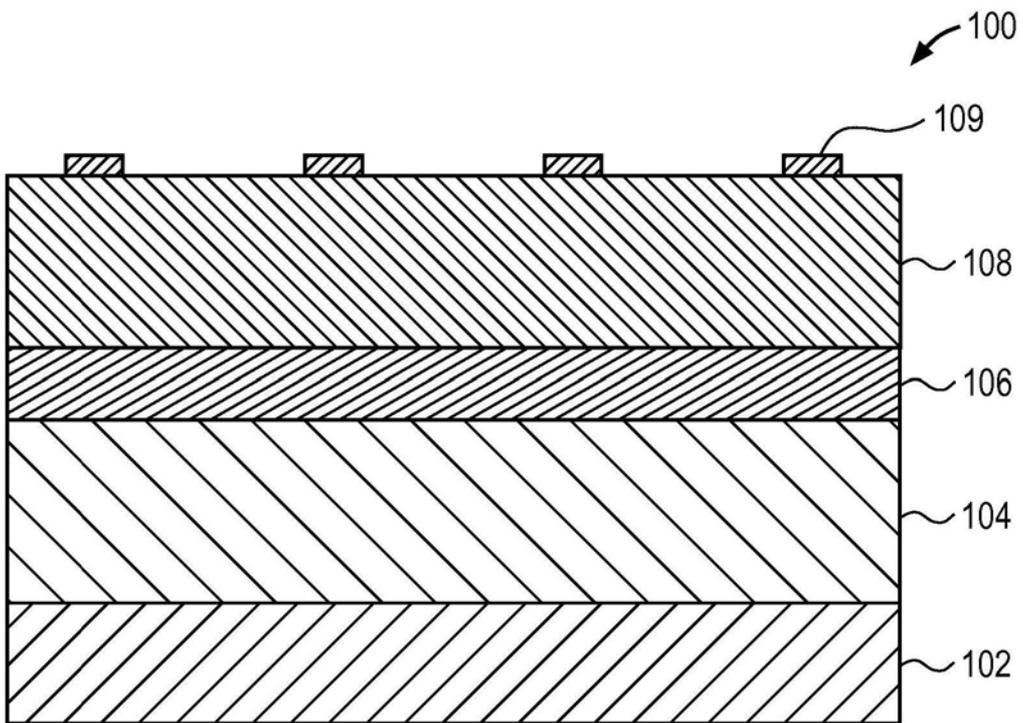


图4

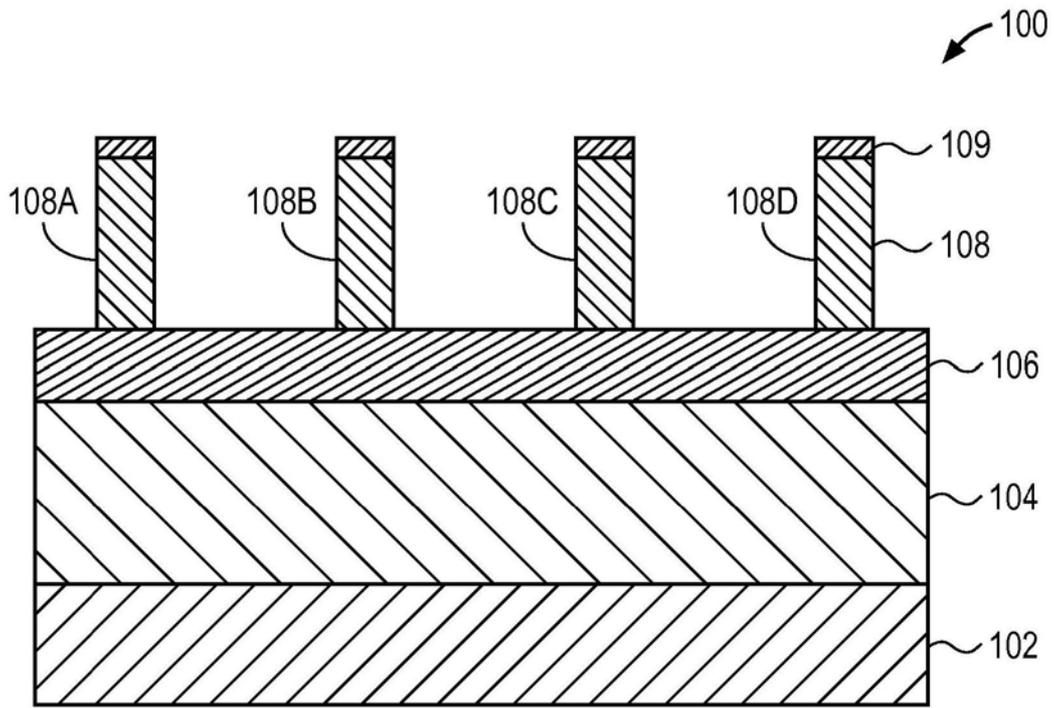


图5

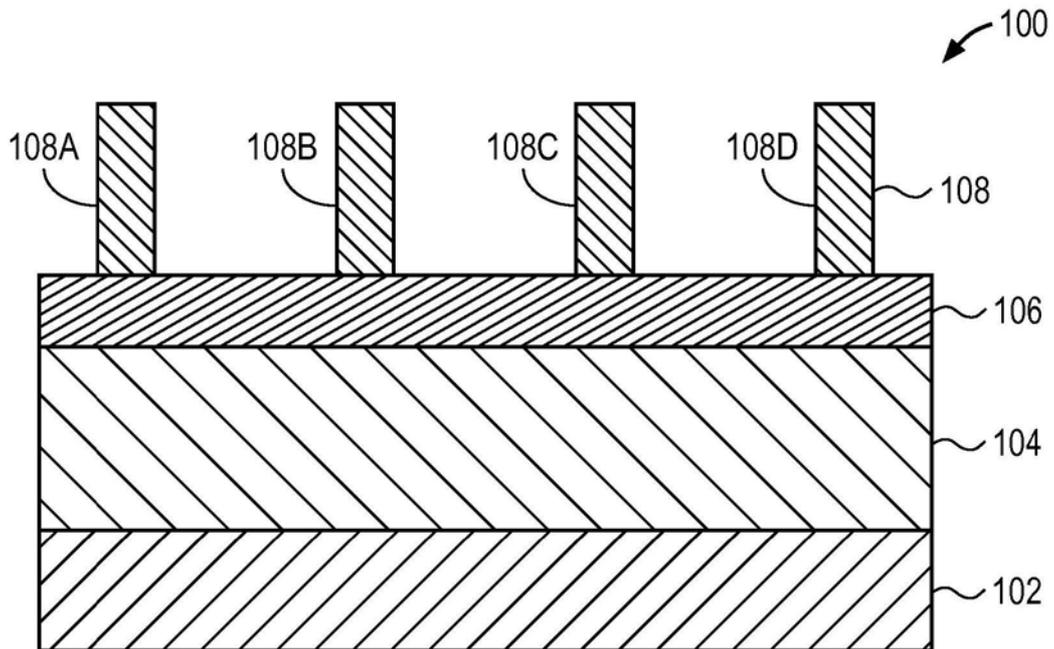


图6

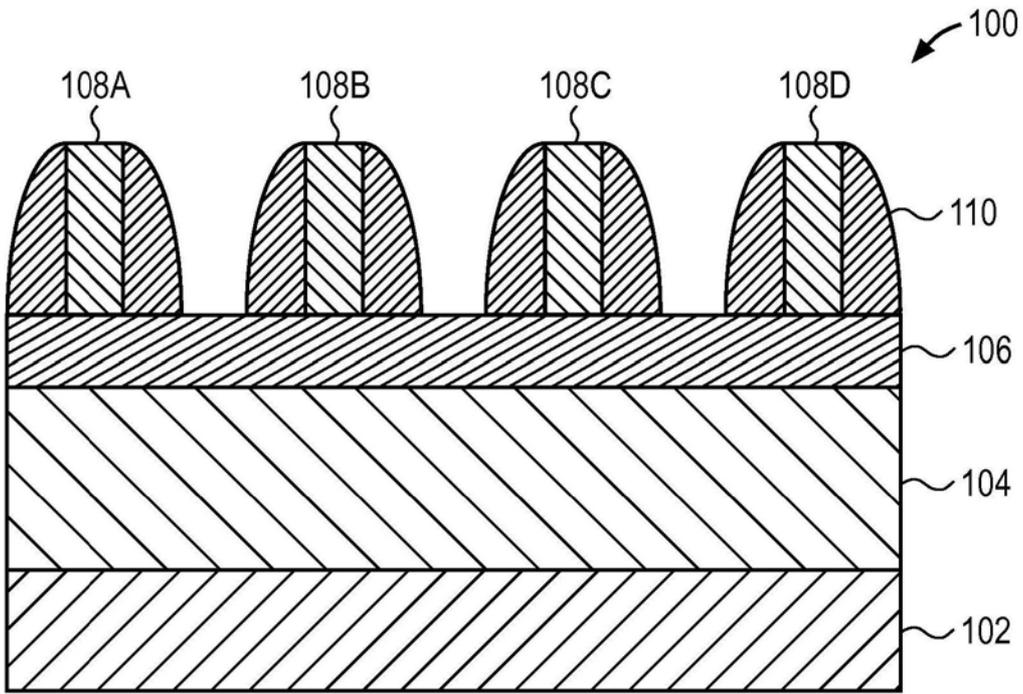


图7

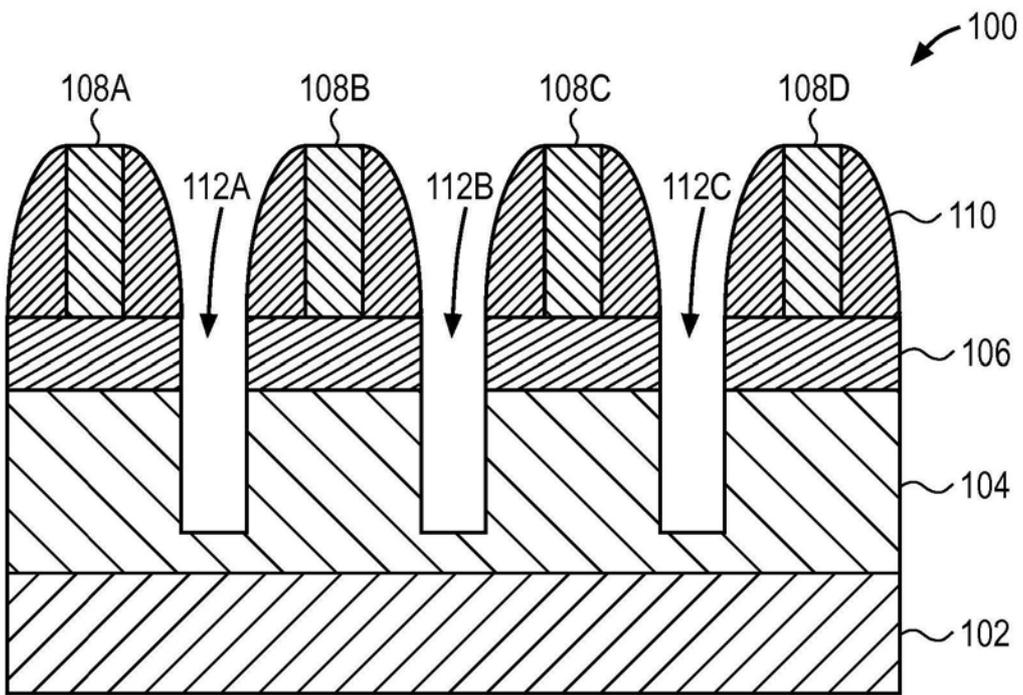


图8

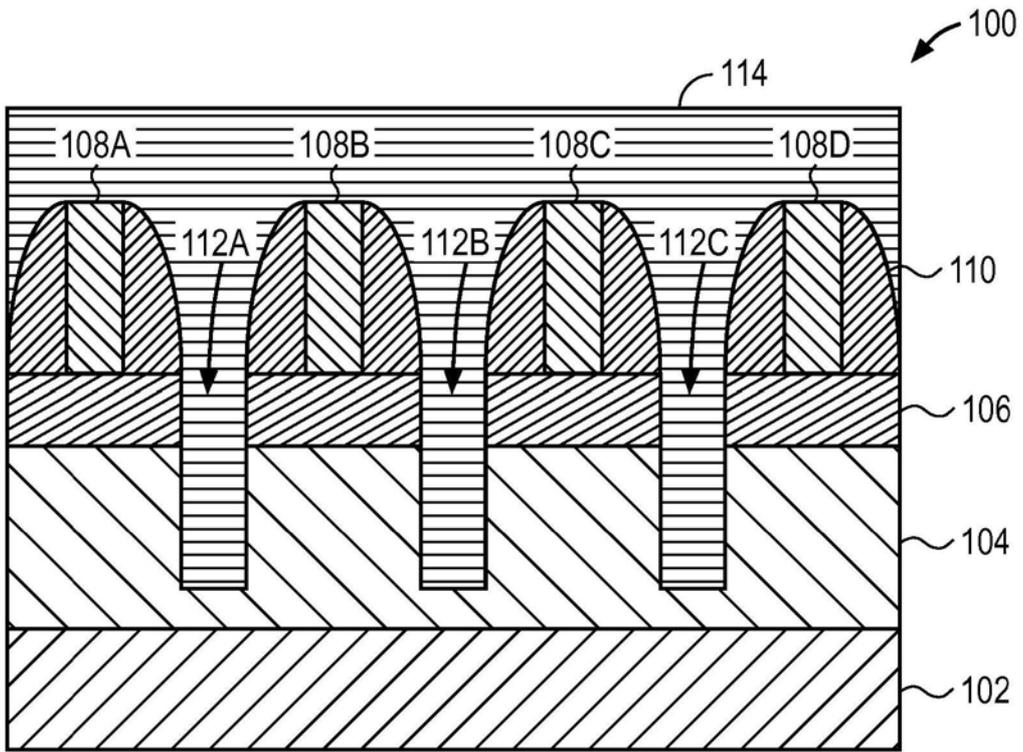


图9

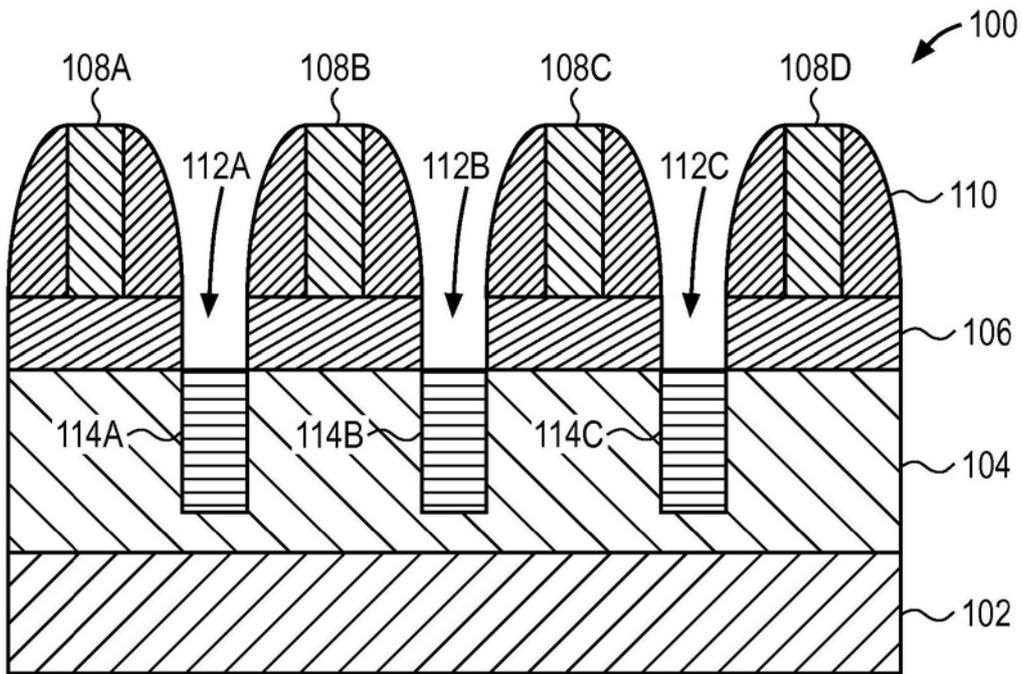


图10

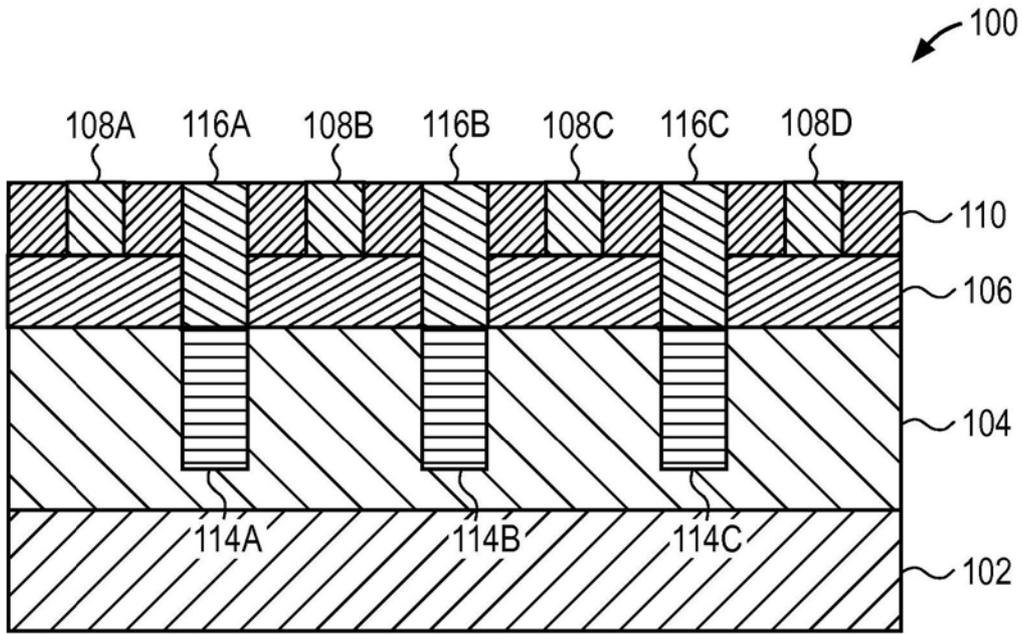


图11

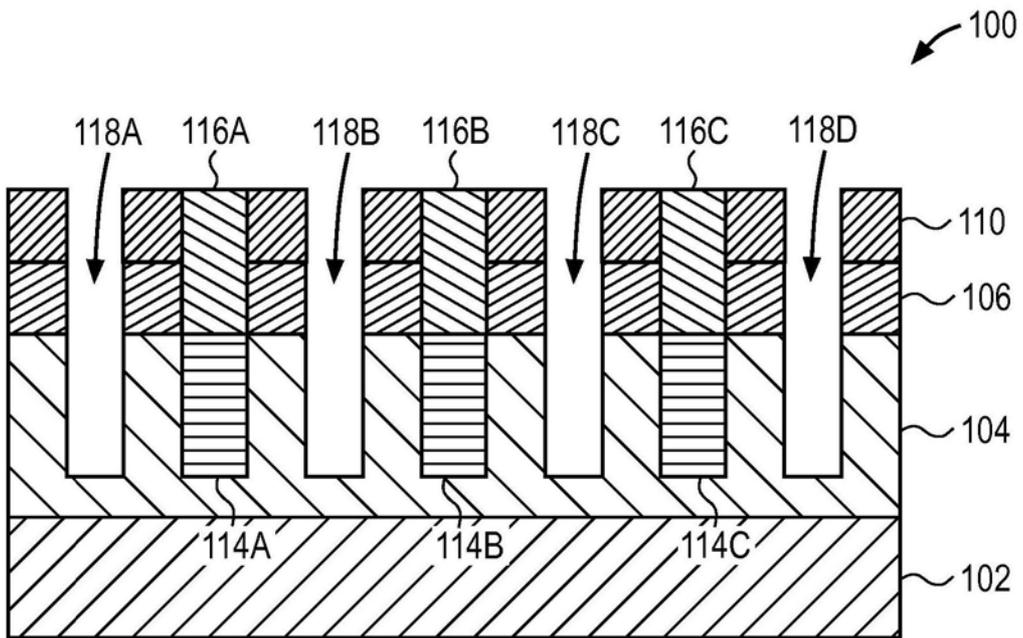


图12

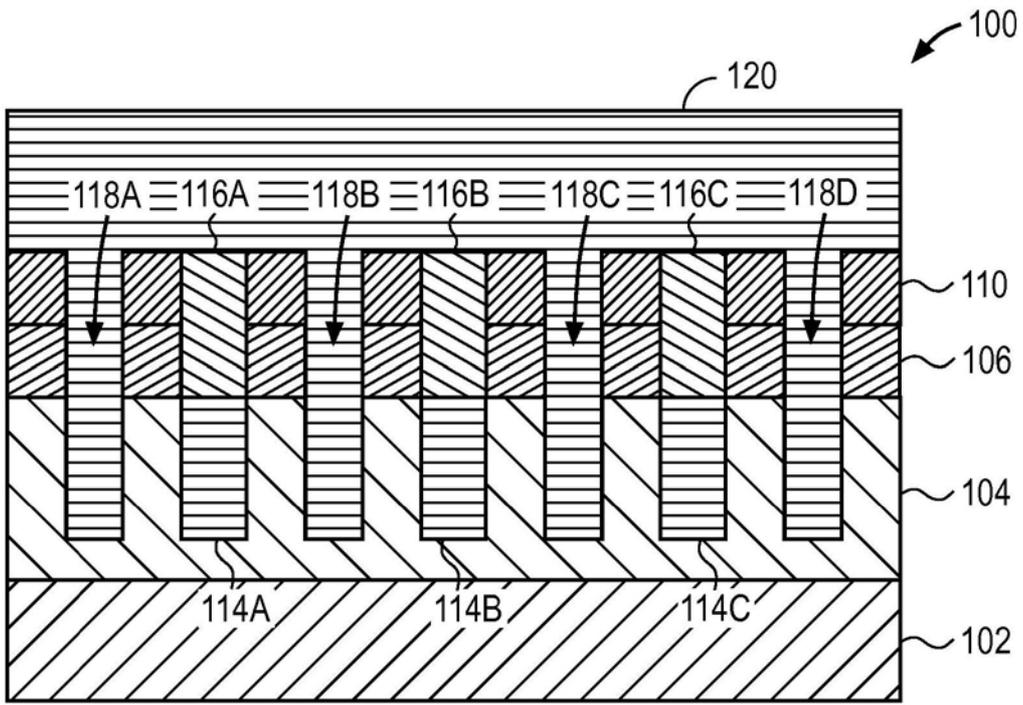


图13

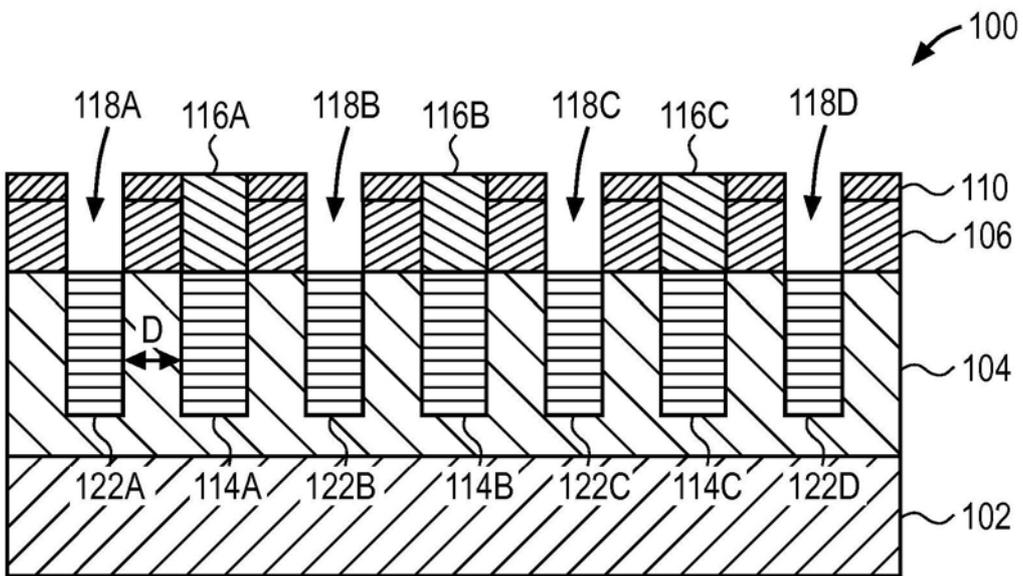


图14

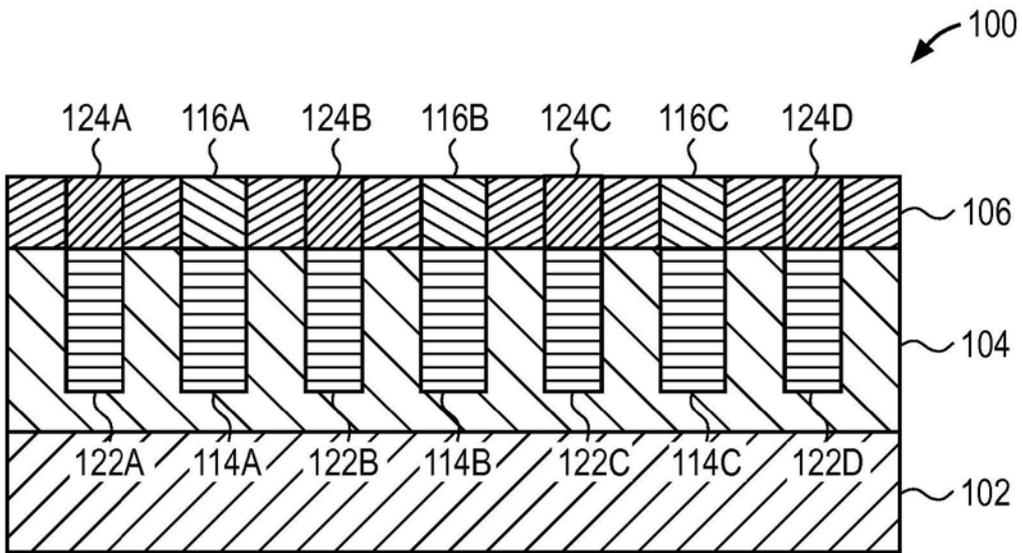


图15

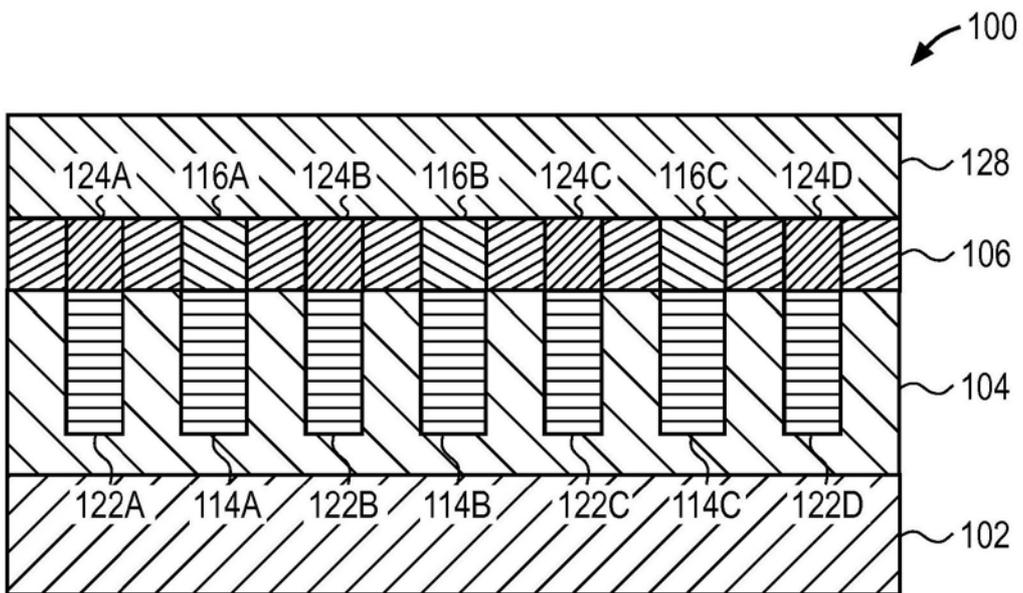


图16

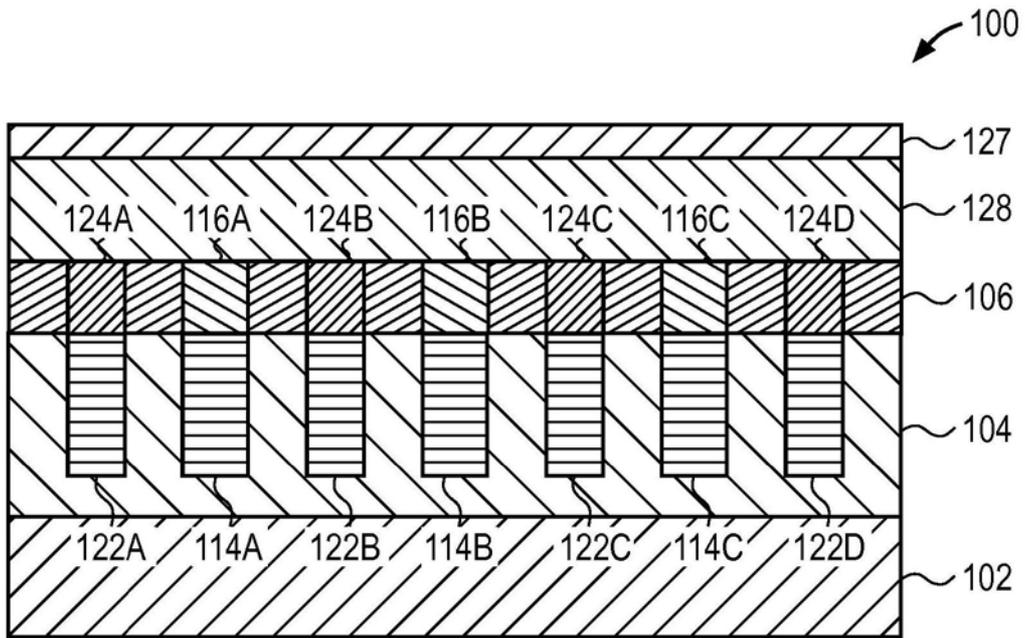


图17

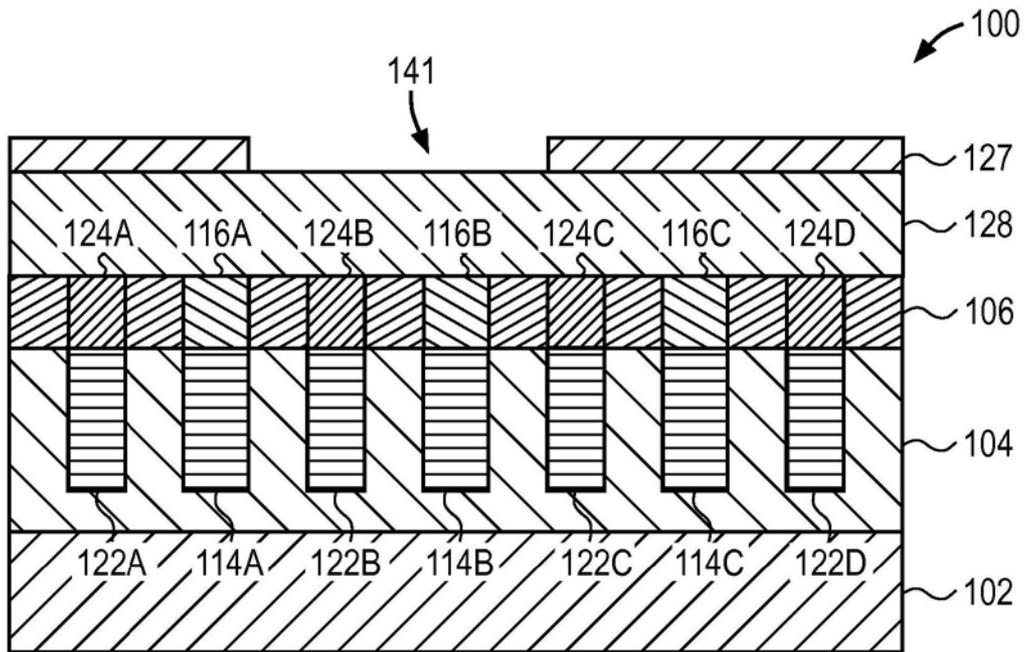


图18

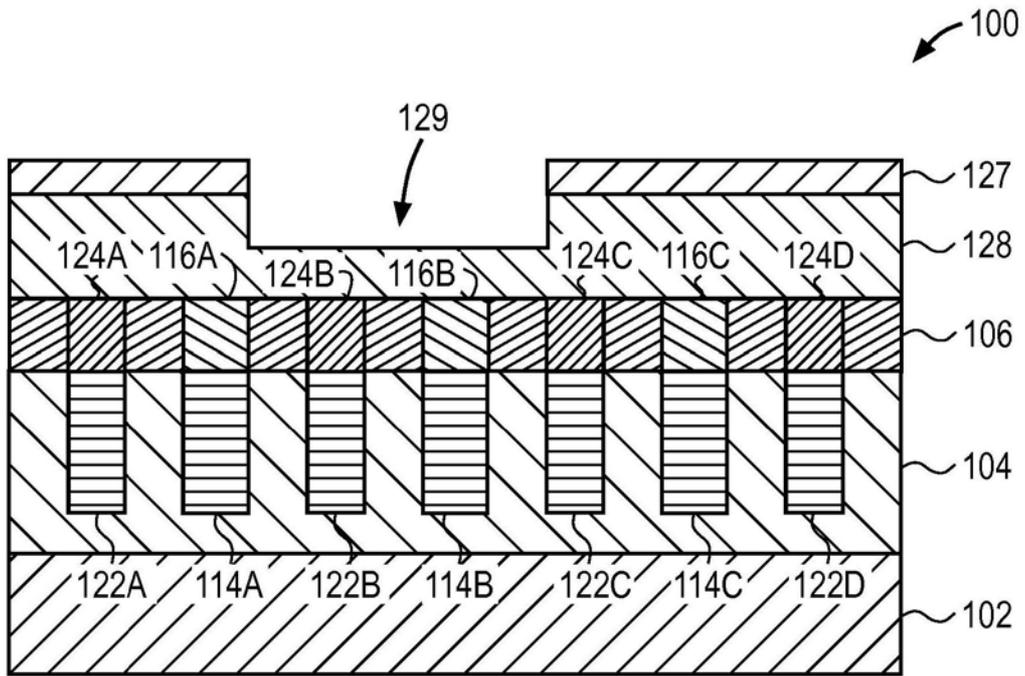


图19

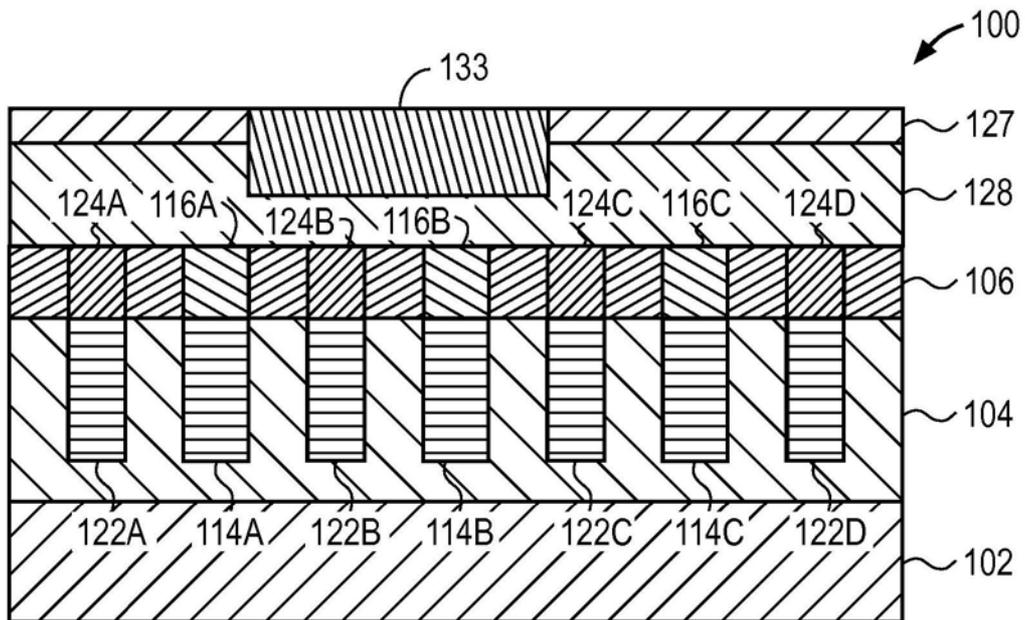


图20

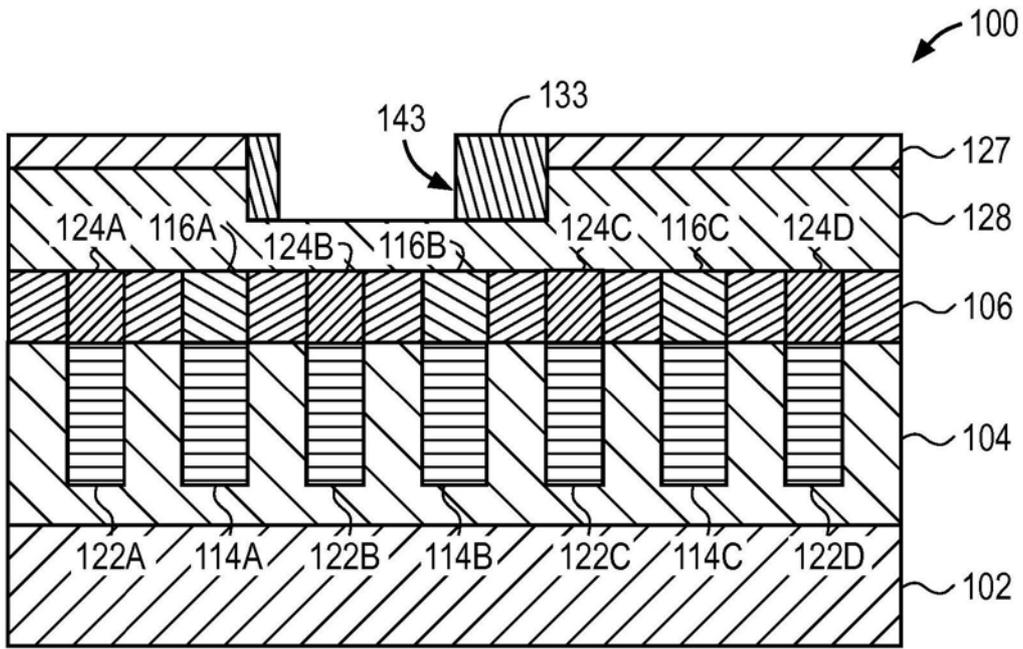


图21

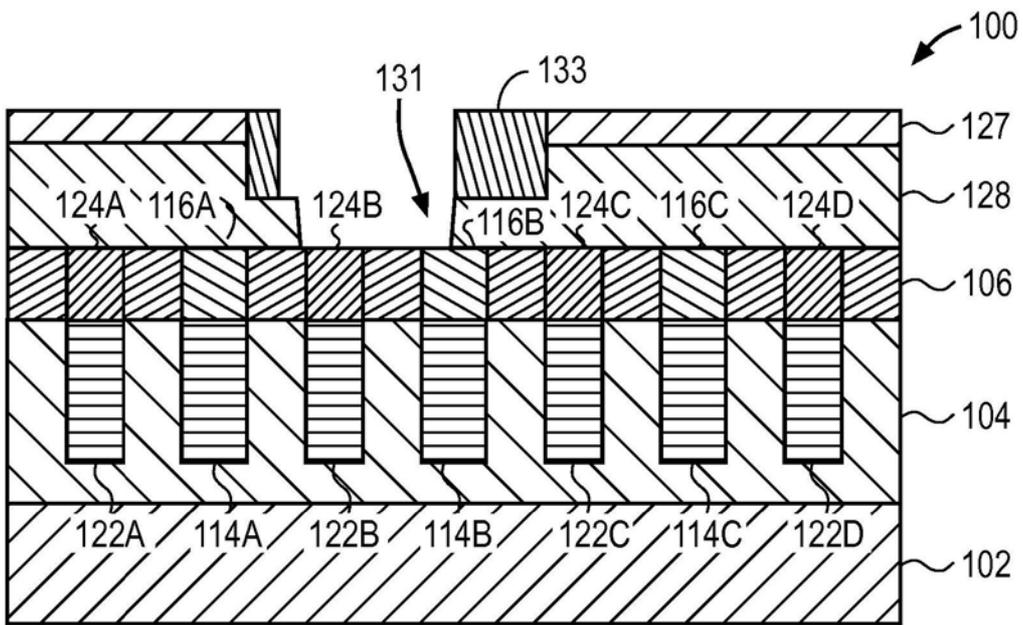


图22

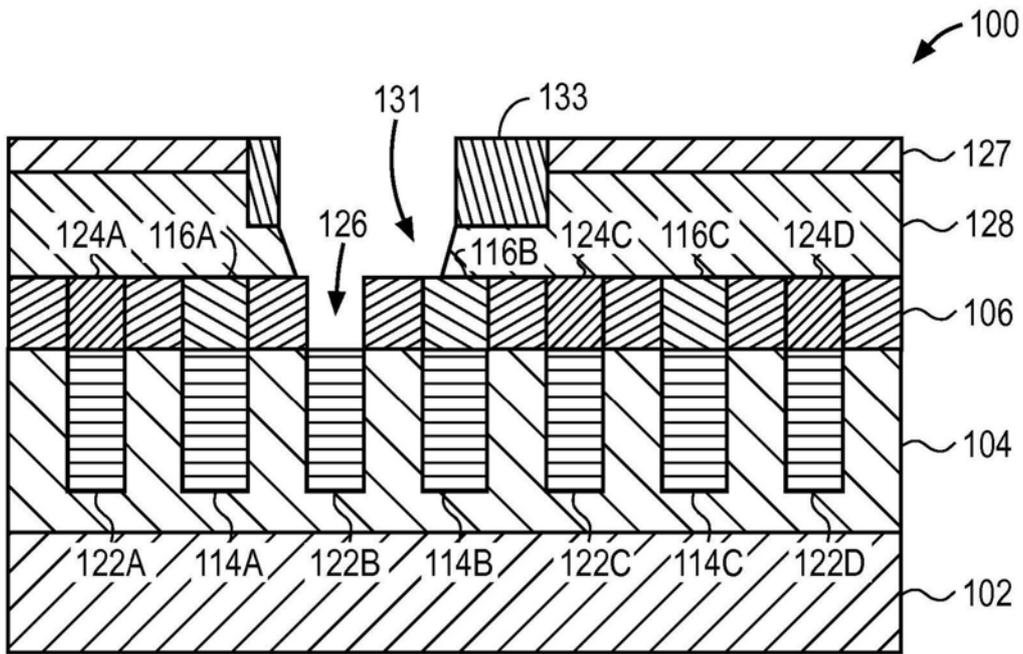


图23

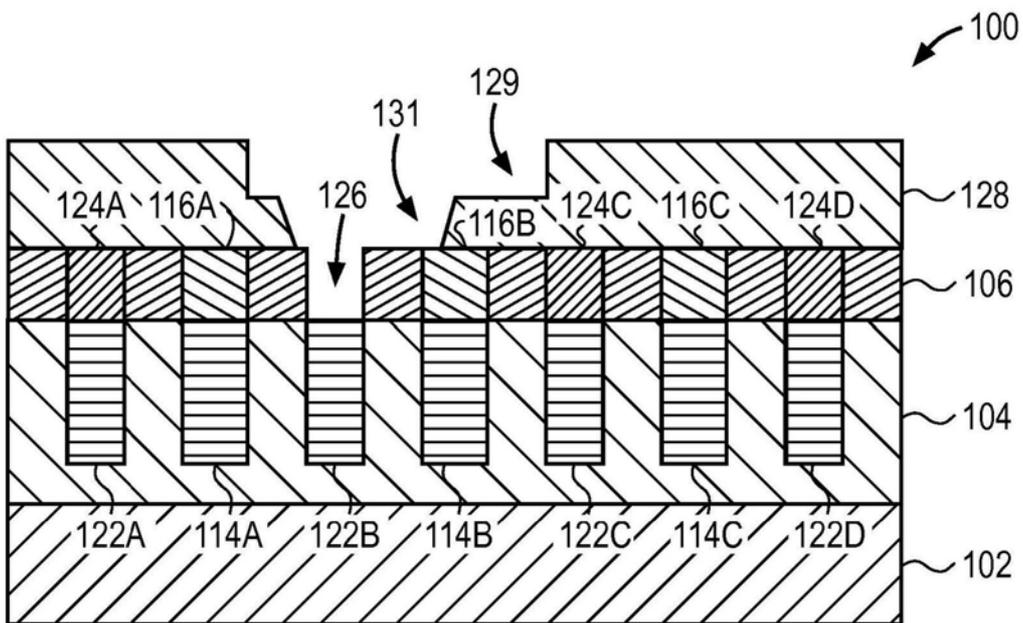


图24

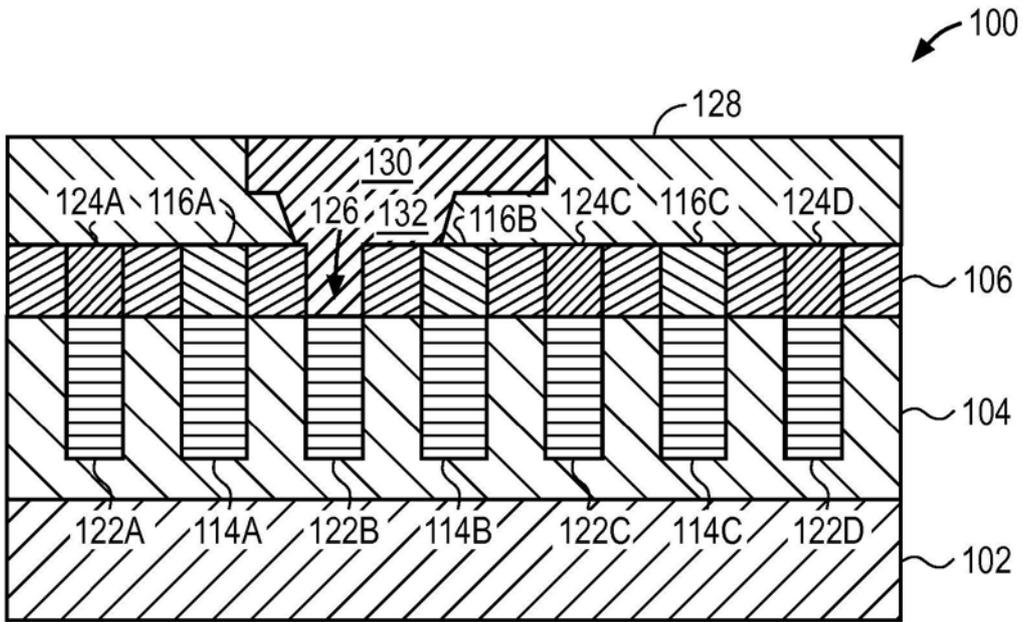


图25

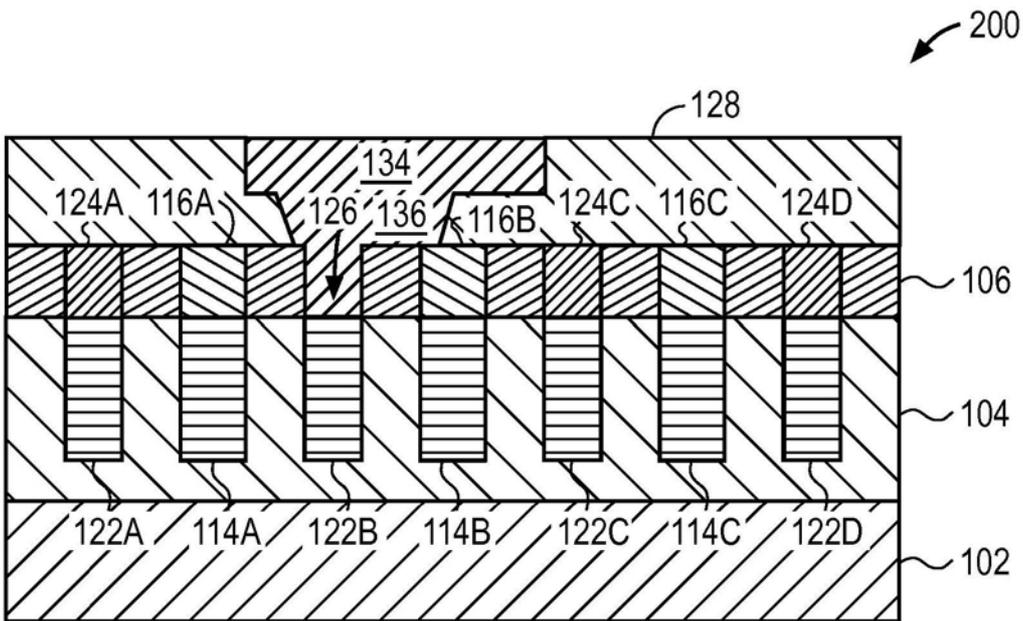


图26

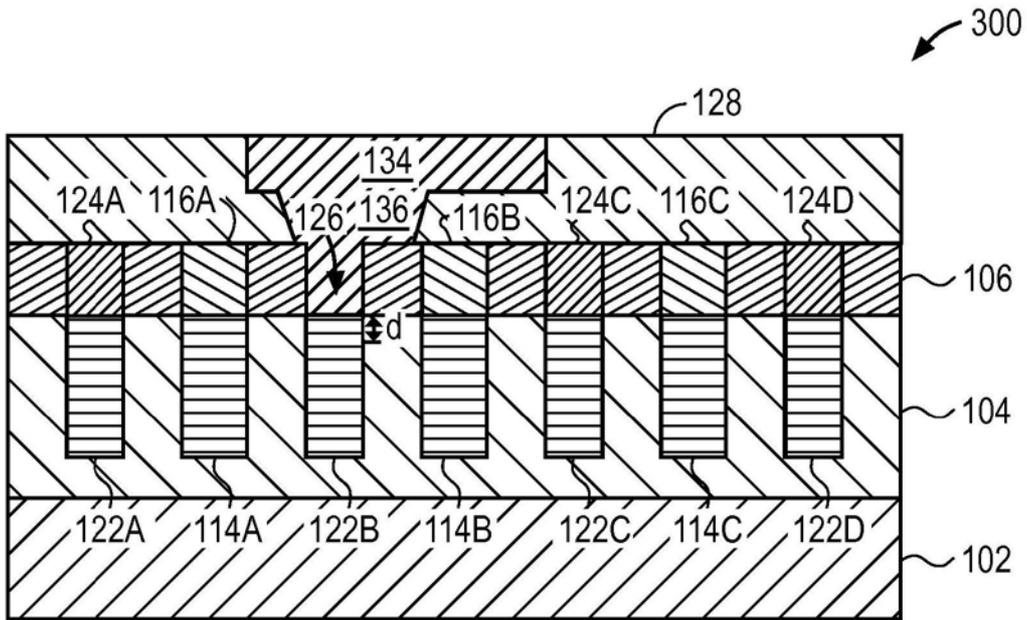


图27

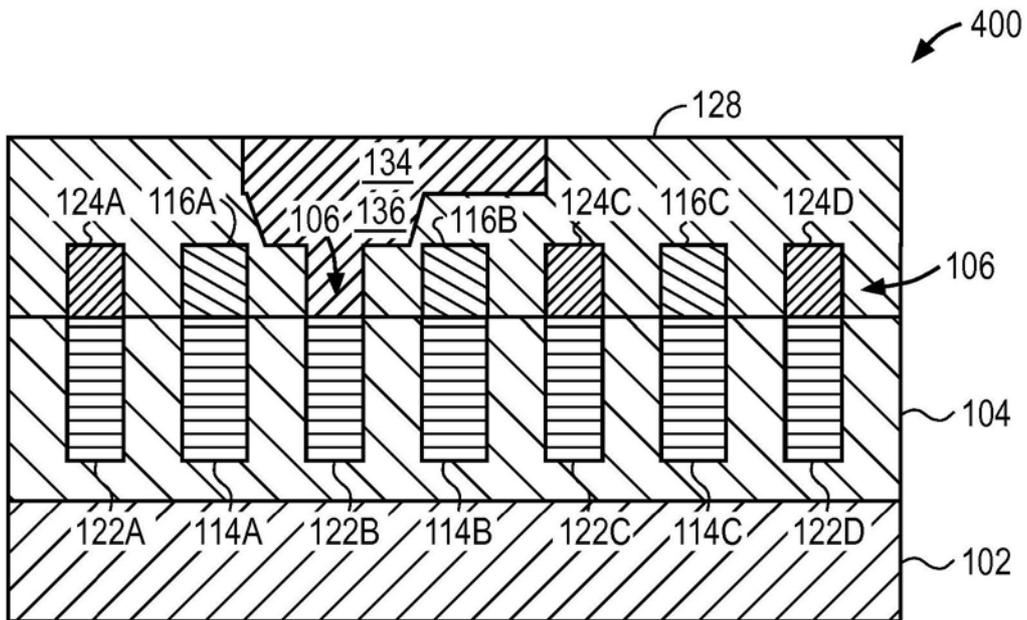


图28

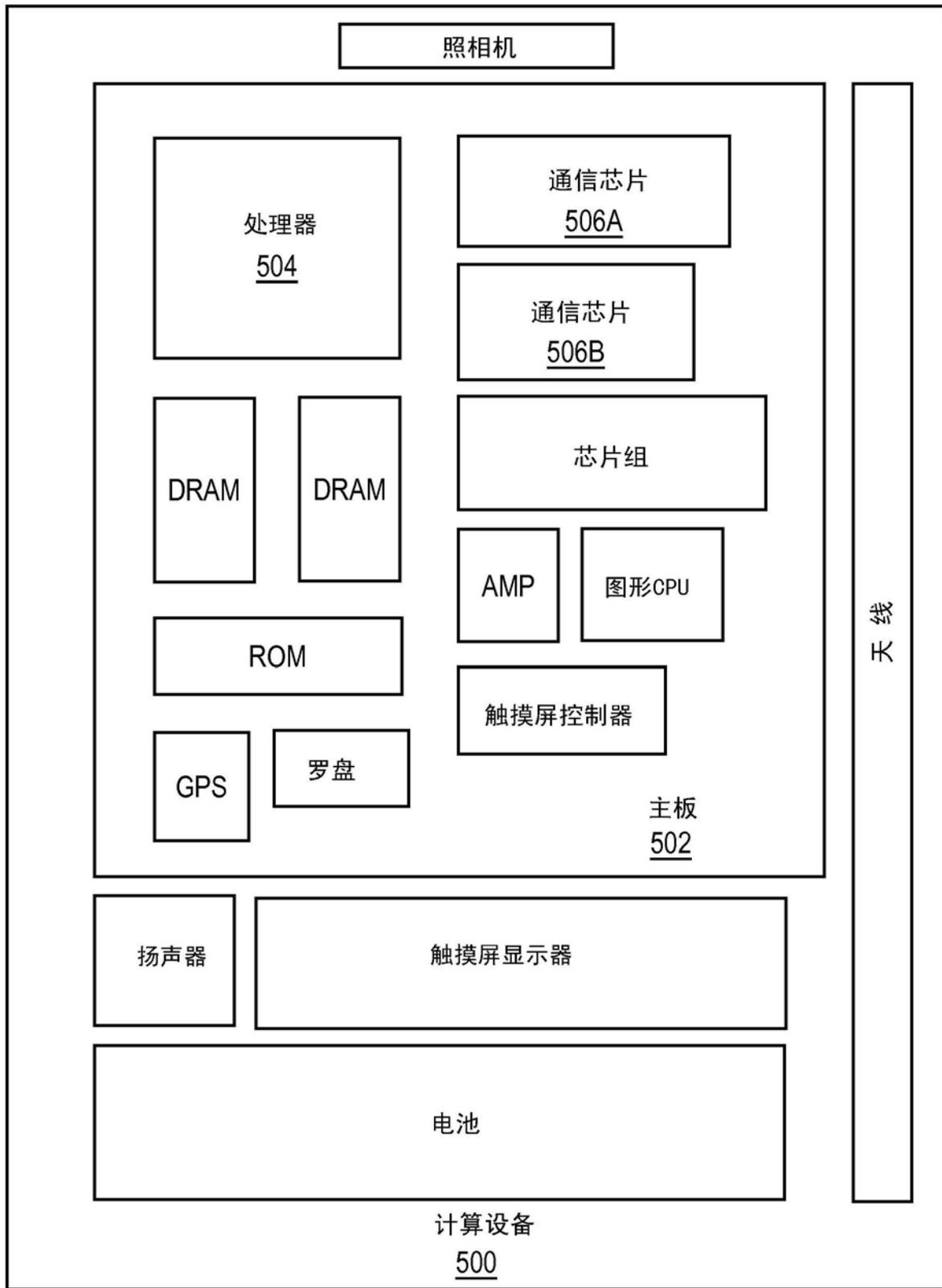


图29