

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年9月18日(18.09.2014)

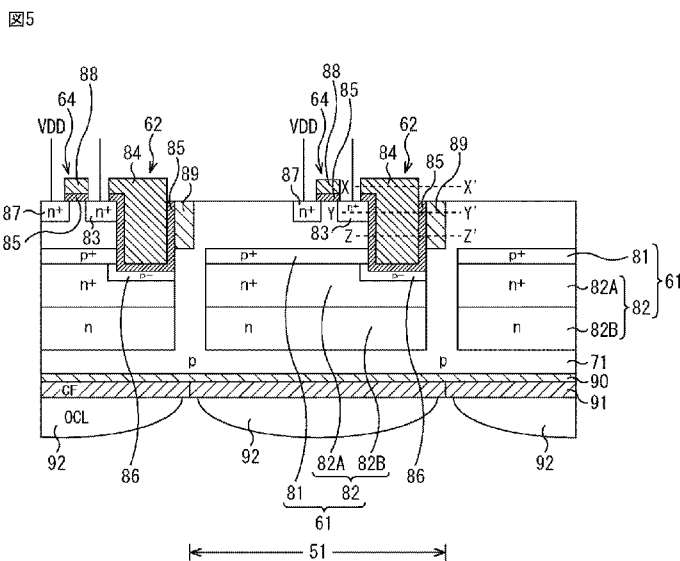


(10) 国際公開番号
WO 2014/141900 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/374 (2011.01)
H04N 5/369 (2011.01)
 - (21) 国際出願番号: PCT/JP2014/055008
 - (22) 国際出願日: 2014年2月28日(28.02.2014)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2013-052076 2013年3月14日(14.03.2013) JP
 - (71) 出願人: ソニー株式会社(SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
 - (72) 発明者: 山川 真弥(YAMAKAWA Shinya); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
 - (74) 代理人: 稲本 義雄, 外(INAMOTO Yoshio et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SOLID-STATE IMAGE-PICKUP ELEMENT, METHOD FOR PRODUCING SAME, AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 固体撮像素子およびその製造方法、並びに電子機器



(57) Abstract: The present technique pertains to a solid-state image-pickup element that is resistant to misalignment during a manufacturing process and that has a high conversion efficiency regarding photoelectric conversion, to a producing method that makes it possible to achieve the solid-state image-pickup element, and to electronic equipment. The solid-state image-pickup element includes: a photoelectric conversion part that is formed in a state of being embedded in a semiconductor substrate; an impurity area that holds charges generated by the photoelectric conversion part; and a transfer transistor that transfers charges to the impurity area. A gate electrode of the transfer transistor is formed so as to extend in the depth direction, from a surface of the semiconductor substrate where the impurity area is formed toward the photoelectric conversion part in the semiconductor substrate. A channel part of the transfer transistor is surrounded by gate electrodes in two or more directions other than the direction of the impurity area, as viewed in the depth direction. The present technique can be applied to, for example, a back surface irradiation-type solid-state image-pickup element and the like.

(57) 要約:

[続葉有]

WO 2014/141900 A1



本技術は、製造途中の合わせずれにも強く、光電変換の変換効率がよい固体撮像素子を実現することができるようにする固体撮像素子およびその製造方法、並びに電子機器に関する。固体撮像素子は、半導体基板中に埋め込まれて形成されている光電変換部と、光電変換部で生成された電荷を保持する不純物領域と、電荷を不純物領域に転送する転送トランジスタとを備える。転送トランジスタのゲート電極は、不純物領域が形成されている半導体基板の表面から、半導体基板中の光電変換部に向かって深さ方向に形成されており、転送トランジスタのチャンネル部は、深さ方向から見たとき、不純物領域の方向以外の2方向以上を、ゲート電極で囲まれている。本技術は、例えば、裏面照射型の固体撮像素子等に適用できる。

明 細 書

発明の名称： 固体撮像素子およびその製造方法、並びに電子機器 技術分野

[0001] 本技術は、固体撮像素子およびその製造方法、並びに電子機器に関し、特に、製造途中の合わせずれにも強く、光電変換の変換効率がよい固体撮像素子を実現することができるようにする固体撮像素子およびその製造方法、並びに電子機器に関する。

背景技術

[0002] 半導体（Si）を用いた固体撮像素子（イメージセンサ）において、受光した光を電気的な信号に変換する光電変換素子としては、半導体のpn接合を利用したフォトダイオード（PD：Photo diode）が知られている。フォトダイオードを利用した素子は、デジタルカメラ、ビデオカメラ、監視用カメラ、複写機、ファクシミリなど多くの電子機器に搭載されている。

[0003] 近年、固体撮像素子として、周辺回路も含めてCMOS（Complementary Metal Oxide Semiconductor）プロセスで製造される、いわゆるCMOS型固体撮像素子が多く用いられている。

[0004] このCMOS型固体撮像素子においては、画素毎、行毎などでフォトダイオードに蓄積された電荷を読み出すため、光電荷を蓄積する時間にずれが生じ、被写体が動いているときなどは撮影した被写体に歪みが生ずる。この被写体の歪みを防止するためには、すべての画素において同時に露光を行うグローバルシャッタ機能が必要となる。

[0005] グローバルシャッタを実現する手段としては、機械的なシャッタを設けるメカニカルシャッタ方式がある。この方式は、固体撮像素子に入射される光を機械的なシャッタでON/OFFすることで、全画素において同時に露光を行うことを可能とする方式である。フォトダイオードに蓄積された電荷は、従来のCMOS型固体撮像素子と同様に順次読みだされる。

[0006] しかしながら、メカニカルシャッタ方式では、機械的なシャッタが必要で

あるため、小型化を行うことが難しく、また機械駆動を行っているためシャッタ速度にも限界がある。

[0007] そこで、メカニカルシャッタ方式の欠点を補うため、電氣的なグローバルシャッタ方式が報告されている（例えば、特許文献1乃至3）。電氣的なグローバルシャッタ方式では、フォトダイオードに蓄積された電荷を、電荷蓄積部に全画素同時に一旦転送し、電荷蓄積部に蓄積されている電荷を、行毎の順次走査を行って読み出すことが可能である。

[0008] ここで、電荷蓄積部は、蓄積電荷を順次読み出す期間に光電変換が行われてノイズとなることを防止するため、遮光されている必要がある。従って、全画素領域に占めるフォトダイオードの面積が、この遮光領域によって小さくなる。また、半導体基板の表面側に電荷蓄積部、画素回路部を作成しているため、フォトダイオードの開口率が悪いという問題がある。

[0009] このような欠点を補うため、例えば、特許文献4では、電氣的なグローバルシャッタ方式を用いつつ、裏面照射型とすることで、フォトダイオードに入射される光量が遮光膜によって低下しないようにしたものが提案されている。また、特許文献4では、裏面側に光電変換膜を兼ねた遮光膜を形成することで、電荷蓄積部に光が入射しないようにして、ノイズの発生を防止している。

[0010] しかしながら、特許文献4に開示の技術では、フォトダイオードを半導体基板の裏面側上層面（表面）に作成しているため、フォトダイオードの面積を確保しにくい。

[0011] そこで、例えば、特許文献5、6では、半導体基板の裏面側から光を入射し、かつフォトダイオードを半導体中に埋め込むことで、フォトダイオードの面積を最大化する技術が報告されている。

先行技術文献

特許文献

[0012] 特許文献1：特表2007-503722号公報

特許文献2：特開2006-311515号公報

特許文献3：特開2009-268083号公報

特許文献4：特開2012-004443号公報

特許文献5：特開2005-223084号公報

特許文献6：特開2012-164971号公報

発明の概要

発明が解決しようとする課題

[0013] 図1は、特許文献5に記載のCMOS型固体撮像素子の画素構造を示している。

[0014] 図1に示されるCMOS型固体撮像素子の画素1は、p型の半導体基板2の基板中に、フォトダイオード3が埋め込まれて形成されている。フォトダイオード3は、半導体基板2の表面側に形成した高不純物濃度のp型半導体領域（p+領域）11と、これに接して半導体基板2の裏面側に向かう深さ方向に形成された高濃度不純物領域（n+領域）12A及び低不純物濃度領域（n領域）12Bからなるn型半導体領域12とにより構成される。

[0015] そして、半導体基板2の表面側には、フローティング拡散領域（FD）としてのn+領域4に電荷を転送するための転送トランジスタのゲート電極5が、基板表面からフォトダイオード3まで、深さ方向に埋め込まれている。ゲート電極5の外側周辺は、例えば、シリコン酸化膜などによるゲート絶縁膜6で覆われている。

[0016] 半導体基板2の表面側には、その他、画素分離領域8、リセットトランジスタのゲート電極9などが形成されている。

[0017] フォトダイオード3のp+領域11は、フォトダイオード3において蓄積できる電荷容量を最大化するために形成されており、ゲート電極5の近傍は、p+領域11よりも低不純物濃度のp型半導体領域（p-領域）13が形成される。

[0018] このような画素構造においては、フォトダイオード3に蓄積された電荷は、ゲート電極5の周囲を流れていくため、高不純物濃度のp+領域11がゲート電極5に近づきすぎると、そこでポテンシャルのバリアが生じ、電荷転

送に支障をきたす。従って、この画素構造は、フォトダイオード3の高不純物濃度のp+領域11とゲート電極5の合わせずれに弱いため、高不純物濃度のp+領域11の濃度を薄くするか、p+領域11をゲート電極5から十分に離す必要がある。しかし、そのようにするとフォトダイオード3の飽和電荷量が小さくなってしまう。

[0019] そこで、図2は、フォトダイオード3の高不純物濃度のp+領域11とゲート電極5の合わせずれに強くなるようにした、特許文献6に開示の画素構造を示している。

[0020] 図2のAは、画素1の断面図を示し、図2のBは、画素1の平面図を示している。

[0021] この画素構造では、図2のBに示されるように、深さ方向に見て、ゲート電極5が口の字形状に形成され、その内側に、フローティング拡散領域(FD)としてのn+領域4が形成されている。これにより、フォトダイオード3に蓄積された電荷は、口の字形状のゲート電極5の内側を流れるため、フォトダイオード3の高不純物濃度のp+領域11とゲート電極5の合わせずれに強くなる。

[0022] しかしながら、フローティング拡散領域(FD)としてのn+領域4がゲート電極5に囲まれているため、フローティング拡散領域とゲート電極5間の容量が大きくなり、フローティング拡散領域に蓄積された電荷を出力電圧に変換する変換効率が悪くなるという問題がある。

[0023] 本技術は、このような状況に鑑みてなされたものであり、製造途中の合わせずれにも強く、光電変換の変換効率がよい固体撮像素子を実現することができるようにするものである。

課題を解決するための手段

[0024] 本技術の第1の側面の固体撮像素子は、半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持する不純物領域と、前記電荷を前記不純物領域に転送する転送トランジスタとを備え、前記転送トランジスタのゲート電極は、前記不純物領域が形成されている

前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成されており、前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれている。

[0025] 本技術の第1の側面の固体撮像素子の製造方法は、光電変換部を半導体基板中に埋め込んで形成し、前記光電変換部で生成された電荷を転送する転送トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成し、前記半導体基板の表面に、前記転送トランジスタにより転送された前記電荷を保持する不純物領域を形成するステップを含み、前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれている。

[0026] 本技術の第1の側面の電子機器は、半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持する不純物領域と、前記電荷を前記不純物領域に転送する転送トランジスタとを備え、前記転送トランジスタのゲート電極は、前記不純物領域が形成されている前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成されており、前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれている固体撮像素子を備える。

[0027] 本技術の第1の側面においては、光電変換部が半導体基板中に埋め込まれて形成され、前記光電変換部で生成された電荷を転送する転送トランジスタのゲート電極が、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成され、前記半導体基板の表面に、前記転送トランジスタにより転送された前記電荷を保持する不純物領域が形成される。また、前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれている。

[0028] 本技術の第2の側面の固体撮像素子は、半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持するメモリ部と、前記電荷を前記メモリ部に転送する転送トランジスタと、前記光電変換部で生成された不要な電荷を排出する排出トランジスタとを備え、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極は、電流経路となるチャンネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜を介して、前記半導体基板の深さ方向に平行に近接されている。

[0029] 本技術の第2の側面の固体撮像素子の製造方法は、光電変換部を半導体基板中に埋め込んで形成し、前記光電変換部で生成された電荷をメモリ部に転送する転送トランジスタのゲート電極と、前記光電変換部で生成された不要な電荷を排出する排出トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に平行に形成し、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極との間に、電流経路となるチャンネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜を形成するステップを含む。

[0030] 本技術の第2の側面の電子機器は、半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持するメモリ部と、前記電荷を前記メモリ部に転送する転送トランジスタと、前記光電変換部で生成された不要な電荷を排出する排出トランジスタとを備え、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極は、電流経路となるチャンネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜を介して、前記半導体基板の深さ方向に平行に近接されている固体撮像素子を備える。

[0031] 本技術の第2の側面においては、光電変換部が半導体基板中に埋め込まれて形成され、前記光電変換部で生成された電荷をメモリ部に転送する転送トランジスタのゲート電極と、前記光電変換部で生成された不要な電荷を排出する排出トランジスタのゲート電極が、前記半導体基板の表面から、前記光電変換部に向かって深さ方向に平行に形成され、前記転送トランジスタのゲ

ート電極と前記排出トランジスタのゲート電極との間に、電流経路となるチャネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜が形成される。

[0032] 本技術の第3の側面の固体撮像素子は、半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持するメモリ部と、前記電荷を前記メモリ部に転送する転送トランジスタと、前記光電変換部で生成された不要な電荷を排出する排出トランジスタとを備え、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている。

[0033] 本技術の第3の側面の固体撮像素子の製造方法は、光電変換部を半導体基板中に埋め込んで形成し、前記光電変換部で生成された電荷をメモリ部に転送する転送トランジスタのゲート電極と、前記光電変換部で生成された不要な電荷を排出する排出トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成するステップを含み、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている。

[0034] 本技術の第3の側面の電子機器は、半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持するメモリ部と、前記電荷を前記メモリ部に転送する転送トランジスタと、前記光電変換部で生成された不要な電荷を排出する排出トランジスタとを備え、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている。

ト電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている固体撮像素子を備える。

[0035] 本技術の第3の側面においては、光電変換部が半導体基板中に埋め込まれて形成され、前記光電変換部で生成された電荷をメモリ部に転送する転送トランジスタのゲート電極と、前記光電変換部で生成された不要な電荷を排出する排出トランジスタのゲート電極が、前記半導体基板の表面から、前記光電変換部に向かって深さ方向に形成される。また、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている。

[0036] 固体撮像素子及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

発明の効果

[0037] 本技術の第1乃至第3の側面によれば、製造途中の合わせずれにも強く、光電変換の変換効率がよい固体撮像素子を実現することができる。

図面の簡単な説明

[0038] [図1]CMOS型固体撮像素子の従来の画素構造を示す図である。

[図2]CMOS型固体撮像素子の従来の画素構造を示す図である。

[図3]本技術を適用した固体撮像素子の構成例を示すブロック図である。

[図4]画素の第1の構成の等価回路を示す図である。

[図5]第1の構成の画素の構造を示す断面図である。

[図6]第1の構成の画素の構造を示す平面図である。

[図7]ゲート電極形状の変形例を示す図である。

[図8]画素の第2の構成の等価回路を示す図である。

[図9]第2の構成の画素の構造を示す断面図である。

[図10]第2の構成の画素の構造を示す平面図である。

[図11]第3の構成の画素の構造を示す断面図である。

- [図12]第3の構成の画素の構造を示す平面図である。
- [図13]第4の構成の画素の構造を示す断面図である。
- [図14]第4の構成の画素の構造を示す平面図である。
- [図15]第5の構成の画素の構造を示す断面図である。
- [図16]第5の構成の画素の構造を示す平面図である。
- [図17]第6の構成の画素の構造を示す断面図である。
- [図18]第6の構成の画素の構造を示す平面図である。
- [図19]第3の構成の画素の製造方法を説明する図である。
- [図20]第3の構成の画素の製造方法を説明する図である。
- [図21]第3の構成の画素の製造方法を説明する図である。
- [図22]第3の構成の画素のその他の製造方法を説明する図である。
- [図23]第3の構成の画素のその他の製造方法を説明する図である。
- [図24]第7の構成の画素の構造を示す断面図である。
- [図25]第7の構成の画素の構造を示す平面図である。
- [図26]第7の構成の画素の構造を示す断面図である。
- [図27]ゲート電極形状の変形例を示す図である。
- [図28]第8の構成の画素の構造を示す断面図である。
- [図29]第8の構成の画素の構造を示す平面図である。
- [図30]第9の構成の画素の構造を示す断面図である。
- [図31]第9の構成の画素の構造を示す平面図である。
- [図32]第10の構成の画素の構造を示す断面図である。
- [図33]第10の構成の画素の構造を示す平面図である。
- [図34]第11の構成の画素の構造を示す断面図である。
- [図35]第12の構成の画素の構造を示す断面図である。
- [図36]第13の構成の画素の構造を示す断面図である。
- [図37]第7の構成の画素の製造方法を説明する図である。
- [図38]第7の構成の画素の製造方法を説明する図である。
- [図39]第7の構成の画素の製造方法を説明する図である。

[図40]第10の構成の画素の製造方法を説明する図である。

[図41]本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

発明を実施するための形態

[0039] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 本技術を適用した固体撮像素子の全体構成例
2. 固体撮像素子の画素の第1乃至第6の構成
3. 第3の構成の画素の製造方法
4. 固体撮像素子の画素の第7乃至第13の構成
5. 第7の構成の画素の製造方法
6. 第10の構成の画素の製造方法
7. 本技術を適用した電子機器の構成例

[0040] <固体撮像素子の全体構成例>

図3は、本技術を適用した固体撮像素子の全体構成例を示すブロック図である。

[0041] 図3の固体撮像素子41は、タイミング制御部42、垂直走査回路43、画素アレイ部44、定電流源回路部45、参照信号生成部46、コラムAD変換部47、水平走査回路48、水平出力線49、および出力回路50から構成される。

[0042] タイミング制御部42は、所定の周波数のマスタクロックに基づいて、所定の動作に必要なクロック信号やタイミング信号を垂直走査回路43および水平走査回路48に供給する。例えば、タイミング制御部42は、画素51のシャッタ動作や読み出し動作のタイミング信号を垂直走査回路43および水平走査回路48に供給する。また、図示は省略されているが、タイミング制御部42は、所定の動作に必要なクロック信号やタイミング信号を、参照信号生成部46、コラムAD変換部47などにも供給する。

[0043] 垂直走査回路43は、画素アレイ部44の垂直方向に並ぶ各画素51に、

順次、所定のタイミングで、画素信号の出力を制御する信号を供給する。

[0044] 画素アレイ部44には、複数の画素51が2次元アレイ状（行列状）に配置されている。

[0045] 2次元アレイ状に配置されている複数の画素51は、水平信号線52により、行単位で垂直走査回路43と接続されている。換言すれば、画素アレイ部44内の同一行に配置されている複数の画素51は、同じ一本の水平信号線52で、垂直走査回路43と接続されている。なお、図3では、水平信号線52について1本の配線として示しているが、1本に限られるものではない。

[0046] また、2次元アレイ状に配置されている複数の画素51は、垂直信号線53により、列単位で水平走査回路48と接続されている。換言すれば、画素アレイ部44内の同一列に配置されている複数の画素51は、同じ一本の垂直信号線53で、水平走査回路48と接続されている。

[0047] 画素アレイ部44内の各画素51は、水平信号線52を介して垂直走査回路43から供給される信号に従って、内部に蓄積された電荷に応じた画素信号を、垂直信号線53に出力する。画素51の詳細な構成については、図4等を参照して後述する。

[0048] 定電流源回路部45は複数の負荷MOS54を有し、一本の垂直信号線53に一つの負荷MOS54が接続されている。負荷MOS54は、ゲートにバイアス電圧が印加され、ソースが接地されており、垂直信号線53を介して接続される画素51内のトランジスタとソースフォロワ回路を構成する。

[0049] 参照信号生成部46は、DAC (Digital to Analog Converter) 46aを有して構成されており、タイミング制御部42からのクロック信号に応じて、ランプ (RAMP) 波形の基準信号を生成して、カラムAD変換部47に供給する。

[0050] カラムAD変換部47には、画素アレイ部44の列ごとに一つとなる複数のADC (Analog-Digital Converter) 25を有している。したがって、一本の垂直信号線53には、複数の画素51と、一個の負荷MOS54及びADC55が接続されている。

- [0051] ADC 5 5 は、同列の画素 5 1 から垂直信号線 5 3 を介して供給される画素信号を、CDS(Correlated Double Sampling ; 相関 2 重サンプリング)処理し、さらにAD変換処理する。
- [0052] ADC 5 5 それぞれは、AD変換後の画素データを一時的に記憶し、水平走査回路 4 8 の制御に従って、水平出力線 4 9 に出力する。
- [0053] 水平走査回路 4 8 は、複数のADC 5 5 に記憶されている画素データを、順次、所定のタイミングで水平出力線 4 9 に出力させる。
- [0054] 水平出力線 4 9 は出力回路（アンプ回路） 5 0 と接続されており、各ADC 5 5 から出力されたAD変換後の画素データは、水平出力線 4 9 を介して出力回路 5 0 から、固体撮像素子 1 の外部へ出力される。出力回路 5 0 は、例えば、バッファリングだけする場合もあるし、黒レベル調整、列ばらつき補正などの各種のデジタル信号処理が行われる場合もある。
- [0055] 以上のように構成される固体撮像素子 4 1 は、CDS処理とAD変換処理を行うADC 5 5 が垂直列ごとに配置されたカラムAD方式と呼ばれるCMOSイメージセンサである。
- [0056] <画素 5 1 の第 1 の構成>
- 図 4 は、画素 5 1 の第 1 の構成の等価回路を示している。
- [0057] 画素 5 1 は、光電変換素子としてのフォトダイオード 6 1、転送トランジスタ 6 2、FD(フローティング拡散領域) 6 3、リセットトランジスタ 6 4、増幅トランジスタ 6 5、及び選択トランジスタ 6 6 を有する。
- [0058] フォトダイオード 6 1 は、受光量に応じた電荷（信号電荷）を生成し、蓄積する光電変換部である。フォトダイオード 6 1 は、アノード端子が接地されているとともに、カソード端子が転送トランジスタ 6 2 を介して、FD 6 3 に接続されている。
- [0059] 転送トランジスタ 6 2 は、転送信号TXによりオンされたとき、フォトダイオード 6 1 で生成された電荷を読み出し、FD 6 3 に転送する。
- [0060] FD 6 3 は、フォトダイオード 6 1 から読み出された電荷を保持する。リセットトランジスタ 6 4 は、リセット信号RSTによりオンされたとき、FD 6 3 に

蓄積されている電荷が定電圧源VDDに排出されることで、FD63の電位をリセットする。

[0061] 増幅トランジスタ65は、FD63の電位に応じた画素信号を出力する。すなわち、増幅トランジスタ65は定電流源としての負荷MOS54とソースフォロワ回路を構成し、FD63に蓄積されている電荷に応じたレベルを示す画素信号が、増幅トランジスタ65から選択トランジスタ66を介してADC55に出力される。

[0062] 選択トランジスタ66は、選択信号SELにより画素51が選択されたときオンされ、画素51の画素信号を、垂直信号線53を介してADC55に出力する。転送信号TX、リセット信号RST、および選択信号SELは、水平信号線52（図3）を介して垂直走査回路43から供給される。

[0063] <第1の構成の画素51の断面図>

図5は、図4に示した第1の構成の画素51の構造を示す断面図である。

[0064] 画素51は、第1導電型、例えば、p型の半導体基板71の基板中に、フォトダイオード61が埋め込まれて形成されている。フォトダイオード61は、半導体基板71の表面側に形成した高不純物濃度のp型半導体領域（p+領域）81と、第2導電型である、例えば、n型の半導体領域（n型半導体領域）82とにより構成される。n型半導体領域82は、p+領域81と接する高不純物濃度のn型半導体領域（n+領域）82Aと、それより半導体基板71の裏面側に向かう深さ方向に形成された低不純物濃度のn型半導体領域（n領域）82Bとにより構成される。

[0065] そして、半導体基板71の表面側には、FD63としてのn+領域83が形成されるとともに、n+領域83に電荷を転送するための転送トランジスタ62のゲート電極84が、基板表面から、半導体基板71中のフォトダイオード61まで深さ方向に埋め込まれている。例えばポリシリコンで形成される転送トランジスタ62のゲート電極84は、フォトダイオード61のp+領域81とn+領域82Aのpn接合面と同じ深さまで埋め込まれている。なお、転送トランジスタ62のゲート電極84は、pn接合面よりも深い位置まで

埋め込まれていてもよいし、不純物領域の濃度によっては、pn接合面よりも少し浅めの位置とすることもできる。

[0066] 転送トランジスタ62の基板中のゲート電極84の外周は、例えば、シリコン酸化膜などによるゲート絶縁膜85で覆われている。転送トランジスタ62のゲート電極84下部には、ゲート絶縁膜85を介して、p+領域81よりも低不純物濃度のp型半導体領域（p-領域）86が形成されている。

[0067] 半導体基板71の表面側には、リセットトランジスタ64の一方のソース・ドレイン領域としてのn+領域87が形成され、FD63としてのn+領域83が、リセットトランジスタ64の他方のソース・ドレイン領域も兼用する。そして、リセットトランジスタ64の一方のソース・ドレイン領域としてのn+領域87と、他方のソース・ドレイン領域としてのn+領域83との間の上部に、ゲート絶縁膜85を介して、リセットトランジスタ64のゲート電極88が形成される。

[0068] FD63としてのn+領域83は、図示せぬ上部の接続配線を介して増幅トランジスタ65のゲート電極と接続されており、リセットトランジスタ64の一方のソース・ドレイン領域としてのn+領域87は、図示せぬ上部の接続配線を介して定電圧源VDDに接続されている。

[0069] 転送トランジスタ62のゲート電極84からみてn+領域83側と反対側である図面右側には、画素アレイ部44の各画素51を分離するための分離領域89が、例えば酸化シリコンなどの絶縁物により形成されている。

[0070] 半導体基板71の裏面側には、平坦化膜90が形成され、平坦化膜90の上（図面下方向）に、カラーフィルタ91、オンチップレンズ（OCL）92が、順に形成される。

[0071] 以上の断面構成を有する画素51は、図面下方向である半導体基板71の裏面側から光が入射される裏面照射型の構造となっている。

[0072] <第1の構成の画素51の平面図>

図6のAは、第1の構成の画素51の各トランジスタが形成されている半導体基板71表面を上からみた平面図である。

- [0073] 図6のAに示されるように、転送トランジスタ62とリセットトランジスタ64は、それぞれの一方のソース・ドレイン領域としてのn+領域83を共有する形で形成されている。
- [0074] また、画素51の転送トランジスタ62及びリセットトランジスタ64とは異なる他の領域において、増幅トランジスタ65と選択トランジスタ66が、それぞれの一方のソース・ドレイン領域としてのn+領域103を共有する形で形成されている。より具体的には、増幅トランジスタ65は、ゲート電極102と、その両側に配置されたn+領域101及びn+領域103で構成され、選択トランジスタ66は、ゲート電極104と、その両側に配置されたn+領域103及びn+領域105で構成されている。
- [0075] また、図6のB、図6のC、および図6のDは、それぞれ、画素51の転送トランジスタ62近傍を、図5のX-X'線、Y-Y'線、およびZ-Z'線で切断した断面図である。
- [0076] 転送トランジスタ62は、半導体基板71中に埋め込まれたフォトダイオード61と、基板表面に形成されたFD63としてのn+領域83とを接続する役割を果たしている。
- [0077] 図6のDに示されるZ-Z'線の切断面では、転送トランジスタ62のゲート電極84が、3方向を囲むようにコの字形状に形成されている。コの字形状のゲート電極84の外周はゲート絶縁膜85で覆われている。
- [0078] ゲート絶縁膜85を介して、ゲート電極84の図面上側と下側には、高不純物濃度のp型半導体領域(p+領域)121が形成されており、また、ゲート電極84の図面右側には、例えば酸化シリコンなどの絶縁物を用いた分離領域89が形成されている。
- [0079] なお、ゲート絶縁膜85を介したゲート電極84の図面上側、下側、及び右側の3方向全てを、p+領域121としてもよいし、あるいは、分離領域89とすることもできる。
- [0080] 図6のCに示されるY-Y'線の切断面をみると、コの字形状のゲート電極84の開口方向に、FD63としてのn+領域83が形成されていることがわかる

。転送トランジスタ62のゲート電極84に対して所定の制御電圧が印加されると、深さ方向に形成されたゲート電極84のコの字形状の内部に、電流経路となるチャンネル部が形成される。チャンネル部となる不純物領域の濃度（ p ）は、ゲート電極84の外側の不純物濃度（ $p+$ 領域121の $p+$ ）よりも薄く形成されている。

[0081] 図6のBは、FD63としての $n+$ 領域83が形成されている基板表面よりさらに上側の断面図である。図6のBに示されるように、基板表面より上側は、ゲート電極84が、コの字形状内部のチャンネル部も覆うような形で形成されている。

[0082] なお、図6のEに示されるように、基板表面より上側においても、基板内部と同様に、コの字形状のまま、ゲート電極84を形成してもよい。

[0083] 以上のように、転送トランジスタ62のゲート電極84が、深さ方向からみて、コの字形状で深さ方向に形成されることにより、電流経路となるチャンネル部が、3方向からゲート絶縁膜85を介してゲート電極84に接することになるため、電界の制御性が増し、電荷の転送をスムーズに行うことができる。

[0084] 特に、フォトダイオード61の上部に形成されている $p+$ 領域81を、図5に示したように、ゲート電極84の近傍まで形成した場合でも、コの字形状のゲート電極84による変調効果により、光電変換した電荷を、FD63である $n+$ 領域83まで効率良く運ぶことができる。

[0085] したがって、仮に、固体撮像素子41の製造過程において、フォトダイオード61の上部に形成される $p+$ 領域81とゲート電極84との合わせずれが発生したとしても、ロバストに転送することができる。

[0086] また、 $p+$ 領域81とゲート電極84との合わせずれを心配する必要がないので、 $p+$ 領域81の不純物濃度を濃くすることができ、フォトダイオード61の $p-n$ 接合容量値を大きくすることで、飽和電荷量を増加することが可能である。

[0087] <ゲート電極形状の変形例>

図7のA乃至図7のCは、転送トランジスタ62のゲート電極84の形状の変形例を示している。なお、図7のA乃至図7のCは、いずれも、図6のCと同様、図5のY-Y'線で切断した場合の断面図である。

[0088] 図7のAでは、コの字形状のゲート電極84の開口している一方向の幅が、図6のCに示した形状よりも更に狭められている。このように、ゲート電極84の開口幅を狭くすることで、チャンネル部のポテンシャル制御性を更に向上させることができ、フォトダイオード61のp+領域81によるポテンシャルバリア形成の効果をさらに弱めることができるので、電荷の安定な転送が可能となる。

[0089] また、図7のBでは、転送トランジスタ62のゲート電極84が、3方向を囲むようなコの字形状ではなく、FD63であるn+領域83側とともに、分離領域89側も開口させ、板状に2本平行に配置させた二の字形状に形成されている。この場合、チャンネル部のポテンシャル制御性は、コの字形状と比較すると若干弱くなるが、ゲート電極84の形状がシンプルとなるため、製造容易性が向上する。

[0090] 図7のCのゲート電極84は、図7のBと同様の2本の板状の間隔が、FD63であるn+領域83側を広く、分離領域89側を狭く形成されることで、ハの字形状に配置されている。この場合も、分離領域89側がゲート電極84で閉じられており、n+領域83側が開口しているので、電界の制御性が増し、電荷の転送をスムーズに行うことができる。

[0091] なお、転送トランジスタ62のゲート電極84を深さ方向から見たときの平面形状は、図6に示したコの字形状や、図7のA乃至図7のCに示した形状に限られるものではなく、FD63であるn+領域83側を少なくとも開口して、他の3方向のポテンシャル制御性が開口側よりも増すような形状であればよい。

[0092] また、図5のX-X'線の断面に相当する基板表面よりさらに上側については、図7のA乃至図7のCに示した基板内の形状と同じにしてもよいし、図6のBに示したようなチャンネル部も覆う形状にしてもよい。

[0093] <画素51の第2の構成>

図8は、画素51の第2の構成の等価回路を示している。

[0094] 図8に示される画素51は、電子式のグローバルシャッタ機能を実現する画素の構成を示している。なお、図8において、図4と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

[0095] 第2の構成の画素51は、上述した第1の構成の画素51と比較すると、転送トランジスタ62とFD63との間に、電荷を転送するもう一つの転送トランジスタ67と、FD63に電荷を転送する前に一時的に電荷を保持するメモリ部(MEM)68をさらに備える。以下では、転送トランジスタ62を第1転送トランジスタ62と称し、転送トランジスタ67を第2転送トランジスタ67と称する。

[0096] また、第2の構成の画素51では、フォトダイオード61に、不要な電荷を排出するための排出トランジスタ69が新たに接続されている。

[0097] 図8の画素51の動作について簡単に説明する。

[0098] まず、露光開始前に、Highレベルの排出信号0FGが排出トランジスタ69に供給されることにより排出トランジスタ69がオンされ、フォトダイオード61に蓄積されている電荷が定電圧源VDDに排出され、フォトダイオード61がリセットされる。

[0099] フォトダイオード61のリセット後、排出トランジスタ69が、Lowレベルの排出信号0FGによりオフされると、全画素で露光が開始される。

[0100] 予め定められた所定の露光時間が経過すると、画素アレイ部44の全画素において、第1の転送信号TX1により第1転送トランジスタ62がオンされ、フォトダイオード61に蓄積されていた電荷が、メモリ部68に転送される。

[0101] 第1転送トランジスタ62がオフされた後、各画素51のメモリ部68に保持されている電荷が、行単位に、順次、ADC55に読み出される。読み出し動作は、上述した第1の構成と同様であり、読み出し行の画素51の第2転送トランジスタ67が第2の転送信号TX2によりオンされ、メモリ部68に保持

されている電荷が、FD 6 3 に転送される。そして、選択トランジスタ 6 6 が選択信号SELによりオンされことで、FD 6 3 に蓄積されている電荷に応じたレベルを示す信号が、増幅トランジスタ 6 5 から選択トランジスタ 6 6 を介してADC 5 5 に出力される。

[0102] <第2の構成の画素 5 1 の断面図>

図 9 は、図 8 に示した第2の構成の画素 5 1 の構造を示す断面図である。

[0103] 図 9 以降の各図においても、上述した図と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

[0104] 図 9 の画素 5 1 の断面図では、p型の半導体基板 7 1 の基板表面において、第1転送トランジスタ 6 2 のゲート電極 8 4 と、第2転送トランジスタ 6 7 の一方のソース・ドレイン領域としてのn+領域 8 3 との間に、メモリ部 6 8 が形成されている。

[0105] メモリ部 6 8 は、電荷を蓄積する高不純物濃度のn型半導体領域（n+領域） 1 4 1 で形成され、その上面には、暗電流を抑制するためのp型層 1 4 2 が形成されている。

[0106] また、メモリ部 6 8 の第1転送トランジスタ 6 2 が配置された側の反対側には、第2転送トランジスタ 6 7 のゲート電極 1 4 3 が、ゲート絶縁膜 1 4 4 を介して、基板表面上に形成されている。

[0107] 第2転送トランジスタ 6 7 のメモリ部 6 8 とは反対の側には、FD 6 3 としてのn+領域 8 3 が形成されている。

[0108] 第1転送トランジスタ 6 2 のゲート電極 8 4、メモリ部 6 8、第2転送トランジスタ 6 7、FD 6 3 となるn+領域 8 3 などが形成されていないフォトダイオード 6 1 上側の他の領域には、排出トランジスタ 6 9 のゲート電極 1 4 5 が、第1転送トランジスタ 6 2 のゲート電極 8 4 同様に、フォトダイオード 6 1 のpn接合面と同じ深さまで埋め込まれている。

[0109] 排出トランジスタ 6 9 の基板中のゲート電極 1 4 5 の外周は、例えば、シリコン酸化膜などによるゲート絶縁膜 1 4 6 で覆われている。排出トランジスタ 6 9 のゲート電極 1 4 5 下部には、ゲート絶縁膜 1 4 6 を介して、p+

領域 8 1 よりも低不純物濃度の p 型半導体領域 (p-領域) 8 6 が形成されている。

[0110] 排出トランジスタ 6 9 のゲート電極 1 4 5 の図中左側の半導体基板 7 1 表面には、排出トランジスタ 6 9 の一方のソース・ドレイン領域としての n+領域 1 4 7 が形成されている。また、排出トランジスタ 6 9 のゲート電極 1 4 5 の n+領域 1 4 7 側とは反対の側には、例えば酸化シリコンなどの絶縁物により、分離領域 1 4 8 が形成されている。

[0111] 排出トランジスタ 6 9 のゲート電極 1 4 5 を深さ方向にみた形状は、図 6 の B 乃至図 6 の D で示した第 1 転送トランジスタ 6 2 のゲート電極 8 4 の形状と同様に、コの字形状となっている。また、排出トランジスタ 6 9 のゲート電極 1 4 5 の平面方向の周辺部についても、第 1 転送トランジスタ 6 2 のゲート電極 8 4 と同様に、p+ 領域 1 2 1 や分離領域 1 4 8 で形成されている。

[0112] <第 2 の構成の画素 5 1 の平面図>

図 1 0 は、第 2 の構成の画素 5 1 の各トランジスタが形成されている基板表面を上からみた平面図である。

[0113] 図 1 0 に示されるように、画素 5 1 の所定の領域には、第 1 転送トランジスタ 6 2、メモリ部 6 8、第 2 転送トランジスタ 6 7、FD 6 3 としての n+領域 8 3 が並んで配置されている。

[0114] また画素 5 1 の他の領域には、排出トランジスタ 6 9 のゲート電極 1 4 5 と、そのソース・ドレイン領域の一方である n+領域 1 4 7、及び分離領域 1 4 8 が配置されている。

[0115] さらに画素 5 1 の他の領域には、選択トランジスタ 6 6、増幅トランジスタ 6 5、およびリセットトランジスタ 6 4 が、隣接する他のトランジスタと一方のソース・ドレイン領域を共有しながら並んで配置されている。より具体的には、選択トランジスタ 6 6 は、ゲート電極 1 6 2 と、その両側に配置された n+領域 1 6 1 及び n+領域 1 6 3 で構成され、増幅トランジスタ 6 5 は、ゲート電極 1 6 4 と、その両側に配置された n+領域 1 6 3 及び n+領域

165で構成され、リセットトランジスタ64は、ゲート電極166と、その両側に配置されたn+領域165及びn+領域167で構成されている。

[0116] <画素51の第3の構成>

図11は、画素51の第3の構成を示す断面図である。

[0117] 図11に示される第3の構成の画素51の画素構造は、図9に示した第2の構成の画素構造と比較すると、平坦化膜90が形成されている層の所定の領域に、遮光膜181が形成されている点が異なる。また、排出トランジスタ69のゲート電極145と、FD63としてのn+領域83との間の分離領域148が省略されている。

[0118] 図12は、図10と同様に示した、第3の構成の画素51の平面図である。

[0119] 第3の構成の画素51を平面方向で見ると、図12に示されるように、メモリ部68や第1転送トランジスタ62を覆う形で遮光膜181が配置されている。これにより、メモリ部68に入射される光を遮ることができ、電荷蓄積中のノイズの混入を抑制することができる。

[0120] <画素51の第4の構成>

図13は、画素51の第4の構成を示す断面図である。

[0121] 図13に示される第4の構成の画素51の画素構造は、図9に示した第2の構成の画素構造と比較すると、メモリ部68として機能するn+領域141の上部に形成されていたp型層142が省略されており、その代わりに、ポリシリコン等によるゲート電極201がゲート絶縁膜202を介して形成されている。また、排出トランジスタ69のゲート電極145と、FD63としてのn+領域83との間の分離領域148が省略されている。

[0122] なお、図13に示した画素構造では、平坦化膜90が形成されている層に、遮光膜181が形成されていないが、図11と同様に遮光膜181を配置してもよい。

[0123] 図14は、図10と同様に示した、第4の構成の画素51の平面図である。

[0124] 第4の構成の画素51を平面方向で見ると、図14に示されるように、メモリ部68の上部にゲート電極201が配置されている。

[0125] メモリ部68が電荷蓄積中である場合、ゲート電極201に負の電位が印加されることで、メモリ部68に発生する暗電流を低減することができる。

[0126] <画素51の第5の構成>

図15は、画素51の第5の構成を示す断面図である。

[0127] 図15に示される第5の構成の画素51の画素構造は、図13に示した第4の構成の画素構造と比較すると、図13における第1転送トランジスタ62のゲート電極84と、メモリ部68に負電位を印加するためのゲート電極201が一体化されている点が異なる。すなわち、第5の構成の画素51の第1転送トランジスタ62のゲート電極221は、メモリ部68の上部にまで形成され、メモリ部68に負電位を印加するためのゲート電極としても機能する。また、ゲート電極221下部のゲート絶縁膜222も同様に、図13におけるゲート絶縁膜85とゲート絶縁膜202とを一体化したように形成されている。これにより、図13においてゲート電極201に負電位を印加するための制御配線を省略することができる。

[0128] なお、図15に示した画素構造においても、図11と同様に、平坦化膜90が形成されている層に、メモリ部68を遮光する遮光膜181を配置してもよい。

[0129] 図16は、図14と同様に示した、第5の構成の画素51の平面図である。

[0130] 第5の構成の画素51を平面方向で見ると、図16に示されるように、転送トランジスタ62のゲート電極221が、メモリ部68の上部にまで配置されている。

[0131] これにより、メモリ部68が電荷蓄積中である場合、ゲート電極221に負の電位が印加されることで、メモリ部68に発生する暗電流を低減することができる。

[0132] <画素51の第6の構成>

図17は、画素51の第6の構成を示す断面図である。

[0133] 図17に示される第6の構成の画素51の画素構造は、図11に示した第3の構成の画素構造と比較すると、図11におけるn領域82Bが省略され、n+領域82Aから基板裏面方向に、光電変換膜241が新たに形成されている。また、各画素51の光電変換膜241どうしは、高不純物濃度のp型半導体領域(p+領域)242で分離されている。

[0134] 光電変換膜241としては、カルコパイライト構造の化合物半導体、または、有機材料を用いることができる。カルコパイライト構造の化合物半導体としては、例えば、CuInSe₂、銅-アルミニウム-ガリウム-インジウム-硫黄-セレン系の混晶からなるもの、銅-アルミニウム-ガリウム-インジウム-硫黄-セレン系の混晶からなるものなどがある。また、III族、IV族からなる化合物半導体層を形成しても良い。また、有機材料としては、例えば、キナクドリン系、クマリン系などの材料を用いても良い。上述した材料は、飽くまで光電変換膜241に用いることができる材料の一例を示したものであり、半導体基板71(シリコン)より光吸収係数の大きなものであれば、これに限られない。半導体基板71より光吸収係数が大きい光電変換膜241は、可視光線を遮光する遮光膜としても機能する。

[0135] 高不純物濃度のn型半導体領域(n+領域)82Aは、光電変換膜241の光電変換により得られた電荷を蓄積する。

[0136] 図18は、第6の構成の画素51の平面図を示しており、遮光膜181が配置されていない点を除いて、図12に示した平面図と同様である。

[0137] <第3の構成の画素51の製造方法>

次に、図19乃至図21を参照して、図11に示した第3の構成の画素51の製造方法について説明する。

[0138] 初めに、図19のAに示されるように、p型の半導体基板71に、p+領域81とn型半導体領域82とからなるフォトダイオード61が形成される。n型半導体領域82は、p+領域81側のn+領域82Aと、それより半導体基板71の裏面側のn領域82Bとで構成される。

- [0139] なお、本実施の形態では、p型の半導体基板71を用いているが、n型の半導体基板を用いて、n型の半導体基板にp型のウェル領域(P-Well)を形成し、そのウェル領域内に、フォトダイオード61を形成するようにしてもよい。
- [0140] 次に、図19のBに示されるように、フォトダイオード61上に、0.5乃至1.5 μ m程度のp型のシリコン層をエピタキシャル成長により形成した後、各画素51の境界となる所定の位置に、分離領域89が、酸化シリコンなどの絶縁物により形成される。
- [0141] 次に、図19のCに示されるように、第1転送トランジスタ62、第2転送トランジスタ67、及び排出トランジスタ69の各ゲート電極が基板表面に形成される。
- [0142] 具体的には、第1転送トランジスタ62及び排出トランジスタ69が形成される領域の、フォトダイオード61より上側のp型層が、ドライエッチング法によりエッチングされて除去される。そして、その除去された領域の底面となる部分に、例えばボロンなどのP型となるイオンが注入され、p-領域86が形成される。さらに、エッチング除去された領域の内壁に、シリコン酸化膜などによるゲート絶縁膜85及びゲート絶縁膜146が形成された後、ポリシリコンが埋め込まれることにより、第1転送トランジスタ62のゲート電極84及び排出トランジスタ69のゲート電極145が形成される。
- [0143] また、第2転送トランジスタ67のゲート電極143なども同時に形成される。
- [0144] その後、図19のDに示されるように、例えば、排出トランジスタ69のn+領域147などの各トランジスタのソース・ドレイン領域、FD63としてのn+領域83、並びに、メモリ部68としてのn+領域141およびその上面のp型層142が、半導体基板71の表面に形成される。
- [0145] 続いて、図20のAに示されるように、層間膜301と、タングステンやアルミニウムなどによる金属配線302とが複数形成された接続配線層303が、半導体基板71の表面側に形成される。

- [0146] そして、図20のBに示されるように、接続配線層303上部に支持基板304が貼り付けられた後、フォトダイオード61までの深さが1 μ m乃至5 μ m程度になるまで、半導体基板71の裏面側が研磨され、薄膜化される。
- [0147] その後、図21に示されるように、薄膜化された半導体基板71の裏面側に、遮光膜181、平坦化膜90、カラーフィルタ91、オンチップレンズ(OCL)92が、順に形成される。
- [0148] 以上の各工程により、第3の構成の画素51を作成することができる。
- [0149] <第3の構成の画素51のその他の製造方法>
- 図22および図23を参照して、画素51のうち、埋め込み型のゲート電極である、第1転送トランジスタ62のゲート電極84と、排出トランジスタ69のゲート電極145のその他の製造方法について説明する。
- [0150] 初めは、上述した製造方法と同様に、図22のAに示されるように、フォトダイオード61を、p型の半導体基板71に形成した後、エピタキシャル成長により、p型のシリコン層を形成する。
- [0151] 次に、図22のBに示されるように、第1転送トランジスタ62及び排出トランジスタ69が形成される領域のp型層が、ドライエッチング法によりエッチングされて除去される。このとき、図22のCの平面図に示されるように、第1転送トランジスタ62のチャネル部分321を残したコの字形状で、半導体基板71のp型層が、フォトダイオード61のpn接合面までエッチングされる。排出トランジスタ69についても同様に、チャネル部分322を残したコの字形状で、フォトダイオード61のpn接合面までエッチングされる。
- [0152] 続いて、図23のAに示されるように、第1転送トランジスタ62及び排出トランジスタ69相当部分のコの字形状にエッチングした領域に対して、例えばボロンなどのP型となるイオンが注入され、p-領域86が形成される。このとき、イオン注入を行う部分以外の領域については、フォトリジストを用いてイオン注入されないようにする。
- [0153] 次に、図23のBに示されるように、第1転送トランジスタ62のチャネル

部分321の表面、及び、排出トランジスタ69のチャンネル部分322の表面に、熱酸化法または堆積法を用いて、ゲート絶縁膜85及びゲート絶縁膜146を形成した後、さらに、第1転送トランジスタ62のゲート電極84及び排出トランジスタ69のゲート電極145となるポリシリコンが形成される。

[0154] 図23のCの平面図に示されるように、第1転送トランジスタ62のチャンネル部分321、及び、排出トランジスタ69のチャンネル部分322を囲う部分以外のポリシリコンについてはドライエッチングにより除去することで、第1転送トランジスタ62のゲート電極84及び排出トランジスタ69のゲート電極145が完成する。

[0155] 以上のようにして、埋め込み型のゲート電極である、第1転送トランジスタ62のゲート電極84と、排出トランジスタ69のゲート電極145を作成することができる。画素51のその他の製造方法は、図19乃至図21を参照して説明した方法と同様である。

[0156] 上述した固体撮像素子41では、画素51の第1乃至第6の構成いずれにおいても、電荷転送先の蓄積部側の一方向を開口して、他の3方向のポテンシャル制御性が開口側よりも増すような形状が採用されている。例えば、第1転送トランジスタ62のゲート電極84が、FD63であるn+領域83側を開口したコの字形状を形成し、深さ方向に埋め込まれていた。これにより、製造途中の合わせずれにも強く、光電変換の変換効率がよい固体撮像素子を実現することができる。

[0157] <固体撮像素子の他の問題>

ところで、フォトダイオード61に蓄積されている電荷の転送ルートが2系統存在するような画素の構造である場合、次のような問題が懸念される。

[0158] 一般に、キャリアに対してエネルギーが最も低いところに、転送トランジスタは配置される必要がある。したがって、画素51が、第1転送トランジスタ62の他に、フォトダイオード61から電荷を読み出す転送トランジスタとして、排出トランジスタ69も有する場合には、第1転送トランジスタ

62と排出トランジスタ69のそれぞれが、キャリアに対してエネルギーが最も低いところ、上述したフォトダイオード61の構成では、電位が最も高くなるところに、配置される必要がある。

[0159] <第7の構成の画素51の断面図>

そこで、図24は、キャリアエネルギーに着目した構造である画素51の第7の構成を示す断面図である。

[0160] 図24以降の図面においても、上述した構成と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

[0161] 図24の画素51では、第1転送トランジスタ62と排出トランジスタ69のゲート電極の配置および形状が、上述した構成と異なる。

[0162] より具体的には、第1転送トランジスタ62のゲート電極341は、ゲート絶縁膜342を介してフォトダイオード61のpn接合面と同じ深さまで、棒状に埋め込まれている。また、排出トランジスタ69のゲート電極343も、ゲート絶縁膜344を介してフォトダイオード61のpn接合面と同じ深さまで、棒状に埋め込まれている。そして、第1転送トランジスタ62のゲート電極341と排出トランジスタ69のゲート電極343は、フォトダイオード61の中央部に近接配置されている。

[0163] フォトダイオード61を形成する工程において、イオン注入を、フォトダイオード61の平面方向の作成領域に対して均一に行った場合、キャリアエネルギーが最も低くなる部分は、フォトダイオード61の中央部のpn接合付近となる。そのため、図24に示される第7の構成では、第1転送トランジスタ62のゲート電極341と、排出トランジスタ69のゲート電極343が近接されて、フォトダイオード61の中央部に配置されている。

[0164] そして、第1転送トランジスタ62の電荷転送先であるメモリ部68は、図中、第1転送トランジスタ62の左側に形成され、一方、排出トランジスタ69の電荷転送先であるn+領域147は、排出トランジスタ69の右側に形成されている。

[0165] 第1転送トランジスタ62のゲート電極341と、排出トランジスタ69

のゲート電極343との間には、2つのトランジスタ間で電荷のやり取りをすることがないように、チャンネル部となる不純物領域（p領域）よりも高不純物濃度のp型半導体領域（p+領域）345が形成されている。

[0166] <第7の構成の画素51の平面図>

図25のAは、第7の構成の画素51の各トランジスタが形成されている基板表面を上からみた平面図である。

[0167] 図25のAに示されるように、第1転送トランジスタ62のゲート電極341と、排出トランジスタ69のゲート電極343は、フォトダイオード61が形成されている面内で、p+領域345を挟んで最も近い位置に配置されている。

[0168] p型層142の下側にあるメモリ部68（のn+領域141）からみて、第1転送トランジスタ62のゲート電極341側とは反対の側には、第2転送トランジスタ67のゲート電極143とソース・ドレイン領域としてのn+領域83が配置されている。メモリ部68（のn+領域141）と、第2転送トランジスタ67の一方のソース・ドレイン領域としてのn+領域83は、遮光膜181によって遮光されている。

[0169] 画素51の他の領域には、選択トランジスタ66、増幅トランジスタ65、およびリセットトランジスタ64が、隣接する他のトランジスタと一方のソース・ドレイン領域を共有しながら並んで配置されている。より具体的には、選択トランジスタ66は、ゲート電極162と、その両側に配置されたn+領域161及びn+領域163で構成され、増幅トランジスタ65は、ゲート電極164と、その両側に配置されたn+領域163及びn+領域165で構成され、リセットトランジスタ64は、ゲート電極166と、その両側に配置されたn+領域165及びn+領域167で構成されている。

[0170] 図25のB、図25のC、および図25のDは、それぞれ、画素51の第1転送トランジスタ62と排出トランジスタ69の近傍を、図24のX-X'線、Y-Y'線、およびZ-Z'線で切断した断面図である。

[0171] 上述した第1乃至第6の構成では、深さ方向に見たゲート電極の形状がコ

の字形状とされていたのに対して、第1転送トランジスタ62のゲート電極341は、図25のB、図25のC、および図25のDの断面図から分かるように、矩形の形状で深さ方向に埋め込まれて形成されている。排出トランジスタ69のゲート電極343も同様に、矩形の形状で深さ方向に埋め込まれて形成されている。

[0172] 図25のCに示されるように、第1転送トランジスタ62のゲート電極341の図面上側と下側には、ゲート絶縁膜342を介して、高不純物濃度のp型半導体領域（p+領域）362が形成されている。また、排出トランジスタ69のゲート電極343の図面上側と下側にも、ゲート絶縁膜344を介して、高不純物濃度のp型半導体領域（p+領域）362が形成されている。

[0173] 以上のように第7の構成では、棒状に埋め込んだ第1転送トランジスタ62のゲート電極341と排出トランジスタ69のゲート電極343が、フォトダイオード61が形成された平面領域内のキャリアエネルギーが最も低くなる部分（本実施例では電位が最も高いところ）に、平行に近接されて配置される。

[0174] これにより、電荷を、第1転送トランジスタ62によって、メモリ部68のn+領域141へ転送する場合も、排出トランジスタ69によって、n+領域147へ転送する場合も、効率的に、電荷を転送することができる。

[0175] なお、図24に示した構成では、第1転送トランジスタ62のゲート電極341と、排出トランジスタ69のゲート電極343との間には、高不純物濃度のp型半導体領域（p+領域）345が形成されていた。

[0176] しかし、図26に示されるように、p+領域345に代えて、シリコン酸化膜などの絶縁膜からなる分離領域361を、第1転送トランジスタ62のゲート電極341と、排出トランジスタ69のゲート電極343との間に形成してもよい。

[0177] <ゲート電極形状の変形例>

図27は、第1転送トランジスタ62のゲート電極341と、排出トラン

ジスタ69のゲート電極343の形状の変形例を示している。

[0178] なお、図27のAは、画素51の第1転送トランジスタ62と排出トランジスタ69付近の断面図であり、図27のB乃至図27のDは、図27のAのX-X'線、Y-Y'線、およびZ-Z'線で切断した断面図である。

[0179] 図27に示されるゲート電極の平面方向の形状は、上述した第1乃至第7の構成と同様、コの字形状に形成されている。

[0180] すなわち、第1転送トランジスタ62のゲート電極341は、転送先である図中左側のn+領域141側を開口させたコの字形状に形成されている。排出トランジスタ69のゲート電極343は、転送先である図中右側のn+領域147側を開口させたコの字形状に形成されている。

[0181] このような構成を採用することにより、メモリ部68のn+領域141へ転送する場合も、n+領域147へ転送する場合も、効率的に電荷を転送することができるとともに、製造途中の合わせずれにも強く、光電変換の変換効率がよい固体撮像素子を実現することができる。

[0182] なお、第1転送トランジスタ62のゲート電極341と、排出トランジスタ69のゲート電極343の形状は、コの字形状に限らず、図7に示した各種の形状を採用することができる。すなわち、第1転送トランジスタ62のゲート電極341と、排出トランジスタ69のゲート電極343の形状は、電荷転送先の蓄積部側の一方向を開口して、他の3方向のポテンシャル制御性が開口側よりも増すような形状を採用することができる。

[0183] <画素51の第8の構成>

図28は、画素51の第8の構成を示す断面図である。また、図29は、画素51の第8の構成を示す平面図である。

[0184] 画素51の第8の構成では、図24及び図25に示した第7の構成に、図13と同様、メモリ部68として機能するn+領域141の上部に形成されていたp型層142が省略され、その代わりに、ポリシリコン等によるゲート電極201がゲート絶縁膜202を介して形成されている。

[0185] メモリ部68が電荷蓄積中である場合、ゲート電極201に負の電位が印

加されることで、メモリ部68に発生する暗電流を低減することができる。

[0186] <画素51の第9の構成>

図30は、画素51の第9の構成を示す断面図である。また、図31は、画素51の第9の構成を示す平面図である。

[0187] 図30及び図31に示される第9の構成の画素51の画素構造は、図28及び図29に示した第8の構成の画素構造と比較すると、図28における第1転送トランジスタ62のゲート電極341と、メモリ部68に負電位を印加するためのゲート電極201が一体化されている点が異なる。すなわち、第9の構成の画素51の第1転送トランジスタ62のゲート電極381は、メモリ部68の上部にまで形成され、メモリ部68に負電位を印加するためのゲート電極としても機能する。また、ゲート電極381下部に配置されたゲート絶縁膜382も同様に、図28におけるゲート絶縁膜342とゲート絶縁膜202とを一体化したように形成されている。これにより、図30においてゲート電極201に負電位を印加するための制御配線を省略することができる。

[0188] <画素51の第10の構成>

図32は、画素51の第10の構成を示す断面図である。また、図33は、画素51の第10の構成を示す平面図である。

[0189] 図32及び図33に示される第10の構成の画素51の画素構造は、図24及び図25に示した第7の構成の画素構造と比較すると、第1転送トランジスタ62のゲート電極401と排出トランジスタ69のゲート電極403が、V字ゲート構造となっている点が異なる。より詳しくは、第1転送トランジスタ62のゲート電極401と排出トランジスタ69のゲート電極403が、フォトダイオード61近傍の底部では同一箇所に配置されているが、半導体基板71表面からの深さが浅くなるに従って徐々に離れるように斜めに形成されている。

[0190] 第1転送トランジスタ62のゲート電極401の下部に配置されたゲート絶縁膜402と、排出トランジスタ69のゲート電極403の下部に配置さ

れたゲート絶縁膜404も同様に、斜めに形成されている。

[0191] 図33の平面図において、第1転送トランジスタ62のゲート電極401と、排出トランジスタ69のゲート電極403の図中、上側と下側には、高不純物濃度のp型半導体領域(p+領域)86が形成されている。

[0192] この画素構造によれば、図33の平面図からわかるように、上から見たときのゲート電極401やゲート絶縁膜402の成膜領域を広く確保することができ、垂直に形成された穴の側面(側壁)にゲート絶縁膜402を形成してポリシリコン(ゲート電極401)を埋め込むということをしなくて良いので、画素51の製造が容易となる。

[0193] <画素51の第11の構成>

図34は、画素51の第11の構成を示す断面図である。

[0194] 図34に示される第11の構成の画素51の画素構造では、図32に示した第10の構成と比較すると、第1転送トランジスタ62のゲート電極411が、メモリ部68の上部にまで形成され、メモリ部68に負電位を印加するためのゲート電極としても機能する。

[0195] また、ゲート電極411下部に配置されたゲート絶縁膜412も同様に、メモリ部68の上部にまで形成されている。これにより、メモリ部68が電荷蓄積中である場合、ゲート電極411に負の電位が印加されることで、メモリ部68に発生する暗電流を低減することができる。

[0196] <画素51の第12の構成>

図35は、画素51の第12の構成を示す断面図である。

[0197] 図35に示される第12の構成の画素51は、図24に示した画素51の構成を、光電変換膜241を用いた構成に変更したものである。

[0198] すなわち、図35に示される第12の構成の画素51の画素構造では、図17に示した第6の構成と同様に、基板裏面側に光電変換膜241が新たに形成され、図24のn領域82Bが省略されている。また、光電変換膜241は遮光膜としても機能するため、図35に示される第12の構成の画素51では、遮光膜181も省略されている。さらに、各画素51の光電変換膜2

4 1 ough is, p+ region 2 4 2 is separated.

[0199] <Structure of pixel 5 1 of FIG. 1 3>

FIG. 3 6 is a cross-sectional view showing the structure of pixel 5 1 of FIG. 1 3.

[0200] FIG. 3 6 shows the structure of pixel 5 1 of FIG. 1 3, which is a structure in which the structure of pixel 5 1 of FIG. 3 2 is changed to a structure using photoconductive layer 2 4 1.

[0201] In other words, in the structure of pixel 5 1 of FIG. 3 6, photoconductive layer 2 4 1 is newly formed on the back surface side, and n-region 8 2 B of FIG. 3 2 is omitted. Also, photoconductive layer 2 4 1 functions as a light shield film, so in the structure of pixel 5 1 of FIG. 3 6, light shield film 1 8 1 is also omitted. In addition, photoconductive layer 2 4 1 of each pixel 5 1 is separated by p+ region 2 4 2.

[0202] <Manufacturing method of pixel 5 1 of FIG. 7>

Next, referring to FIG. 3 7 to FIG. 3 9, the manufacturing method of pixel 5 1 of FIG. 2 4 is explained.

[0203] First, as shown in FIG. 3 7 A, p-type semiconductor substrate 7 1, p+ region 8 1, and n-type semiconductor region 8 2 are formed. n-type semiconductor region 8 2 is formed by n+ region 8 2 A on the p+ region 8 1 side and n-region 8 2 B on the back surface side of semiconductor substrate 7 1.

[0204] In the present embodiment, p-type semiconductor substrate 7 1 is used, but n-type semiconductor substrate is used, n-type semiconductor substrate is used, p-type well region (P-Well) is formed, and photoconductive layer 6 1 is formed in the well region.

[0205] Next, as shown in FIG. 3 7 B, photoconductive layer 6 1 is formed on top of photoconductive layer 6 1, and a p-type silicon layer of 0.5 to 1.5 μm is formed by epitaxial growth.

[0206] Next, as shown in FIG. 3 7 C, first transfer transistor 6 2, second transfer transistor 6 7, and output transistor 6 9 are formed on the front surface of the substrate.

[0207] 具体的には、第1転送トランジスタ62及び排出トランジスタ69が形成される領域の、フォトダイオード61より上側のp型層が、ドライエッチング法によりエッチングされて除去される。そして、その除去された領域の底面となる部分に、例えばボロンなどのP型となるイオンが注入され、p-領域86が形成される。さらに、エッチング除去された領域の内壁に、シリコン酸化膜などによるゲート絶縁膜342および344が形成された後、ポリシリコンが埋め込まれることにより、第1転送トランジスタ62のゲート電極341及び排出トランジスタ69のゲート電極343が平行に形成される。

[0208] また、第2転送トランジスタ67のゲート電極143なども同時に形成される。

[0209] その後、図37のDに示されるように、例えば、第1転送トランジスタ62のゲート電極341と排出トランジスタ69のゲート電極343の間のp+領域345、排出トランジスタ69のn+領域147などの各トランジスタのソース・ドレイン領域などが、半導体基板71の表面に形成される。また、メモリ部68としてのn+領域141およびその上面のp型層142も形成される。

[0210] 続いて、図38のAに示されるように、層間膜301と、タングステンやアルミニウムなどによる金属配線302とが複数形成された接続配線層303が、半導体基板71の表面側に形成される。

[0211] そして、図38のBに示されるように、接続配線層303上部に支持基板304が貼り付けられた後、フォトダイオード61までの深さが1 μ m乃至5 μ m程度になるまで、半導体基板71の裏面側が研磨され、薄膜化される。

[0212] その後、図39に示されるように、薄膜化された半導体基板71の裏面側に、遮光膜181、平坦化膜90、カラーフィルタ91、オンチップレンズ(OCL)92が、順に形成される。

[0213] 以上の各工程により、第7の構成の画素51を作成することができる。

[0214] <第10の構成の画素51の製造方法>

次に、図40を参照して、V字ゲート構造を採用した図32の第10の構成

の画素51のゲート電極の製造方法について説明する。

- [0215] 初めに、図40のAに示されるように、p型の半導体基板71に、p+領域81とn型半導体領域82とからなるフォトダイオード61が形成された後、エピタキシャル成長により、0.5乃至1.5 μm 程度のp型のシリコン層が、フォトダイオード61上に形成される。
- [0216] 次に、図40のBに示されるように、第1転送トランジスタ62及び排出トランジスタ69が形成される領域の、フォトダイオード61より上側のp型層が、V字形状に、ドライエッチング法によりエッチングされて除去される。そして、その除去された領域の底面となる部分に、例えばボロンなどのP型となるイオンが注入され、p-領域86が形成される。
- [0217] その後、図40のCに示されるように、半導体基板71の除去されたV字形状の領域に、熱酸化法または堆積法を用いて、ゲート絶縁膜402及び404を形成した後、さらに、第1転送トランジスタ62のゲート電極401及び排出トランジスタ69のゲート電極403が形成される。第1転送トランジスタ62のゲート電極401及び排出トランジスタ69のゲート電極403は、材料であるポリシリコンを形成した後、フォトリソグラフィ法を用いて、ゲート電極形状にパターニングを行い、ドライエッチングすることにより、作成することができる。
- [0218] また、第2転送トランジスタ67のゲート電極143など、半導体基板71の表面のみにポリシリコンが形成されるその他のトランジスタについても同時に形成される。
- [0219] その後、例えば、排出トランジスタ69のn+領域147などの各トランジスタのソース・ドレイン領域、並びに、メモリ部68としてのn+領域141およびその上面のp型層142なども、半導体基板71の表面に形成される。
- [0220] 以降の製造方法は、図38及び図39を参照して説明した方法と同様である。
- [0221] 上述した画素51の第7乃至第13の構成では、第1転送トランジスタ6

2のゲート電極341（または401）と排出トランジスタ69のゲート電極343（または403）が、フォトダイオード61のキャリアエネルギーが最も低くなる部分に配置された。これにより、フォトダイオード61に蓄積された電荷を、メモリ部68とn+領域147のいずれに転送する場合であっても、効率的に転送することができる。

[0222] なお、フォトダイオード61のキャリアエネルギーが最も低くなる部分とは、上述した電子を信号電荷とする固体撮像素子の構造においては、電位が最も高くなる部分に相当し、正孔（ホール）を信号電荷とする固体撮像素子の構造においては、電位が最も低くなる部分に相当する。

[0223] また、上述した例では、イオン注入を、フォトダイオード61の平面方向の作成領域に対して均一に行った場合、フォトダイオード61の中央部が、キャリアエネルギーが最も低くなる部分となるため、その位置に、第1転送トランジスタ62のゲート電極341（または401）と、排出トランジスタ69のゲート電極343（または403）が配置されていた。

[0224] しかし、フォトダイオード61を形成する工程において、n型半導体領域82の不純物濃度の濃度分布を変えることで、フォトダイオード61の中央部以外の所定の位置を、キャリアエネルギーが最も低くなる部分とすることもできる。したがって、第1転送トランジスタ62のゲート電極341（または401）と、排出トランジスタ69のゲート電極343（または403）を所望の位置に配置させることができる。

[0225] また、上述した例では、第1導電型をp型、第2導電型をn型として、電子を信号電荷とした固体撮像装置について説明したが、本技術は正孔を信号電荷とする固体撮像装置にも適用することができる。すなわち、第1導電型をn型とし、第2導電型をp型として、前述の各半導体領域を逆の導電型の半導体領域で構成することができる。

[0226] <本技術を適用した電子機器の構成例>

さらに本技術は、固体撮像素子への適用に限られるものではない。即ち、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能

を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機など、画像取込部（光電変換部）に固体撮像素子を用いる電子機器全般に対して適用可能である。固体撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0227] 図41は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0228] 図41の撮像装置500は、レンズ群などからなる光学部501、上述した画素51の各構成が採用される固体撮像素子（撮像デバイス）502、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路503を備える。また、撮像装置500は、フレームメモリ504、表示部505、記録部506、操作部507、および電源部508も備える。DSP回路503、フレームメモリ504、表示部505、記録部506、操作部507および電源部508は、バスライン509を介して相互に接続されている。

[0229] 光学部501は、被写体からの入射光（像光）を取り込んで固体撮像素子502の撮像面上に結像する。固体撮像素子502は、光学部501によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像素子502として、図3の固体撮像素子41を用いることができる。

[0230] 表示部505は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像素子502で撮像された動画または静止画を表示する。記録部506は、固体撮像素子502で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0231] 操作部507は、ユーザによる操作の下に、撮像装置500が持つ様々な機能について操作指令を発する。電源部508は、DSP回路503、フレームメモリ504、表示部505、記録部506および操作部507の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0232] また、本技術は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像素子（物理量分布検知装置）全般に対して適用可能である。

[0233] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、上述した画素の各構成の一部分を必要に応じて適宜組み合わせるなど、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0234] なお、本技術は以下のような構成も取ることができる。

(1)

半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持する不純物領域と、前記電荷を前記不純物領域に転送する転送トランジスタとを備え、

前記転送トランジスタのゲート電極は、前記不純物領域が形成されている前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成されており、

前記転送トランジスタのチャネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれているを備える固体撮像素子。

(2)

前記光電変換部は、フォトダイオードであり、

前記転送トランジスタのゲート電極は、前記フォトダイオードのpn接合面と同じか、前記pn接合面より深い位置まで形成されている

前記(1)に記載の固体撮像素子。

(3)

2方向以上を前記ゲート電極で囲まれている前記転送トランジスタのチャネル部の不純物濃度は、前記ゲート電極の外側の不純物濃度よりも薄い

前記（１）または（２）に記載の固体撮像素子。

（４）

前記ゲート電極からみて前記不純物領域と反対側の領域には、絶縁物による分離領域が形成されている

前記（１）乃至（３）のいずれかに記載の固体撮像素子。

（５）

前記転送トランジスタのゲート電極は、前記深さ方向から見たとき、前記不純物領域の方向を開口したコの字形状に形成されている

前記（１）乃至（４）のいずれかに記載の固体撮像素子。

（６）

前記不純物領域は、フローティング拡散領域に前記電荷を転送する前に一時的に前記電荷を保持するメモリ部であり、

前記メモリ部の上部には、前記転送トランジスタのゲート電極とは別に、所定の電圧が印加されるゲート電極が形成されている

前記（１）乃至（５）のいずれかに記載の固体撮像素子。

（７）

光電変換部を半導体基板中に埋め込んで形成し、

前記光電変換部で生成された電荷を転送する転送トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成し、

前記半導体基板の表面に、前記転送トランジスタにより転送された前記電荷を保持する不純物領域を形成する

ステップを含み、

前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の２方向以上を、前記ゲート電極で囲まれている

固体撮像素子の製造方法。

（８）

半導体基板中に埋め込まれて形成されている光電変換部と、

前記光電変換部で生成された電荷を保持する不純物領域と、
前記電荷を前記不純物領域に転送する転送トランジスタと
を備え、

前記転送トランジスタのゲート電極は、前記不純物領域が形成されている
前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって
深さ方向に形成されており、

前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記
不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれている

固体撮像素子

を備える電子機器。

(9)

半導体基板中に埋め込まれて形成されている光電変換部と、
前記光電変換部で生成された電荷を保持するメモリ部と、
前記電荷を前記メモリ部に転送する転送トランジスタと、
前記光電変換部で生成された不要な電荷を排出する排出トランジスタと
を備え、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極
は、電流経路となるチャンネル部の不純物濃度よりも濃い不純物領域かまたは
絶縁膜を介して、前記半導体基板の深さ方向に平行に近接されている

固体撮像素子。

(10)

前記光電変換部は、フォトダイオードであり、

前記転送トランジスタ及び前記排出トランジスタのゲート電極は、前記フ
ォトダイオードのpn接合面と同じか、前記pn接合面より深い位置まで形
成されている

前記(9)に記載の固体撮像素子。

(11)

前記転送トランジスタ及び前記排出トランジスタのゲート電極は、前記フ

フォトダイオード形成面のキャリアエネルギーが最も低くなる部分に接続されている

前記（１０）に記載の固体撮像素子。

（１２）

前記半導体基板よりも光吸収係数の大きな材料で形成された光電変換膜が、前記半導体基板の裏面側に配置されている

前記（９）乃至（１１）のいずれかに記載の固体撮像素子。

（１３）

光電変換部を半導体基板中に埋め込んで形成し、

前記光電変換部で生成された電荷をメモリ部に転送する転送トランジスタのゲート電極と、前記光電変換部で生成された不要な電荷を排出する排出トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に平行に形成し、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極との間に、電流経路となるチャンネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜を形成する

ステップを含む固体撮像素子の製造方法。

（１４）

半導体基板中に埋め込まれて形成されている光電変換部と、

前記光電変換部で生成された電荷を保持するメモリ部と、

前記電荷を前記メモリ部に転送する転送トランジスタと、

前記光電変換部で生成された不要な電荷を排出する排出トランジスタとを備え、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極は、電流経路となるチャンネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜を介して、前記半導体基板の深さ方向に平行に近接されている

固体撮像素子

を備える電子機器。

(15)

半導体基板中に埋め込まれて形成されている光電変換部と、
前記光電変換部で生成された電荷を保持するメモリ部と、
前記電荷を前記メモリ部に転送する転送トランジスタと、
前記光電変換部で生成された不要な電荷を排出する排出トランジスタと
を備え、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極
の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置さ
れ、

前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジス
タのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れる
ように形成されている

固体撮像素子。

(16)

前記光電変換部は、フォトダイオードであり、

前記転送トランジスタ及び前記排出トランジスタのゲート電極は、前記フ
ォトダイオードのpn接合面と同じか、前記pn接合面より深い位置まで形
成されている

前記(15)に記載の固体撮像素子。

(17)

前記転送トランジスタ及び前記排出トランジスタのゲート電極は、前記フ
ォトダイオード形成面のキャリアエネルギーが最も低くなる部分に接続され
ている

前記(16)に記載の固体撮像素子。

(18)

前記半導体基板よりも光吸収係数の大きな材料で形成された光電変換膜が
、前記半導体基板の裏面側に配置されている

前記(15)乃至(17)のいずれかに記載の固体撮像素子。

(19)

光電変換部を半導体基板中に埋め込んで形成し、

前記光電変換部で生成された電荷をメモリ部に転送する転送トランジスタのゲート電極と、前記光電変換部で生成された不要な電荷を排出する排出トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成する

ステップを含み、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、

前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている

固体撮像素子の製造方法。

(20)

半導体基板中に埋め込まれて形成されている光電変換部と、

前記光電変換部で生成された電荷を保持するメモリ部と、

前記電荷を前記メモリ部に転送する転送トランジスタと、

前記光電変換部で生成された不要な電荷を排出する排出トランジスタとを備え、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、

前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている

固体撮像素子

を備える電子機器。

符号の説明

[0235] 41 固体撮像素子, 44 画素アレイ部, 51 画素, 61 フォトダイオード, 62 転送トランジスタ, 63 FD(フローティング拡散領域), 64 リセットトランジスタ, 68 メモリ部 (MEM), 69 排出トランジスタ, 71 半導体基板, 83 n+領域, 84 ゲート電極, 89 分離領域, 121 p+ 領域, 201 ゲート電極, 241 光電変換膜, 343 ゲート電極, 361 分離領域, 500 撮像装置, 502 固体撮像素子

請求の範囲

- [請求項1] 半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持する不純物領域と、前記電荷を前記不純物領域に転送する転送トランジスタとを備え、
- 前記転送トランジスタのゲート電極は、前記不純物領域が形成されている前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成されており、
- 前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれている
- 固体撮像素子。
- [請求項2] 前記光電変換部は、フォトダイオードであり、
- 前記転送トランジスタのゲート電極は、前記フォトダイオードのp n 接合面と同じか、前記p n 接合面より深い位置まで形成されている
- 請求項1に記載の固体撮像素子。
- [請求項3] 2方向以上を前記ゲート電極で囲まれている前記転送トランジスタのチャンネル部の不純物濃度は、前記ゲート電極の外側の不純物濃度よりも薄い
- 請求項1に記載の固体撮像素子。
- [請求項4] 前記ゲート電極からみて前記不純物領域と反対側の領域には、絶縁物による分離領域が形成されている
- 請求項1に記載の固体撮像素子。
- [請求項5] 前記転送トランジスタのゲート電極は、前記深さ方向から見たとき、前記不純物領域の方向を開口したコの字形状に形成されている
- 請求項1に記載の固体撮像素子。
- [請求項6] 前記不純物領域は、フローティング拡散領域に前記電荷を転送する前に一時的に前記電荷を保持するメモリ部であり、

前記メモリ部の上部には、前記転送トランジスタのゲート電極とは別に、所定の電圧が印加されるゲート電極が形成されている

請求項1に記載の固体撮像素子。

[請求項7]

光電変換部を半導体基板中に埋め込んで形成し、

前記光電変換部で生成された電荷を転送する転送トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成し、

前記半導体基板の表面に、前記転送トランジスタにより転送された前記電荷を保持する不純物領域を形成する

ステップを含み、

前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれている

固体撮像素子の製造方法。

[請求項8]

半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持する不純物領域と、前記電荷を前記不純物領域に転送する転送トランジスタとを備え、

前記転送トランジスタのゲート電極は、前記不純物領域が形成されている前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成されており、

前記転送トランジスタのチャンネル部は、前記深さ方向から見たとき、前記不純物領域の方向以外の2方向以上を、前記ゲート電極で囲まれている

固体撮像素子

を備える電子機器。

[請求項9]

半導体基板中に埋め込まれて形成されている光電変換部と、前記光電変換部で生成された電荷を保持するメモリ部と、

前記電荷を前記メモリ部に転送する転送トランジスタと、
前記光電変換部で生成された不要な電荷を排出する排出トランジスタと

を備え、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極は、電流経路となるチャネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜を介して、前記半導体基板の深さ方向に平行に近接されている

固体撮像素子。

[請求項10]

前記光電変換部は、フォトダイオードであり、

前記転送トランジスタ及び前記排出トランジスタのゲート電極は、前記フォトダイオードのp n接合面と同じか、前記p n接合面より深い位置まで形成されている

請求項9に記載の固体撮像素子。

[請求項11]

前記転送トランジスタ及び前記排出トランジスタのゲート電極は、前記フォトダイオード形成面のキャリアエネルギーが最も低くなる部分に接続されている

請求項10に記載の固体撮像素子。

[請求項12]

前記半導体基板よりも光吸収係数の大きな材料で形成された光電変換膜が、前記半導体基板の裏面側に配置されている

請求項9に記載の固体撮像素子。

[請求項13]

光電変換部を半導体基板中に埋め込んで形成し、

前記光電変換部で生成された電荷をメモリ部に転送する転送トランジスタのゲート電極と、前記光電変換部で生成された不要な電荷を排出する排出トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に平行に形成し、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極を、前記半導体基板の深さ方向に平行に近接させている

ト電極との間に、電流経路となるチャネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜を形成する

ステップを含む固体撮像素子の製造方法。

[請求項14]

半導体基板中に埋め込まれて形成されている光電変換部と、

前記光電変換部で生成された電荷を保持するメモリ部と、

前記電荷を前記メモリ部に転送する転送トランジスタと、

前記光電変換部で生成された不要な電荷を排出する排出トランジスタと

を備え、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極は、電流経路となるチャネル部の不純物濃度よりも濃い不純物領域かまたは絶縁膜を介して、前記半導体基板の深さ方向に平行に近接されている

固体撮像素子

を備える電子機器。

[請求項15]

半導体基板中に埋め込まれて形成されている光電変換部と、

前記光電変換部で生成された電荷を保持するメモリ部と、

前記電荷を前記メモリ部に転送する転送トランジスタと、

前記光電変換部で生成された不要な電荷を排出する排出トランジスタと

を備え、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、

前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている

固体撮像素子。

- [請求項16] 前記光電変換部は、フォトダイオードであり、
前記転送トランジスタ及び前記排出トランジスタのゲート電極は、
前記フォトダイオードのp n接合面と同じか、前記p n接合面より深い位置まで形成されている
請求項15に記載の固体撮像素子。
- [請求項17] 前記転送トランジスタ及び前記排出トランジスタのゲート電極は、
前記フォトダイオード形成面のキャリアエネルギーが最も低くなる部分に接続されている
請求項16に記載の固体撮像素子。
- [請求項18] 前記半導体基板よりも光吸収係数の大きな材料で形成された光電変換膜が、前記半導体基板の裏面側に配置されている
請求項15に記載の固体撮像素子。
- [請求項19] 光電変換部を半導体基板中に埋め込んで形成し、
前記光電変換部で生成された電荷をメモリ部に転送する転送トランジスタのゲート電極と、前記光電変換部で生成された不要な電荷を排出する排出トランジスタのゲート電極を、前記半導体基板の表面から、前記半導体基板中の前記光電変換部に向かって深さ方向に形成するステップを含み、
前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、
前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている
固体撮像素子の製造方法。
- [請求項20] 半導体基板中に埋め込まれて形成されている光電変換部と、
前記光電変換部で生成された電荷を保持するメモリ部と、
前記電荷を前記メモリ部に転送する転送トランジスタと、

前記光電変換部で生成された不要な電荷を排出する排出トランジスタと

を備え、

前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極の前記光電変換部側の端部は、前記光電変換部形成面内の近接位置に配置され、

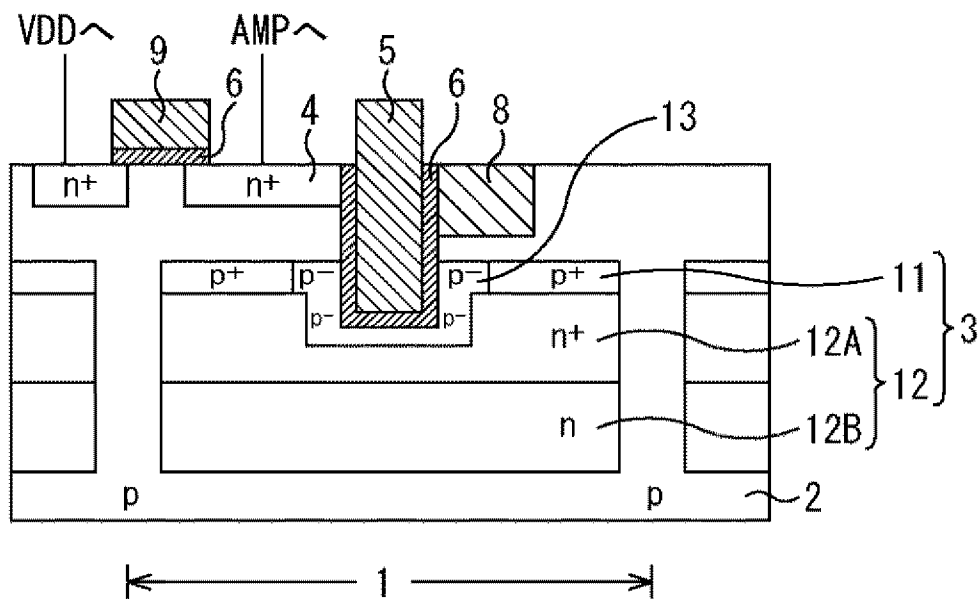
前記半導体基板表面からの深さが浅くなるに従って、前記転送トランジスタのゲート電極と前記排出トランジスタのゲート電極どうしが徐々に離れるように形成されている

固体撮像素子

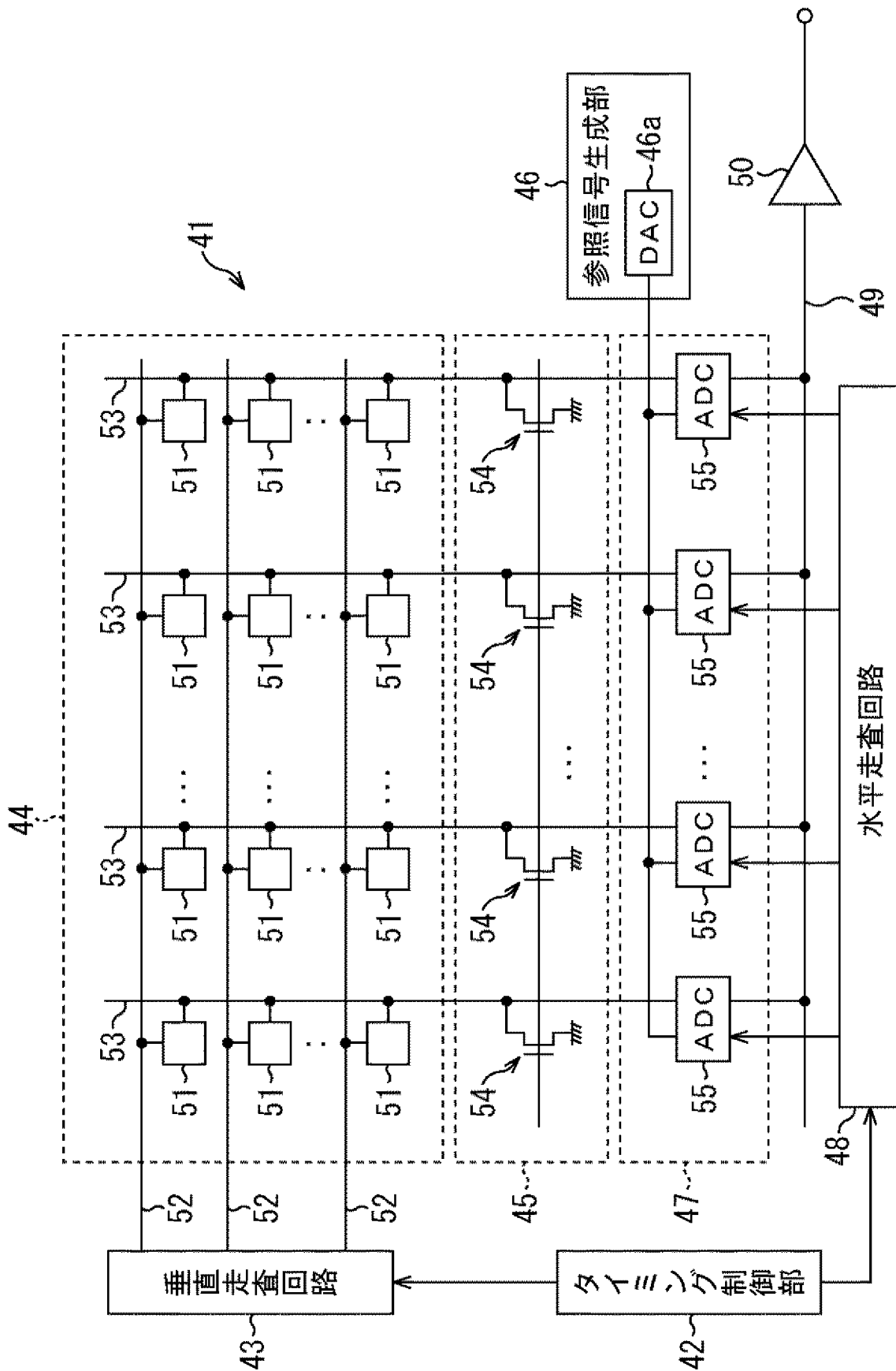
を備える電子機器。

[図1]

図1

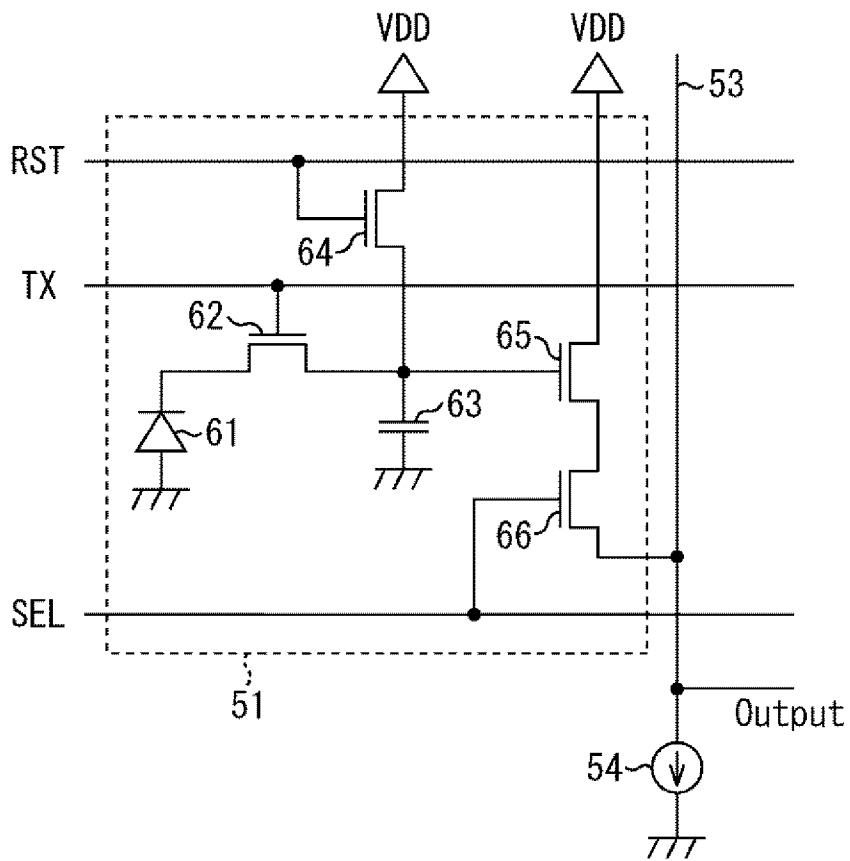


[図3]
図3



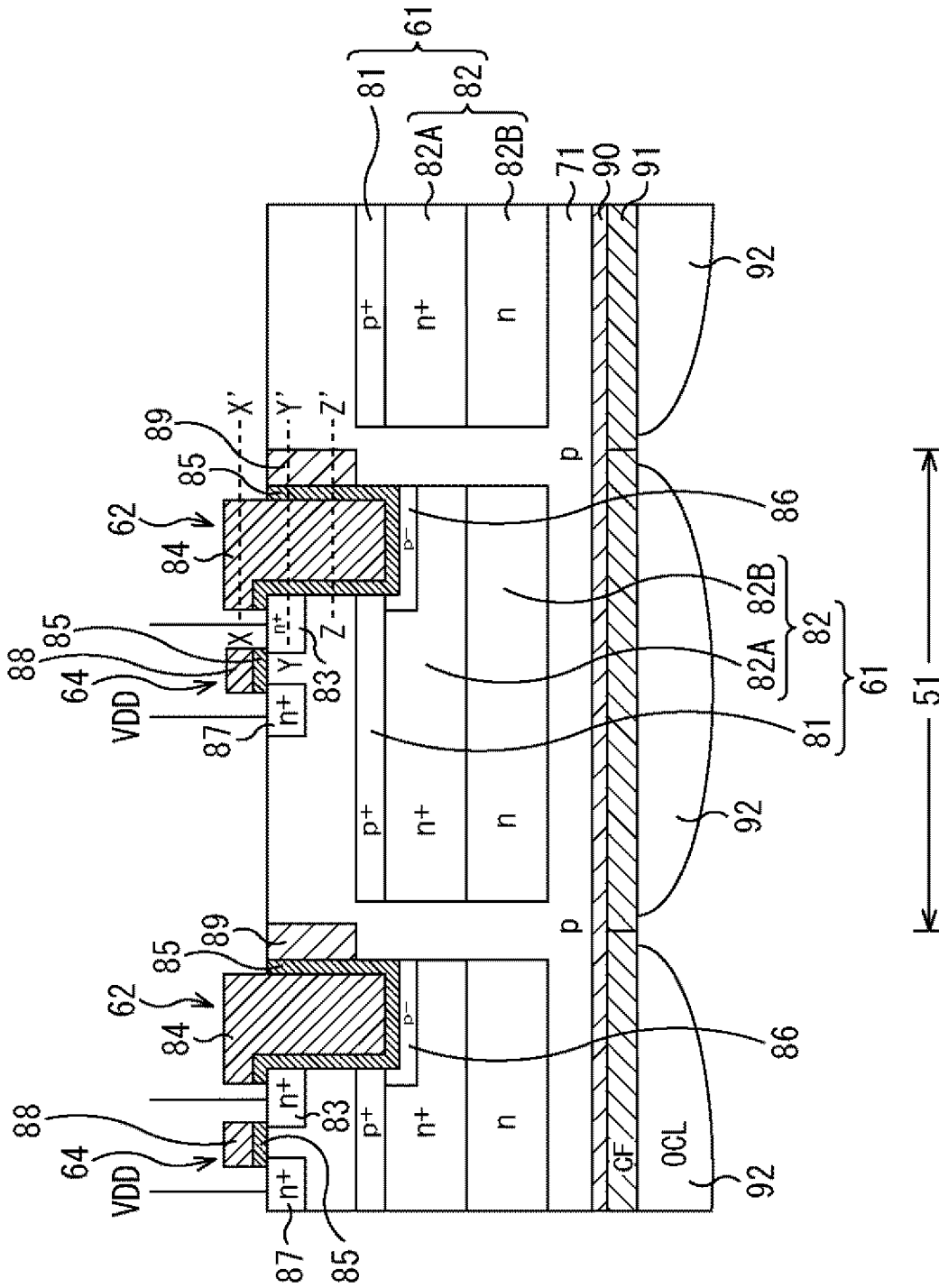
[図4]

図4

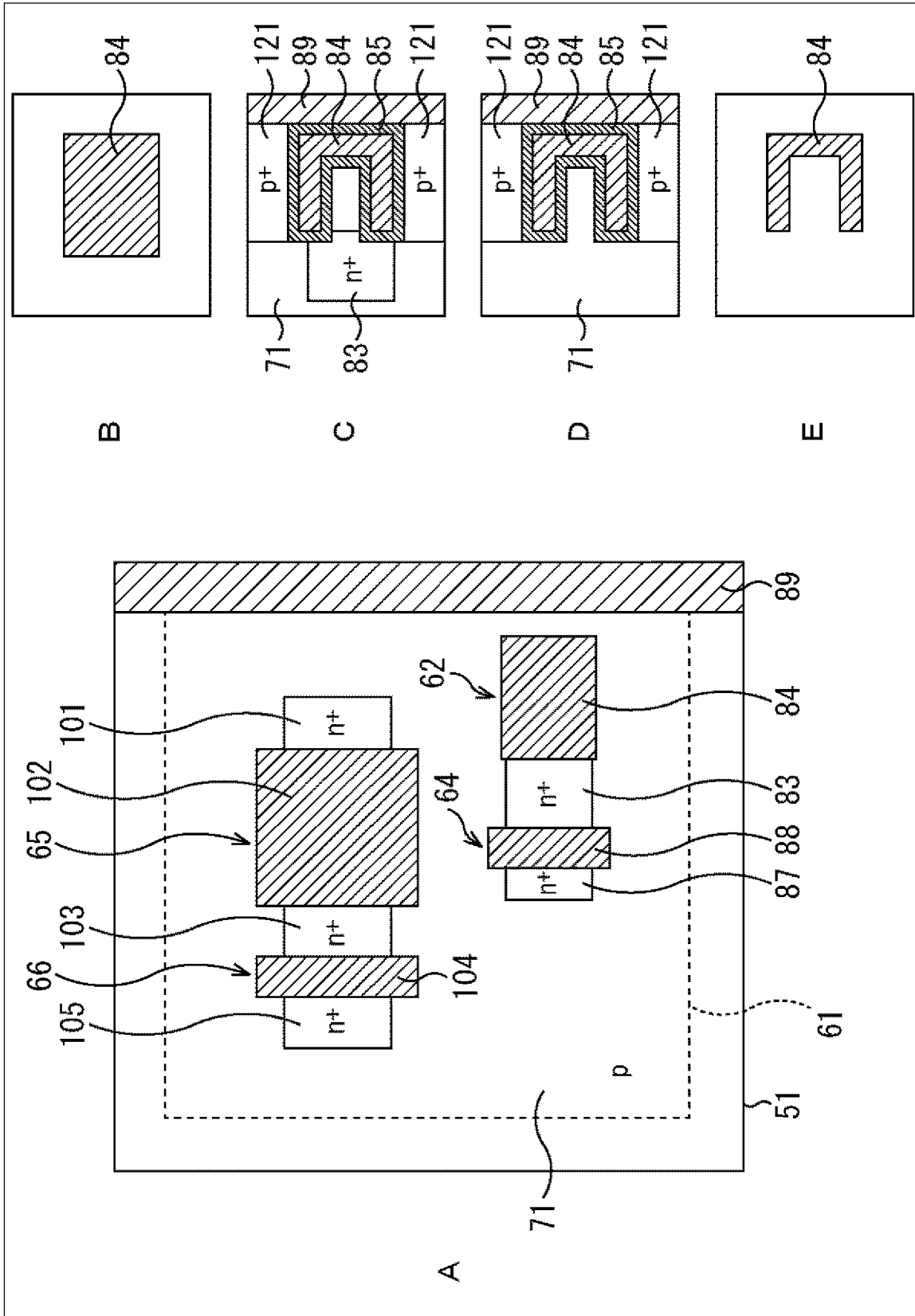


[図5]

図5

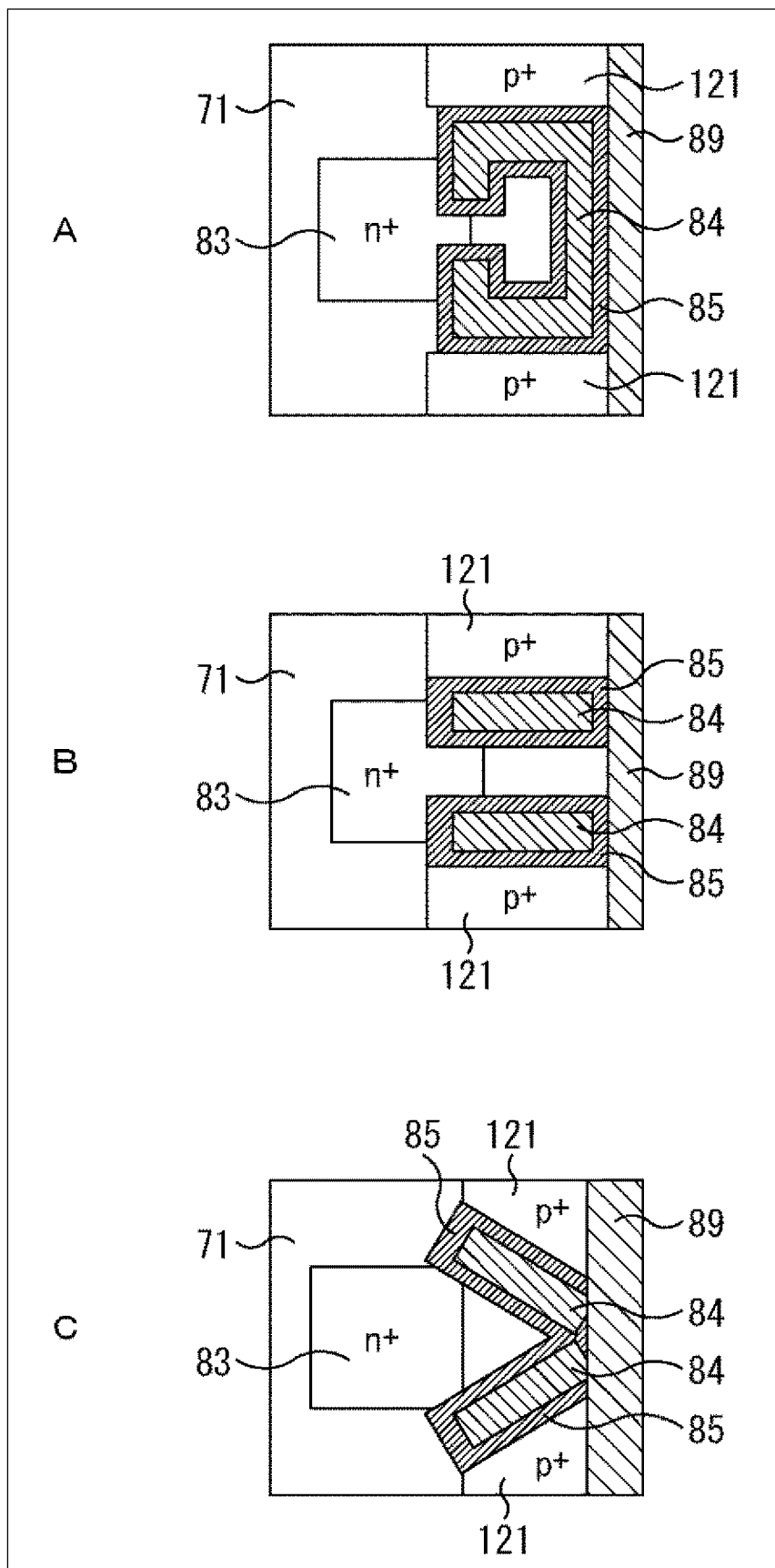


[図6]
 図6



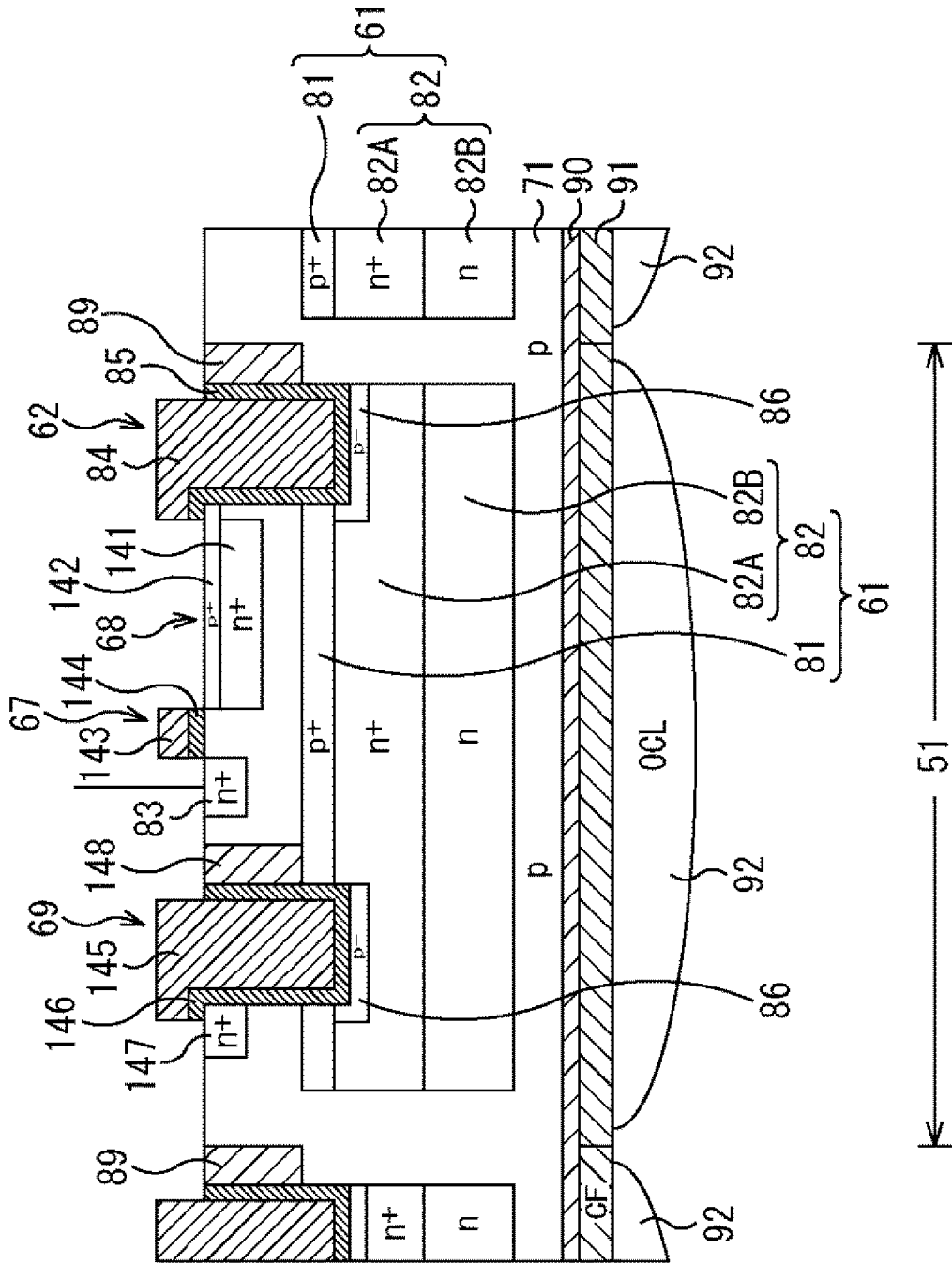
[図7]

図7



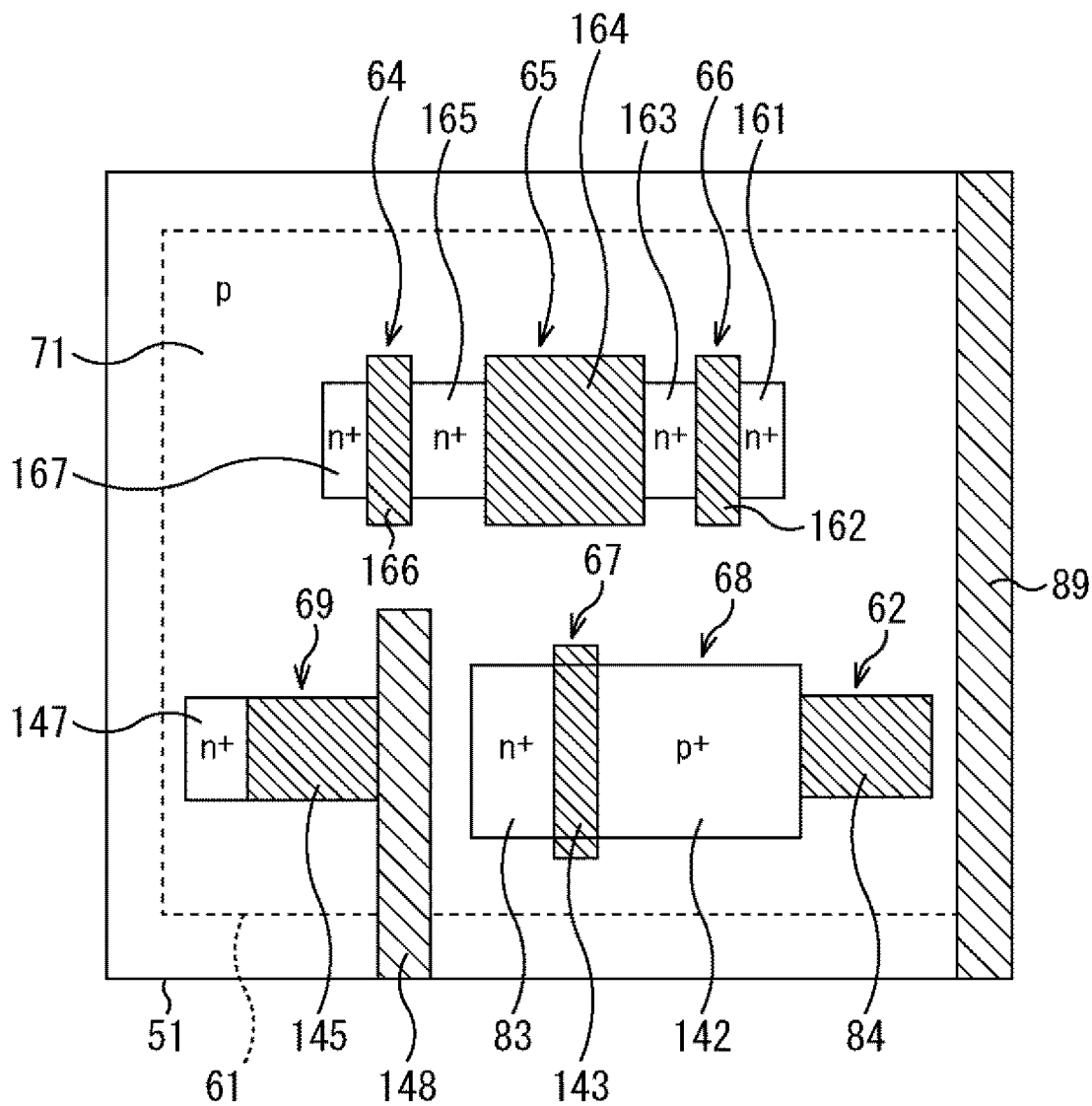
[図9]

図9

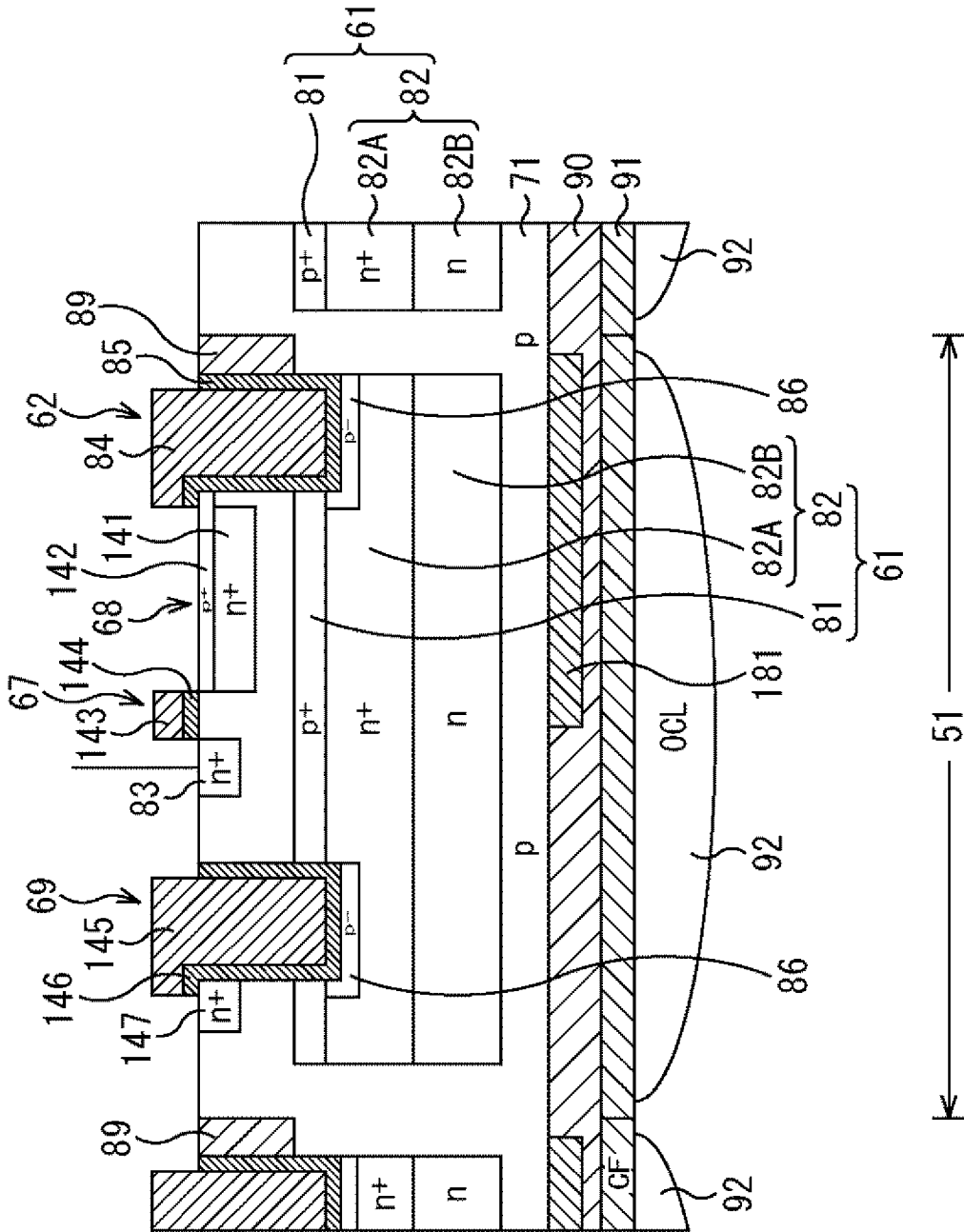


[図10]

図10

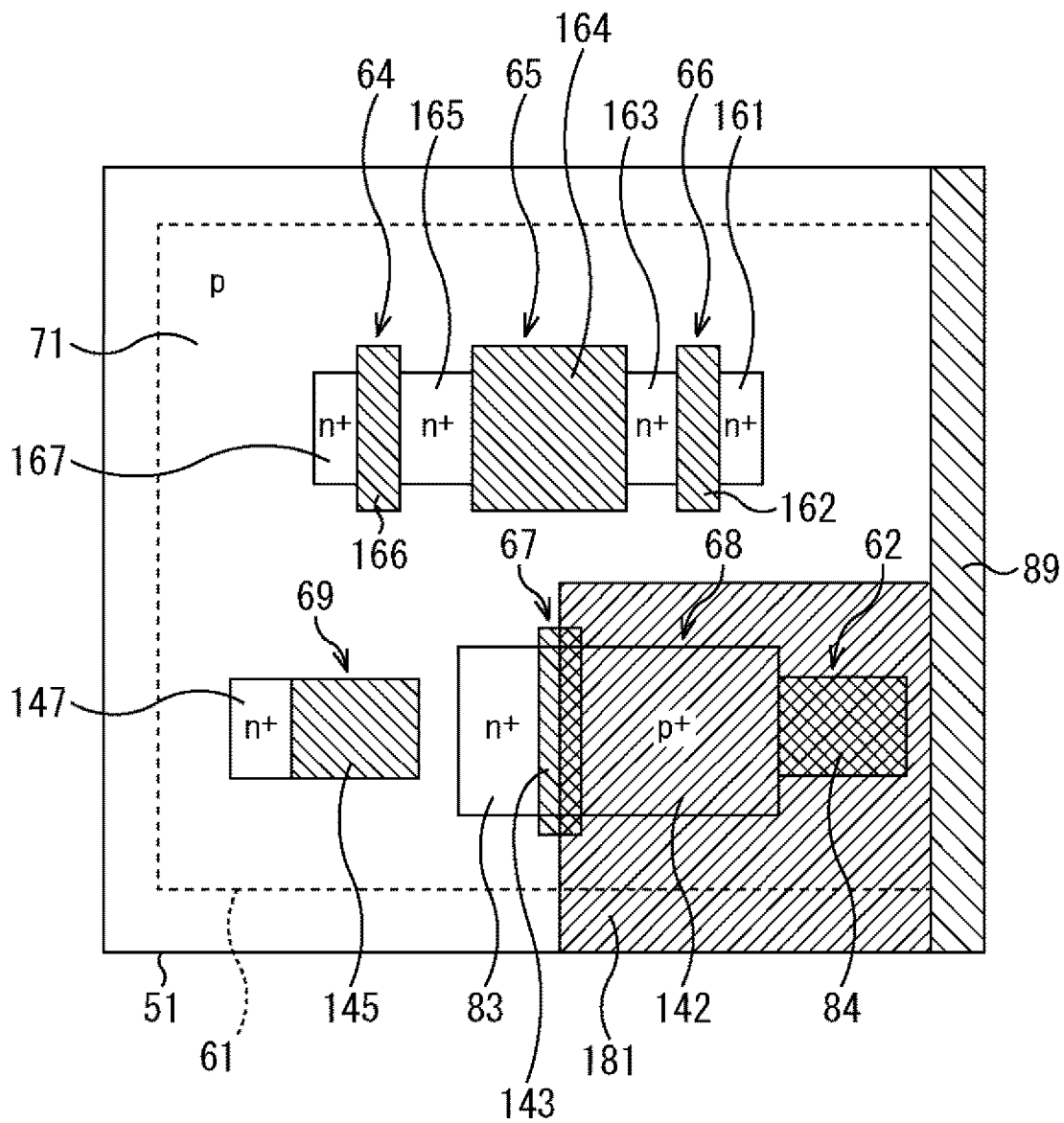


[図11]
[図11]



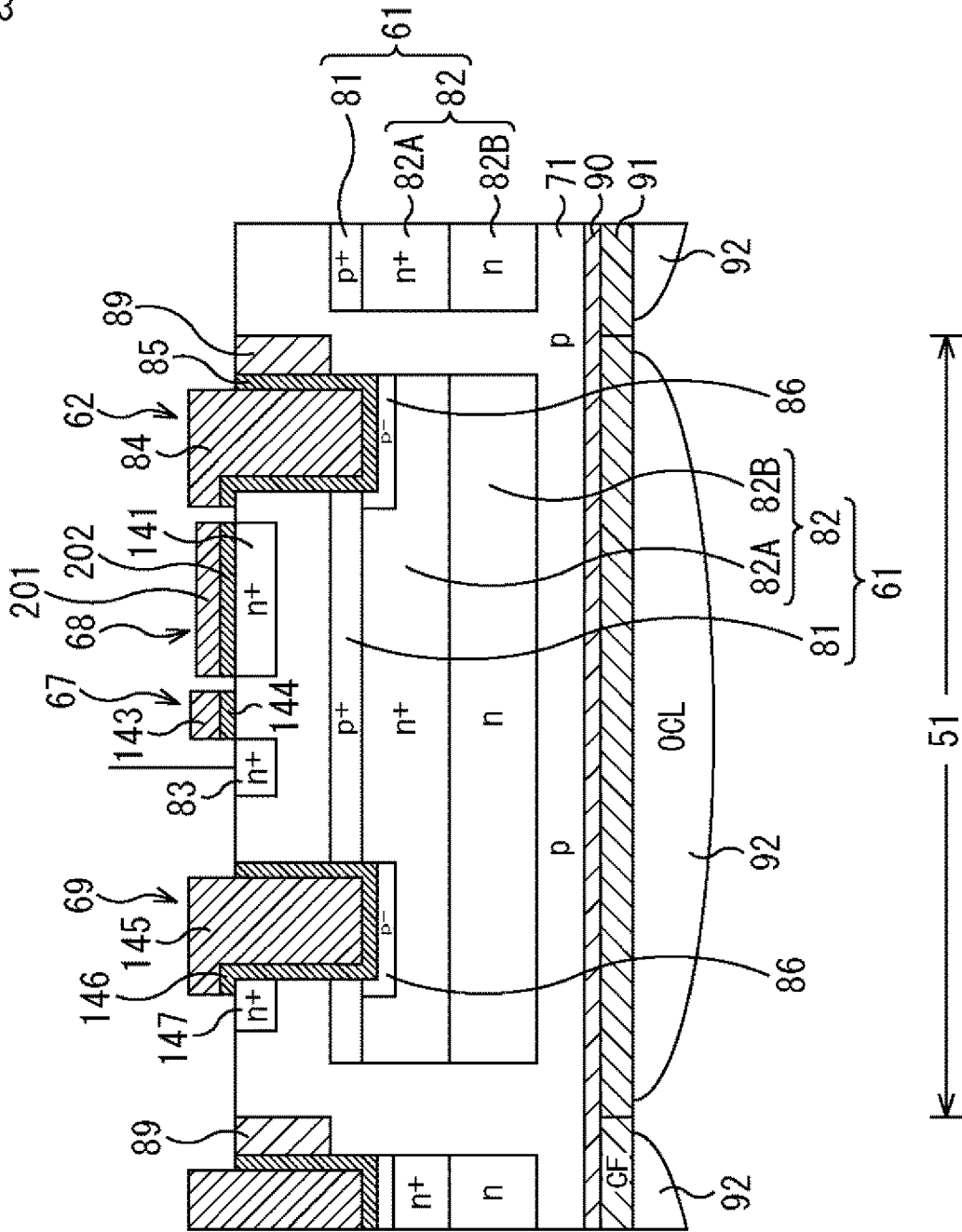
[]12

[]12



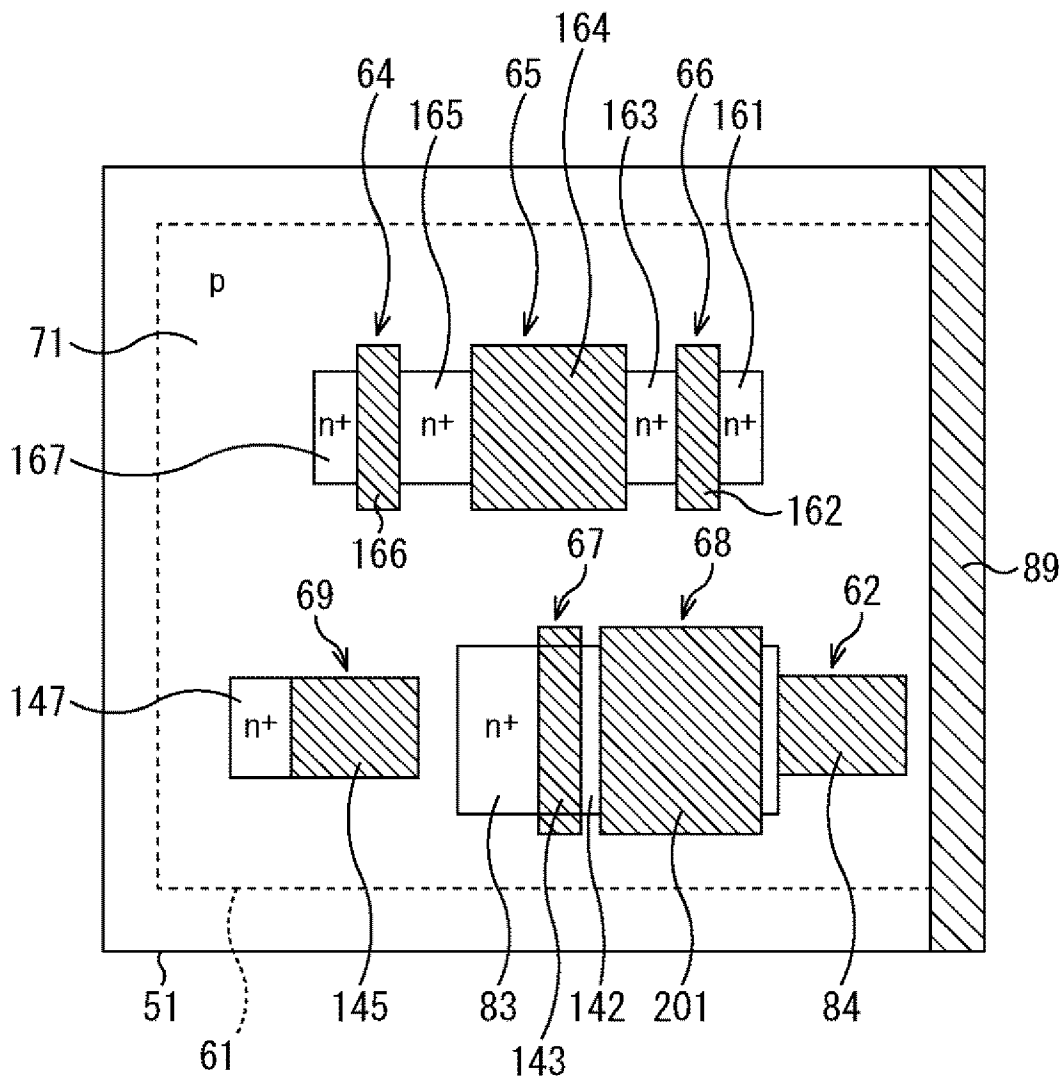
[圖13]

圖13



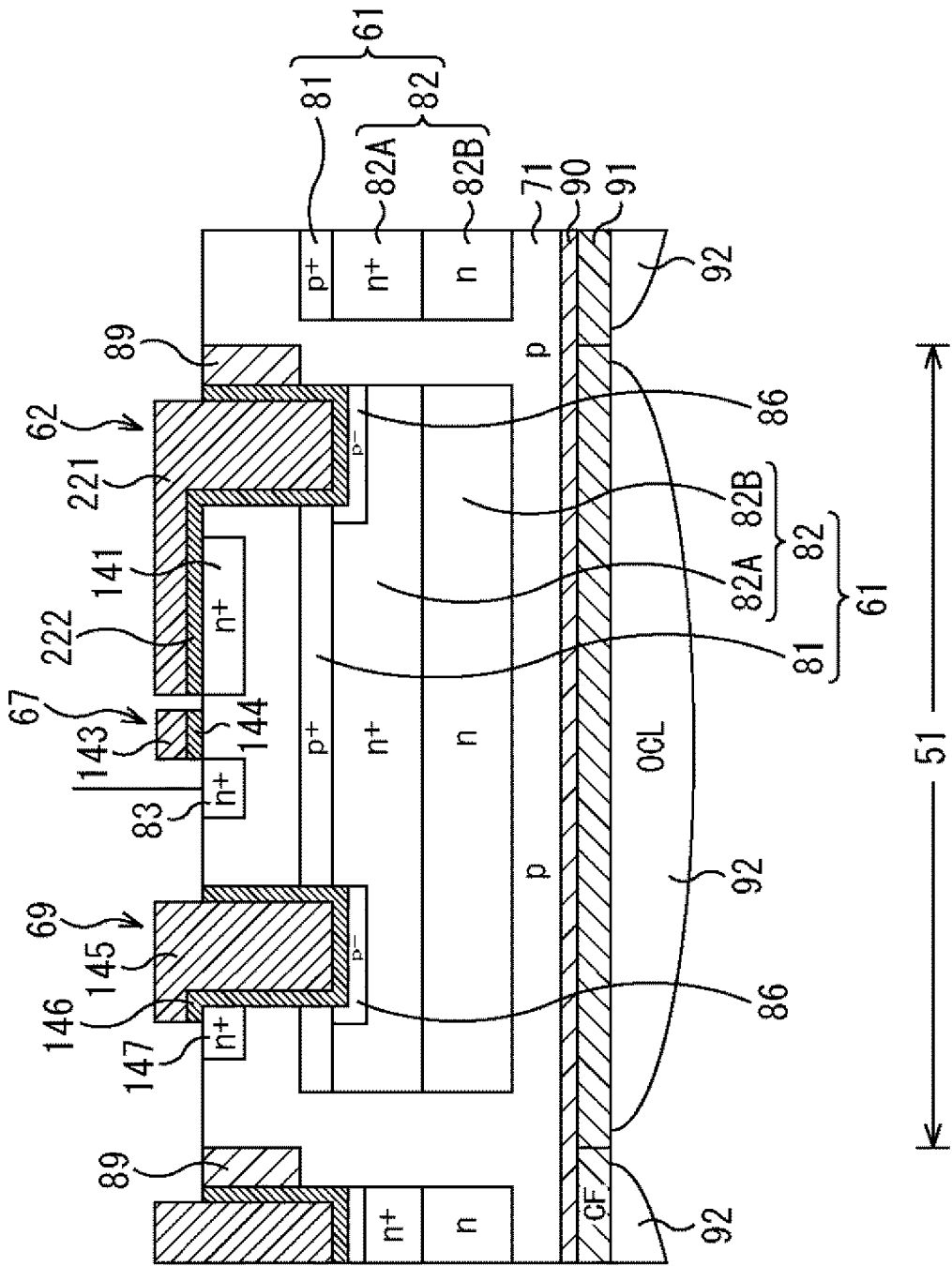
[図14]

図14



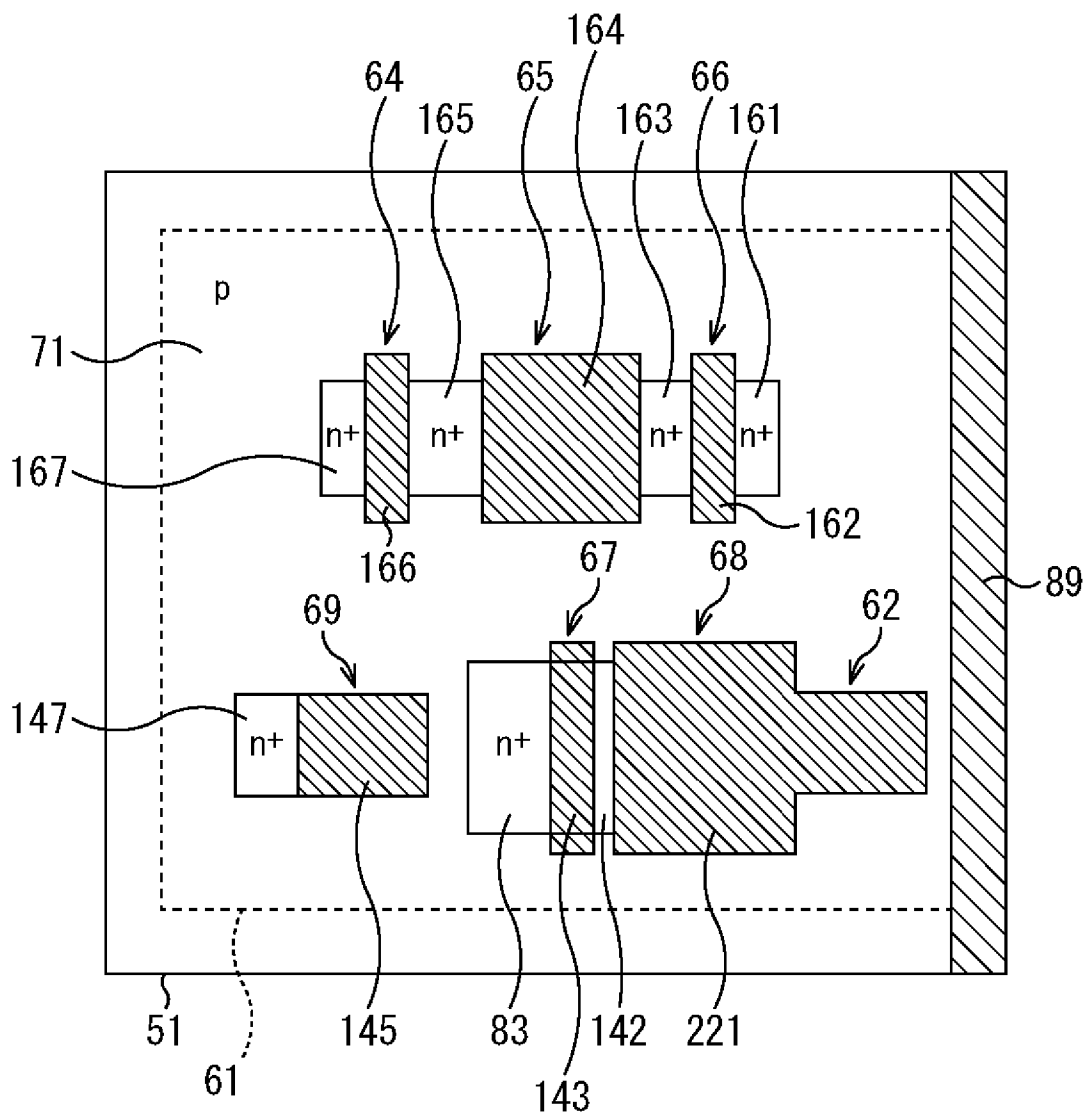
[圖15]

圖15



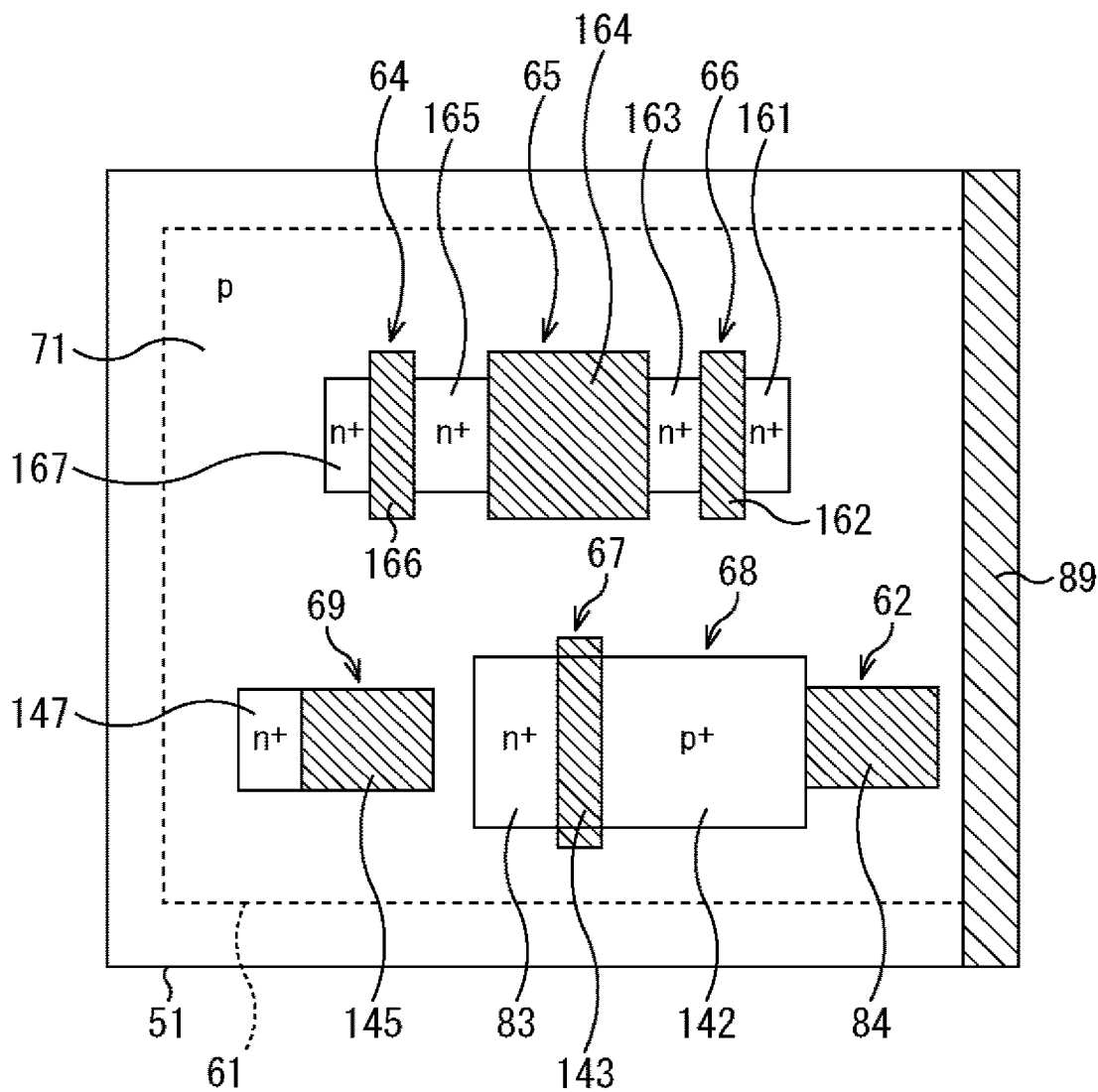
[]16

16



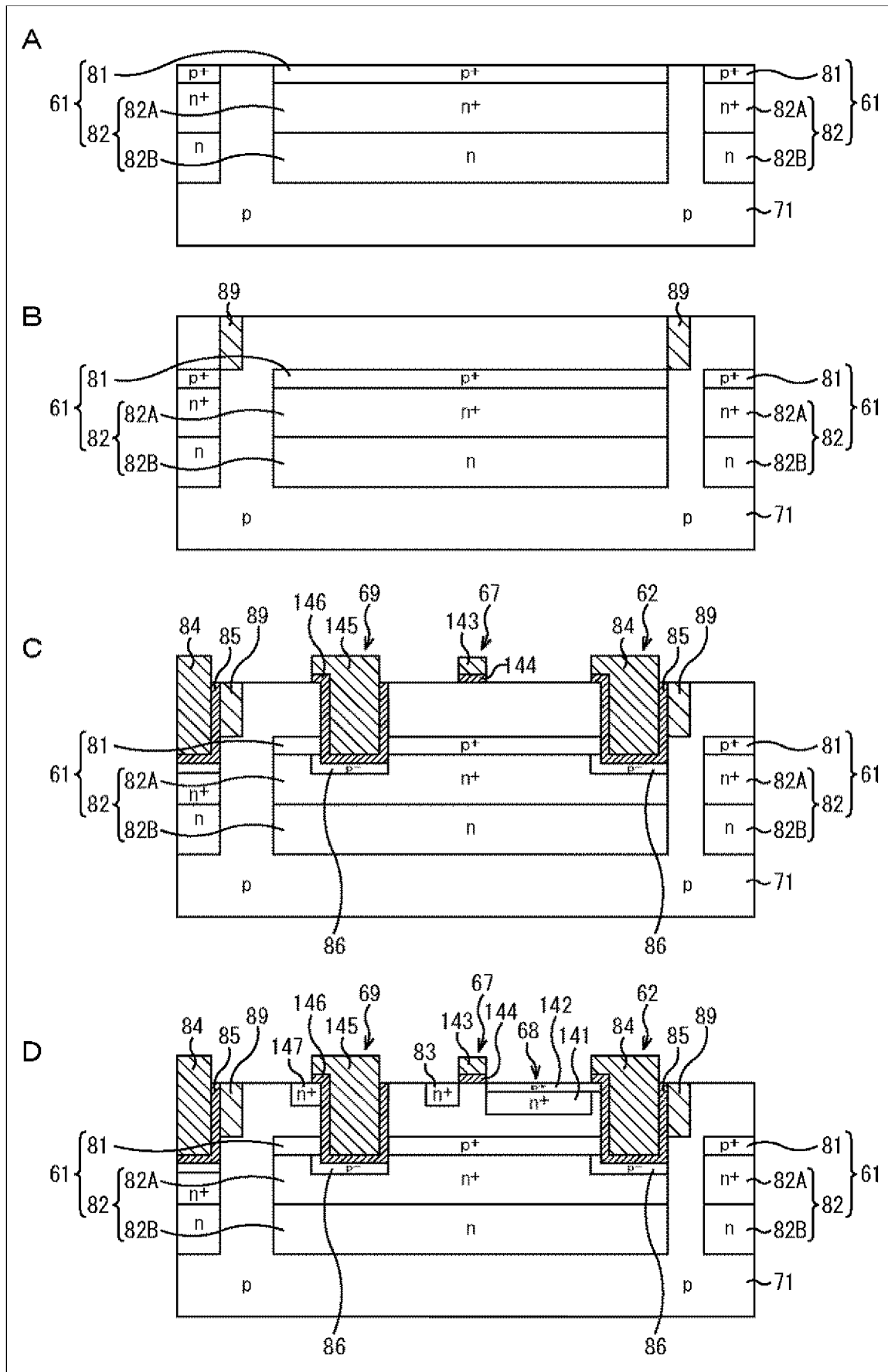
[18]

18



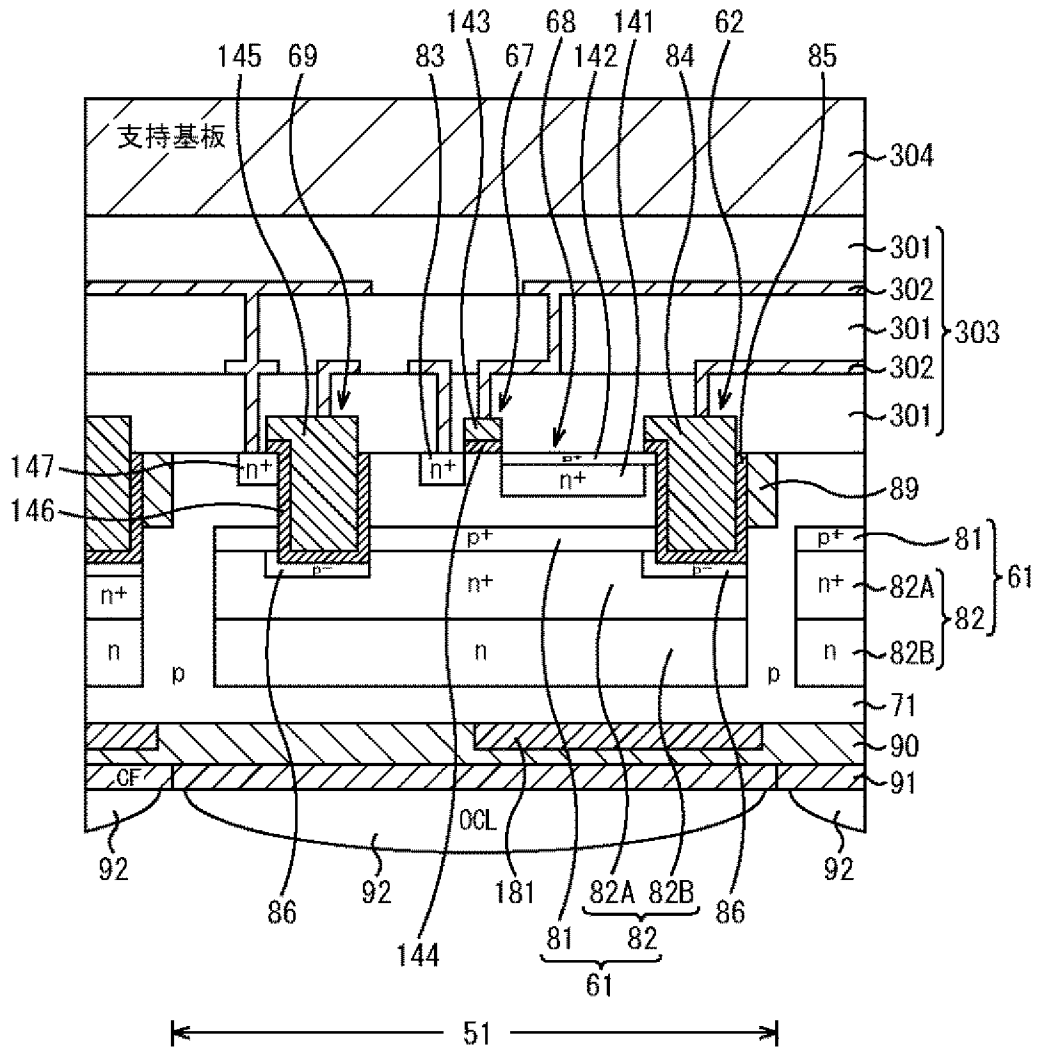
[図19]

図19



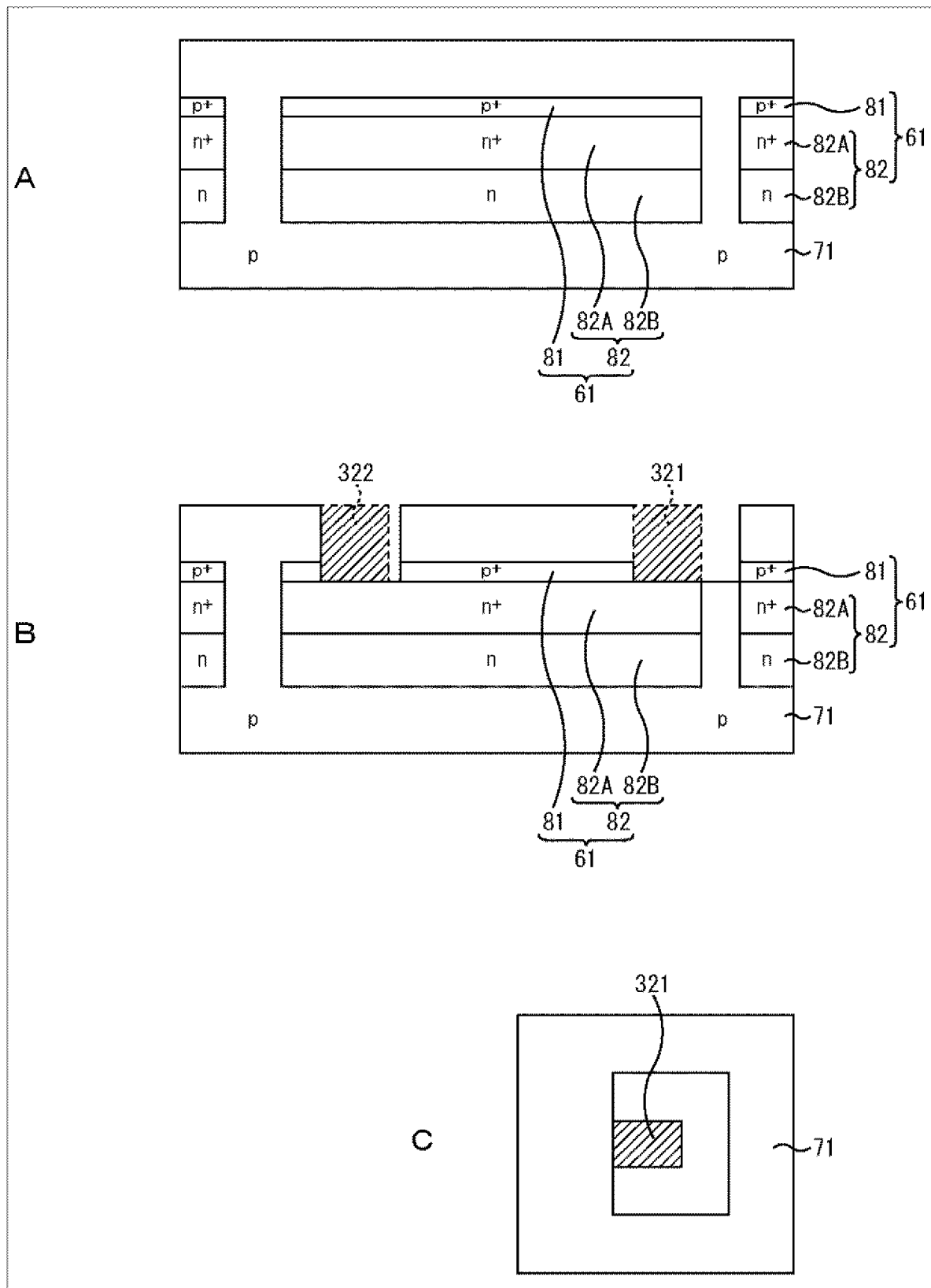
[図21]

図21



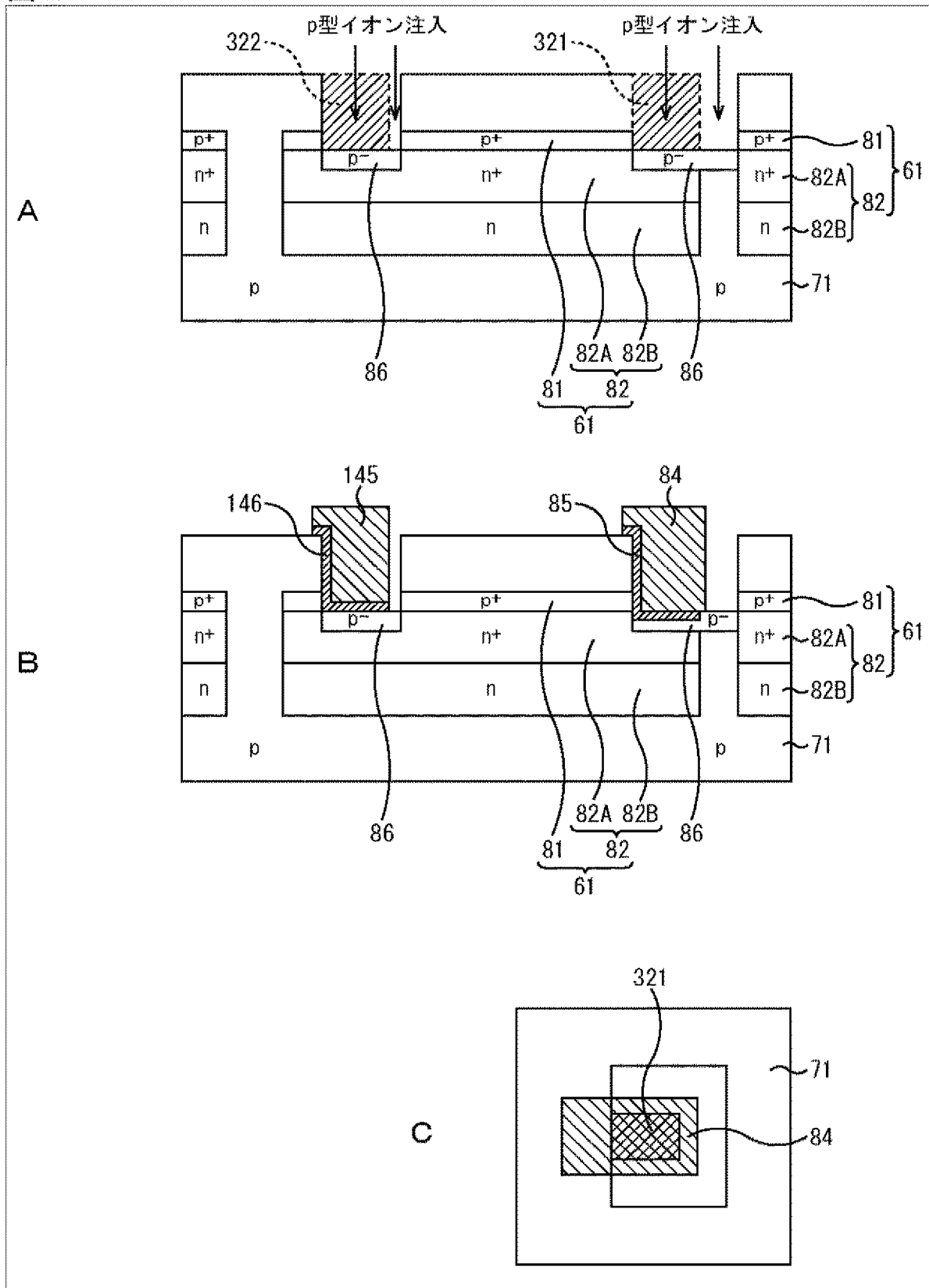
[図22]

図22



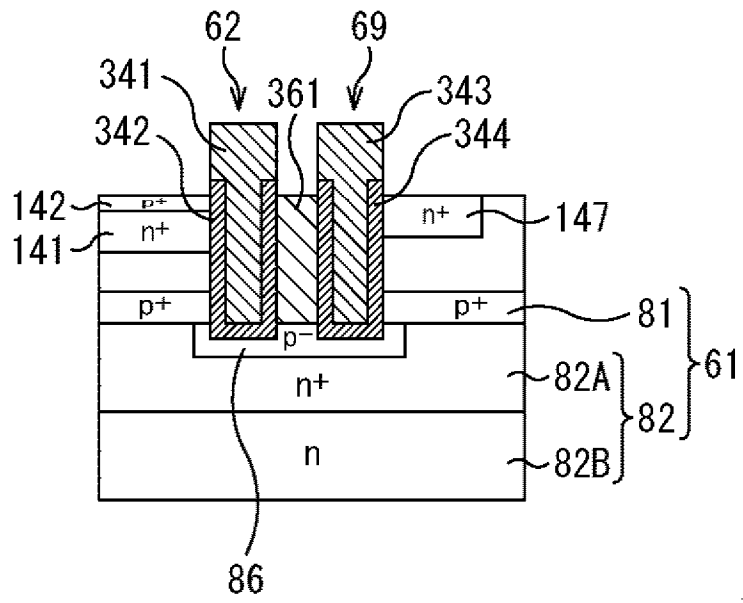
[図23]

図23



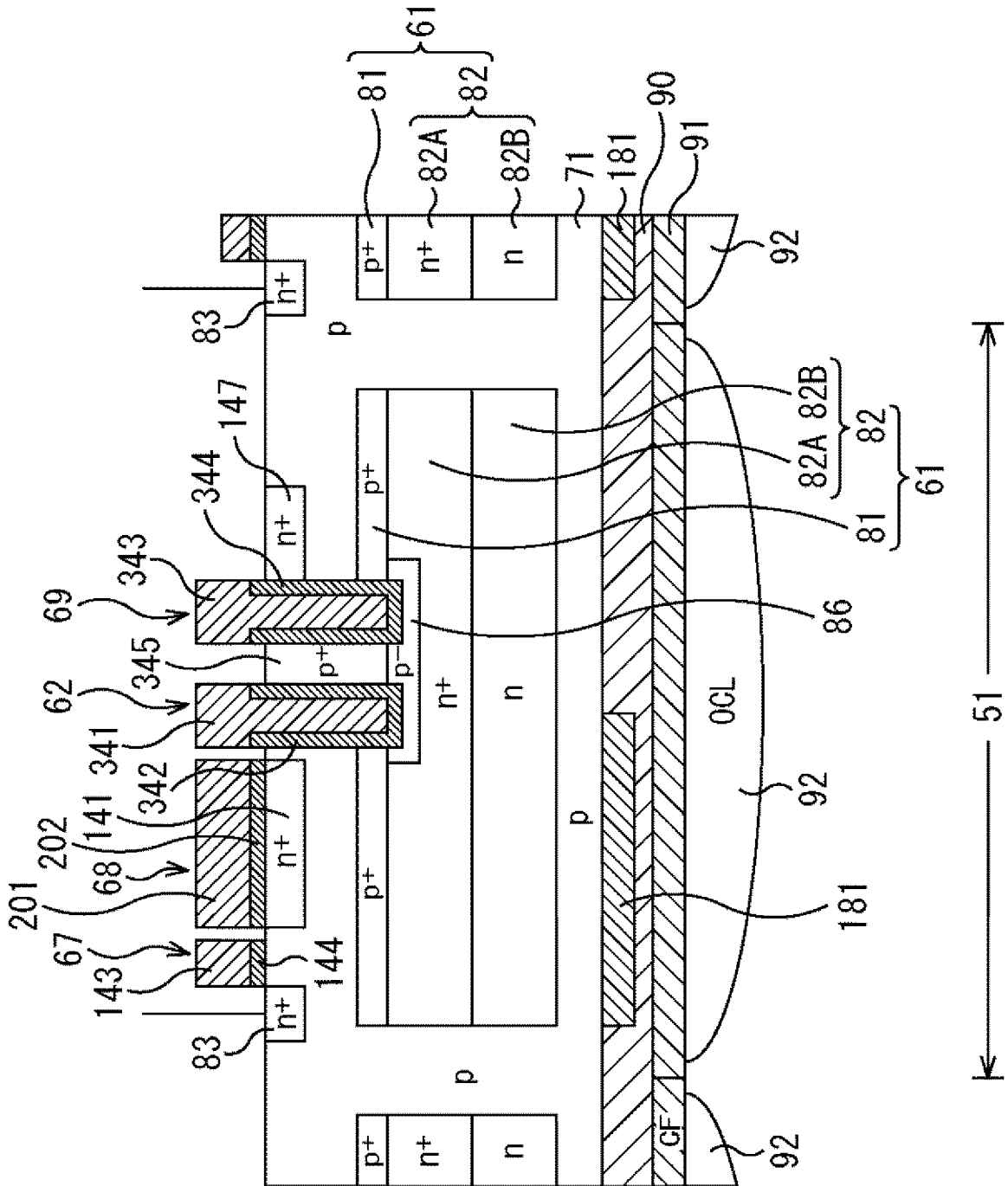
[図26]

図26



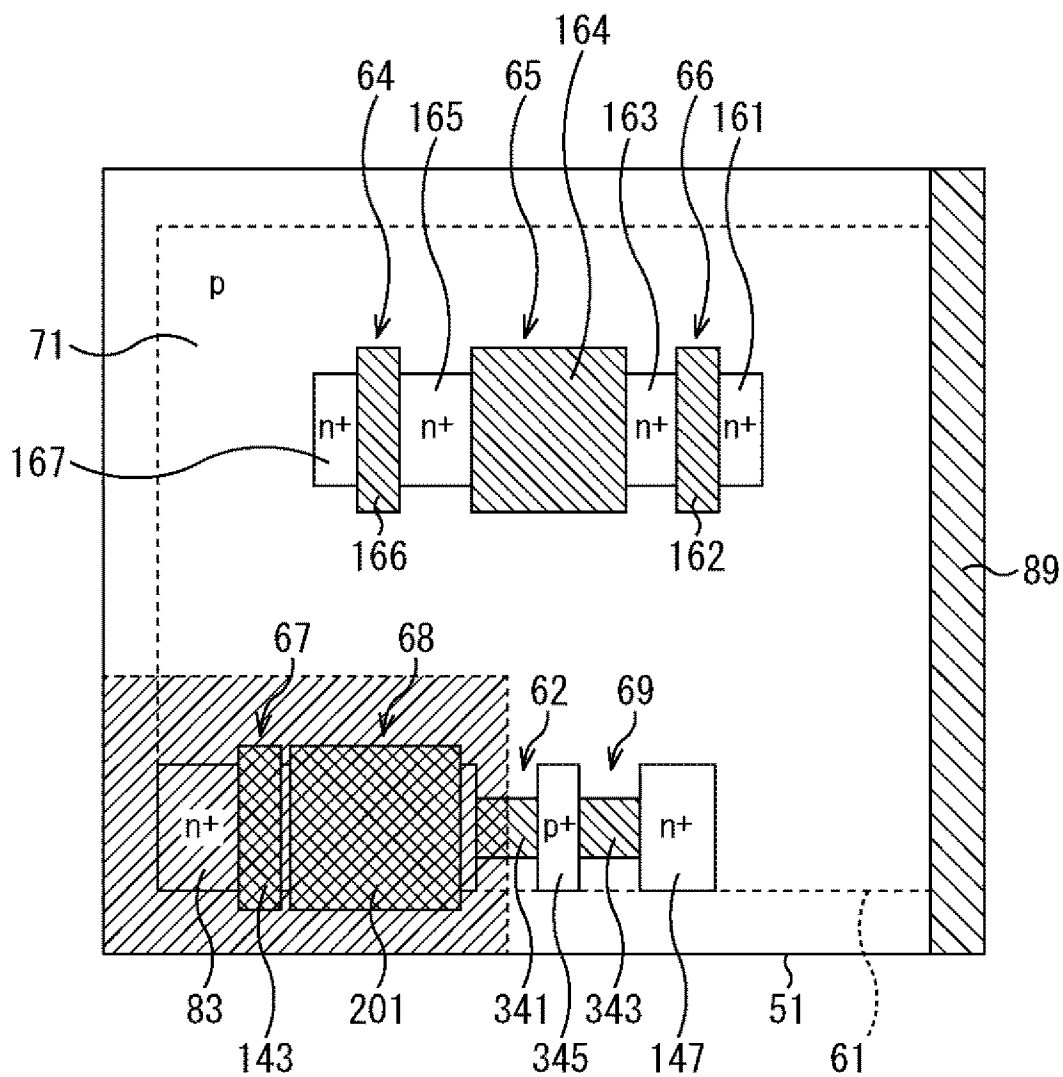
[図28]


図28



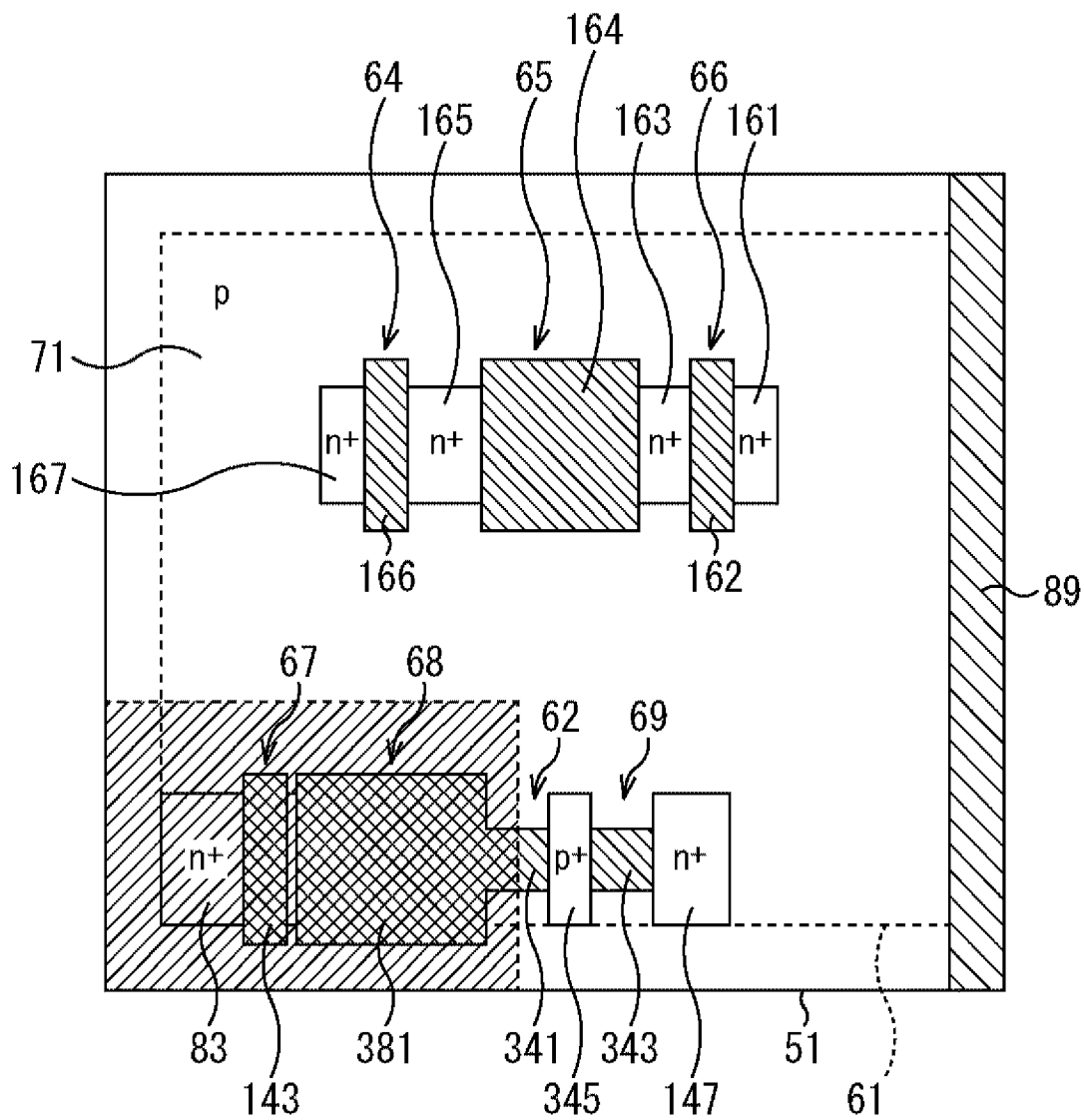
[ 29]

 29



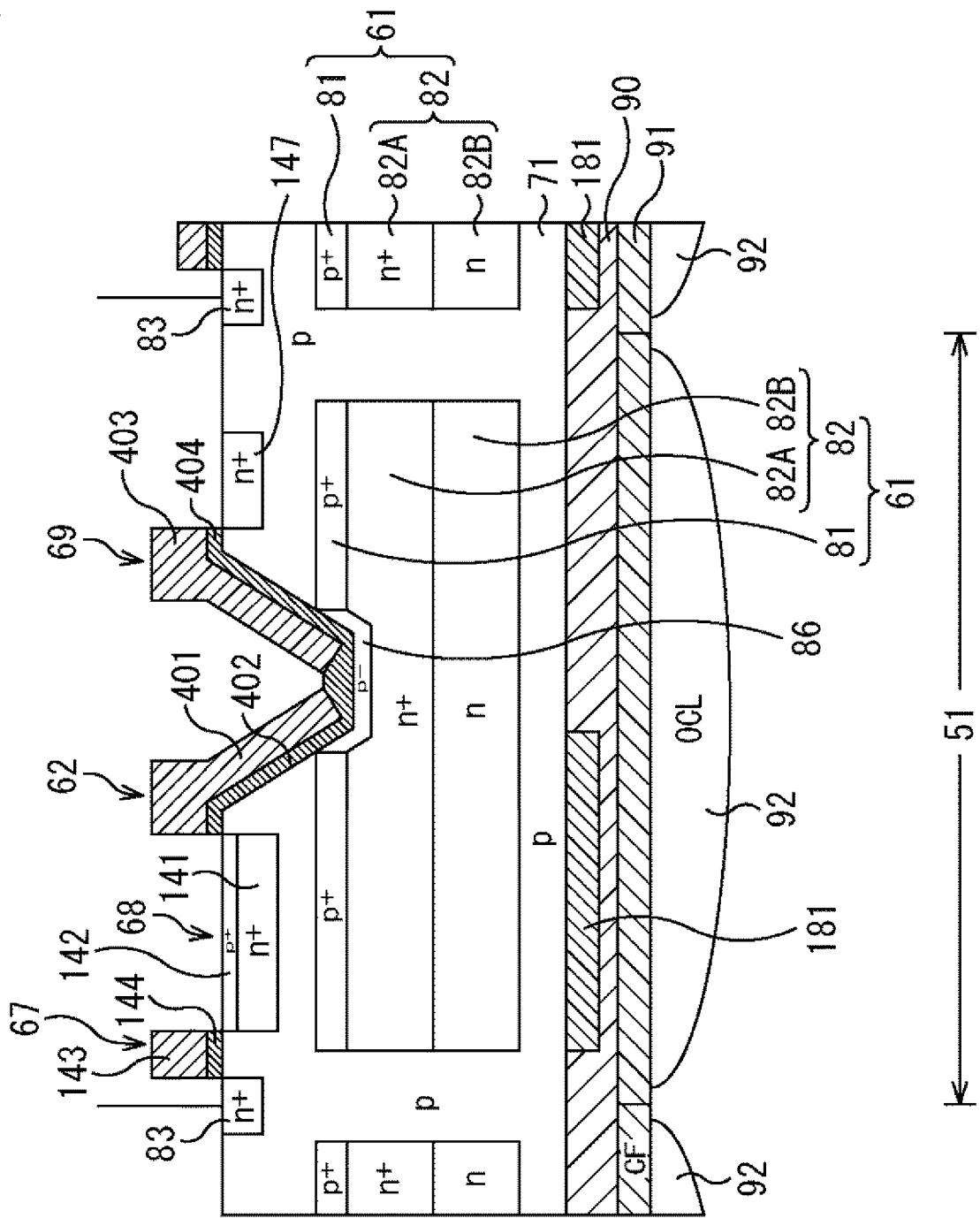
[31]

31



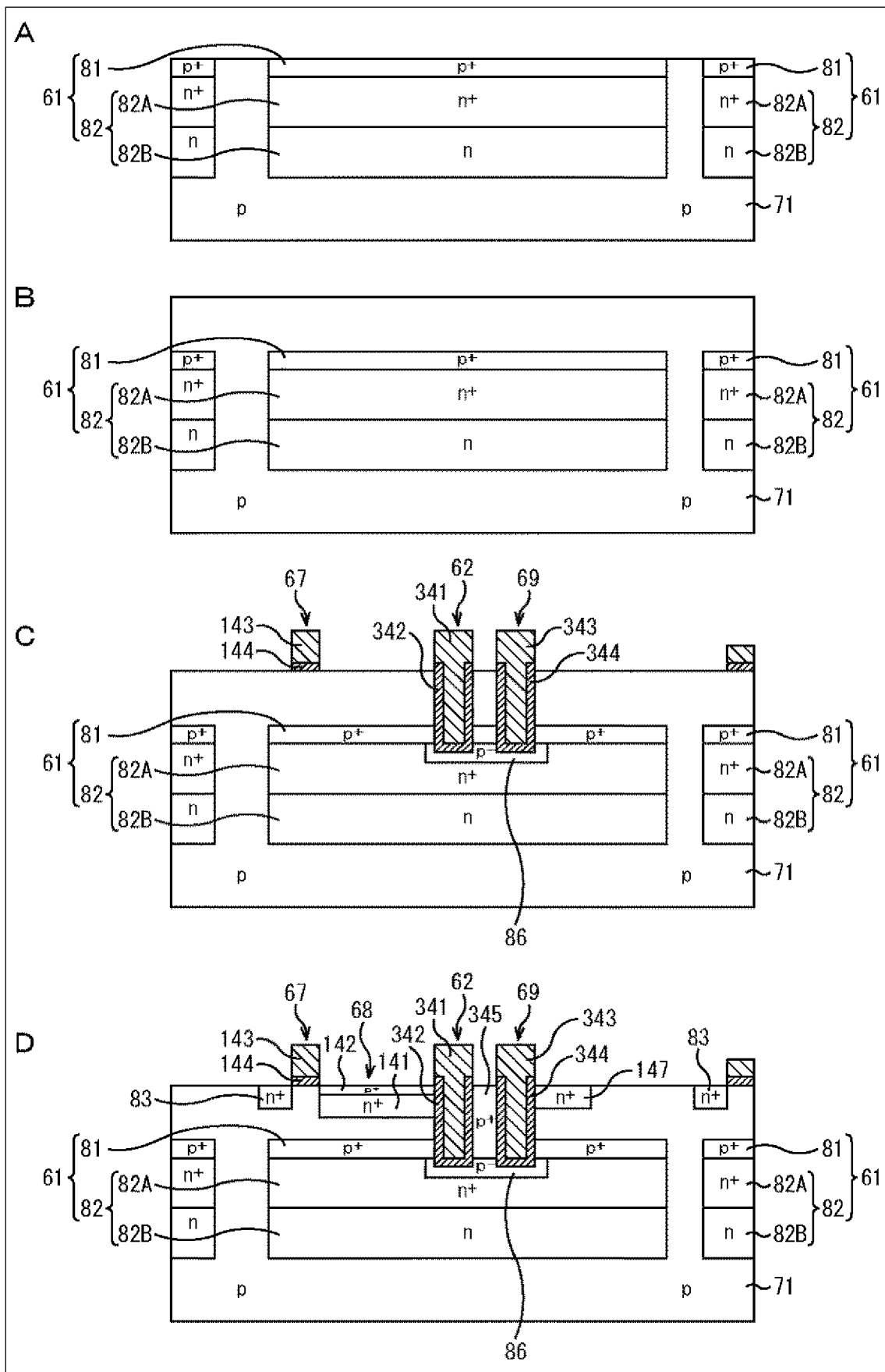
[圖32]

[圖32]



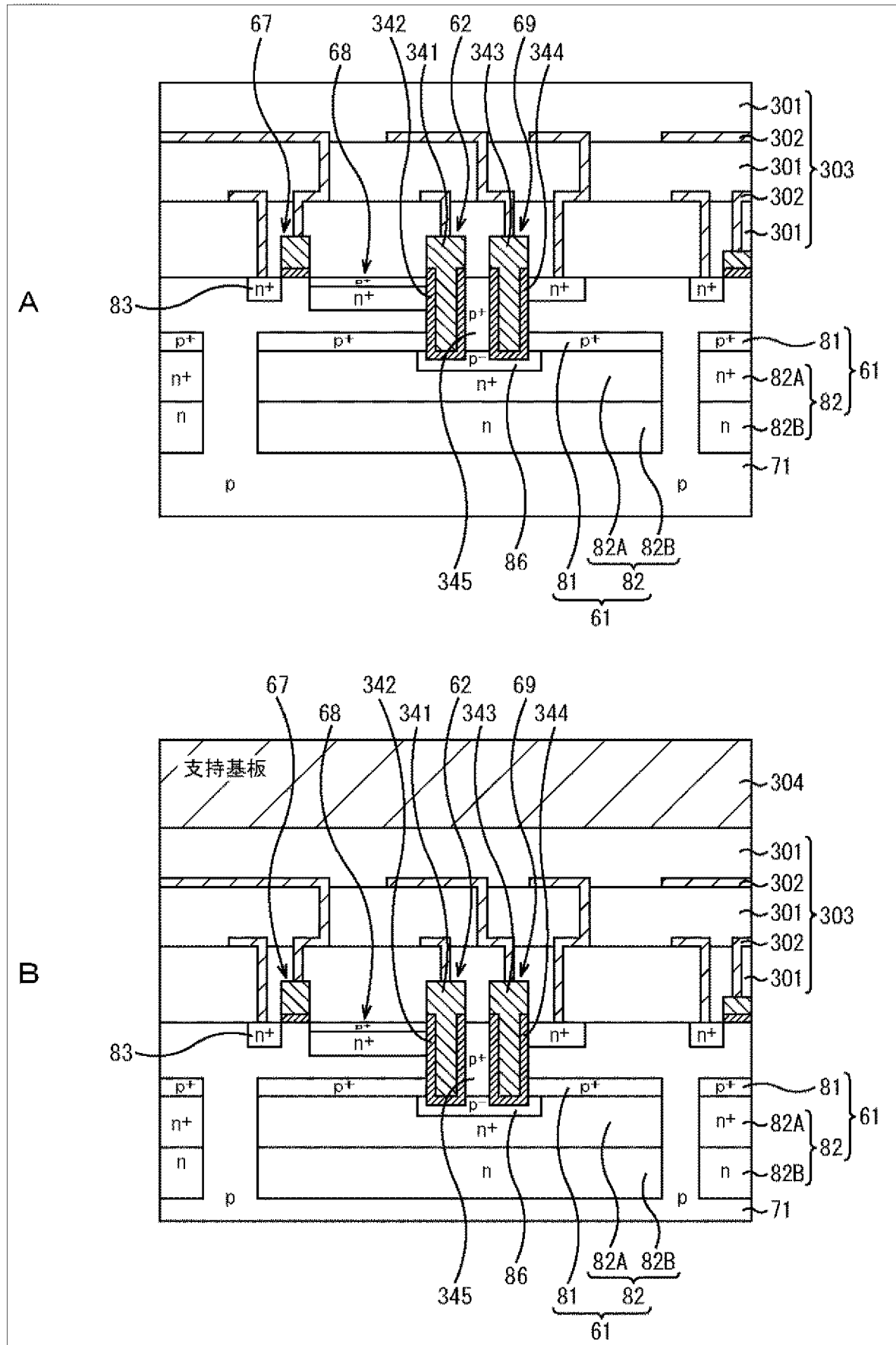
[図37]

図37



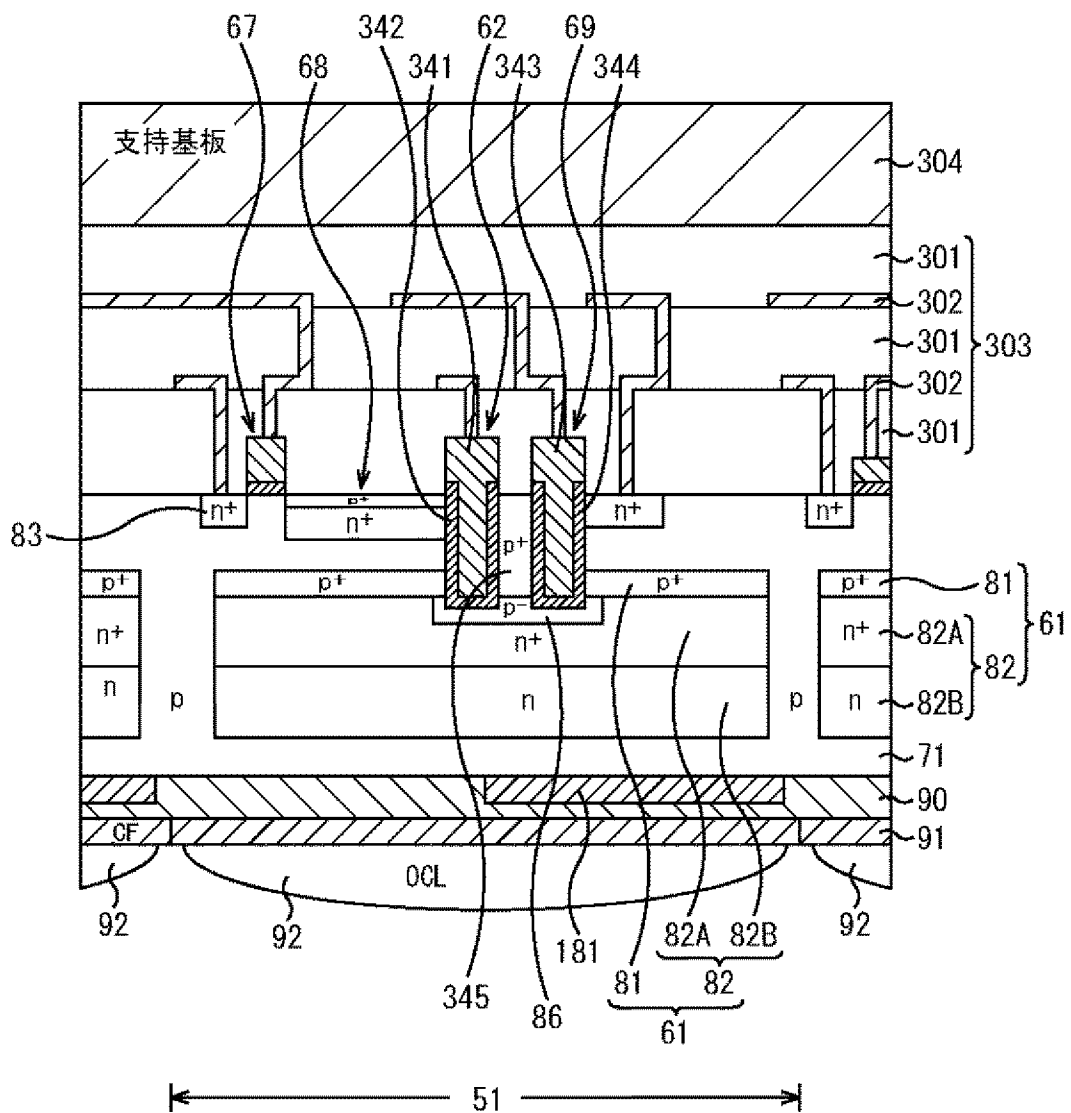
[図38]

図38



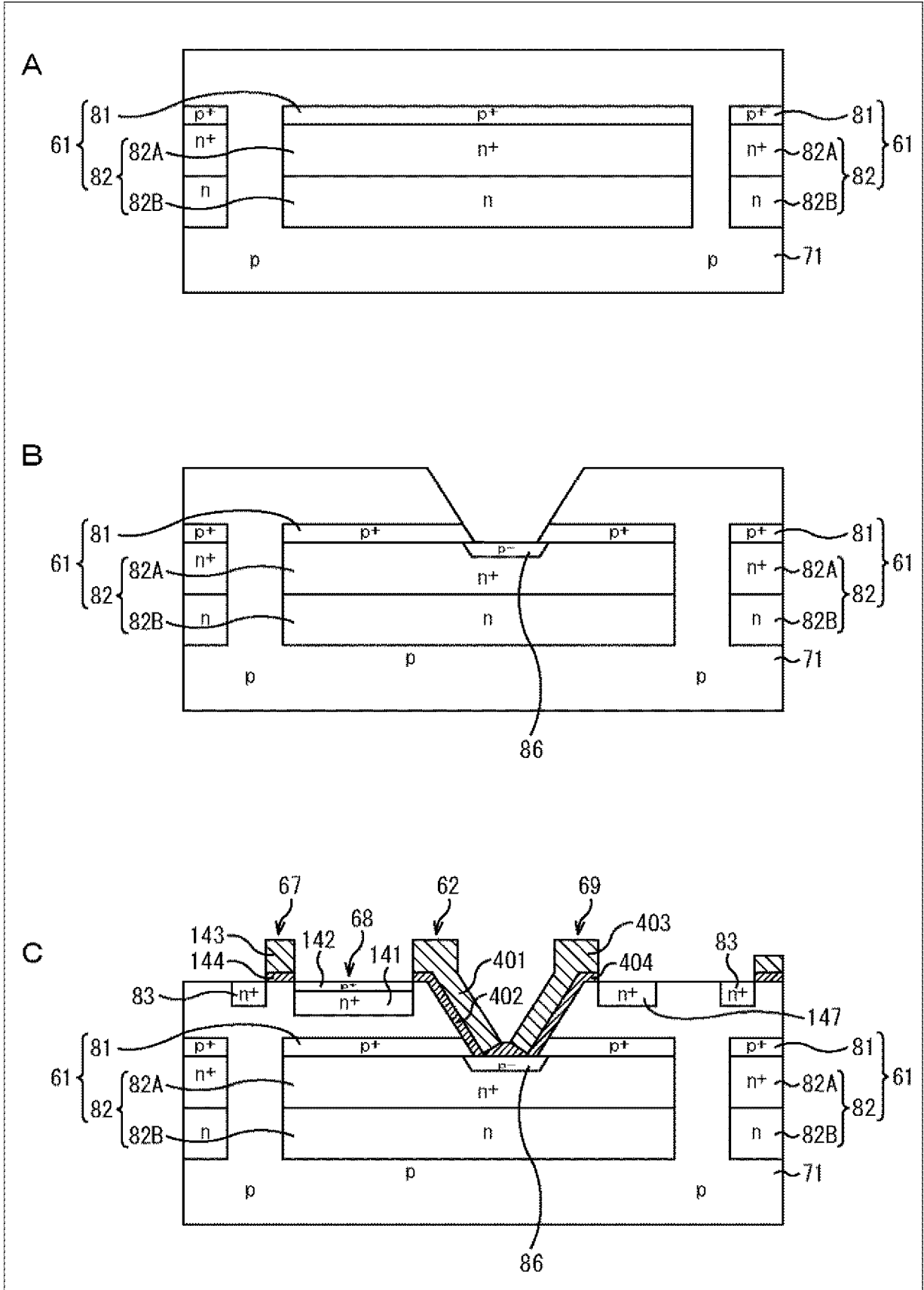
[図39]

図39



[図40]

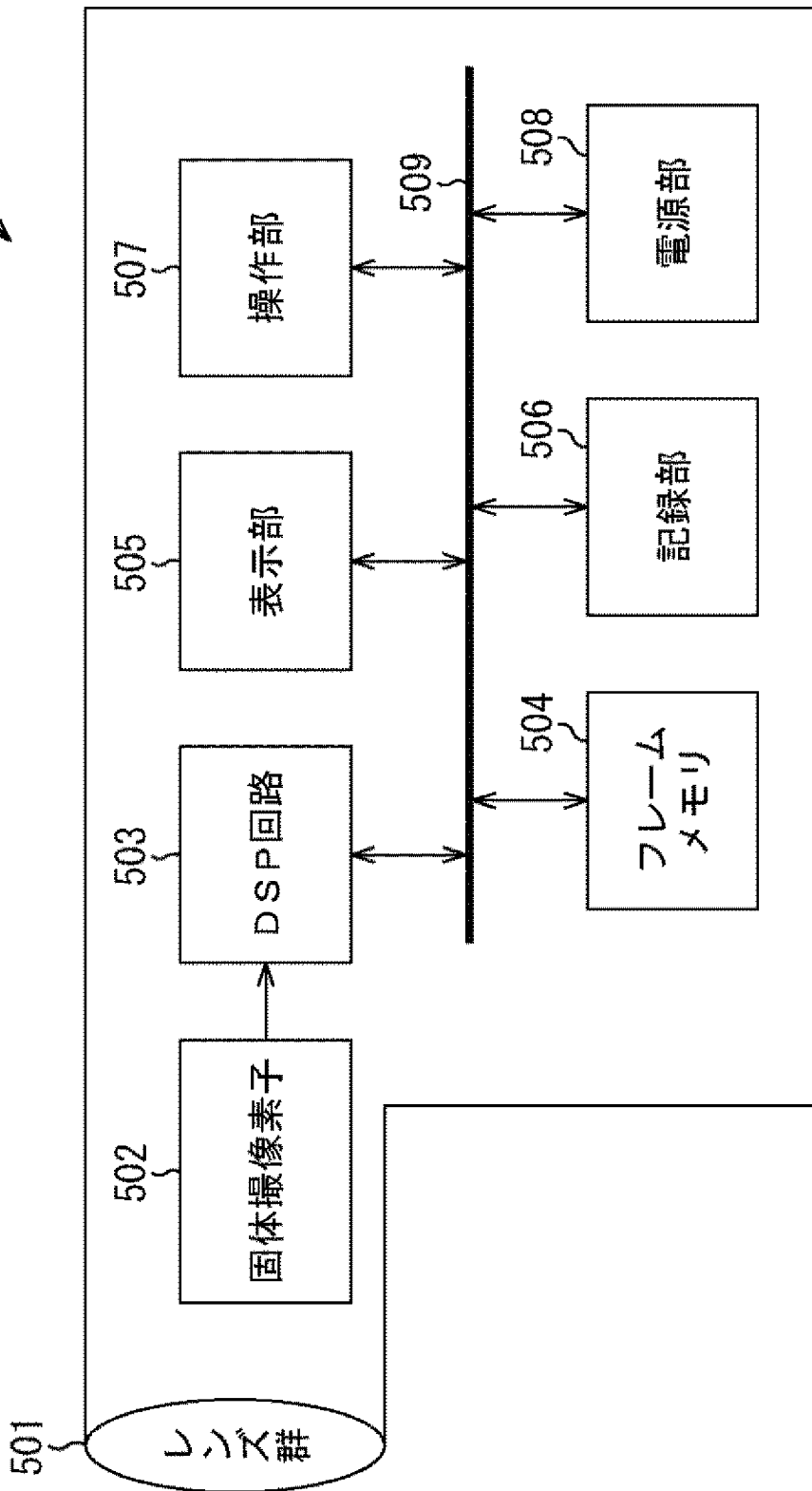
図40



[図41]

図41

500 ↘



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/055008

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-114273 A (Sony Corp.), 20 May 2010 (20.05.2010), paragraphs [0050] to [0057]; fig. 7 to 9 & US 2009/0303371 A1 & EP 2133918 A2 & KR 10-2009-0127828 A & TW 201003907 A	1-3, 6-8 4 5, 9-20
Y A	JP 2005-223084 A (Sony Corp.), 18 August 2005 (18.08.2005), paragraph [0026]; fig. 1 & US 2005/0167704 A1 & US 2007/0246746 A1 & US 2008/0083940 A1 & US 2012/0161267 A1 & EP 1562233 A2 & EP 2432018 A2 & EP 2437299 A1 & EP 2437300 A1 & KR 10-2006-0041633 A & CN 1652343 A & CN 101488512 A & TWB 00I297209 & KR 10-2012-0030511 A	4 1-3, 5-20

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 April, 2014 (02.04.14)	Date of mailing of the international search report 15 April, 2014 (15.04.14)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055008

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-159756 A (Sony Corp.), 18 August 2011 (18.08.2011), fig. 3 & US 2011/0187911 A1 & CN 102170529 A	1-20
A	JP 2013-026264 A (Sony Corp.), 04 February 2013 (04.02.2013), fig. 2 (Family: none)	1-20

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01L27/146(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01L27/146, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2014年
 日本国実用新案登録公報 1996-2014年
 日本国登録実用新案公報 1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2010-114273 A（ソニー株式会社）2010.05.20, 段落 [0050]-[0057], 図7-9 & US 2009/0303371 A1 & EP 2133918 A2 & KR 10-2009-0127828 A & TW 201003907 A	1-3, 6-8 4 5, 9-20
Y A	JP 2005-223084 A（ソニー株式会社）2005.08.18, 段落[0026], 図1 & US 2005/0167704 A1 & US 2007/0246746 A1 & US 2008/0083940 A1 & US 2012/0161267 A1 & EP 1562233 A2 & EP 2432018 A2 & EP 2437299 A1 & EP 2437300 A1 & KR 10-2006-0041633 A & CN 1652343 A & CN 101488512 A & TWB 00I297209 & KR 10-2012-0030511 A	4 1-3, 5-20

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 02.04.2014	国際調査報告の発送日 15.04.2014
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 多賀 和宏 電話番号 03-3581-1101 内線 3559

50 4451

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-159756 A (ソニー株式会社) 2011.08.18, 図3 & US 2011/0187911 A1 & CN 102170529 A	1-20
A	JP 2013-026264 A (ソニー株式会社) 2013.02.04, 図2 (ファミリー なし)	1-20