

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 7월 28일 (28.07.2016)



(10) 국제공개번호
WO 2016/117730 A1

- (51) 국제특허분류:
H04B 1/00 (2006.01)
- (21) 국제출원번호: PCT/KR2015/000710
- (22) 국제출원일: 2015년 1월 23일 (23.01.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0010811 2015년 1월 22일 (22.01.2015) KR
- (71) 출원인: 한국과학기술원 (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) [KR/KR]; 305-701 대전시 유성구 대학로 291, Daejeon (KR).
- (72) 발명자: 임한영 (YIM, Han Young); 305-301 대전시 유성구 온천서로 30-1 (봉명동), Daejeon (KR). 길계태 (GIL, Gye Tae); 305-509 대전시 유성구 배울 2로 19 (관평동), Daejeon (KR). 오상민 (OH, Sang Min); 305-335 대전시 유성구 궁동로 72 번길 12 (궁동), Daejeon (KR). 이주용 (LEE, Ju Yong); 305-509 대전시 유성구 배울 2로 19 (관평동), Daejeon (KR).
- (74) 대리인: 특허법인 무한 (MUHANN PATENT & LAW FIRM); 135-814 서울시 강남구 학동로 3길 9, 5층 (논현동, 명림빌딩), Seoul (KR).

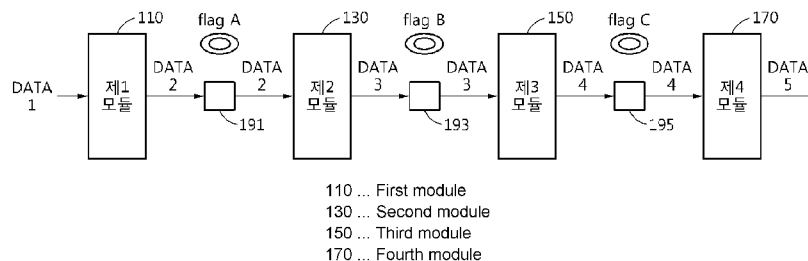
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

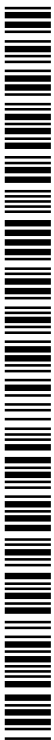
(54) Title: SDR-BASED COMMUNICATION DEVICE, AND METHOD FOR OPERATING SAME

(54) 발명의 명칭 : SDR 기반 통신 장치, 및 이의 동작 방법



(57) Abstract: Disclosed are an SDR-based communication device, and a method for operating same. A communication device according to one example may comprise: a memory map; a first module which generates second data by executing a first process on first data, and then stores the second data in the memory map in accordance with a first level of a flag; and a second module which reads the second data from the memory map in accordance with a second level of the flag.

(57) 요약서: SDR 기반 통신 장치, 및 이의 동작 방법이 개시된다. 일 예에 따른 통신 장치는 메모리 맵과, 제 1 데이터에 제 1 프로세스를 수행하여 제 2 데이터를 생성하고, 플래그의 제 1 레벨에 따라 상기 제 2 데이터를 상기 메모리 맵에 저장하는 제 1 모듈과, 상기 플래그의 제 2 레벨에 따라 상기 메모리 맵으로부터 상기 제 2 데이터를 리드하는 상기 제 2 모듈을 포함할 수 있다.



WO 2016/117730 A1

명세서

발명의 명칭: SDR 기반 통신 장치, 및 이의 동작 방법

기술분야

- [1] 아래 실시예들은 SDR 기반 통신 장치, 및 이의 동작 방법에 관한 것이다.

배경기술

- [2] SDR massive MIMO 시스템은 기존의 통신 시스템에 비교하여 다수의 안테나 개수를 가지고 있다. 기존의 LTE-A 시스템에서 최대 8개의 안테나를 장착하고 있던 것과 비교하여, massive MIMO 시스템에서는 장착 안테나가 16개 이상, 예를 들어 1024개 까지도 고려된다.
- [3] 증가된 안테나의 개수는 송신단 및 수신단에서 대폭 증가된 연산 복잡도를 야기한다. 예를 들어, massive MIMO 시스템의 송신단의 송신 빔 형성부, IFFT 연산부 및 수신단의 MIMO 연산부, FFT 연산부에서 안테나 수 증가에 따른 연산 복잡도는 기하 급수적으로 증가한다.
- [4] 기존의 송수신기 구조에 기반한 SDR massive MIMO 시스템은 실제 수행 시간의 대폭 증가로 인하여 동작에 어려움이 있다.

발명의 상세한 설명

기술적 과제

- [5] 실시예들은 데이터 입/출력 방식을 메모리 맵 방식으로 구현하고, 각 프로세스 간에 플래그를 구현하여 각 모듈이 독립적으로 동작할 수 있는 기술을 제공할 수 있다.
- [6] 또한, 실시예들은 각 모듈이 데이터를 병렬적 구조로 처리할 수 있는 파이프라이닝 구조로 구현될 수 있는 기술을 제공할 수 있다.

과제 해결 수단

- [7] 일 예에 따른 통신 장치는 메모리 맵과, 제1 데이터에 제1 프로세스를 수행하여 제2 데이터를 생성하고, 플래그의 제1 레벨에 따라 상기 제2 데이터를 상기 메모리 맵에 저장하는 제1 모듈과, 상기 플래그의 제2 레벨에 따라 상기 메모리 맵으로부터 상기 제2 데이터를 리드하는 상기 제2 모듈을 포함할 수 있다.
- [8] 상기 제2 모듈은 상기 제2 데이터에 제2 프로세스를 수행하여 제3 데이터를 생성할 수 있다.
- [9] 상기 제1 모듈과 상기 제2 모듈은 파이프라이닝 구조로 구현될 수 있다.
- [10] 상기 플래그는 상기 제1 프로세스와 상기 제2 프로세스간에 구현될 수 있다.
- [11] 상기 제1 프로세스와 상기 제2 프로세스의 처리 시간(processing time)은 동일할 수 있다.
- [12] 일 예에 따른 통신 장치의 동작 방법은 제1 모듈이 제1 데이터에 제1 프로세스를 수행하여 제2 데이터를 생성하는 단계와, 상기 제1 모듈이 플래그의 제1 레벨에 따라 상기 제2 데이터를 메모리 맵에 저장하는 단계와, 제2 모듈이

상기 플래그의 제2 레벨에 따라 상기 메모리 맵으로부터 상기 제2 데이터를 리드하는 단계를 포함할 수 있다.

[13] 상기 방법은 상기 제2 모듈이 상기 제2 데이터에 제2 프로세스를 수행하여 제3 데이터를 생성하는 단계를 더 포함할 수 있다.

[14] 상기 제1 모듈과 상기 제2 모듈은 파이프라이닝(pipelining) 구조로 구현될 수 있다.

[15] 상기 플래그는 상기 제1 프로세스와 상기 제2 프로세스간에 구현될 수 있다.

[16] 상기 제1 프로세스와 상기 제2 프로세스의 처리 시간(processing time)은 동일할 수 있다.

도면의 간단한 설명

[17] 도 1은 일 실시예에 따른 통신 장치의 개략적인 구조도이고,

[18] 도 2는 도 1에 도시된 통신 장치에 포함된 모듈들의 병렬 동작 구조를 설명하기 위한 도면이다.

[19] 도 3은 도 1에 도시된 통신 장치의 동작 방법을 설명하기 위한 플로우 차트이다.

[20] 도 4는 도 1의 통신 장치의 일 실시예에 따른 송신기의 구조도의 일 예를 나타낸다.

[21] 도 5는 도 4의 송신기에 포함된 서브 모듈들의 병렬 동작 구조를 설명하기 위한 도면이다.

[22] 도 6은 도 1의 통신 장치의 다른 실시예에 따른 수신기의 구조도의 일 예를 나타낸다.

[23] 도 7은 도 6의 수신기에 포함된 서브 모듈들의 병렬 동작 구조를 설명하기 위한 도면이다.

발명의 실시를 위한 최선의 형태

[24] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[25] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[26] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될

수 있다.

[27] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[28] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[29] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[30]

[31] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.

[32]

[33] 본 명세서에서의 모듈(module)은 본 명세서에서 설명되는 각 명칭에 따른 기능과 동작을 수행할 수 있는 하드웨어를 의미할 수도 있고, 특정 기능과 동작을 수행할 수 있는 컴퓨터 프로그램 코드를 의미할 수도 있고, 또는 특정 기능과 동작을 수행시킬 수 있는 컴퓨터 프로그램 코드가 탑재된 전자적 기록 매체, 예를 들어 프로세서 또는 마이크로 프로세서를 의미할 수 있다.

[34] 다시 말해, 모듈이란 본 발명의 기술적 사상을 수행하기 위한 하드웨어 및/또는 상기 하드웨어를 구동하기 위한 소프트웨어의 기능적 및/또는 구조적 결합을 의미할 수 있다.

[35]

[36] 도 1은 일 실시예에 따른 통신 장치의 개략적인 구조도이고, 도 2는 도 1에도시된 통신 장치에 포함된 모듈들의 병렬 동작 구조를 설명하기 위한 도면이다.

[37] 도 1 및 도 2를 참조하면, 통신 장치(10)는 제1 모듈(110), 제2 모듈(130), 제3

- 모듈(150), 제4 모듈(170), 및 메모리 맵들(191, 193, 및 195)을 포함할 수 있다.
- [38] 통신 장치(10)는 LTE, LTE-A, 또는 SDR massive MIMO 기반의 통신 장치일 수 있다. 예를 들어, 통신 장치(10)는 송신기, 수신기 또는 송수신기로 구현될 수 있다.
- [39] 도 1 및 도 2에서는 설명의 편의를 위해서 4 개의 모듈로 구현된 통신 장치(10)를 도시하고 있지만, 본 발명의 범위는 이에 한정되지 않으며, 실시 예에 따라 2개 이상의 모듈을 포함하는 통신 장치(10)일 수 있다.
- [40] 각 모듈(110, 130, 150, 및 170) 사이의 데이터 입/출력 방식은 선행 프로세스의 출력 데이터를 후행 프로세스의 입력 데이터로 전달하는 메모리 맵 방식으로 구현될 수 있다.
- [41] 이때, 플래그(flagA, flagB 또는 flagC)는 각 프로세스 간에 구현될 수 있다. 예를 들어, 제1 플래그(flagA)는 제1 모듈(110)의 제1 프로세스와 제2 모듈(130)의 제2 프로세스 간에 구현될 수 있다. 제2 플래그(flagB)는 제2 프로세스와 제3 모듈(150)의 제3 프로세스 간에 구현될 수 있다. 제3 플래그(flagC)는 제3 프로세스와 제4 모듈(170)의 제4 프로세스 간에 구현될 수 있다.
- [42] 각 모듈(110, 130, 150, 및 170)의 수행 시간, 예를 들어 제1 프로세스 내지 제4 프로세스 각각의 처리 시간(processing time)은 실질적으로 동일할 수 있다. 이에, 각 모듈(110, 130, 150, 및 170)은 실질적으로 동일한 지연 시간을 가질 수 있다.
- [43] 데이터가 선행 프로세스에서 처리되고, 처리된 데이터가 메모리 맵으로 전송된 후, 플래그(flagA, flagB 또는 flagC)의 레벨은 변경될 수 있다. 또한, 메모리 맵으로부터 저장된 데이터가 후행 프로세스의 처리를 위해 리드된 후, 플래그(flagA, flagB 또는 flagC)의 레벨은 변경될 수 있다.
- [44] 이에, 통신 장치(10), 예를 들어 각 모듈(110, 130, 150, 및 170)은 파이프라이닝(pipelining) 구조로 구현되고, 독립적으로 동작할 수 있다. 이하에서는, 각 모듈(110, 130, 150, 및 170)의 동작을 상세히 설명한다.
- [45] 제1 모듈(110)은 제1 데이터(DATA1)를 수신할 수 있다. 제1 모듈(110)은 제1 데이터(DATA1)에 제1 프로세스를 수행하여 제2 데이터(DATA2)를 생성할 수 있다.
- [46] 제1 모듈(110)은 제1 플래그(flagA)에 기초하여 제2 데이터(DATA2)를 제1 메모리 맵(191)에 저장할 수 있다. 예를 들어, 제1 플래그(flagA)의 레벨이 제1 레벨, 예를 들어 로우 레벨 또는 로직 0일 때, 제1 모듈(110)은 제2 데이터(DATA2)를 제1 메모리 맵(191)에 저장할 수 있다. 제1 플래그(flagA)의 레벨이 제2 레벨, 예를 들어 하이 레벨 또는 로직 1일 때, 제1 모듈(110)은 제2 데이터(DATA2)를 가지고, 제1 플래그(flagA)의 레벨이 제1 레벨로 변경될 때까지 기다릴 수 있다.
- [47] 제1 모듈(110)이 제2 데이터(DATA2)를 제1 메모리 맵(191)에 저장한 후, 제1 플래그(flagA)의 레벨은 변경, 예를 들어 제1 레벨에서 제2 레벨로 변경될 수 있다.

- [48] 제2 모듈(130)은 제1 플래그(flagA)에 기초하여 제1 메모리 맵(191)으로부터 저장된 제2 데이터(DATA2)를 리드할 수 있다. 예를 들어, 제1 플래그(flagA)의 레벨이 제2 레벨일 때, 제2 모듈(130)은 제1 메모리 맵(191)으로부터 저장된 제2 데이터(DATA2)를 리드할 수 있다. 제1 플래그(flagA)이 제1 레벨일 때, 제2 모듈(130)은 제1 플래그(flagA)의 레벨이 제2 레벨로 변경될 때까지 기다릴 수 있다.
- [49] 제2 모듈(130)이 제2 데이터(DATA2)를 제1 메모리 맵(191)으로부터 리드한 후, 제1 플래그(flagA)의 레벨은 변경, 예를 들어 제2 레벨에서 제1 레벨로 변경될 수 있다.
- [50] 제2 모듈(130)은 제2 데이터(DATA2)에 제2 프로세스를 수행하여 제3 데이터(DATA3)를 생성할 수 있다.
- [51] 제2 모듈(130)은 제2 플래그(flagB)에 기초하여 제3 데이터(DATA3)를 제2 메모리 맵(193)에 저장할 수 있다. 예를 들어, 제2 플래그(flagB)의 레벨이 제1 레벨일 때, 제2 모듈(130)은 제3 데이터(DATA3)를 제2 메모리 맵(193)에 저장할 수 있다. 제2 플래그(flagB)의 레벨이 제2 레벨일 때, 제2 모듈(130)은 제3 데이터(DATA2)를 가지고, 제2 플래그(flagB)의 레벨이 제1 레벨로 변경될 때까지 기다릴 수 있다.
- [52] 제2 모듈(130)이 제3 데이터(DATA3)를 제2 메모리 맵(193)에 저장한 후, 제2 플래그(flagB)의 레벨은 변경, 예를 들어 제1 레벨에서 제2 레벨로 변경될 수 있다.
- [53] 제3 모듈(150)은 제2 플래그(flagB)에 기초하여 제2 메모리 맵(193)으로부터 저장된 제3 데이터(DATA3)를 리드할 수 있다. 예를 들어, 제2 플래그(flagB)의 레벨이 제2 레벨일 때, 제3 모듈(150)은 제2 메모리 맵(193)으로부터 저장된 제3 데이터(DATA3)를 리드할 수 있다. 제2 플래그(flagB)이 제1 레벨일 때, 제3 모듈(150)은 제2 플래그(flagB)의 레벨이 제2 레벨로 변경될 때까지 기다릴 수 있다.
- [54] 제3 모듈(150)이 제3 데이터(DATA3)를 제2 메모리 맵(193)으로부터 리드한 후, 제2 플래그(flagB)의 레벨은 변경, 예를 들어 제2 레벨에서 제1 레벨로 변경될 수 있다.
- [55] 제3 모듈(150)은 제3 데이터(DATA3)에 제3 프로세스를 수행하여 제4 데이터(DATA4)를 생성할 수 있다.
- [56] 제3 모듈(150)은 제3 플래그(flagC)에 기초하여 제4 데이터(DATA4)를 제3 메모리 맵(195)에 저장할 수 있다. 예를 들어, 제3 플래그(flagC)의 레벨이 제1 레벨일 때, 제3 모듈(150)은 제4 데이터(DATA4)를 제3 메모리 맵(195)에 저장할 수 있다. 제3 플래그(flagC)의 레벨이 제2 레벨일 때, 제3 모듈(150)은 제4 데이터(DATA4)를 가지고, 제3 플래그(flagC)의 레벨이 제1 레벨로 변경될 때까지 기다릴 수 있다.
- [57] 제3 모듈(150)이 제4 데이터(DATA4)를 제3 메모리 맵(195)에 저장한 후, 제3

플래그(flagC)의 레벨은 변경, 예를 들어 제1 레벨에서 제2 레벨로 변경될 수 있다.

- [58] 제4 모듈(170)은 제3 플래그(flagC)에 기초하여 제3 메모리 맵(195)으로부터 저장된 제4 데이터(DATA4)를 리드할 수 있다. 예를 들어, 제3 플래그(flagC)의 레벨이 제2 레벨일 때, 제4 모듈(170)은 제3 메모리 맵(195)으로부터 저장된 제4 데이터(DATA4)를 리드할 수 있다. 제3 플래그(flagC)이 제1 레벨일 때, 제4 모듈(170)은 제3 플래그(flagC)의 레벨이 제2 레벨로 변경될 때까지 기다릴 수 있다.
- [59] 제4 모듈(170)이 제4 데이터(DATA4)를 제3 메모리 맵(195)으로부터 리드한 후, 제3 플래그(flagC)의 레벨은 변경, 예를 들어 제2 레벨에서 제1 레벨로 변경될 수 있다.
- [60] 제4 모듈(170)은 제4 데이터(DATA4)에 제4 프로세스를 수행하여 제5 데이터(DATA5)를 생성할 수 있다. 제4 모듈(170)은 제5 데이터(DATA5)를 출력할 수 있다. 예를 들어, 제4 모듈(170)은 제5 데이터(DATA5)를 통신 장치(10)와 통신 가능한 상이한 통신 장치로 출력할 수 있다.
- [61] 데이터 입/출력 방식을 메모리 맵 방식으로 구현하고, 각 프로세스 간에 플래그를 구현함으로써, 각 모듈(110, 130, 150, 및 170)은 독립적으로 동작할 수 있다. 이에, 도 2 도시된 바와 같이, 각 모듈(110, 130, 150, 및 170)은 데이터를 병렬적 구조로 처리할 수 있다.
- [62] 따라서, 각 구성(예를 들어, 각 모듈)이 직렬 순차적으로 구성되어 각 구성의 수행 시간을 모두 거친 후 송신 신호(또는 수신 신호)를 생성하는 일반적인 통신 장치에 비해, 통신 장치(10)의 전체 수행 시간(또는 전체 처리 시간)은 대폭 감소될 수 있다.
- [63]
- [64] 도 3은 도 1에 도시된 통신 장치의 동작 방법을 설명하기 위한 플로우 차트이다.
- [65] 도 3에서는 설명의 편의를 위해 제1 모듈(110)과 제2 모듈(130)에 한해 통신 장치(10)의 동작 방법을 설명한다.
- [66] 도 3을 참조하면, 제1 모듈(110)은 제1 데이터(DATA1)에 제1 프로세스를 수행하여 제2 데이터(DATA2)를 생성할 수 있다(S310).
- [67] 제1 모듈(110)은 플래그(flagA)의 제1 레벨에 따라 제2 데이터(DATA2)를 메모리 맵(191)에 저장할 수 있다(S320). 예를 들어, 제1 모듈(110)이 제2 데이터(DATA2)를 제1 메모리 맵(191)에 저장한 후, 제1 플래그(flagA)의 레벨은 제1 레벨에서 제2 레벨로 변경될 수 있다.
- [68] 제2 모듈(130)은 플래그(flagA)의 제2 레벨에 따라 메모리 맵(191)으로부터 제2 데이터를 리드할 수 있다(S330). 예를 들어, 제2 모듈(130)이 제2 데이터(DATA2)를 제1 메모리 맵(191)으로부터 리드한 후, 제1 플래그(flagA)의 레벨은 제2 레벨에서 제1 레벨로 변경될 수 있다.
- [69]

- [70] 도 4는 도 1의 통신 장치의 일 실시예에 따른 송신기의 구조도의 일 예를 나타내고, 도 5는 도 4의 송신기에 포함된 서브 모듈들의 병렬 동작 구조를 설명하기 위한 도면이다.
- [71] 도 4 및 도 5를 참조하면, 송신기(20)는 제1 서브 모듈(210), 제2 서브 모듈(230), 제3 서브 모듈(250), 및 제4 서브 모듈(270)을 포함할 수 있다.
- [72] 도 4에 도시된 바와 같이, 송신기(20) 구조상 각 서브 모듈(210, 230, 250, 및 270)이 독립적으로 동작할 수 있도록 송신기(20)의 구조 중 특정 부분이 모듈화될 수 있다. 따라서, 서브 모듈들(210, 230, 250, 및 270)이 파이프라이닝 구조로 구현될 수 있다.
- [73] 도 4에서는 설명의 편의를 위해 각 프로세스 간의 메모리 맵과 플래그를 도시하고 있지 않지만, 도 4의 각 서브 모듈의 동작은 도 1 및 도 2의 각 모듈의 동작과 실질적으로 동일할 수 있다.
- [74] 각 서브 모듈(210, 230, 250, 및 270)의 수행 시간, 예를 들어 각 프로세스의 처리 시간(processing time)은 실질적으로 동일할 수 있다. 즉, 송신기(20)의 구조에서 구현될 각 모듈(210, 230, 250, 및 270)은 송신기(20)의 구조 중 특정 부분의 프로세스의 처리 시간을 고려하여 모듈화될 수 있다.
- [75] 도 1 및 도 2에서 상술한 바와 같이, 데이터 입/출력 방식을 메모리 맵 방식으로 구현하고, 각 프로세스 간에 플래그를 구현함으로써, 각 서브 모듈(210, 230, 250, 및 270)은 독립적으로 동작할 수 있다. 이에, 도 5 도시된 바와 같이, 각 서브 모듈(210, 230, 250, 및 270)은 데이터를 병렬적 구조로 처리할 수 있다.
- [76] 따라서, 각 구성(예를 들어, 각 모듈)이 직렬 순차적으로 구성되어 각 구성의 수행 시간을 모두 거친 후 송신 신호를 생성하는 일반적인 송신기에 비해, 송신기(20)의 전체 수행 시간(또는 전체 처리 시간)은 대폭 감소될 수 있다.
- [77]
- [78] 도 6은 도 1의 통신 장치의 다른 실시예에 따른 수신기의 구조도의 일 예를 나타내고, 도 7은 도 6의 수신기에 포함된 서브 모듈들의 병렬 동작 구조를 설명하기 위한 도면이다.
- [79] 도 6 및 도 7을 참조하면, 수신기(30)는 제4 서브 모듈(310), 제5 서브 모듈(330), 및 제6 서브 모듈(350)을 포함할 수 있다.
- [80] 도 6에 도시된 바와 같이, 수신기(30)의 구조 중 특정 부분을 모듈화하여 수신기(30) 구조상 각
- [81] 도 6에 도시된 바와 같이, 수신기(30) 구조상 각 서브 모듈(310, 330, 및 350)이 독립적으로 동작할 수 있도록 수신기(30)의 구조 중 특정 부분이 모듈화될 수 있다. 따라서, 서브 모듈들(310, 330, 및 350)이 파이프라이닝 구조로 구현될 수 있다.
- [82] 도 6에서는 설명의 편의를 위해 각 프로세스 간의 메모리 맵과 플래그를 도시하고 있지 않지만, 도 6의 각 서브 모듈의 동작은 도 1 및 도 2의 각 모듈의 동작과 실질적으로 동일할 수 있다.

- [83] 각 서브 모듈(310, 330, 및 350)의 수행 시간, 예를 들어 각 프로세스의 처리 시간(processing time)은 실질적으로 동일할 수 있다. 즉, 수신기(30)의 구조에서 구현될 각 모듈(310, 330, 및 350)은 수신기(30)의 구조 중 특정 부분의 프로세스의 처리 시간을 고려하여 모듈화될 수 있다.
- [84] 도 1 및 도 2에서 상술한 바와 같이, 데이터 입/출력 방식을 메모리 맵 방식으로 구현하고, 각 프로세스 간에 플래그를 구현함으로써, 각 서브 모듈(310, 330, 및 350)은 독립적으로 동작할 수 있다. 이에, 도 5 도시된 바와 같이, 각 서브 모듈(310, 330, 및 350)은 데이터를 병렬적 구조로 처리할 수 있다.
- [85] 따라서, 각 구성(예를 들어, 각 모듈)이 직렬 순차적으로 구성되어 각 구성의 수행 시간을 모두 거친 후 수신 신호를 생성하는 일반적인 수신기에 비해, 수신기(30)의 전체 수행 시간(또는 전체 처리 시간)은 대폭 감소될 수 있다.
- [86]
- [87] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [88] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된

방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

- [89] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [90] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [91] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

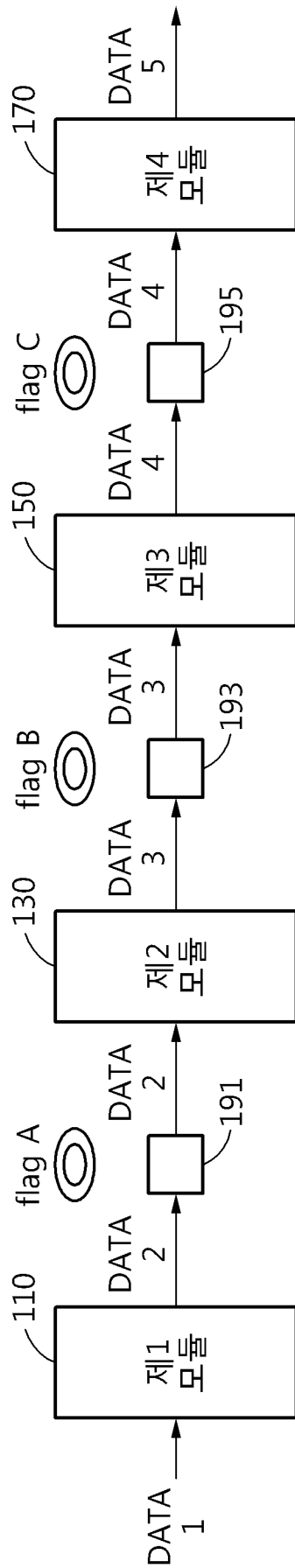
청구범위

- [청구항 1] 메모리 맵;
제1 데이터에 제1 프로세스를 수행하여 제2 데이터를 생성하고,
플래그의 제1 레벨에 따라 상기 제2 데이터를 상기 메모리 맵에
저장하는 제1 모듈; 및
상기 플래그의 제2 레벨에 따라 상기 메모리 맵으로부터 상기 제2
데이터를 리드하는 상기 제2 모듈
을 포함하는 통신 장치.
- [청구항 2] 제1항에 있어서,
상기 제2 모듈은 상기 제2 데이터에 제2 프로세스를 수행하여 제3
데이터를 생성하는 통신 장치.
- [청구항 3] 제1항에 있어서,
상기 제1 모듈과 상기 제2 모듈은 파이프라이닝(pipelining) 구조로
구현된 통신 장치.
- [청구항 4] 제2항에 있어서,
상기 플래그는 상기 제1 프로세스와 상기 제2 프로세스간에
구현된 통신 장치.
- [청구항 5] 제2항에 있어서,
상기 제1 프로세스와 상기 제2 프로세스의 처리 시간(processing
time)은 동일한 통신 장치.
- [청구항 6] 제1 모듈이 제1 데이터에 제1 프로세스를 수행하여 제2 데이터를
생성하는 단계;
상기 제1 모듈이 플래그의 제1 레벨에 따라 상기 제2 데이터를
메모리 맵에 저장하는 단계; 및
제2 모듈이 상기 플래그의 제2 레벨에 따라 상기 메모리
맵으로부터 상기 제2 데이터를 리드하는 단계
를 포함하는 통신 장치의 동작 방법.
- [청구항 7] 제6항에 있어서,
상기 제2 모듈이 상기 제2 데이터에 제2 프로세스를 수행하여 제3
데이터를 생성하는 단계
를 더 포함하는 통신 장치의 동작 방법.
- [청구항 8] 제6항에 있어서,
상기 제1 모듈과 상기 제2 모듈은 파이프라이닝(pipelining) 구조로
구현된 통신 장치의 동작 방법.
- [청구항 9] 제7항에 있어서,
상기 플래그는 상기 제1 프로세스와 상기 제2 프로세스간에
구현된 통신 장치의 동작 방법.

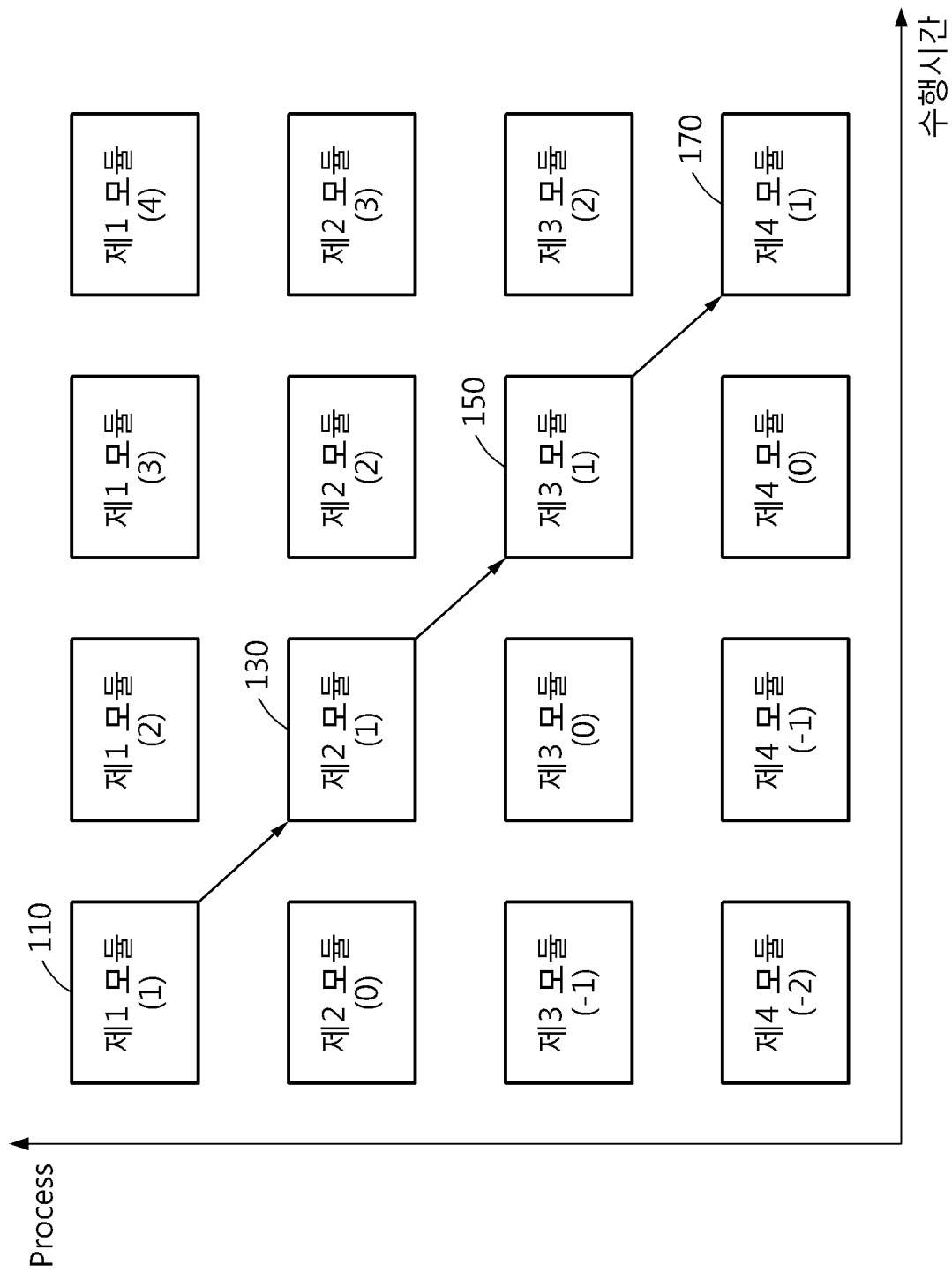
[청구항 10]

제7항에 있어서,
상기 제1 프로세스와 상기 제2 프로세스의 처리 시간(processing time)은 동일한 통신 장치의 동작 방법.

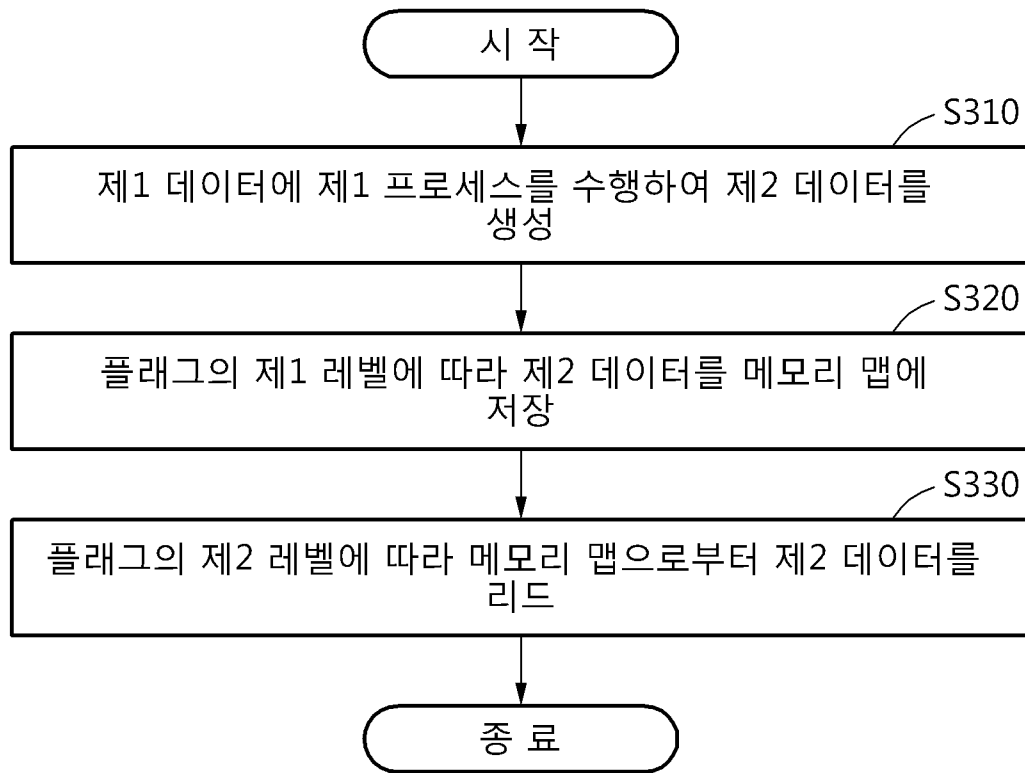
[Fig. 1]



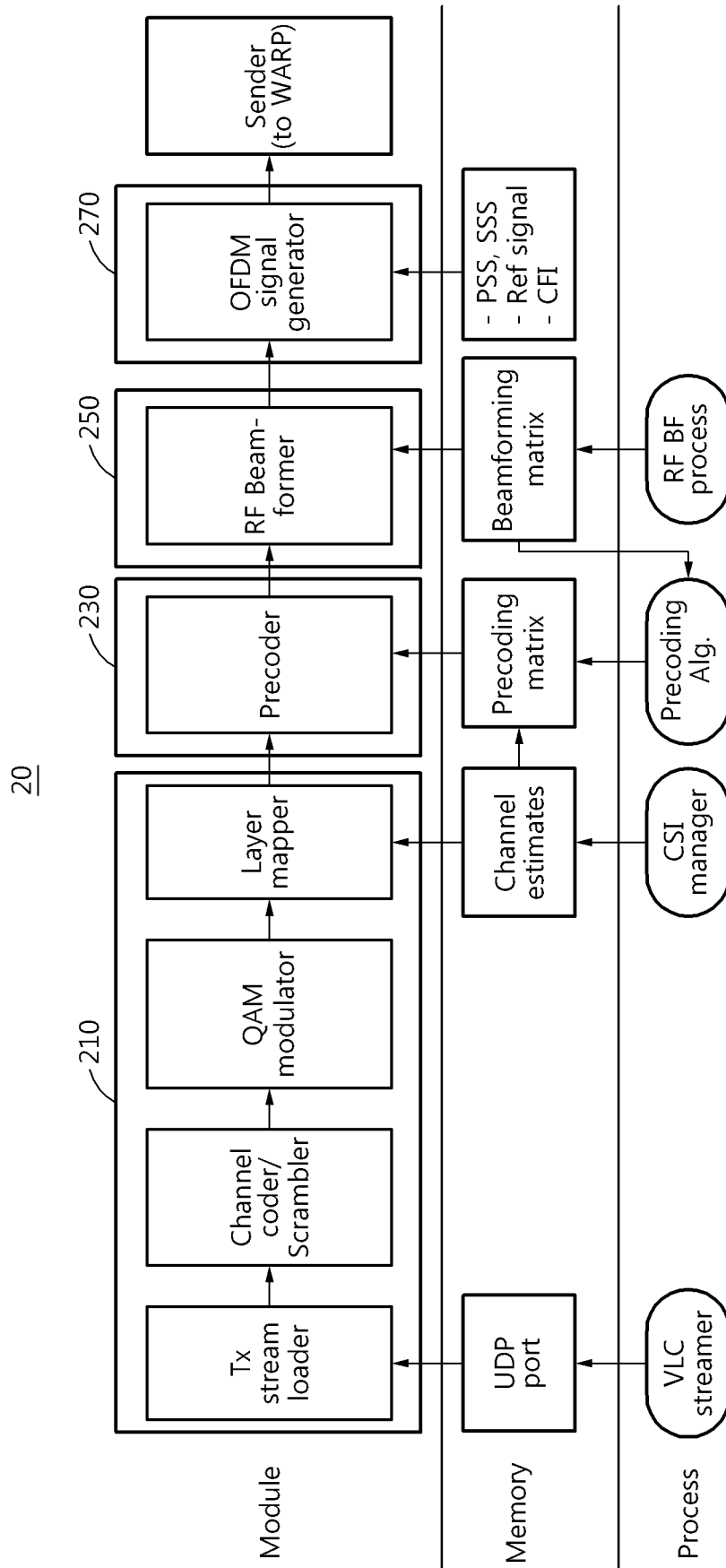
[Fig. 2]



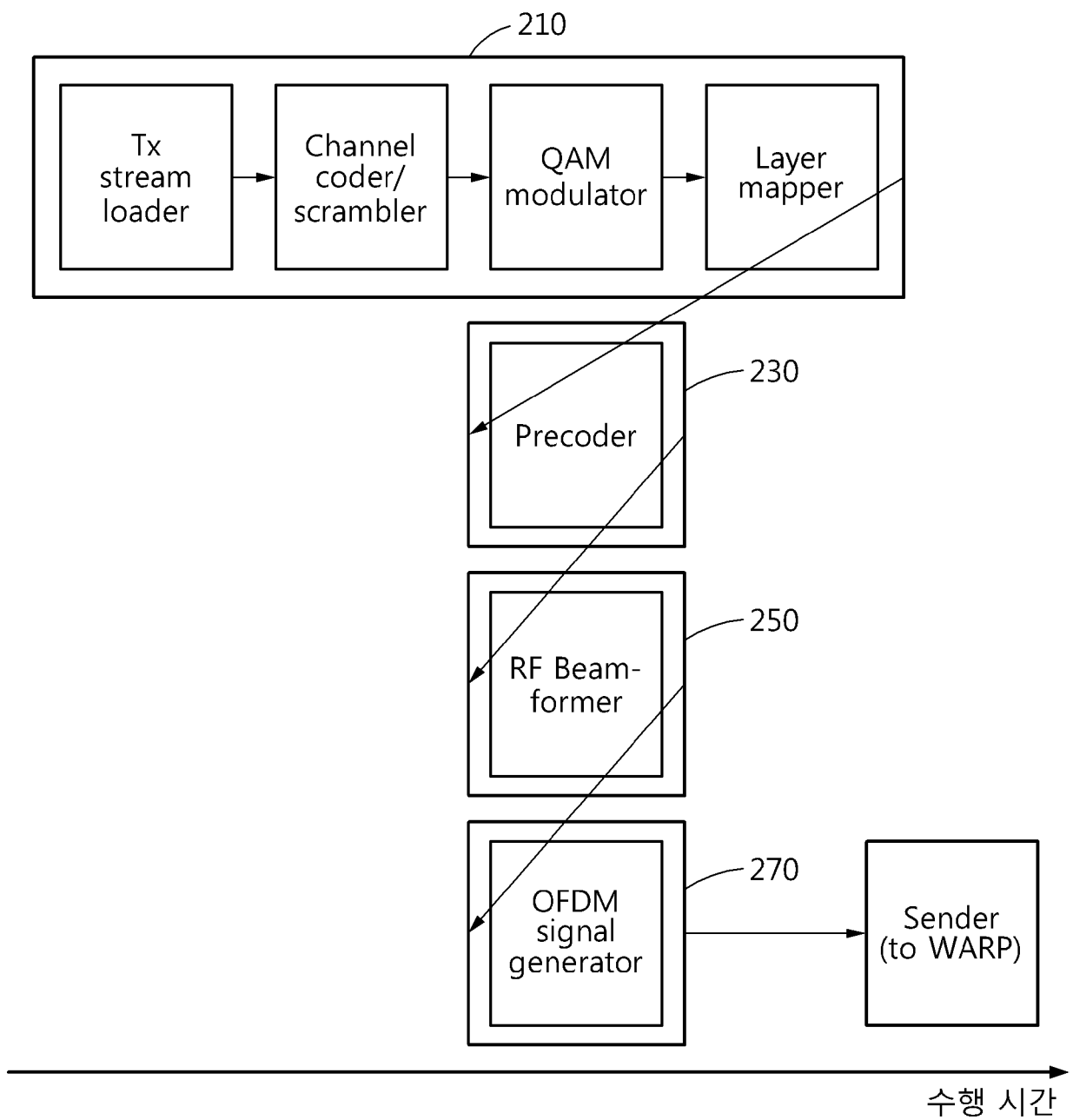
[Fig. 3]



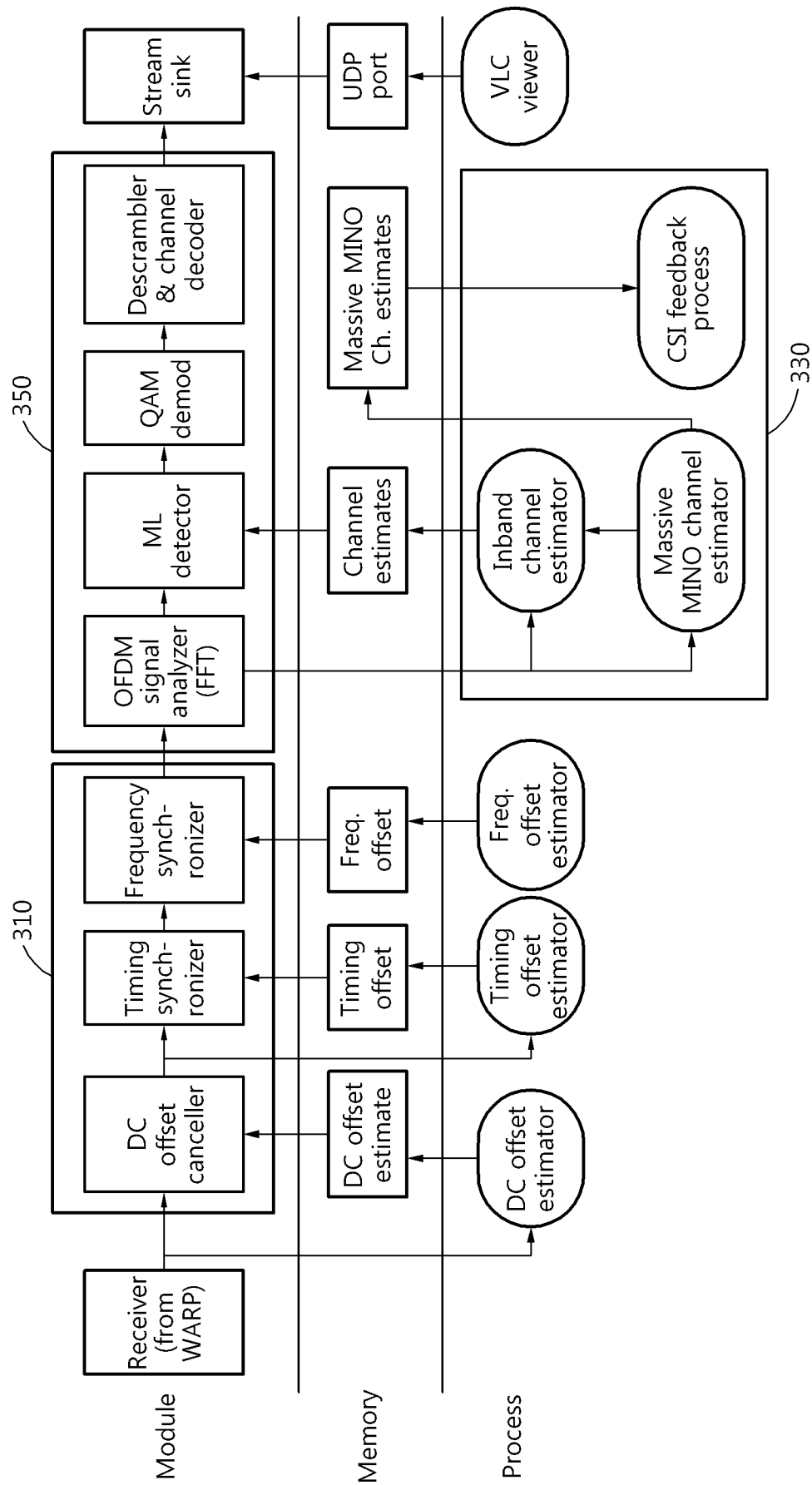
[Fig. 4]



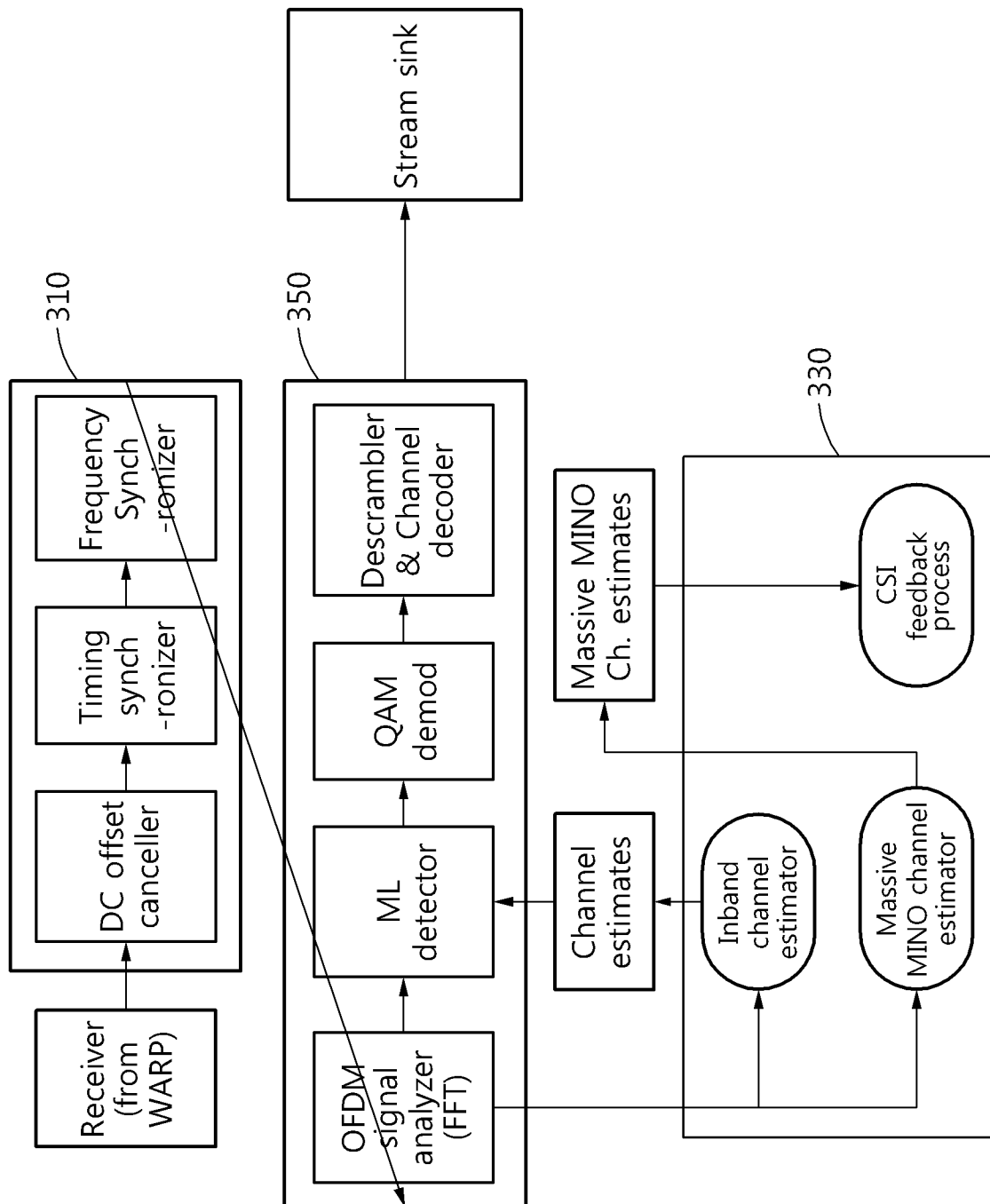
[Fig. 5]



[Fig. 6]



[Fig. 7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/000710**A. CLASSIFICATION OF SUBJECT MATTER****H04B 1/00(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B 1/00; H04L 27/00; G06F 9/44; H04L 25/00; G06F 9/06; G06F 13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: SDR, software, based, definition, module, memory, flag, head.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011-0035522 A1 (TAN, Kun et al.) 10 February 2011 See abstract, paragraphs [0036], [0043], [0080]-[0083], claims 1-6, figures 1-2, 4, 8a-9b	1-10
A	KR 10-2004-0048059 A (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) 07 June 2004 See abstract, claim 1, figure 1	1-10
A	KR 10-2008-0040104 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 08 May 2008 See abstract, paragraphs [0043]-[0049], claims 1-2, figure 4	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 OCTOBER 2015 (15.10.2015)

Date of mailing of the international search report

16 OCTOBER 2015 (16.10.2015)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/000710

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2011-0035522 A1	10/02/2011	US 8565811 B2	22/10/2013
KR 10-2004-0048059 A	07/06/2004	NONE	
KR 10-2008-0040104 A	08/05/2008	US 2008-0109828 A1 US 8347318 B2	08/05/2008 01/01/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC))**H04B 1/00(2006.01)i****B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)

H04B 1/00; H04L 27/00; G06F 9/44; H04L 25/00; G06F 9/06; G06F 13/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: SDR, 소프트웨어, 기반, 정의, 모듈, 메모리, 플래그, 헤드.

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 2011-0035522 A1 (TAN KUN 등) 2011.02.10 초록, 문단번호 [0036], [0043], [0080]-[0083], 청구항 1-6, 도면 1-2, 4, 8a-9b 참조	1-10
A	KR 10-2004-0048059 A (전자부품연구원) 2004.06.07 초록, 청구항 1, 도면 1 참조	1-10
A	KR 10-2008-0040104 A (한국전자통신연구원) 2008.05.08 초록, 문단번호 [0043]-[0049], 청구항 1-2, 도면 4 참조	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2015년 10월 15일 (15.10.2015)

국제조사보고서 발송일

2015년 10월 16일 (16.10.2015)

ISA/KR의 명칭 및 우편주소

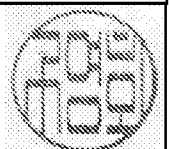
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

구영희

전화번호 +82-42-481-8376



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2011-0035522 A1	2011/02/10	US 8565811 B2	2013/10/22
KR 10-2004-0048059 A	2004/06/07	없음	
KR 10-2008-0040104 A	2008/05/08	US 2008-0109828 A1 US 8347318 B2	2008/05/08 2013/01/01