

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-45598  
(P2014-45598A)

(43) 公開日 平成26年3月13日(2014.3.13)

(51) Int.Cl. F I テーマコード(参考)  
HO2M 1/08 (2006.01) HO2M 1/08 A 5H740

審査請求 有 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2012-187193 (P2012-187193)  
(22) 出願日 平成24年8月28日 (2012.8.28)

(71) 出願人 000004260  
株式会社デンソー  
愛知県刈谷市昭和町1丁目1番地  
(74) 代理人 100121821  
弁理士 山田 強  
(74) 代理人 100155789  
弁理士 栗田 恭成  
(74) 代理人 100139480  
弁理士 日野 京子  
(74) 代理人 100125575  
弁理士 松田 洋  
(72) 発明者 鈴木 智貴  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

最終頁に続く

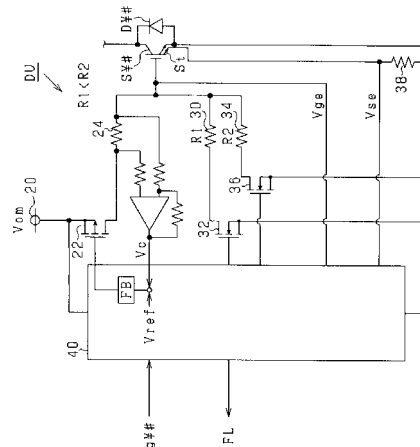
(54) 【発明の名称】 駆動対象スイッチング素子の駆動回路

(57) 【要約】

【課題】スイッチング素子S ¥ #のセンス端子S tの出力信号(センス電圧V s e)に基づき、オフ状態への切替速度を好適に変更すること。

【解決手段】スイッチング素子S ¥ #のゲートには、放電用抵抗体3 0および第1放電用スイッチング素子3 2を介して、スイッチング素子S ¥ #のエミッタが接続されている。また、スイッチング素子S ¥ #のゲートには、放電用抵抗体3 0よりも抵抗値が大きい放電用抵抗体3 4および第2放電用スイッチング素子3 6を介して、スイッチング素子S ¥ #のエミッタが接続されている。操作信号g ¥ #がオン操作指令である期間においてセンス電圧V s eが閾値以上となる継続時間が閾値時間以上となることで、オフ操作指令に伴って第2放電用スイッチング素子3 6を利用する。閾値時間は、オン操作指令後所定期間が経過することで短縮される。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

電圧制御形のスイッチング素子であって且つ、電流の流通経路内の電流量と相関を有する微小電流が出力される微小電流出力端子を備えるスイッチング素子を駆動対象スイッチング素子（ $S \#$ ）とし、

前記駆動対象スイッチング素子の操作信号がオフ操作指令となるのに伴い、該駆動対象スイッチング素子の開閉制御端子から該駆動対象スイッチング素子をオン状態とするための電荷を放電する放電手段（30～36）と、

前記操作信号がオン操作指令とされる期間における前記微小電流出力端子の出力信号と閾値との大小比較に基づき、前記操作信号がオフ操作指令に切り替わった際の前記放電手段の放電速度を変更する変更手段（40）とを備え、

前記変更手段は、前記大小比較の結果、前記駆動対象スイッチング素子の電流の方が前記閾値に対応する電流よりも大きいことを含む低下実行条件が成立する場合、前記放電速度を低下させるものであって且つ、前記低下実行条件を、前記オン操作指令への切り替わり直後においてよりも所定期間経過後において緩和されたものとなるようにする緩和手段（S16）を備えることを特徴とする駆動対象スイッチング素子の駆動回路。

10

**【請求項 2】**

前記緩和手段は、前記低下実行条件を、前記操作信号がオン操作指令とされて且つ前記所定期間経過後の期間において、前記操作信号がオフ操作指令とされているときにおけるよりも緩和されたものとなるようにすることを特徴とする請求項 1 記載の駆動対象スイッチング素子の駆動回路。

20

**【請求項 3】**

前記低下実行条件は、前記大小比較の結果、前記駆動対象スイッチング素子の電流の方が大きい状態の継続時間が閾値時間以上となる旨の条件であり、

前記緩和手段は、前記閾値時間を短縮することで前記低下実行条件を緩和されたものとなるようにすることを特徴とする請求項 1 または 2 記載の駆動対象スイッチング素子の駆動回路。

**【請求項 4】**

前記緩和手段は、前記低下実行条件に、前記オン操作指令への切り替わりから所定期間経過した旨の条件を含めることで、前記所定期間経過後において前記低下実行条件が緩和されたものとなるようにすることを特徴とする請求項 1 または 2 記載の駆動対象スイッチング素子の駆動回路。

30

**【請求項 5】**

前記緩和手段は、前記低下実行条件に、前記操作信号がオン操作指令とされている旨の条件を含めることで、前記操作信号がオフ操作指令とされる場合と比較してそれ以前において前記低下実行条件が緩和されたものとなるようにすることを特徴とする請求項 2 記載の駆動対象スイッチング素子の駆動回路。

**【請求項 6】**

前記緩和手段は、前記操作信号のオン操作指令への切り替えに伴って計時動作を開始する計時手段（S12）を備え、該計時手段の計時結果に基づき前記所定期間経過後であるか否かを判断することを特徴とする請求項 1～5 のいずれか 1 項に記載の駆動対象スイッチング素子の駆動回路。

40

**【請求項 7】**

前記駆動対象スイッチング素子は、前記流通経路の一方の端部である基準端部と前記開閉制御端子との電位差に応じてオン・オフ操作されるものであり、

前記緩和手段は、前記電位差の絶対値が規定値以上となることで前記所定期間経過後であると判断することを特徴とする請求項 1～5 のいずれか 1 項に記載の駆動対象スイッチング素子の駆動回路。

**【請求項 8】**

前記緩和手段は、前記流通経路の両端部の電位差の絶対値と判定用閾値との大小の比較

50

結果に基づき、前記絶対値の方が小さいと判断されることを条件に、前記所定期間経過後であると判断することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の駆動対象スイッチング素子の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電圧制御形のスイッチング素子であって且つ、電流の流通経路内の電流量と相関を有する微小電流が出力される微小電流出力端子を備えるスイッチング素子を駆動対象スイッチング素子とする駆動対象スイッチング素子の駆動回路に関する。

【背景技術】

10

【0002】

たとえば下記特許文献 1 には、スイッチング素子としての IGBT のオフ状態への切替速度を変更することでサージ電圧の低減とスイッチング損失の低減との両立を図るものが記載されている。ここでは、IGBT を流れる電流量と相関を有する微小電流を出力する端子（センス端子）を備えるものにおいて、センス端子から出力される電流に基づき切替速度を変更している。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許第 3339311 号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、IGBT のオフ状態への切替期間において切替速度を変更することは技術的に困難である。そこで、発明者らは、サージ電圧の低減とスイッチング損失の低減との好適な両立を図るうえでのより簡易な技術として、スイッチング素子がオン状態であるときにおいてこれに流れる電流量に応じて、オフ状態への切り替えに伴う切替速度を変更するものを検討した。

【0005】

すると、オン状態時においてセンス端子から出力される電流量を、センス端子およびエミッタ間に接続される抵抗体の電圧降下量として検出する場合、この電圧降下量が、オン状態への切り替え開始直後において、それ以降と比較して大きくなる現象が見られた。これは、IGBT を流れる電流量が同一であったとしても、オン状態への切替直後とその後とで、電圧降下量が相違することを意味する。このため、電圧降下量と閾値との大小比較に基づき、オフ状態への切替に際しての切替速度を決定する場合、切替速度を適切な値とすることができないおそれがある。

30

【0006】

本発明は、上記課題を解決する過程でなされたものであり、その目的は、電圧制御形のスイッチング素子であって且つ、電流の流通経路内の電流量と相関を有する微小電流が出力される微小電流出力端子を備えるスイッチング素子を駆動対象スイッチング素子とするものにおいて、微小電流出力端子の出力信号に基づき、オフ状態への切替速度を好適に変更することのできる駆動対象スイッチング素子の駆動回路を提供することにある。

40

【課題を解決するための手段】

【0007】

以下、上記課題を解決するための手段、およびその作用効果について記載する。

【0008】

請求項 1 記載の発明は、電圧制御形のスイッチング素子であって且つ、電流の流通経路内の電流量と相関を有する微小電流が出力される微小電流出力端子を備えるスイッチング素子を駆動対象スイッチング素子とし、前記駆動対象スイッチング素子の操作信号がオフ操作指令となるのに伴い、該駆動対象スイッチング素子の開閉制御端子から該駆動対象ス

50

スイッチング素子をオン状態とするための電荷を放電する放電手段と、前記操作信号がオン操作指令とされる期間における前記微小電流出力端子の出力信号と閾値との大小比較に基づき、前記操作信号がオフ操作指令に切り替わった際の前記放電手段の放電速度を変更する変更手段とを備え、前記変更手段は、前記大小比較の結果、前記駆動対象スイッチング素子の電流の方が前記閾値に対応する電流よりも大きいことを含む低下実行条件が成立する場合、前記放電速度を低下させるものであって且つ、前記低下実行条件を、前記オン操作指令への切り替わり直後においてよりも所定期間経過後において緩和されたものとなるようにする緩和手段を備えることを特徴とする。

【 0 0 0 9 】

上記発明において、オン操作指令への切り替わり直後においては、所定期間経過後と比較して前記出力信号と閾値との大小比較によって、駆動対象スイッチング素子の電流の方が前記閾値に対応する電流よりも大きいと判断されやすい。このため、大小比較に関するもののみを低下実行条件としたのでは、所定期間経過後よりも経過前において低下実行条件が成立しやすくなり、ひいては、変更手段による放電速度の変更処理が不適切なものとなるおそれがある。この点、上記発明では、緩和手段を備えることで、こうした不都合を回避し、オフ状態への切替速度を好適に変更することができる。

10

【 0 0 1 0 】

なお、本発明にかかる以下の代表的な実施形態に関する概念の拡張については、代表的な実施形態の後の「その他の実施形態」の欄に記載してある。

【 図面の簡単な説明 】

20

【 0 0 1 1 】

【 図 1 】 第 1 の実施形態にかかるシステム構成図。

【 図 2 】 同実施形態にかかるドライブユニットの構成を示す回路図。

【 図 3 】 同実施形態にかかる放電速度の設定処理の手順を示す流れ図。

【 図 4 】 同実施形態にかかるアクティブゲート制御の手順を示す流れ図。

【 図 5 】 同実施形態の効果を示すタイムチャート。

【 図 6 】 同実施形態の効果を示すタイムチャート。

【 図 7 】 第 2 の実施形態にかかる放電速度の設定処理の手順を示す流れ図。

【 図 8 】 第 3 の実施形態にかかる放電速度の設定処理の手順を示す流れ図。

【 図 9 】 第 4 の実施形態にかかる放電速度の変更条件の緩和処理を示すタイムチャート。

30

【 図 1 0 】 第 1 0 の実施形態にかかる放電速度の設定処理の手順を示す流れ図。

【 発明を実施するための形態 】

【 0 0 1 2 】

< 第 1 の実施形態 >

以下、本発明にかかるスイッチング素子の駆動装置を車載主機としての回転機に接続される電力変換回路の駆動装置に適用した第 1 の実施形態について、図面を参照しつつ説明する。

【 0 0 1 3 】

図 1 に、本実施形態にかかる制御システムの全体構成を示す。モータジェネレータ 1 0 は、車載主機であり、図示しない駆動輪に機械的に連結されている。モータジェネレータ 1 0 は、インバータ I N V および昇圧コンバータ C N V を介して高電圧バッテリー 1 2 に接続されている。ここで、昇圧コンバータ C N V は、コンデンサ C と、コンデンサ C に並列接続された一対のスイッチング素子 S c p , S c n と、一対のスイッチング素子 S c p , S c n の接続点と高電圧バッテリー 1 2 の正極とを接続するリアクトル L とを備えている。そして、スイッチング素子 S c p , S c n のオン・オフによって、高電圧バッテリー 1 2 の電圧（例えば百 V 以上）を所定の電圧（例えば「 6 6 6 V 」）を上限として昇圧するものである。一方、インバータ I N V は、スイッチング素子 S u p , S u n の直列接続体と、スイッチング素子 S v p , S v n の直列接続体と、スイッチング素子 S w p , S w n の直列接続体とを備えており、これら各直列接続体の接続点がモータジェネレータ 1 0 の U , V , W 相にそれぞれ接続されている。これらスイッチング素子 S ¥ # （ ¥ = u , v , w ,

40

50

c ; # = p , n ) として、本実施形態では、絶縁ゲートバイポーラトランジスタ ( I G B T ) が用いられている。そして、これらにはそれぞれ、ダイオード  $D \#$  が逆並列に接続されている。

#### 【 0 0 1 4 】

制御装置 1 8 は、低電圧バッテリー 1 6 を電源とする制御装置である。制御装置 1 8 は、モータジェネレータ 1 0 を制御対象とし、その制御量を所望に制御すべく、インバータ I N V や昇圧コンバータ C N V を操作する。詳しくは、昇圧コンバータ C N V のスイッチング素子  $S_{cp}$  ,  $S_{cn}$  を操作すべく、操作信号  $g_{cp}$  ,  $g_{cn}$  をドライブユニット D U に出力する。また、インバータ I N V のスイッチング素子  $S_{up}$  ,  $S_{un}$  ,  $S_{vp}$  ,  $S_{vn}$  ,  $S_{wp}$  ,  $S_{wn}$  を操作すべく、操作信号  $g_{up}$  ,  $g_{un}$  ,  $g_{vp}$  ,  $g_{vn}$  ,  $g_{wp}$  ,  $g_{wn}$  をドライブユニット D U に出力する。ここで、高電位側の操作信号  $g_{\#p}$  と、対応する低電位側の操作信号  $g_{\#n}$  とは、互いに相補的な信号となっている。換言すれば、高電位側のスイッチング素子  $S_{\#p}$  と、対応する低電位側のスイッチング素子  $S_{\#n}$  とは、交互にオン状態とされる。

10

#### 【 0 0 1 5 】

ここで、高電圧バッテリー 1 2 を備える高電圧システムと低電圧バッテリー 1 6 を備える低電圧システムとは、基準電位が相違するものである。すなわち、たとえば高電圧バッテリー 1 2 の正極電位および負極電位の中央値を車体電位として且つ低電圧バッテリー 1 6 の負極電位を車体電位とする等、高電圧バッテリー 1 2 の負極電位と低電圧バッテリー 1 6 の負極電位とが互いに相違する設定となっている。そして、これら両システム間での信号の授受は、例えばフォトカプラ等の絶縁通信手段を備えるインターフェース 1 4 を介して行われる。

20

#### 【 0 0 1 6 】

図 2 に、上記ドライブユニット D U の構成を示す。

#### 【 0 0 1 7 】

図示されるように、たとえば低電圧バッテリー 1 6 からフライバックコンバータを介して供給される電力による電源 2 0 には、Pチャネル MOS 電界効果トランジスタ ( 定電流用スイッチング素子 2 2 ) が接続されている。定電流用スイッチング素子 2 2 は、定電流用抵抗体 2 4 に接続されており、定電流用抵抗体 2 4 は、スイッチング素子  $S_{\#}$  の開閉制御端子 ( ゲート ) に接続されている。

30

#### 【 0 0 1 8 】

定電流用抵抗体 2 4 の両端の電位差に応じた電位差  $V_c$  は、1チップ化された半導体集積回路であるドライブ IC 4 0 に取り込まれる。ドライブ IC 4 0 では、電位差  $V_c$  が目標値となるように定電流用スイッチング素子 2 2 のゲートの電圧を操作する。これにより、定電流用抵抗体 2 4 の電圧降下量は、一定値に操作されることとなり、ひいてはスイッチング素子  $S_{\#}$  のゲートの充電電流が一定値に制御される。

#### 【 0 0 1 9 】

上記スイッチング素子  $S_{\#}$  のゲートは、放電用抵抗体 3 0 および Nチャネル MOS 電界効果トランジスタ ( 第 1 放電用スイッチング素子 3 2 ) を介して、スイッチング素子  $S_{\#}$  における電流の流通経路の一对の端部の一方である基準端部 ( エミッタ ) に接続されている。また、スイッチング素子  $S_{\#}$  のゲートは、放電用抵抗体 3 4 および Nチャネル MOS 電界効果トランジスタ ( 第 2 放電用スイッチング素子 3 6 ) を介して、スイッチング素子  $S_{\#}$  のエミッタに接続されている。

40

#### 【 0 0 2 0 】

上記放電用抵抗体 3 0 , 3 4 は、いずれも線形素子であり、放電用抵抗体 3 0 の抵抗値  $R_1$  は、放電用抵抗体 3 4 の抵抗値  $R_2$  よりも小さくなっている。これは、スイッチング素子  $S_{\#}$  をオフ操作すべく、オンとするための電荷 ( 正の電荷 ) を放電するに際しての放電経路の抵抗値を変更するアクティブゲート制御のための構成である。抵抗値の変更は、スイッチング損失の低減とサージ電圧の抑制との好適な両立を図ることを狙いとするものである。ちなみに、本実施形態では、スイッチング素子  $S_{\#}$  のオン操作については、

50

定電流制御を採用することで、定電流用スイッチング素子 2 2 のゲートの印加電圧を一定とするいわゆる定電圧制御を行なう場合と比較して、スイッチング損失の低減とサージ電圧の抑制との両立を良好なものとしている。

**【 0 0 2 1 】**

上記定電流用スイッチング素子 2 2 や、第 1 放電用スイッチング素子 3 2、第 2 放電用スイッチング素子 3 6 は、ドライブ IC 4 0 によって操作される。すなわち、ドライブ IC 4 0 では、上記操作信号  $g \#$  に基づき、第 1 放電用スイッチング素子 3 2 または第 2 放電用スイッチング素子 3 6 と、定電流用スイッチング素子 2 2 とを相補的にオン・オフすることでスイッチング素子  $S \#$  を駆動する。すなわち、操作信号  $g \#$  がオン操作指令となることで、定電流用スイッチング素子 2 2 をオンして且つ第 1 放電用スイッチング素子 3 2 および第 2 放電用スイッチング素子 3 6 をオフする。また、操作信号  $g \#$  がオフ操作指令となることで、定電流用スイッチング素子 2 2 をオフして且つ第 1 放電用スイッチング素子 3 2 または第 2 放電用スイッチング素子 3 6 をオンする。

10

**【 0 0 2 2 】**

上記スイッチング素子  $S \#$  は、その開閉する流通経路（コレクタおよびエミッタ間の電気経路）に流れる電流（コレクタ電流）と相関を有する微小電流を出力する微小電流出力端子（センス端子  $S_t$ ）を備えている。そして、センス端子  $S_t$  は、抵抗体 3 8 を介してエミッタに電氣的に接続されている。これにより、センス端子  $S_t$  から出力される電流によって抵抗体 3 8 に電圧降下が生じるため、抵抗体 3 8 による電圧降下量（センス電圧  $V_{se}$ ）を、スイッチング素子  $S \#$  のコレクタ電流の検出信号とすることができる。

20

**【 0 0 2 3 】**

そして、ドライブ IC 4 0 では、センス電圧  $V_{se}$  に基づき、スイッチング素子  $S \#$  を流れる電流量が許容上限値を超えると判断される場合、定電流用スイッチング素子 2 2 を強制的にオフして且つ、低電圧システム（制御装置 1 8）にフェール信号  $FL$  を出力する。このフェール信号  $FL$  によって、先の図 1 に示すフェール処理部 1 4 a では、インバータ  $INV$  やコンバータ  $CNV$  をシャットダウンする。ちなみに、フェール処理部 1 4 a の構成は、例えば特開 2 0 0 9 - 6 0 3 5 8 号公報の図 3 に記載のものとするればよい。なお、この際、スイッチング素子  $S \#$  をオフ操作するに際しては、放電用抵抗体 3 0、3 4 を備える放電経路よりも抵抗値の大きい放電経路（図示略）を用いることが望ましい。

30

**【 0 0 2 4 】**

本実施形態では、スイッチング素子  $S \#$  の通常駆動時においてスイッチング素子  $S \#$  をオフ状態に切り替えるに際し、それ以前にスイッチング素子  $S \#$  に流れていた電流に基づき、第 1 放電用スイッチング素子 3 2 および第 2 放電用スイッチング素子 3 6 のいずれか一方のみを選択的にオン操作する。これにより、スイッチング素子  $S \#$  をオンするための電荷の放電経路の抵抗値を、スイッチング素子  $S \#$  を流れる電流量に応じて変更することで、アクティブゲート制御を行なう。

**【 0 0 2 5 】**

図 3 に、本実施形態にかかるスイッチング素子  $S \#$  のゲートの放電速度の設定処理の手順を示す。この処理は、ドライブ IC 4 0 によって実行される。

**【 0 0 2 6 】**

この一連の処理では、まずステップ S 1 0 において、操作信号  $g \#$  がオフ操作指令からオン操作指令に切り替わった時点であるか否かを判断する。そして、切り替わった時点であると判断される場合、ステップ S 1 2 において、切り替わった時点からの経過時間を計時する第 1 カウンタ  $T_1$  をインクリメントする。この処理は、本実施形態において、計時手段を構成する。続くステップ S 1 4 においては、第 1 カウンタ  $T_1$  が第 1 閾値時間  $T_{1th}$  以上であるか否かを判断する。この処理は、後述する閾値時間  $T_{2th}$  を短縮するか否かを判断するためのものである。ここで、第 1 閾値時間  $T_{1th}$  は、コレクタ電流  $I_c$  が同一である場合のセンス電圧  $V_{se}$  の大きさが小さくなって安定するまでに要する時間に基づき設定される。

40

**【 0 0 2 7 】**

50

ステップ S 1 4 において肯定判断される場合、ステップ S 1 6 において閾値時間  $T_{2th}$  を短時間側デフォルト値  $T_{2S}$  とする。一方、否定判断される場合、ステップ S 1 8 において閾値時間  $T_{2th}$  を、短時間側デフォルト値  $T_{2S}$  よりも長い長時間側デフォルト値  $T_{2L}$  とする。なお、上記ステップ S 1 6 の処理は、本実施形態において、緩和手段を構成する。また、ステップ S 1 6 , S 1 8 の処理が完了する場合、ステップ S 2 0 に移行する。

【 0 0 2 8 】

ステップ S 2 0 においては、センス電圧  $V_{se}$  がアクティブゲート用閾値電圧  $V_{acth}$  以上であるか否かを判断する。この処理は、スイッチング素子  $S_{\#}$  のオフ操作のために第 2 放電用スイッチング素子 3 6 を用いるか否かを判断するためのものである。すなわち、センス電圧  $V_{se}$  が大きいほどコレクタ電流  $I_c$  が大きく、コレクタ電流  $I_c$  が大きい場合には、第 1 放電用スイッチング素子 3 2 を用いたのではサージ電圧が過大となるおそれがあるため、第 2 放電用スイッチング素子 3 6 を用いる。なお、アクティブゲート用閾値電圧  $V_{acth}$  は、スイッチング素子  $S_{\#}$  をオフ操作することで生じるサージによってスイッチング素子  $S_{\#}$  の電流の流通経路の両端に印加される電圧が、耐圧を超えないように設定される。

10

【 0 0 2 9 】

ステップ S 2 0 において肯定判断される場合、ステップ S 2 2 において、センス電圧  $V_{se}$  がアクティブゲート用閾値電圧  $V_{acth}$  以上となる継続時間を計時する第 2 カウンタ  $T_2$  をインクリメントする。これに対し、ステップ S 2 0 において否定判断される場合、ステップ S 2 6 において、第 2 カウンタ  $T_2$  を初期化する。

20

【 0 0 3 0 】

上記ステップ S 2 2 の処理が完了する場合、ステップ S 2 4 においては、第 2 カウンタ  $T_2$  が第 2 閾値時間  $T_{2th}$  以上であるか否かを判断する。この処理は、第 2 放電用スイッチング素子 3 6 を用いるか否かを判断するためのものである。

【 0 0 3 1 】

ここで「第 2 カウンタ  $T_2$  が第 2 閾値時間  $T_{2th}$  以上である」ことは、本実施形態において低下実行条件を構成する。この条件は、第 2 放電用スイッチング素子 3 6 が誤って選択される事態を回避するために設けられるものである。すなわち、第 1 閾値時間  $T_{1th}$  経過後においても、ノイズによってセンス電圧  $V_{se}$  が一瞬、アクティブゲート用閾値電圧  $V_{acth}$  以上となるおそれがある。そしてこの場合、ステップ S 2 0 において肯定判断されることを低下実行条件としたのでは、第 2 放電用スイッチング素子 3 6 が不適切に用いられるおそれがある。また、第 1 閾値時間  $T_{1th}$  経過前においては、コレクタ電流  $I_c$  が実際には大きくないにもかかわらずステップ S 2 0 において肯定判断されやすい。このため、ステップ S 2 0 において肯定判断されることを低下実行条件としたのでは、第 2 放電用スイッチング素子 3 6 が不適切に用いられるおそれがある。

30

【 0 0 3 2 】

上記ステップ S 2 4 において否定判断される場合、ステップ S 2 8 において、操作信号  $g_{\#}$  がオン操作指令からオフ操作指令への切り替り時点であるか否かを判断する。そしてステップ S 2 8 において否定判断される場合、ステップ S 1 2 に戻る。これに対し、ステップ S 2 8 において肯定判断される場合、ステップ S 3 2 において、スイッチング素子  $S_{\#}$  のオフ操作に第 1 放電用スイッチング素子 3 2 を用いることを決定する。すなわち、この場合、スイッチング素子  $S_{\#}$  のゲートの電荷の放電経路のインピーダンスを放電用抵抗体 3 0 の抵抗値  $R_1$  とすることを選擇する。

40

【 0 0 3 3 】

一方、上記ステップ S 2 4 において肯定判断される場合、スイッチング素子  $S_{\#}$  のオフ操作に第 2 放電用スイッチング素子 3 6 を用いることを決定する。すなわち、この場合、スイッチング素子  $S_{\#}$  のゲートの電荷の放電経路のインピーダンスを放電用抵抗体 3 4 の抵抗値  $R_2$  とすることを選擇する。

【 0 0 3 4 】

50

なお、ステップ S 3 0 , S 3 2 の処理が完了する場合や、ステップ S 1 0 において否定判断される場合には、ステップ S 3 4 において、カウンタ T 1 , T 2 を初期化した後、この一連の処理を一旦終了する。

【 0 0 3 5 】

図 4 に、本実施形態におけるスイッチング素子 S ¥ # のオフ操作処理の手順を示す。この処理は、ドライブ IC 4 0 によって、たとえば所定周期で繰り返し実行される。

【 0 0 3 6 】

この一連の処理では、まずステップ S 4 0 において、操作信号 g ¥ # がオン操作指令からオフ操作指令に切り替る時点であるか否かを判断する。そして切り替る時点であると判断される場合、ステップ S 4 2 において、先の図 3 の処理によってスイッチング素子 S ¥ # のゲートの放電経路として、放電用抵抗体 3 0 を備える経路が選択されたか否かを判断する。そしてステップ S 4 2 において肯定判断される場合、ステップ S 4 4 において、第 1 放電用スイッチング素子 3 2 をオン操作する。これに対し、ステップ S 4 2 において否定判断される場合、ステップ S 4 6 において、第 2 放電用スイッチング素子 3 6 をオン操作する。

【 0 0 3 7 】

なお、ステップ S 4 4 , S 4 6 の処理が完了する場合や、ステップ S 4 0 において否定判断される場合には、この一連の処理を一旦終了する。

【 0 0 3 8 】

図 5 に、本実施形態にかかるアクティブゲート制御の態様を示す。図示されるように、操作信号 g ¥ # がオン操作指令に切り替ることで、ゲート電圧 V g e が上昇し、これに伴ってコレクタ電流 I c が増加する。なお、図には、コレクタ電流 I c が急激に上昇した後、僅かに低下する現象が示されているが、これは、逆側のアームのスイッチング素子 S ¥ p ( S ¥ n ) に逆並列接続されたダイオード D ¥ p ( D ¥ n ) のリカバリ電流に起因したものである。

【 0 0 3 9 】

リカバリ電流が流れる期間におけるコレクタ電流 I c は、アクティブゲート制御における放電経路のインピーダンスを決定する際に参照すべき値としては適切ではない。さらに、リカバリ電流が流れなくなってもゲート電圧 V g e が低い期間にあっては、コレクタ電流 I c の割りにセンス電圧 V s e が大きくなる傾向がある。このため、本実施形態では、第 2 閾値時間 T 2 t h をマスク時間とする。これにより、スイッチング素子 S ¥ # のオン状態への切り替え処理に伴い、センス電圧 V s e がアクティブゲート用閾値電圧 V a c t h を一度超えた後、第 2 閾値時間 T 2 t h が経過する前に、センス電圧 V s e がアクティブゲート用閾値電圧 V a c t h 以下となるため、ゲート電圧 V g e が低いことに起因してアクティブゲート制御における放電経路のインピーダンスが不適切な値に設定される事態を回避できる。

【 0 0 4 0 】

その後、コレクタ電流 I c の増加に伴ってセンス電圧 V s e が上昇し、アクティブゲート用閾値電圧 V a c t h 以上となる時間が第 2 閾値時間 T 2 t h 以上となることで、アクティブゲート制御における放電経路のインピーダンスを高インピーダンス（放電用抵抗体 3 4 の抵抗値 R 2 ）とすることを決定する。ここで、操作信号 g ¥ # がオン操作指令に切り替った後、第 1 閾値時間 T 1 t h が経過することで、第 2 閾値時間 T 2 t h が短縮される。このため、センス電圧 V s e がアクティブゲート用閾値電圧 V a c t h 以上となつてからまもなく操作信号 g ¥ # がオフ操作指令に切り替わった場合であっても、放電経路のインピーダンスを適切な値とすることができる。このため、アクティブゲート用閾値電圧 V a c t h に大きなマージンを設ける必要が生じないため、極力大きい値とすることができる。

【 0 0 4 1 】

図 6 に、本実施形態の効果を示す。

【 0 0 4 2 】

10

20

30

40

50

図6(a)は、コレクタ電流 $I_c$ と、スイッチング素子 $S_{\#}$ の耐圧 $V_{igbt}$ と、オフ操作に伴うスイッチング素子 $S_{\#}$ の印加電圧 $V_{surge}$ との関係を示す。図中、実線は、本実施形態の場合であり、印加電圧 $V_{surge}$ が耐圧 $V_{igbt}$ に達する直前に、印加電圧 $V_{surge}$ を低下させる。これは、放電経路のインピーダンスを増大させることで実現される。これに対し、1点鎖線は、第2閾値時間 $T_{2th}$ を固定値とした場合を示す。この場合、コレクタ電流 $I_c$ が本実施形態にかかるアクティブゲート用閾値電圧 $V_{acth}$ に対応する電流値以上となる場合に放電経路のインピーダンスを確実に増大させるうえでは、本実施形態と比較してアクティブゲート用閾値電圧 $V_{acth}$ を小さく設定する必要が生じる。このため、印加電圧 $V_{surge}$ が耐圧 $V_{igbt}$ に対して余裕を有した状態でインピーダンスが増大されることとなる。そしてこれは、図6(b)に示すように、スイッチング損失の低減効果が低下することを意味する。

10

【0043】

以上説明した本実施形態によれば、以下の効果が得られるようになる。

【0044】

(1) スwitching素子 $S_{\#}$ のゲートの電荷の放電速度の低下実行条件を、オン操作指令への切り替え直後においてよりも所定期間(第1閾値時間 $T_{1th}$ )経過後において緩和されたものとなるようにした。これにより、オン操作指令への切り替え後、ゲート電圧 $V_g$ が十分に上昇する以前においてコレクタ電流 $I_c$ の割にセンス電圧 $V_{se}$ が大きくなることに起因して放電速度を低下させることを回避しつつも、放電速度の低下処理を必要に応じて確実に行うことができる。

20

【0045】

(2) オフ操作指令期間におけるセンス電圧 $V_{se}$ を、放電速度の設定に対して無効とした。これにより、オフ操作指令期間におけるセンス電圧 $V_{se}$ に応じて放電速度が不適切な値とされる事態を回避することができる。

【0046】

(3) 第2閾値時間 $T_{2th}$ を短縮することで低下実行条件を緩和した。これにより、低下実行条件が緩和されたものとなるようにする処理を、簡易に実現することができる。

【0047】

(4) オン操作指令への切り替えに伴って経時動作を開始し、計時された時間(第1カウンタ $T_1$ )が第1閾値時間 $T_{1th}$ 以上となることで、低下実行条件を緩和した。これにより、低下実行条件の緩和タイミングを適切に定めることができる。

30

<第2の実施形態>

以下、第2の実施形態について、先の第1の実施形態との相違点を中心に図面を参照しつつ説明する。

【0048】

本実施形態では、操作信号 $g_{\#}$ がオン操作指令であるかオフ操作指令であるかにかかわらず、低下実行条件の設定を、センス電圧 $V_{se}$ がアクティブゲート用閾値電圧 $V_{acth}$ 以上となる継続時間の長短によって一元化する。

【0049】

図7に、本実施形態にかかるスイッチング素子 $S_{\#}$ のゲートの放電速度の設定処理の手順を示す。この処理は、ドライバIC40によって実行される。

40

【0050】

この一連の処理では、まずステップS50において、操作信号 $g_{\#}$ がオン操作指令からオフ操作指令に切り替ったタイミングであるか否かを判断する。そしてステップS50において肯定判断される場合、ステップS52において、センス電圧 $V_{se}$ がアクティブゲート用閾値電圧 $V_{acth}$ 以上となるか否かを判断する。

【0051】

そして、ステップS52において肯定判断される場合、ステップS54において、センス電圧 $V_{se}$ がアクティブゲート用閾値電圧 $V_{acth}$ 以上となる継続時間を計時する第3カウンタ $T_3$ をインクリメントする。これに対し、ステップS52において否定判断さ

50

れる場合、ステップ S 5 6 において、第 3 カウンタ T 3 を初期化する。

【 0 0 5 2 】

一方、上記ステップ S 5 4 の処理が完了する場合、ステップ S 5 8 において、第 3 カウンタ T 3 が第 3 閾値時間 T 3 t h 以上であるか否かを判断する。この処理は、アクティブゲート制御のためのインピーダンスを増大させるか否かを判断するためのものである。ここで、第 3 閾値時間 T 3 t h は、短時間側デフォルト値 T 2 S よりも長い値である。これは、オン操作指令期間中であって且つオン操作指令への切り替えから所定期間（第 1 閾値時間 T 1 t h ）経過後と比較して、オフ操作指令期間における低下実行条件を厳しくするための設定である。実際には、オフ操作指令期間におけるセンス電圧 V s e に基づくアクティブゲート制御のインピーダンスの変更を無効とすることを狙っている。これは、第 3 閾値時間 T 3 t h を、たとえばオフ操作指令期間の想定最小時間程度に設定することで実現することができる。

10

【 0 0 5 3 】

そしてステップ S 5 8 において否定判断される場合や、ステップ S 5 6 の処理が完了する場合には、ステップ S 6 0 において、操作信号 g ¥ # がオフ操作指令からオン操作指令に切り替った時点であるか否かを判断する。そして、ステップ S 6 0 において否定判断される場合には、ステップ S 5 2 に戻る。これに対し、ステップ S 5 8 において肯定判断される場合、ステップ S 6 2 において、放電経路のインピーダンスを放電用抵抗体 3 4 の抵抗値 R 2 に設定する。

【 0 0 5 4 】

なお、上記ステップ S 6 2 の処理が完了する場合や、ステップ S 5 0 の処理において否定判断される場合、さらには、ステップ S 6 0 の処理において肯定判断される場合には、第 3 カウンタ T 3 を初期化した後、この一連の処理を一旦終了する。

20

【 0 0 5 5 】

こうした処理によれば、先の図 3 に示す処理と併せて、操作信号 g ¥ # の値にかかわらず、センス電圧 V s e がアクティブゲート用閾値電圧 V a c t h 以上となる継続時間に基づき、アクティブゲート制御のためのインピーダンスを設定することができる。

< 第 3 の実施形態 >

以下、第 3 の実施形態について、先の第 1 の実施形態との相違点を中心に図面を参照しつつ説明する。

30

【 0 0 5 6 】

図 8 に、本実施形態にかかるスイッチング素子 S ¥ # のゲートの放電速度の設定処理の手順を示す。この処理は、ドライブ IC 4 0 によって実行される。なお、図 8 に示す処理のうち、先の図 3 に示した処理に対応するものについては、便宜上同一のステップ番号を付している。

【 0 0 5 7 】

この一連の処理では、ステップ S 1 0 において肯定判断される場合、ステップ S 1 4 a において、スイッチング素子 S ¥ # のゲート電圧 V g e が電源 2 0 の端子電圧 V o m よりもマージン量 だけ小さい値以上であるか否かを判断する。これは、ゲート電圧 V g e が、スイッチング素子 S ¥ # のオン状態時における定常値に達するか否かの判断である。そして、ステップ S 1 4 a において肯定判断される場合、ステップ S 1 6 に移行する一方、否定判断される場合、ステップ S 1 8 に移行する。

40

【 0 0 5 8 】

以上説明した本実施形態によれば、先の第 1 の実施形態の上記 ( 1 ) ~ ( 3 ) の効果に加えて、さらに以下の効果が得られるようになる。

【 0 0 5 9 】

( 5 ) ゲート電圧 V g e が「 V o m - 」以上となることで、低下実行条件を緩和した。これにより、コレクタ電流 I c の割りにセンス電圧 V s e が大きくなる期間において低下実行条件が緩和される事態を確実に回避できる。

< 第 4 の実施形態 >

50

以下、第4の実施形態について、先の第1の実施形態との相違点を中心に図面を参照しつつ説明する。

【0060】

本実施形態では、スイッチング素子 $S \#$ の電流の流通経路の両端部の電位差（コレクタエミッタ間電圧 $V_{ce}$ ）の検出値を入力として、低下実行条件を緩和する。

【0061】

具体的には、図9に示すように、インバータ $INV$ の入力電圧 $V_H$ が大きい場合（ $V_H$ 大）には、コレクタエミッタ間電圧 $V_{ce}$ が判定用閾値電圧 $V_{cth}$ 以下となることで、第2閾値時間 $T_{2th}$ を短時間側デフォルト値 $T_{2S}$ に切り替える（低下実行条件を緩和する）。これに対し、インバータ $INV$ の入力電圧 $V_H$ が小さい場合（ $V_H$ 小）には、コレクタエミッタ間電圧 $V_{ce}$ が判定用閾値電圧 $V_{cth}$ 以下となってから規定時間 $T_w$ が経過することで、第2閾値時間 $T_{2th}$ を短時間側デフォルト値 $T_{2S}$ に切り替える（低下実行条件を緩和する）。これは、入力電圧 $V_H$ が小さい場合、コレクタエミッタ間電圧 $V_{ce}$ が判定用閾値電圧 $V_{cth}$ 以下となるタイミングが、ゲート電圧 $V_{ge}$ がスイッチング素子 $S \#$ のオン状態時の定常値まで上昇するタイミングよりもかなり早くなりうることに鑑みたものである。すなわち、スイッチング素子 $S_p$ （ $S_n$ ）をオン状態に切り替える場合、インバータ $INV$ の直流母線に流れていた電流の減少を妨げる電圧の極性が入力電圧 $V_H$ の極性とは逆となる。このため、オン状態への切り替え開始時には、スイッチング素子 $S \#$ のコレクタエミッタ間電圧 $V_{ce}$ が入力電圧 $V_H$ よりも小さくなる。特に、入力電圧 $V_H$ 自体が小さい場合、コレクタエミッタ間電圧 $V_{ce}$ は判定用閾値電圧 $V_{cth}$ を下回る。

10

20

【0062】

以上説明した本実施形態によれば、先の第1の実施形態の上記（1）～（3）の効果に加えて、さらに以下の効果が得られるようになる。

【0063】

（6）コレクタエミッタ間電圧 $V_{ce}$ が判定用閾値電圧 $V_{cth}$ 以下となるタイミングに基づき、低下実行条件を緩和した。ここで、コレクタエミッタ間電圧 $V_{ce}$ の低下は、スイッチング素子 $S \#$ のゲート電圧 $V_{ge}$ の上昇に伴って生じるものである。このため、コレクタエミッタ間電圧 $V_{ce}$ を参照することで、コレクタ電流 $I_c$ の割りにセンス電圧 $V_{se}$ が大きくなる期間において低下実行条件が緩和される事態を適切に回避できる。

30

<第5の実施形態>

以下、第5の実施形態について、先の第1の実施形態との相違点を中心に図面を参照しつつ説明する。

【0064】

本実施形態では、低下実行条件に、操作信号 $g \#$ がオン操作指令に切り替った後所定期間が経過した旨を含める。これにより、所定期間経過後においては経過前と比較して低下実行条件が緩和されたものとなるようにすることができる。

【0065】

図10に、本実施形態にかかるスイッチング素子 $S \#$ のゲートの放電速度の設定処理の手順を示す。この処理は、ドライブ $IC40$ によって実行される。なお、図10に示す処理のうち、先の図3に示した処理に対応するものについては、便宜上同一のステップ番号を付している。

40

【0066】

図示されるように、本実施形態では、ステップ $S14$ において否定判断される場合、ステップ $S12$ の処理に戻る。これにより、ステップ $S20$ の処理へ移行するのは、オン操作指令への切り替り後、所定期間（第1閾値時間 $T1th$ ）が経過した後となる。

【0067】

こうした処理によれば、第2閾値時間 $T2th$ を、短時間側デフォルト値 $T2S$ に固定することができる。

<その他の実施形態>

50

なお、上記各実施形態は、以下のように変更して実施してもよい。

【0068】

「変更手段について」

放電用スイッチング素子32, 36のうちのいずれか一方をオン状態とするか、双方をオン状態とするかの切り替えによって、放電速度を変更するものであってもよい。

【0069】

また、放電経路のインピーダンスを変更するものにも限らない。たとえば、放電経路として、エミッタおよびゲート間を接続する経路と、エミッタよりも電位の低い部位およびゲート間を接続する経路との一対の経路について、それらのいずれを選択するかを切り替えるものであってもよい。

10

【0070】

「微小電流出力端子の出力信号について」

センス電圧 $V_{se}$ に限らない。要は、ゲート電圧 $V_{ge}$ が大きいときと小さいときとで大きさが変動する信号であるなら、オン操作指令への切り替え直後においてよりも所定期間経過後において低下実行条件を緩和することは有効である。

【0071】

「計時手段について」

操作信号を入力とするものに限らない。たとえば、定電流用スイッチング素子22のゲート電圧を入力とし、この電圧が定電流用スイッチング素子22をオン状態とするための値に移行することをトリガとして、計時動作を開始する手段であってもよい。

20

【0072】

「緩和手段について」

コレクタエミッタ間電圧 $V_{ce}$ と判定用閾値電圧 $V_{cth}$ との比較に基づくものとしては、上記第4の実施形態(図9)に例示したものに限らない。たとえばコレクタエミッタ間電圧 $V_{ce}$ が判定用閾値電圧 $V_{cth}$ 以下となってから規定時間経過することで、低下実行条件を緩和するもの(閾値時間 $T_{2th}$ を短縮するもの)において、規定時間を、入力電圧 $V_H$ と、コレクタ電流 $I_c$ とに基づき可変としてもよい。ここで、コレクタ電流 $I_c$ は、スイッチング素子 $S_{\#}$ がオン状態へと切り替わるに際して、その両端に印加される電圧を低減する側の電流変化量と相関を有するパラメータである。すなわち、オン状態への切替速度を略一定とすると、コレクタ電流 $I_c$ が大きいほど電流の変化速度が大きくなる。

30

【0073】

「駆動回路の駆動対象とするスイッチング素子について」

IGBTに限らない。たとえばMOS電界効果トランジスタであってもよい。ここで、Nチャネルのものを用いてもよいがPチャネルのものを用いてもよい。この場合であっても、電流の流通経路(ソースおよびドレイン間)の開閉は、流通経路の一方の端部である基準端部(ソース)に対する開閉制御端子(ゲート)の電位差の操作によってなされる。

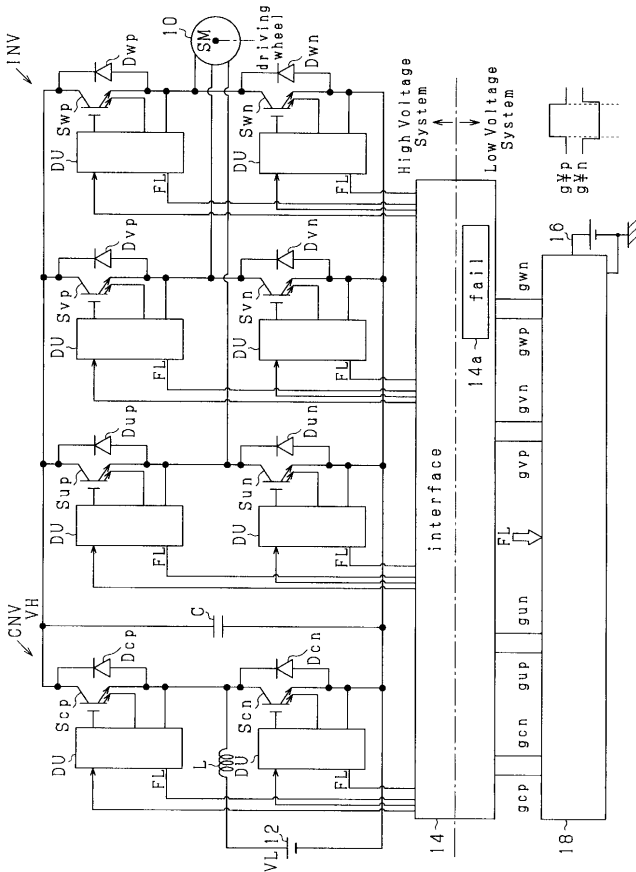
【符号の説明】

【0074】

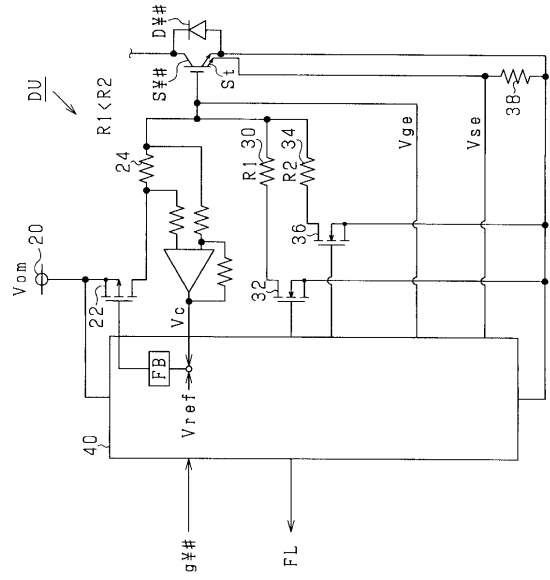
30...放電用抵抗体、32...第1放電用スイッチング素子、34...放電用抵抗体、36...第2放電用スイッチング素子、 $S_{\#}$ ...スイッチング素子(駆動対象スイッチング素子の一実施形態)。

40

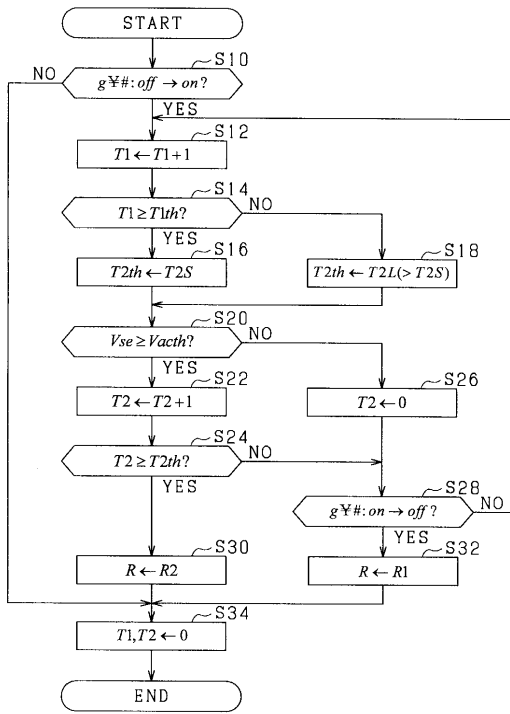
【 図 1 】



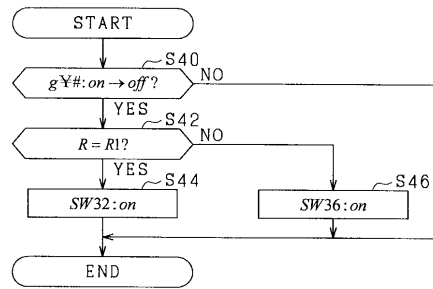
【 図 2 】



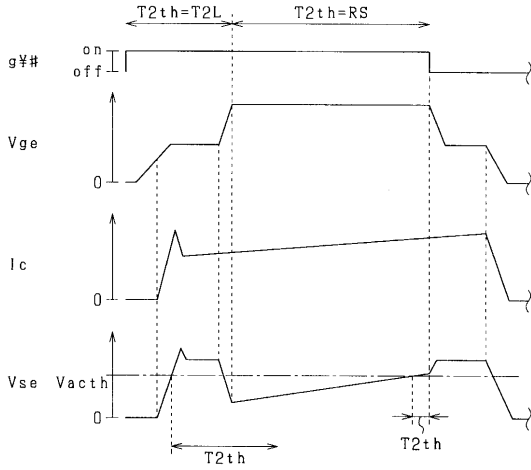
【 図 3 】



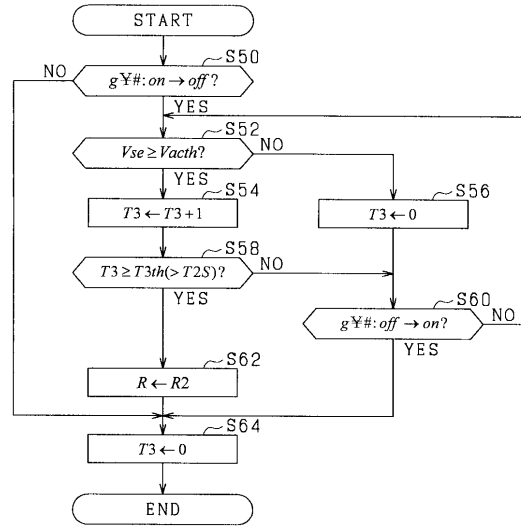
【 図 4 】



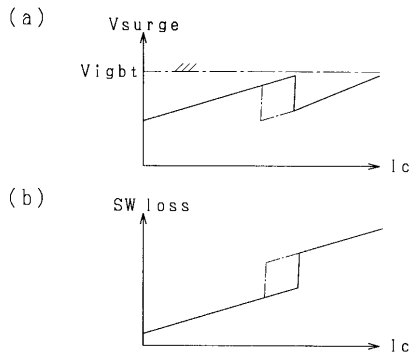
【 図 5 】



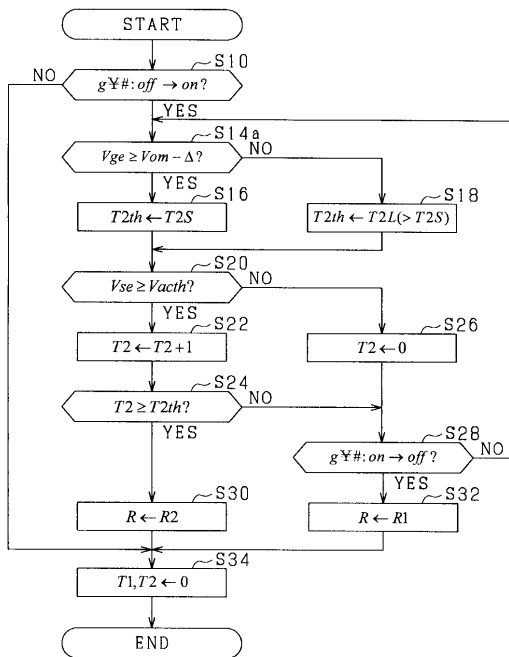
【 図 7 】



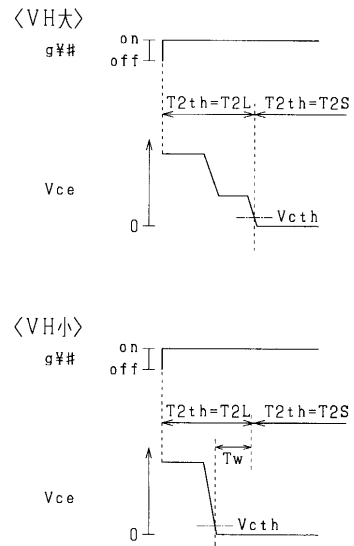
【 図 6 】



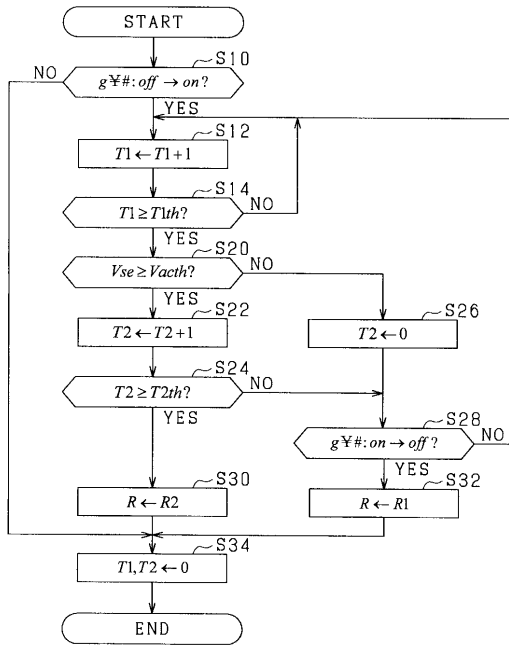
【 図 8 】



【 図 9 】



【図 10】



---

フロントページの続き

(72)発明者 三浦 亮太郎

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 小松 丈泰

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 5H740 BA11 BB05 BB08 BC02 HH05 JB01 KK01