



(12) 发明专利

(10) 授权公告号 CN 102638268 B

(45) 授权公告日 2015.02.18

(21) 申请号 201210116311.5

与仿真.《广东工业大学学报》.2005, 第22卷(第3期), 第64-67, 75页.

(22) 申请日 2012.04.19

(73) 专利权人 北京工业大学

审查员 孙莉莉

地址 100124 北京市朝阳区平乐园 100 号

(72) 发明人 郎伟 林平分 万培元

(74) 专利代理机构 北京思海天达知识产权代理有限公司 11203

代理人 刘萍

(51) Int. Cl.

H03M 1/38 (2006.01)

(56) 对比文件

CN 101305518 A, 2008.11.12, 全文.

CN 102291150 A, 2011.12.21, 全文.

US 2008/0062026 A1, 2008.03.13, 全文.

巩萍等. 过采样 $\Sigma-\Delta$ A/D 转换器的研究

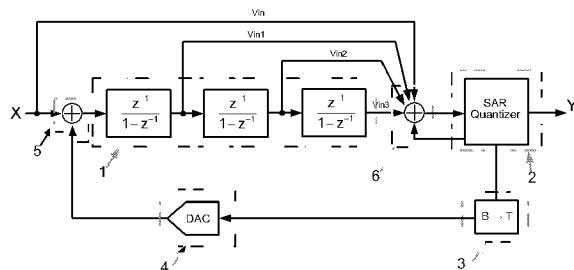
权利要求书1页 说明书7页 附图7页

(54) 发明名称

基于逐次比较量化器的三阶前馈 Sigma-Delta 调制器

(57) 摘要

本发明公开了一种基于逐次比较量化的三阶前馈 Sigma-Delta 调制器。本发明所述的 Sigma-Delta 调制器包括三个积分器(1)、一个多比特逐次比较量化器(2)、一个二进制码转换成温度码的数字电路(3)、一个反馈数模转换器(4)、一个计算出输入信号和反馈数模转换器输出信号之间差值的第一加法器单元(5)。一个在前馈通路上的直接由逐次比较器的多输入采样开关电容阵列构成的第二加法器单元(6)，该加法器单元取代了目前通过额外的模拟加法器功能电路或数字加法器功能电路。本发明得到的 Sigma-Delta 调制器，具有超低功耗，高分辨率的特点。



1. 一种 Sigma-Delta 调制器, 其特征在于: 它包括三个积分器, 一个多比特逐次比较量化器, 一个二进制码转换成温度码功能的数字电路, 一个反馈数模转换器; 一个用于计算输入信号与数模转换器输出信号差值的第一加法器单元; 一个第二加法器单元;

第二加法器单元的结构: 第二加法器单元包括 2^N 个单位电容, N 的取值范围为 3 到 8; 所有电容的上极板与一个开关 (K) 的一端相连, 该开关另一端与第三电压驱动器 (B3) 输出端相连; $2^{N-3} \times 3$ 个电容的下极板分别通过三个开关 ($K_{N,1}, K_{N,2}, K_{N,3}$) 与第一阶积分器输出端, 第一电压驱动器 (B1) 输出端, 第二电压驱动器 (B2) 输出端相连; 2^{N-3} 个电容的下极板分别通过三个开关 ($K_{N-1,1}, K_{N-1,2}, K_{N-1,3}$) 与第三阶积分器输出端, 第一电压驱动器 (B1) 输出端, 第二电压驱动器 (B2) 输出端相连; 2^{N-2} 个电容的下极板分别通过三个开关 ($K_{N-2,1}, K_{N-2,2}, K_{N-2,3}$) 与第二阶积分器输出端, 第一电压驱动器 (B1) 输出端, 第二电压驱动器 (B2) 输出端相连; 2^{N-3} 个电容的下极板分别通过三个开关 ($K_{N-3,1}, K_{N-3,2}, K_{N-3,3}$) 与第二阶积分器输出端, 第一电压驱动器 (B1) 输出端, 第二电压驱动器 (B2) 输出端相连; 2^{N-4} 个, 2^{N-5} 个, \dots , $2^{N-(N-1)}$ 个, 2^{N-N} 个电容的下极板通过与之对应的开关 ($K_{N-4,1}, K_{N-4,2}, K_{N-4,3}, K_{N-5,1}, K_{N-5,2}, K_{N-5,3}, \dots, K_{N-(N-1),1}, K_{N-(N-1),2}, K_{N-(N-1),3}, K_{N-N,1}, K_{N-N,2}, K_{N-N,3}$) 与信号输入端, 第一电压驱动器 (B1) 输出端, 第二电压驱动器 (B2) 输出端相连; 最后一个电容的下极板分别通过两个开关 ($K_{L,1}, K_{L,2}$) 与信号输入端, 第二电压驱动器 (B2) 输出端相连;

调制器输入端分别与第一加法器单元和第二加法器单元相连;

第一加法器单元输出端与第一阶积分器输入端相连;

第一阶积分器输出端分别与第二加法器单元和第二阶积分器输入端相连;

第二阶积分器输出端分别与第二加法器单元和第三阶积分器输入端相连;

第三阶积分器输出端与第二加法器单元相连;

第二加法器单元输出端与多比特逐次比较量化器相连, 同时多比特逐次比较量化器通过反馈信号线与第二加法器单元相连;

多比特逐次比较量化器输出端与二进制码转换成温度码功能的数字电路相连;

二进制码转换成温度码功能的数字电路输出端与反馈数模转换器相连;

反馈数模转换器输出端与第一加法器单元相连。

基于逐次比较量化器的三阶前馈 Sigma-Delta 调制器

技术领域

[0001] 本发明涉及一种 Sigma-Delta 模数转换器，属于集成电路领域。

背景技术

[0002] 伴随着消费类电子迅猛发展和数字化技术的广泛应用，对高精度、低功耗、低成本模数转换器需求日渐扩大，然而集成电路工艺的不断更新导致电源电压的降低与晶体管的本征增益的下降，使模拟电路设计难度加大。因此我们要在低电压下进一步采用创新性的低功耗设计来满足系统上的要求。对于低功耗、高精度、低成本模数转换器的设计采用前馈 Sigma-Delta 结构的模数转换器已成为一个趋势。其中关键部分就在于 Sigma-Delta 调制器。

[0003] 前馈结构 Sigma-Delta 调制器的输入信号不直接经过运算法放大器，从而避免运算放大器的非线性失真导致的调制器性能下降，可以在低电源电压下得到高性能的模数转换器。传统的三阶前馈 Sigma-Delta 调制器结构如图 1 所示，主要由三个积分器，一个量化器前的加法器，一个量化器，一个反馈数模转换器，一个把第一阶积分器输出信号放大 3 倍的放大器，一个把第二阶积分器输出信号放大 3 倍的放大器，一个计算出输入信号和反馈数模转换器输出信号之间差值的加法器构成。输入信号 X 与第一阶积分器输出信号放大三倍后的信号、第一阶积分器输出信号放大三倍后的信号和第三阶积分器输出信号相加后输入到量化器，经过量化后，量化器输出信号 Y 经过 DAC 转换后与输入信号相减得到 U，U 输入到第一阶积分器。为保证高精度性能，量化器通常采用多比特位宽的量化器。采用多比特位宽量化器的优点在于可以在不增加 Sigma-Delta 调制器过采样率的条件下，提高调制器的噪声谐波抑制比，同时可以提高系统的稳定性。

发明内容

[0004] 有鉴于此，本发明实施例的目的在于提供一种新的电路结构，满足对高精度、低功耗、低成本模数转换器设计需求。

[0005] 本发明是采用以下技术方案实现的：

[0006] 它包括本发明的运用逐次比较量化的多输入采样电容阵列作为第二加法器单元 6 以及三个积分器 1、一个多比特逐次比较量化器 2、一个二进制码转换成温度码功能的数字电路 3、一个反馈数模转换器 4、用于计算输入信号与数模转换器输出信号差值的第一加法器单元 5 构成的三阶前馈 Sigma-Delta 调制器，结构如图 2 所示。

[0007] 第二加法器单元的结构：第二加法器单元包括 2^N 个单位电容，N 的取值范围为 3 到 8。所有电容的上极板与一个开关 K 的一端相连，该开关另一端与一电压驱动器 B3 输出端相连。 $2^{N-3} \times 3$ 个电容的下极板分别通过三个开关 $K_{N,1}$, $K_{N,2}$, $K_{N,3}$ 与第一阶积分器输出端，电压驱动器 B1 输出端，电压驱动器 B2 输出端相连； 2^{N-3} 个电容的下极板分别通过三个开关 $K_{N-1,1}$, $K_{N-1,2}$, $K_{N-1,3}$ 与第三阶积分器输出端，电压驱动器 B1 输出端，电压驱动器 B2 输出端相连； 2^{N-2} 个电容的下极板分别通过三个开关 $K_{N-2,1}$, $K_{N-2,2}$, $K_{N-2,3}$ 与第二阶积分器输出端，电压

驱动器 B1 输出端, 电压驱动器 B2 输出端相连; 2^{N-3} 个电容的下极板分别通过三个开关 $K_{N-3,1}, K_{N-3,2}, K_{N-3,3}$ 与第二阶积分器输出端, 电压驱动器 B1 输出端, 电压驱动器 B2 输出端相连; 2^{N-4} 个, 2^{N-5} 个, \dots , $2^{N-(N-1)}$ 个, 2^{N-N} 个电容的下极板通过与之对应的 $K_{N-4,1}, K_{N-4,2}, K_{N-4,3}, K_{N-5,1}, K_{N-5,2}, K_{N-5,3}, \dots, K_{N-(N-1),1}, K_{N-(N-1),2}, K_{N-(N-1),3}, K_{N-N,1}, K_{N-N,2}, K_{N-N,3}$ 与信号输入端, 电压驱动器 B1 输出端, 电压驱动器 B2 输出端相连; 最后一个电容的下极板分别通过两个开关 $K_{L,1}, K_{L,2}$ 与信号输入端, 电压驱动器 B2 输出端相连。

- [0008] 调制器输入端分别与第一加法器单元和第二加法器单元相连;
- [0009] 第一加法器单元输出端与第一阶积分器输入端相连;
- [0010] 第一阶积分器输出端分别与第二加法器单元和第二阶积分器输入端相连;
- [0011] 第二阶积分器输出端分别与第二加法器单元和第三阶积分器输入端相连;
- [0012] 第三阶积分器输出端与第二加法器单元相连;
- [0013] 第二加法器单元输出端与多比特逐次比较量化器相连, 同时多比特逐次比较量化器通过反馈信号线与第二加法器单元相连;
- [0014] 多比特逐次比较量化器输出端与二进制码转换成温度码功能的数字电路相连;
- [0015] 二进制码转换成温度码功能的数字电路输出端与反馈数模转换器相连;
- [0016] 反馈数模转换器输出端与第一加法器单元相连。
- [0017] 该调制器输入信号直接输入到第一加法器单元和第二加法器单元;
- [0018] 第一加法器单元输出信号输入到第一阶积分器输入端;
- [0019] 第一阶积分器输出信号输入到第二阶积分器同时将该信号输入到第二加法器单元;
- [0020] 第二阶积分器输出信号输入到第三阶积分器同时将该信号输入到第二加法器单元;
- [0021] 第三阶积分器输出信号输入到第二加法器单元;
- [0022] 第二加法器单元对上述四个信号, 即输入信号、第一阶积分器输出信号、第二阶积分器输出信号、第三阶积分器输出信号进行信号采样。在信号采样时刻, 输入信号、第一阶积分器输出信号、第二阶积分器输出信号分别、第三阶积分器输出信号分别输入到第二加法器单元内的不同电容上, 输入信号、第一阶积分器输出信号、第二阶积分器输出信号、第三阶积分器输出信号对应的信号采样电容容值的比例为 $1 : 3 : 3 : 1$ 。第二加法器单元在信号采样时刻, 开关 $K_{N,1}, K_{N-1,1}, K_{N-2,1}, K_{N-3,1}, K_{N-4,1}, \dots, K_{N-(N-1),1}, K_{N-N,1}, K_{L,1}, K$ 闭合, 其他开关断开。第一阶积分器的输出信号通过开关 $K_{N,1}$ 输入到 $2^{N-3} \times 3$ 个电容的下极板; 第二阶积分器输出信号分别通过开关 $K_{N-2,1}, K_{N-3,1}$ 输入到对应的 2^{N-2} 个和 2^{N-3} 个共计 $2^{N-3} \times 3$ 个电容的下极板; 第三阶积分器的输出信号通过开关 $K_{N-1,1}$ 输入到 2^{N-3} 个电容的下极板; 输入信号通过开关 $K_{N-4,1}, K_{N-5,1}, \dots, K_{N-(N-1),1}, K_{N-N,1}, K_{L,1}$ 输入到 2^{N-4} 个, 2^{N-5} 个, $\dots, 2^{N-(N-1)}$ 个, 2^{N-N} 个和最后一个电容上共计 2^{N-3} 个电容。所有电容的上极板在信号采样时刻通过开关 K 与电压驱动器 B3 输出端相连。
- [0023] 采样后, 多比特逐次比较量化器对采样信号进行 N 次的逐次比较、量化。在 N 次比较、量化期间, 开关 $K_{N,1}, K_{N-1,1}, K_{N-2,1}, K_{N-3,1}, K_{N-4,1}, \dots, K_{N-(N-1),1}, K_{N-N,1}, K_{L,1}, K$ 断开, $K_{L,2}$ 闭合, 最后一个电容的下极板通过开关 $K_{L,2}$ 与电压驱动器 B2 输出端相连, 所有电容的上极板与比较量化器输入端相连。在进行第一次比较、量化时, 开关 $K_{N,2}, K_{N-1,2}$ 首先闭合, $K_{N,3}, K_{N-1,3}$

断开,开关 $K_{N-2,2}, K_{N-3,2}, \dots, K_{N-(N-1),2}, K_{N-N,2}$ 断开,开关 $K_{N-2,3}, K_{N-3,3}, \dots, K_{N-(N-1),3}, K_{N-N,3}$ 闭合。共计 2^{N-1} 个电容的下极板通过开关 $K_{N,2}, K_{N-1,2}$ 与电压驱动器 B1 输出端相连, 2^{N-2} 个、 2^{N-3} 个、 \dots 、 $2^{N-(N-1)}$ 个、 2^{N-N} 个电容的下极板通过开关 $K_{N-2,3}, K_{N-3,3}, \dots, K_{N-(N-1),3}, K_{N-N,3}$ 与电压驱动器 B2 输出端相连。多比特逐次比较量化器进行一次比较、量化,得到一位二进制码,若该值为 1,则 $K_{N,2}, K_{N-1,2}$ 断开, $K_{N,3}, K_{N-1,3}$ 闭合, 2^{N-1} 个电容的下极板通过开关 $K_{N,3}, K_{N-1,3}$ 与电压驱动器 B2 输出端相连;若该值为 0,则 $K_{N,2}, K_{N-1,2}$ 保持闭合, $K_{N,3}, K_{N-1,3}$ 断开, 2^{N-1} 个电容的下极板通过开关 $K_{N,2}, K_{N-1,2}$ 与电压驱动器 B1 输出端相连,到此完成了第一次比较、量化。第一次比较、量化结束后,开始第二次比较、量化。第二次比较、量化期间开关 $K_{N,2}, K_{N,3}, K_{N-1,2}, K_{N-1,3}$ 状态同第一次比较、量化结束时状态保持一致。在进行第二次比较、量化时,开关 $K_{N-2,2}$ 首先闭合, $K_{N-2,3}$ 断开,开关 $K_{N-3,2}, \dots, K_{N-(N-1),2}, K_{N-N,2}$ 断开,开关 $K_{N-3,3}, \dots, K_{N-(N-1),3}, K_{N-N,3}$ 闭合, 2^{N-2} 个电容的下极板通过开关 $K_{N-2,2}$ 与电压驱动器 B1 输出端相连, 2^{N-3} 个、 \dots 、 $2^{N-(N-1)}$ 个、 2^{N-N} 个电容的下极板通过开关 $K_{N-3,3}, \dots, K_{N-(N-1),3}, K_{N-N,3}$ 与电压驱动器 B2 输出端相连。多比特逐次比较量化器进行一次比较、量化,得到一位二进制码,若该值为 1,则 $K_{N-2,2}$ 断开, $K_{N-2,3}$ 闭合, 2^{N-2} 个电容的下极板通过开关 $K_{N-2,3}$ 与电压驱动器 B2 输出端相连,若该值为 0,则 $K_{N-2,2}$ 保持闭合, $K_{N-2,3}$ 断开, 2^{N-2} 个电容的下极板通过开关 $K_{N-2,2}$ 与电压驱动器 B1 输出端相连,到此完成了第二次比较、量化。第二次比较、量化结束后,开始第三次比较、量化。第三次比较、量化期间,开关 $K_{N,2}, K_{N,3}, K_{N-1,2}, K_{N-1,3}$ 状态同第一次比较、量化结束时状态保持一致,开关 $K_{N-2,2}, K_{N-2,3}$ 状态同第二次比较、量化结束时状态保持一致。在进行第三次比较、量化时,开关 $K_{N-3,2}$ 首先闭合, $K_{N-3,3}$ 断开,开关 $K_{N-4,2}, \dots, K_{N-(N-1),2}, K_{N-N,2}$ 断开,开关 $K_{N-4,3}, \dots, K_{N-(N-1),3}, K_{N-N,3}$ 闭合。 2^{N-3} 个电容的下极板通过开关 $K_{N-3,2}$ 与电压驱动器 B1 输出端相连, 2^{N-4} 个、 \dots 、 $2^{N-(N-1)}$ 个、 2^{N-N} 个电容的下极板通过开关 $K_{N-4,3}, \dots, K_{N-(N-1),3}, K_{N-N,3}$ 与电压驱动器 B2 输出端相连。多比特逐次比较量化器进行一次比较、量化,得到一位二进制码,若该值为 1,则 $K_{N-3,2}$ 断开, $K_{N-3,3}$ 闭合, 2^{N-3} 个电容的下极板通过开关 $K_{N-3,3}$ 与电压驱动器 B2 输出端相连,若该值为 0,则 $K_{N-3,2}$ 保持闭合, $K_{N-3,3}$ 断开, 2^{N-3} 个电容的下极板通过开关 $K_{N-3,2}$ 与电压驱动器 B1 输出端相连,到此完成了第三次比较、量化。依次类推,第 N 次比较、量化期间,开关 $K_{N,2}, K_{N,3}, K_{N-1,2}, K_{N-1,3}$ 状态同第一次比较、量化结束时状态保持一致,开关 $K_{N-2,2}, K_{N-2,3}$ 状态同第二次比较、量化结束时状态保持一致, \dots ,开关 $K_{N-(N-1),2}, K_{N-(N-1),3}$ 状态同第 N-1 次比较、量化结束时状态保持一致。在进行第 N 次比较、量化时,开关 $K_{N-N,2}$ 首先闭合, $K_{N-N,3}$ 断开, 2^{N-N} 个电容的下极板通过开关 $K_{N-N,2}$ 与电压驱动器 B1 输出端相连,多比特逐次比较量化器进行一次比较、量化,得到一位二进制码,若该值为 1,则 $K_{N-N,2}$ 断开, $K_{N-N,3}$ 闭合, 2^{N-N} 个电容的下极板通过开关 $K_{N-N,3}$ 与电压驱动器 B2 输出端相连,若该值为 0,则 $K_{N-N,2}$ 保持闭合, $K_{N-N,3}$ 断开, 2^{N-N} 个电容的下极板通过开关 $K_{N-N,2}$ 与电压驱动器 B1 输出端相连,到此完成了第 N 次比较、量化。

[0024] 多比特逐次比较量化器完成量化后输出的多比特二进制码通过二进制码转换成温度码功能数字电路转换成温度码;

[0025] 输出的温度码控制反馈数模转换器得到数模转换器输出信号;将数模转换器的输出信号输入到第一加法器单元与输入信号作差,作差后的信号输入到第一阶积分器的输入端。

[0026] 在本发明中,输入模拟信号 V_{in} 、第一阶积分器输出信号 V_{in1} 、第二阶积分器输出信

号 V_{in2} 、第三阶积分器输出信号 V_{in3} 在采样时刻分别被多输入电容阵列组成的第二加法器单元内的电容进行下极板采样，图 3 为第二加法器单元采样时刻示意图。在采样时刻第二加法器单元有别于传统的逐次比较量化器采样阵列电容只对单一的输入信号进行采样。在比较时刻，第二加法器单元电容阵列恢复成现有技术的逐次比较量化器类二进制权重采样电容阵列，图 4 为第二加法器单元在第一次比较时刻电路结构图。

[0027] 其中 V_{ref3} 为输入共模信号， V_{ref2} 、 V_{ref1} 为比较器参考电压。

[0028] 本发明与现有技术相比，具有以下的特点和有益效果：

[0029] 本发明所述的三阶前馈 Sigma-Delta 调制器，与传统的三阶前馈 Sigma-Delta 调制器项比较，加法功能电路由逐次比较量化器前的多输入采样电容阵列实现，去除了额外的模拟或数字加法器电路，使得整体电路功耗降低，节省了电路面积，降低了生产成本。多输入采样电容阵列与传统的逐次比较量化器前的采样电容阵列相比较，在采样时刻对应四个被采样信号的采样电容的比例变为 $3 : 1 : 3 : 1$ ，在比较、量化时刻电容阵列恢复成 $2^{N-1} : 2^{N-2} \cdots 2 : 1 : 1$ 。

附图说明

- [0030] 图 1 为传统的三阶前馈 Sigma-Delta 调制器结构框图；
- [0031] 图 2 为本发明的三阶前馈 Sigma-Delta 调制器结构框图；
- [0032] 图 3 为第二加法器单元电容阵列采样时刻示意图；
- [0033] 图 4 为第二加法器单元电容阵列第一次比较时刻示意图；
- [0034] 图 5 为本发明实施例提供的 Sigma-Delta 调制器电路结构图；
- [0035] 图 6 为本发明实施例提供的 Sigma-Delta 调制器电路时序图；
- [0036] 图 7 为本发明实施例提供的斩波稳定放大器结构框图；
- [0037] 图 8 为本发明实施例提供的大范围套筒式运算放大器电路结构图；
- [0038] 图 9 为本发明实施例提供的低功耗比较电路结构图；
- [0039] 图 10A 为本发明实施例提供的异步时钟控制电路；
- [0040] 图 10B 为本发明实施例提供的异步时钟时序框图；
- [0041] 图 11 为本发明实施例提供的第二加法器单元电容阵列采样时刻示意图；
- [0042] 图 12 为本发明实施例提供的第二加法器单元电容阵列比较时刻示意图；
- [0043] 图 13 为本发明实施例提供的数据权重平均算法示意图；
- [0044] 图 14 为本发明实施例输出信号频谱图。
- [0045] 其中 1 表示三个积分器，2 表示逐次比较量化器，3 表示二进制码转换成温度码的数字电路，4 表示反馈数模转换器，5 表示第一加法器单元，6 表示第二加法器单元，50 表示斩波稳定运算放大器，51 表示 4 比特异步逐次比较量化器，52 表示 4 比特二进制码转换成 15 比特温度码数字逻辑模块，53 表示 4 比特单位电容结构的反馈数模转换器，70 表示 pMOS 开关，71 表示自举开关，101 表示异步时钟单元。

具体实施方式

[0046] 本发明实施例提出了一种采用多输入采样开关电容阵列加法器的基于 4 比特异步逐次比较量化器的前馈三阶低通 Sigma-Delta 调制器，图 5 是用单端电路结构示意图描

述的该差分结构实现的调制器。电路包含了三个基于现有技术的开关电容结构积分电路，其中第一阶积分器内的运算放大器是采用斩波稳定运算放大器 50 结构实现的；第二加法器单元 6，一个基于现有技术的 4 比特异步逐次比较量化器 51，一个基于数据权重平均算法的把 4 比特二进制码转换成 15 比特温度码数字逻辑模块 52，一个基于现有技术的单位电容结构的 4 比特反馈数模转换器 53。其时序如图 6 所示。

[0047] 在该实施例中，低频噪声贡献最多的模拟电路是第一阶积分器中的运算放大器。采用现有技术的斩波稳定 (chopper stabilization) 放大器可以抑制该低频噪声，电路结构如图 7 所示。其输入开关采用 pMOS 开关 70；输出开关采用现有技术的自举开关 71，用于保证传输信号的线性度。开关控制时钟采用现有技术的两相非交叠的时钟设计，时序如图 6 所示。

[0048] 本实施例中采用现有技术的大范围套筒式结构的运算放大器，如图 8 所示。运放输入输出大范围的动态性能是通过让套筒结构的尾电流源晶体管工作在线性区来实现的。该电路在台湾积体电路制造股份有限公司 130nm 工艺下进行设计，电源电压为 1V，通过电路仿真可知，在负载电容是 8pF 的条件下，运算放大器的增益达到 49dB，增益带宽积达到 18MHz。

[0049] 本实施例中多比特逐次比较量化器采用现有技术的 4 比特异步逐次比较量化器。这种电路结构面积大，功耗高，不适于低功耗应用。采用逐次比较量化器具有低功耗、面积小的优点，因为只包含一个比较器，不存在比较器失调电压失配的问题。本实施例量化器中的比较器采用现有技术的低功耗动态比较器，如图 9 所示，该结构没有直流偏置电路，能够达到超低的静态功耗，平均功耗只与采样频率相关。

[0050] 异步时钟控制电路用来生成量化器中比较器的比较时钟 CLK，和第一阶积分期的积分时钟 Φ_F ，如图 10A 所示。异步时钟单元 101 采用现有技术实现，采用该技术的电路首次发表于“A 30fJ/Conversion-Step 8b 0-to 10MS/s Asynchronous SAR ADC in 90nm CMOS”2010 IEEE ISSCC Dig. Tech. Papers, pp388-389，本实例中异步时序控制如图 10B 所示。

[0051] 本实施例中在信号采样时刻，第二加法器单元内开关 $K_{4,1}$ 、 $K_{3,1}$ 、 $K_{2,1}$ 、 $K_{1,1}$ 、 $K_{0,1}$ 、 $K_{L,1}$ 、K 闭合，其他开关断开。第一阶积分器输出信号通过开关 $K_{4,1}$ 输入到 $2^{4-3} \times 3$ 个电容的下极板；第二阶积分器输出信号通过开关 $K_{2,1}$ 、 $K_{1,1}$ 输入到 $2^{4-3} \times 3$ 个电容的下极板；第三阶积分器输出信号通过开关 $K_{3,1}$ 输入到 2^{4-3} 个电容的下极板；输入信号通过开关 $K_{0,1}$ 、 $K_{L,1}$ 输入到 2^0 个和最后一个电容上。所有电容的上极板通过开关 K 与电压驱动器 B3 输出端相连。如图 11 所示。

[0052] 采样后，4 比特逐次比较量化器对采样信号进行 4 次的逐次比较、量化。在比较、量化期间，开关 $K_{4,1}$ 、 $K_{3,1}$ 、 $K_{2,1}$ 、 $K_{1,1}$ 、 $K_{0,1}$ 、 $K_{L,1}$ 、K 断开， $K_{L,2}$ 闭合，最后一个电容的下极板与电压驱动器 B2 输出端相连，所有电容的上极板与比较量化器输入相连。在进行第一次比较、量化时，开关 $K_{4,2}$ 、 $K_{3,2}$ 首先闭合， $K_{4,3}$ 、 $K_{3,3}$ 断开，开关 $K_{2,2}$ 、 $K_{1,2}$ 、 $K_{0,2}$ 断开，开关 $K_{2,3}$ 、 $K_{1,3}$ 、 $K_{0,3}$ 闭合。 2^3 个电容的下极板通过开关 $K_{4,2}$ 、 $K_{3,2}$ 与电压驱动器 B1 输出端相连， 2^2 个、 2^1 个、 2^0 个电容的下极板通过开关 $K_{2,3}$ 、 $K_{1,3}$ 、 $K_{0,3}$ 与电压驱动器 B2 输出端相连，如图 12 所示。4 比特逐次比较量化器进行一次比较、量化，得到一位二进制码，若该值为 1，则 $K_{4,2}$ 、 $K_{3,2}$ 断开， $K_{4,3}$ 、 $K_{3,3}$ 闭合， 2^3 个电容的下极板通过开关 $K_{4,3}$ 、 $K_{3,3}$ 与电压驱动器 B2 输出端相连，若该值为 0，则 $K_{4,2}$ 、 $K_{3,3}$

₂保持闭合, $K_{4,3}$ 、 $K_{3,3}$ 断开, 2^3 个电容的下极板通过开关 $K_{4,2}$ 、 $K_{3,2}$ 与电压驱动器 B1 输出端相连, 到此完成了第一次比较、量化。第一次比较、量化结束后, 开始第二次比较、量化。第二次比较、量化期间开关 $K_{4,2}$ 、 $K_{4,2}$ 、 $K_{3,2}$ 、 $K_{3,3}$ 状态同第一次比较、量化结束时状态保持一致。在进行第二次比较、量化时, 开关 $K_{2,2}$ 首先闭合, $K_{2,3}$ 断开, 开关 $K_{1,2}$ 、 $K_{0,2}$ 断开, 开关 $K_{1,3}$ 、 $K_{0,3}$ 闭合。 2^2 个电容的下极板通过开关 $K_{2,2}$ 与电压驱动器 B1 输出端相连, 2^1 个、 2^0 个电容的下极板通过开关 $K_{1,3}$ 、 $K_{0,3}$ 与电压驱动器 B2 输出端相连。4 比特逐次比较量化器进行一次比较、量化, 得到一位二进制码, 若该值为 1, 则 $K_{2,2}$ 断开, $K_{2,3}$ 闭合, 2^2 个电容的下极板通过开关 $K_{2,3}$ 与电压驱动器 B2 输出端相连, 若该值为 0, 则 $K_{2,2}$ 保持闭合, $K_{2,3}$ 断开, 2^2 个电容的下极板通过开关 $K_{2,2}$ 与电压驱动器 B1 输出端相连, 到此完成了第二次比较、量化。第二次比较、量化结束后, 开始第三次比较、量化。第三次比较、量化期间, 开关 $K_{4,2}$ 、 $K_{4,2}$ 、 $K_{3,2}$ 、 $K_{3,3}$ 状态同第一次比较、量化结束时状态保持一致, 开关 $K_{2,2}$ 、 $K_{2,3}$ 状态同第二次比较、量化结束时状态保持一致。在进行第三次比较、量化时, 开关 $K_{1,2}$ 首先闭合, $K_{1,3}$ 断开, 开关 $K_{0,2}$ 断开, 开关 $K_{0,3}$ 闭合。 2^1 个电容的下极板通过开关 $K_{1,2}$ 与电压驱动器 B1 输出端相连, 2^0 个电容的下极板通过开关 $K_{0,3}$ 与电压驱动器 B2 输出端相连。4 比特逐次比较量化器进行一次比较、量化, 得到一位二进制码, 若该值为 1, 则 $K_{1,2}$ 断开, $K_{1,3}$ 闭合, 2^1 个电容的下极板通过开关 $K_{1,3}$ 与电压驱动器 B2 输出端相连, 若该值为 0, 则 $K_{1,2}$ 保持闭合, $K_{1,3}$ 断开, 2^1 个电容的下极板通过开关 $K_{1,2}$ 与电压驱动器 B1 输出端相连, 到此完成了第三次比较、量化。第 4 次比较、量化期间, 开关 $K_{4,2}$ 、 $K_{4,2}$ 、 $K_{3,2}$ 、 $K_{3,3}$ 状态同第一次比较、量化结束时状态保持一致, 开关 $K_{2,2}$ 、 $K_{2,3}$ 状态同第二次比较、量化结束时状态保持一致, 开关 $K_{1,2}$ 、 $K_{1,3}$ 状态同第三次比较、量化结束时状态保持一致。在进行第四次比较、量化时, 开关 $K_{0,2}$ 首先闭合, $K_{0,3}$ 断开, 2^0 个电容的下极板通过开关 $K_{0,2}$ 与电压驱动器 B1 输出端相连, 4 比特逐次比较量化器进行一次比较、量化, 得到一位二进制码, 若该值为 1, 则 $K_{0,2}$ 断开, $K_{0,3}$ 闭合, 2^0 个电容的下极板通过开关 $K_{0,3}$ 与电压驱动器 B2 输出端相连, 若该值为 0, 则 $K_{0,2}$ 保持闭合, $K_{0,3}$ 断开, 2^0 个电容的下极板通过开关 $K_{0,2}$ 与电压驱动器 B1 输出端相连, 到此完成了第四次比较、量化。其中 V_{ref3} 为输入共模信号, V_{ref2} 、 V_{ref1} 为比较器参考电压。在本实施例中, $V_{ref3} = 0.6V$, $V_{ref2} = 0.35V$, $V_{ref1} = 0V$ 。

[0053] 4 比特二进制码转换成 15 比特温度码逻辑数字电路时基于现有技术数据权重平均算法设计实现, 在将二进制码转换成温度码的同时还伴随基于上一次输出温度码的结果对本次输出温度码进行移位的操作, 算法示意图如图 13 所示。

[0054] 4 比特反馈数模转换器 53 根据基于现有技术的单元电容结构设计实现。输出的温度码送入到数模转换器, 控制 15 路电路支路上的开关。例如, 当第一路电容支路的输入控制信号为高电平时, 即该路对应的温度码信号为 1, 该路的控制开关逻辑在时钟 Φ_{F1} 为高时, Φ_{P1} 为高, Φ_{P1} 控制的开关闭合, Φ_{N1} 为低, Φ_{N1} 控制的开关断开, 电容 C_{F1} 的下级板与 V_{refp} 相接; 当第一路电容支路的输入控制信号为低电平时, 即该路对应的温度码信号为 0, 该路的控制开关逻辑在时钟 Φ_{F1} 为高时, Φ_{N1} 为高, Φ_{N1} 控制的开关闭合, Φ_{P1} 为低, Φ_{P1} 控制的开关断开, 电容 C_{F1} 的下级板与 V_{refn} 相接; 其中 V_{refp} 为高反馈参考电压, V_{refn} 为低反馈参考电压, 即 $V_{refp} > V_{refn}$ 在本实施例中, $V_{refp} = 0.7V$, $V_{refn} = 0V$ 。

[0055] 用于计算输入信号与电容式数模转换器输出信号差值的加法器通过第一阶的积分器中采样电容 c_{s1} 实现。

[0056] 本实施例在台湾积体电路制造股份有限公司 130nm 工艺下进行设计, 通过电路

仿真可知,在输入信号为 5kHz 的正弦信号,其峰峰值为 400mV,采样频率为 1MHz 的情况下,Sigma-Delta 调制器最大信号噪声谐波比可达到 110 分贝,如图 14;电路整体功耗为 380uW。

[0057] 以上所述,仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围,凡在本发明的精神和原则之内所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

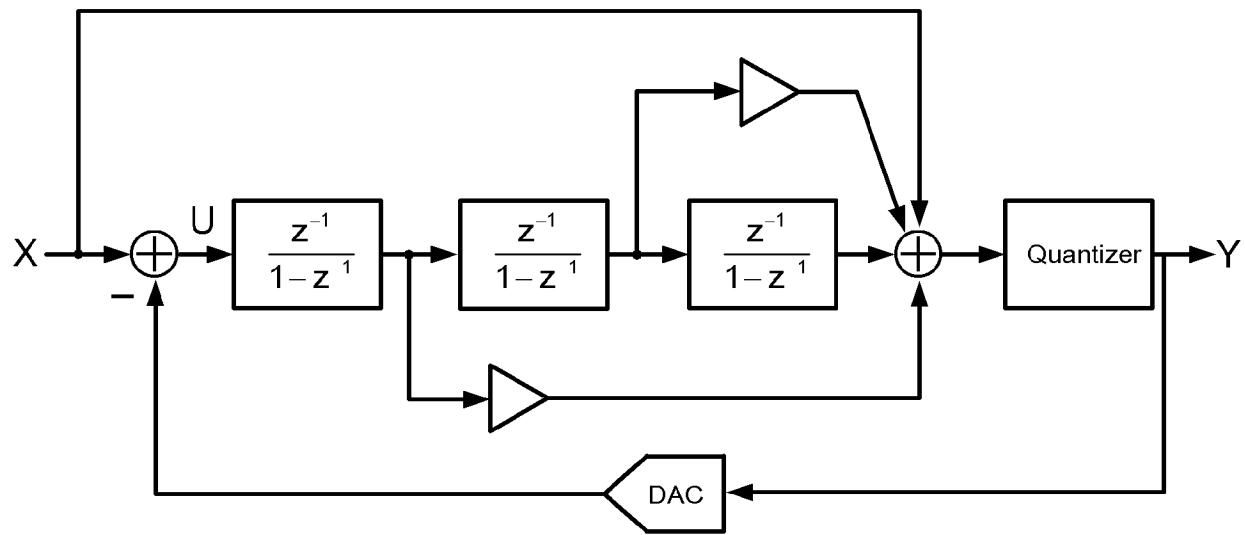


图 1

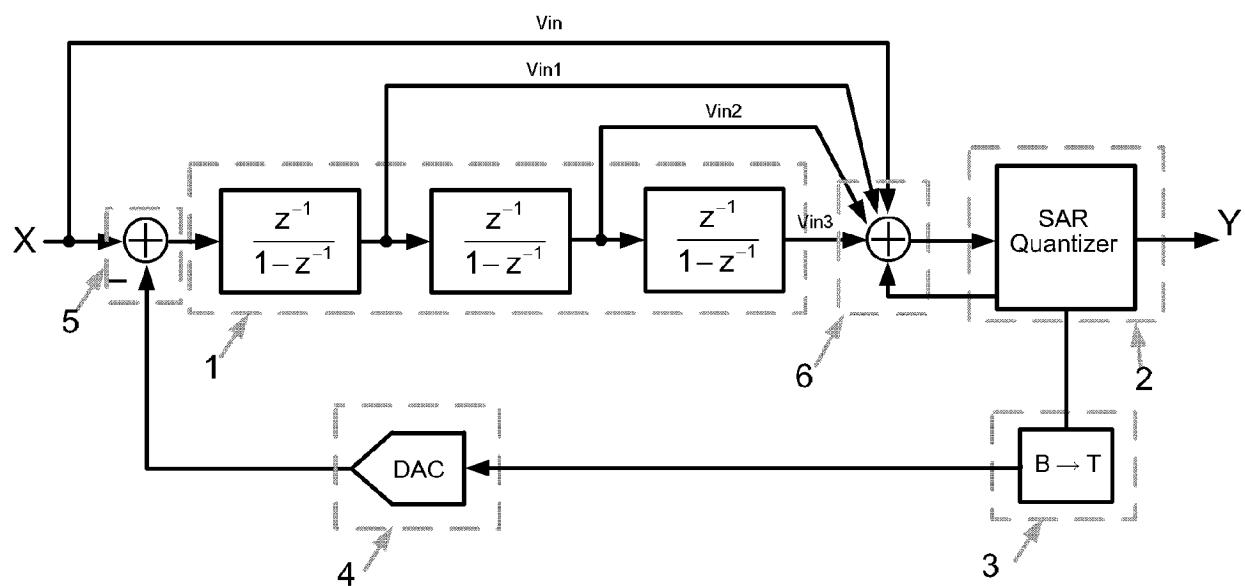


图 2

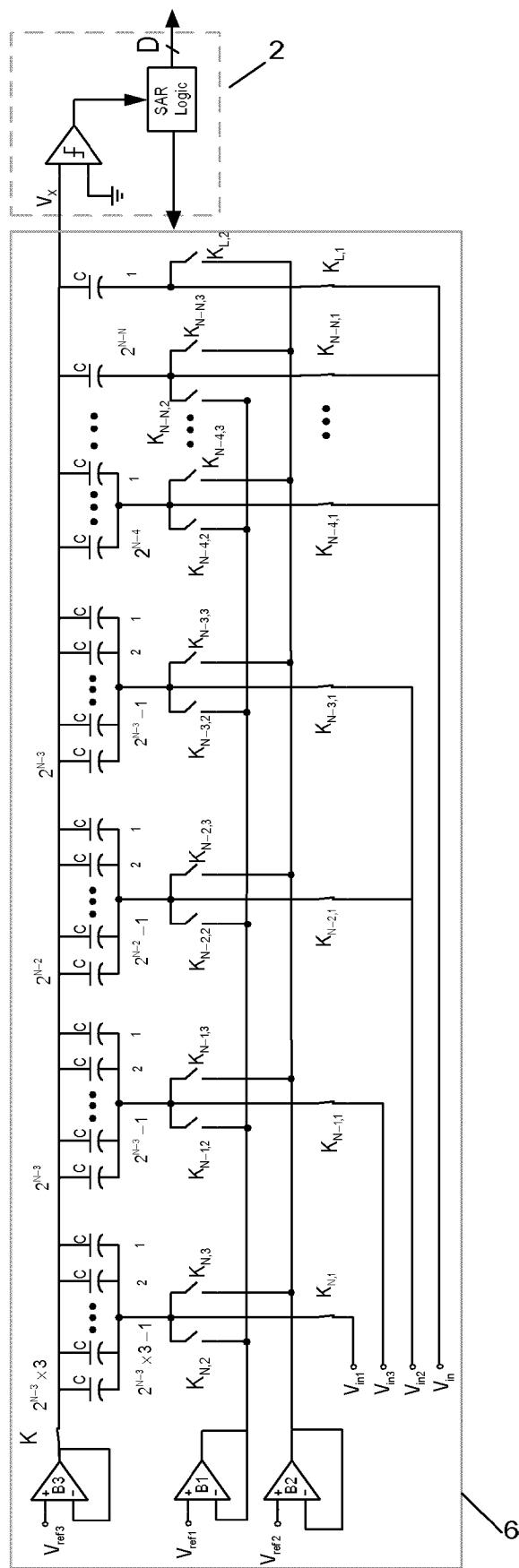


图 3

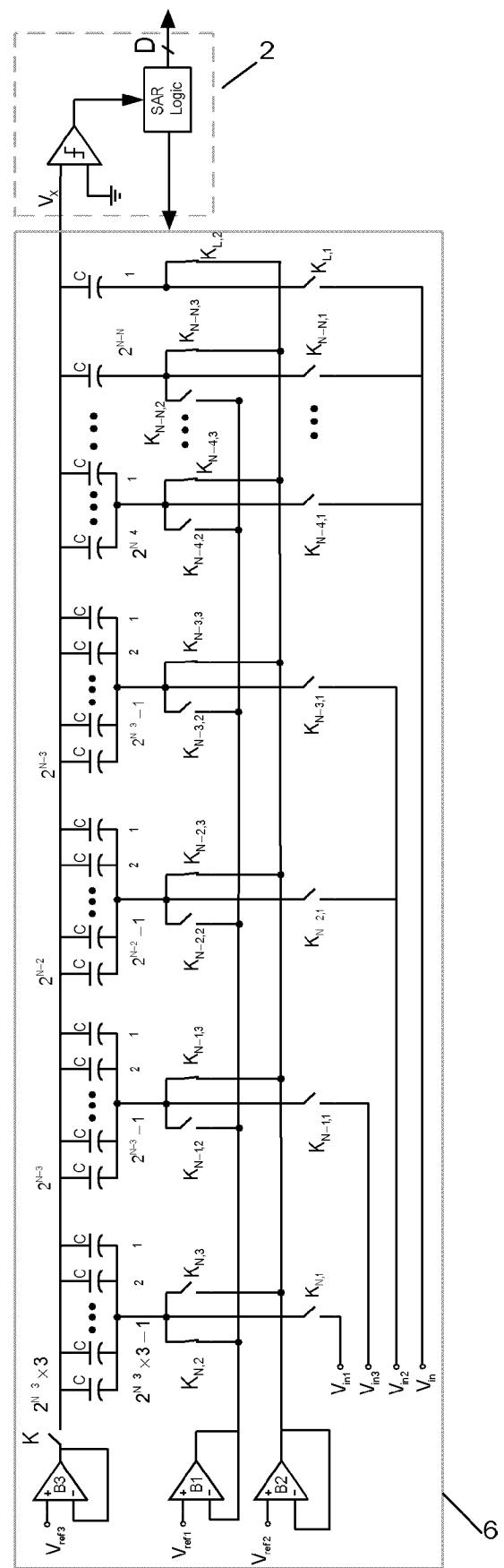


图 4

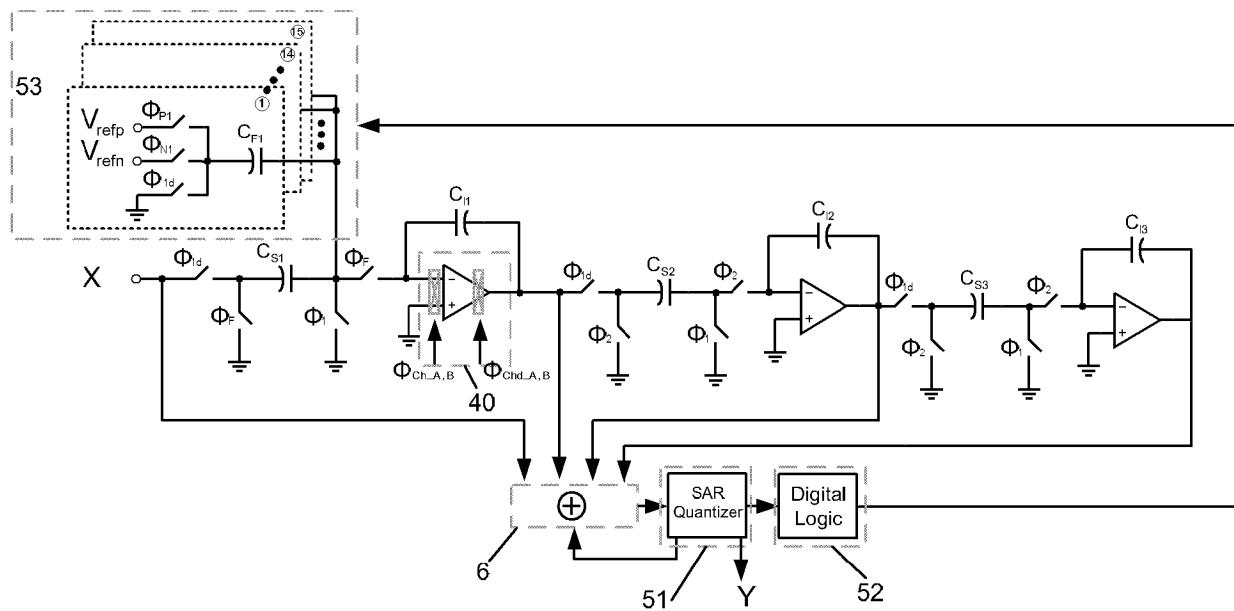


图 5

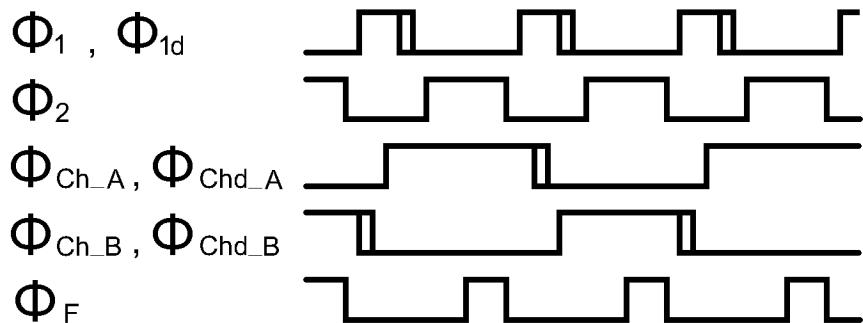


图 6

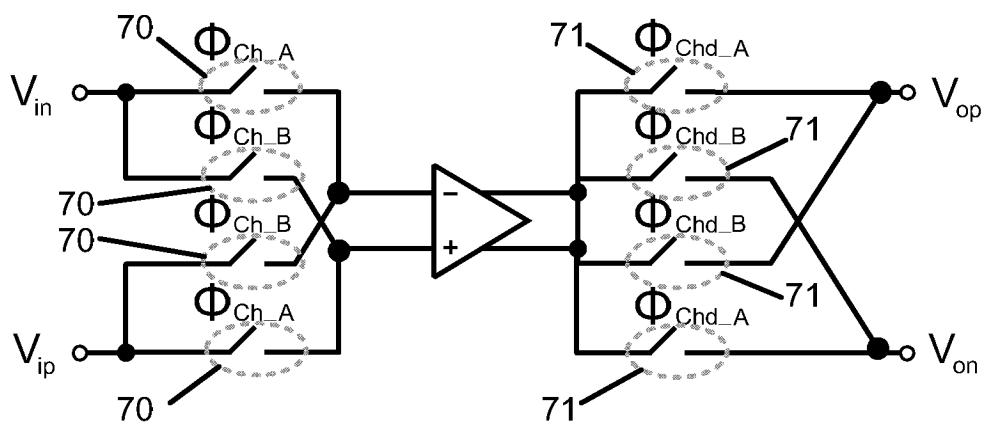


图 7

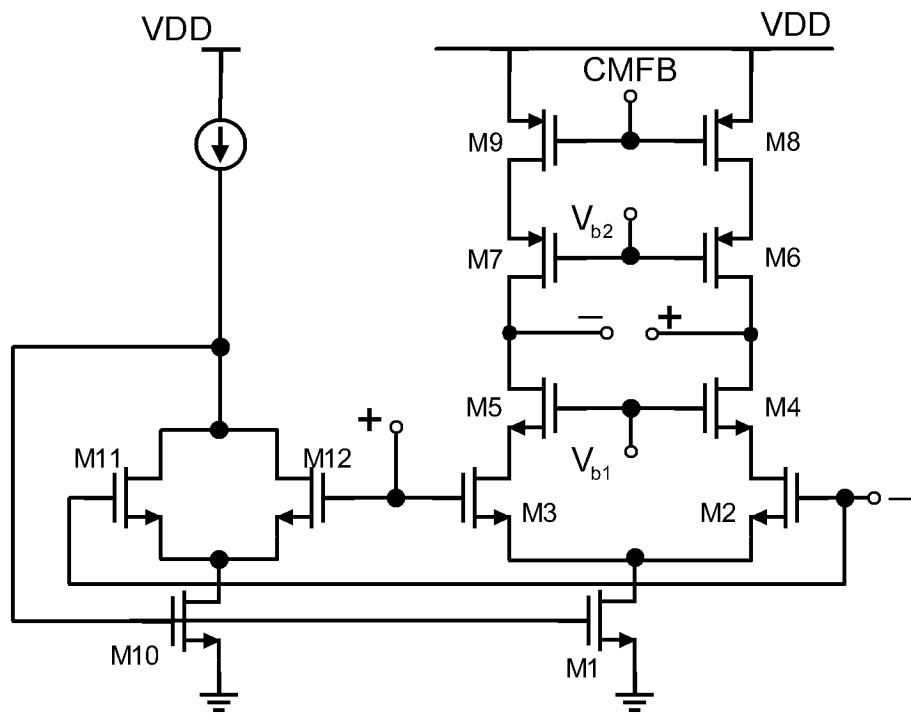


图 8

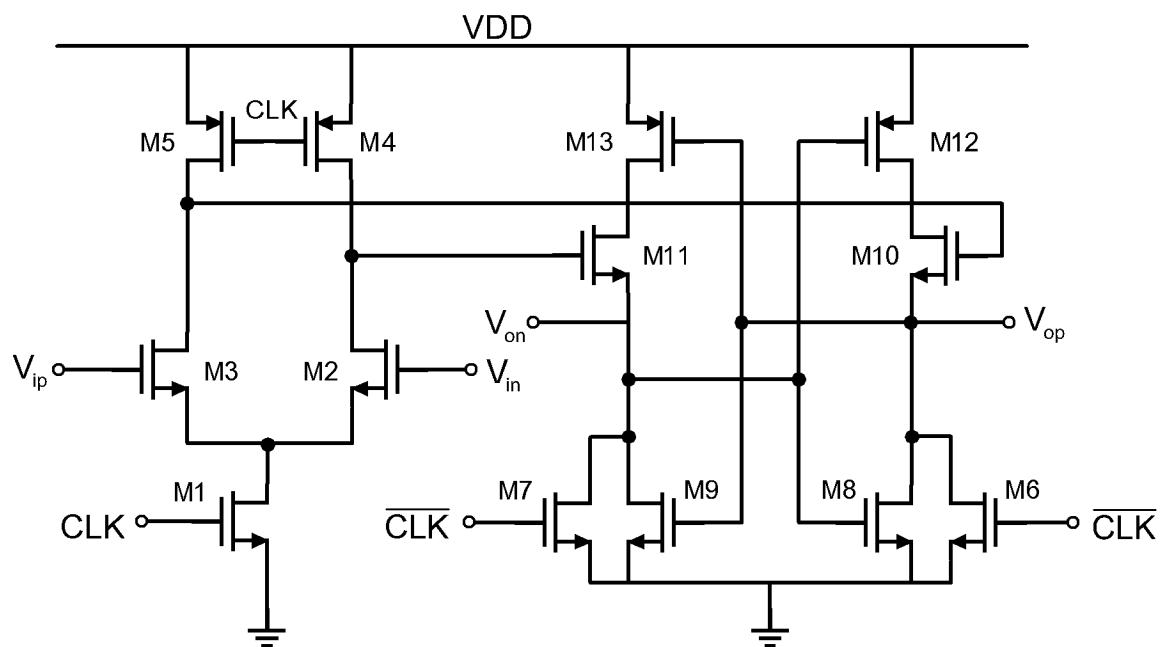


图 9

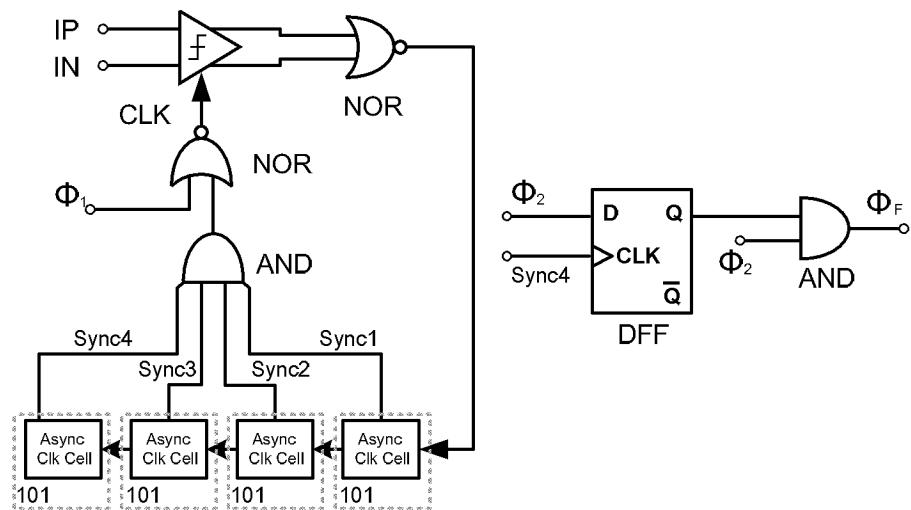


图 10A

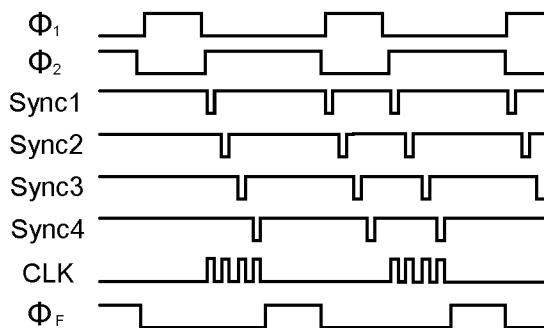


图 10B

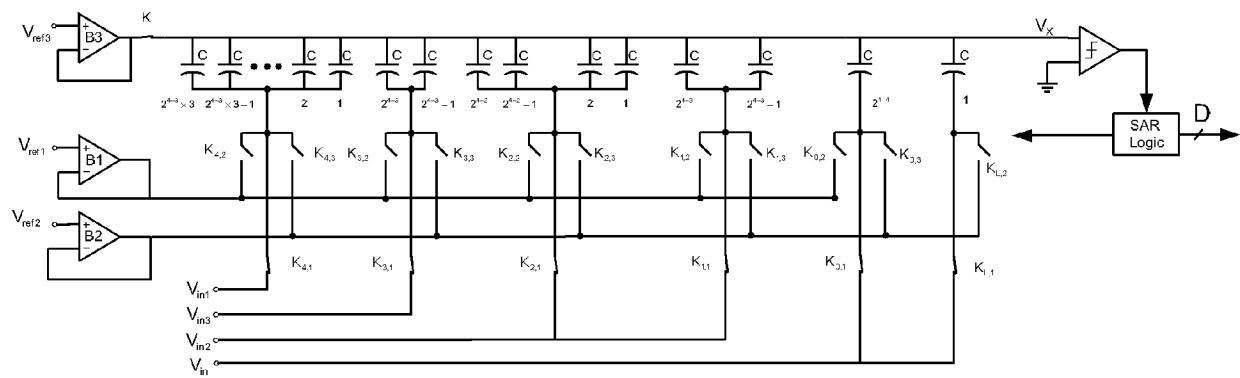


图 11

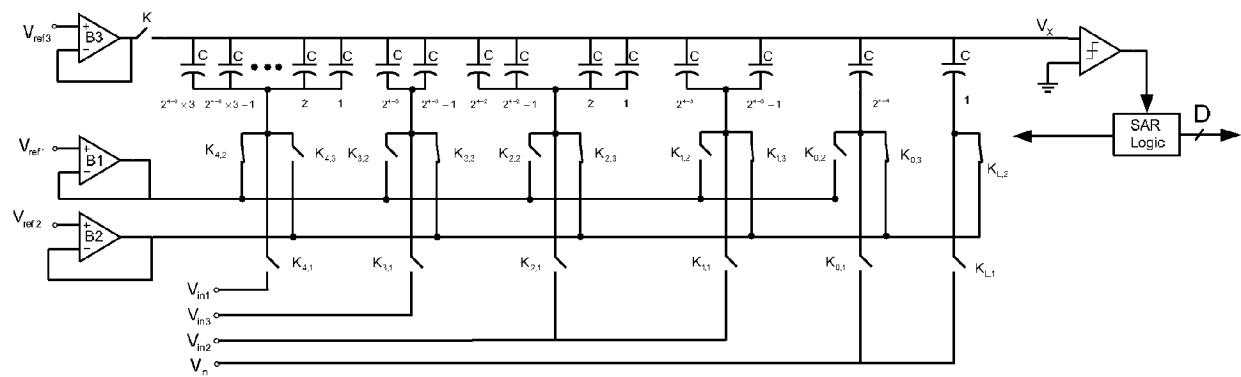


图 12

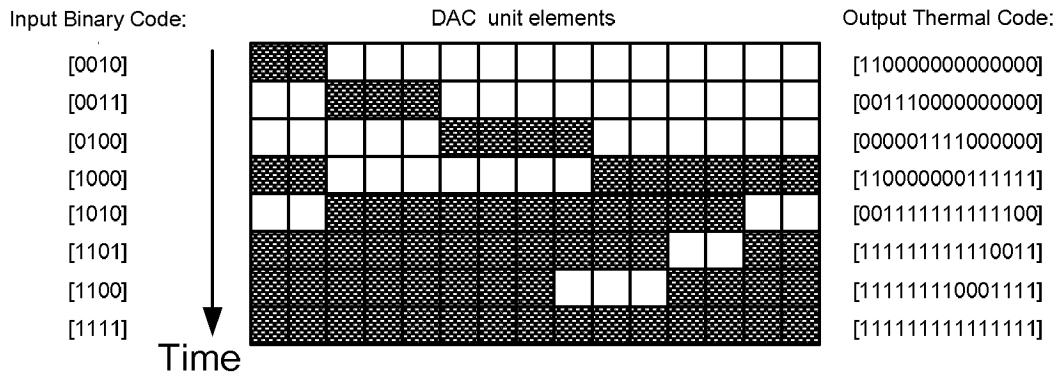


图 13

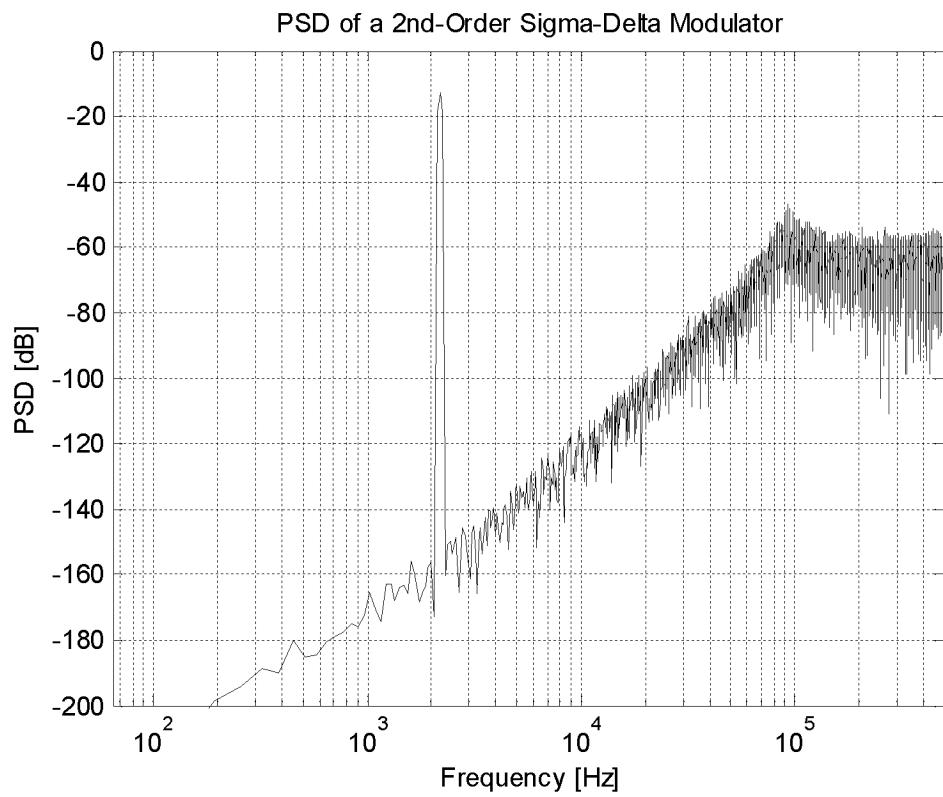


图 14