

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7076576号
(P7076576)

(45)発行日 令和4年5月27日(2022.5.27)

(24)登録日 令和4年5月19日(2022.5.19)

(51)国際特許分類		F I		
H 0 1 L	21/822 (2006.01)	H 0 1 L	27/04	C
H 0 1 L	27/04 (2006.01)	H 0 1 L	27/06	F
H 0 1 L	21/8232(2006.01)			
H 0 1 L	27/06 (2006.01)			

請求項の数 11 (全9頁)

(21)出願番号	特願2020-562050(P2020-562050)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日	平成30年12月27日(2018.12.27)	(74)代理人	110002941 特許業務法人ぱるも特許事務所
(86)国際出願番号	PCT/JP2018/048157	(72)発明者	三木 耕平 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開番号	WO2020/136808	(72)発明者	宮國 晋一 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開日	令和2年7月2日(2020.7.2)	(72)発明者	西口 浩平 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	令和3年2月25日(2021.2.25)	審査官	市川 武宜

最終頁に続く

(54)【発明の名称】 半導体素子構造

(57)【特許請求の範囲】

【請求項1】

表面にGaN層が積層されたSiC基板と、
前記GaN層の表面に形成されたソース電極と、
前記ソース電極の表面に形成されたMIMキャパシタと、
前記SiC基板の裏面から前記ソース電極に達するビアホールと
を備え、

前記ソース電極には、バリアメタル層が含まれ、
前記ビアホールの底は、前記ソース電極の裏面から前記バリアメタル層の裏面の間にあり、
前記バリアメタル層は、CrまたはVの少なくとも1を含むことを特徴とする半導体素子
構造。

【請求項2】

前記バリアメタル層は、Cr層とV層の二層からなることを特徴とする請求項1に記載の
半導体素子構造。

【請求項3】

前記バリアメタル層は、CrとVの混晶からなることを特徴とする請求項1に記載の半導
体素子構造。

【請求項4】

前記バリアメタル層は、Cr層、V層およびNi層の三層からなることを特徴とする請求
項1に記載の半導体素子構造。

【請求項 5】

前記バリアメタル層は、Cr、VおよびNiの混晶からなることを特徴とする請求項 1 に記載の半導体素子構造。

【請求項 6】

前記MIMキャパシタは、前記ソース電極の表面に形成された第1の金属層と第2の金属層とで挟んだ絶縁膜であることを特徴とする請求項 1 から請求項 5 のいずれか 1 項に記載の半導体素子構造。

【請求項 7】

前記ソース電極は、前記GaN層の表面にTi層、前記バリアメタル層、Au層と順次積層されたことを特徴とする請求項 6 に記載の半導体素子構造。

10

【請求項 8】

前記ソース電極のAu層は、前記MIMキャパシタの第1の金属層を兼ねることを特徴とする請求項 7 に記載の半導体素子構造。

【請求項 9】

前記ソース電極の代わりに、ドレイン電極であることを特徴とする請求項 1 から請求項 8 のいずれか 1 項に記載の半導体素子構造。

【請求項 10】

表面にGaN層が積層されたSiC基板と、
前記GaN層の表面に形成されたソース電極と、
前記ソース電極の表面に形成されたMIMキャパシタと、
前記SiC基板の裏面から前記ソース電極に達するビアホールと
を備え、

20

前記ソース電極には、バリアメタル層が含まれ、
前記ビアホールの底は、前記ソース電極の裏面から前記バリアメタル層の裏面の間にあり、
前記ソース電極は、前記GaN層の表面にTi層、前記バリアメタル層、Au層と順次積層されたことを特徴とする半導体素子構造。

【請求項 11】

表面にGaN層が積層されたSiC基板と、
前記GaN層の表面に形成されたソース電極と、
前記ソース電極の表面に形成されたMIMキャパシタと、
前記SiC基板の裏面から前記ソース電極に達するビアホールと
を備え、

30

前記ソース電極には、バリアメタル層が含まれ、
前記ビアホールの底は、前記ソース電極の裏面から前記バリアメタル層の裏面の間にあり、
前記ソース電極のAu層は、前記MIMキャパシタの第1の金属層を兼ねることを特徴とする半導体素子構造。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、半導体素子構造に関するものである。

40

【背景技術】

【0002】

従来、半導体素子においては、ワイヤー配線を設けることで乗ってくる容量により半導体の特に周波数特性が劣化するという問題があった。そのため、現状ではワイヤー配線による容量を少なくするために、ソース電極ないしはソース電極から引き延ばしたパッド裏面から導通を取るためのビアホールを設けることが一般的となっている。この構造は、ウエハプロセス完了後の組立工程で導通を取るワイヤーを打つことと比較して、プロセス途中に形成する必要があるため、AuSnはんだで導通を取る際、ソース電極ないしはソース電極から引き出されたパッド下のビアホール内に侵入してきたAuSnはんだにAuが拡散することで、電極の腐食および断線が発生する。

50

【0003】

その問題の対策として、例えば特許文献1では、AuSnはんだとソース電極であるAuの間にバリアメタルを設けることで上層のAuがAuSnはんだに拡散しないようにすることで腐食などが発生しない手法が開示されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2016-46306号公報（段落0021、図4）

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記の手法はAuの拡散による腐食および断線とドライ加工時のストッパ層としての効果にだけ注目しており、例えば半導体上に素子を集積したMMIC（Monolithic Microwave Integrated Circuit、モノリシック・マイクロ波集積回路）上で多用されるMIM（Metal-Insulator-Metal）構造のMIMキャパシタ下にビアホールを形成する場合において、ハロゲンガスがMIMキャパシタまで侵入することによるMIM構造の絶縁膜劣化の抑制に関しては考慮されていない。MIMキャパシタ直下にビアホールを形成した場合には、ハロゲンガス（特に難燃性基板などに含まれるBr）がAuを通して、MIMキャパシタである絶縁膜に拡散することで容量が変化すること、信頼性に影響を与えるリーク電流が変化すること、またはメタル中に含まれるTi、Nb、Moなどが拡散してきたBrにより腐食することを防ぐことが困難であるという問題があった。

【0006】

本願は、上記のような課題を解決するための技術を開示するものであり、ハロゲンガスによる腐食を防ぎ、長期信頼性を確保可能な半導体素子構造を提供することを目的とする。

【課題を解決するための手段】

【0007】

本願に開示される半導体素子構造は、表面にGaN層が積層されたSiC基板と、前記GaN層の表面に形成されたソース電極と、前記ソース電極の表面に形成されたMIMキャパシタと、前記SiC基板の裏面から前記ソース電極に達するビアホールとを備え、前記ソース電極には、バリアメタル層が含まれ、前記ビアホールの底は、前記ソース電極の裏面から前記バリアメタル層の裏面の間であり、前記バリアメタル層は、CrまたはVの少なくとも1を含むことを特徴とする。

【発明の効果】

【0008】

本願によれば、ソース電極に、ハロゲン元素に対する耐性を有するバリアメタル層を挿入した構成とすることで、MIMキャパシタ中に存在する絶縁膜に対してハロゲン元素、特にBrの侵入を長期にわたって抑制することができる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1による半導体素子構造の構成を示す断面図である。

【図2】実施の形態1による半導体素子構造の製造方法を示す断面図である。

【図3】実施の形態1による半導体素子構造の製造方法を示す断面図である。

【図4】実施の形態1による半導体素子構造の製造方法を示す断面図である。

【図5】実施の形態1による半導体素子構造の製造方法を示す断面図である。

【図6】実施の形態1による半導体素子構造の製造方法を示す断面図である。

【図7】実施の形態1による半導体素子構造の製造方法を示す断面図である。

【図8】実施の形態1による半導体素子構造の製造方法を示す断面図である。

【発明を実施するための形態】

【0010】

10

20

30

40

50

実施の形態 1 .

図 1 は、実施の形態 1 における半導体素子構造の構成を示す断面図である。図 1 に示すように、半導体素子構造 101 は、SiC 基板 1、SiC 基板 1 の表面に形成された GaN 層 2、GaN 層 2 の表面に形成された MIM キャパシタ 3、MIM キャパシタ 3 の MIM 構造の下側の金属層 30 を含むソース電極 4、SiC 基板 1 の裏面からソース電極 4 に達するビアホール 5 から構成される。

【0011】

MIM キャパシタ 3 は、絶縁膜 32 を第 1 の金属層としての下層の金属層 30 と第 2 の金属層としての上層の金属層 31 で挟んだ MIM (Metal - Insulator - Metal) 構造の薄膜キャパシタであり、容量を出すための中間絶縁膜である。絶縁膜 32 は、耐圧確保が目的であり、SiN、SiO₂、SiON など絶縁膜に分類される膜であれば、特に限定されない。ソース電極 4 は、GaN 層 2 と MIM キャパシタ 3 との接着およびオーミックコンタクトを取るための Ti 層 40 と、ハロゲンの進入を防ぐバリアメタル層 42 と、バリアメタル層 42 の酸化を防ぐための Au 層 41 と、MIM キャパシタ 3 の下層の金属層 30 とからなる。

10

【0012】

バリアメタル層 42 の材質は、特にハロゲン元素の中でも MIM キャパシタ 3 中に存在する絶縁膜 32 を劣化させる Br の侵入に耐性をもつ Cr または V を適用する。バリアメタル層 42 の厚みは、材料自体のストレスが高いことから、MIM キャパシタ 3 の絶縁膜 32 にストレスによるひずみを与えないように、Cr は 500nm 以下、V は 300nm 以下とする。また、Cr および V のいずれの場合であっても、下限は 10 原子層相当あれば問題ないが、成膜時の蒸着装置およびスパッタ装置などの制御性の面から 10nm 以上とすることが、バリアとして長期信頼性を維持する上で望ましい。

20

【0013】

このように、MIM キャパシタ 3 の下層の金属層 30 を含むソース電極 4 に、ハロゲン元素に対する耐性を有するバリアメタル層 42 を挿入した構成とすることで、MIM キャパシタ 3 中に存在する絶縁膜 32 に対してハロゲン元素、特に Br の侵入を長期にわたって抑制する。

【0014】

次に、実施の形態 1 における半導体素子構造 101 の製造方法について、図 2 から図 8 に基づき説明する。図 2 から図 8 は、実施の形態 1 による半導体素子構造 101 の製造工程を示す断面図である。

30

【0015】

まず、図 2 に示す、エピタキシャル成長による GaN 層 2 を積層した SiC 基板 1 の GaN 層 2 の表面に、図 3 に示すように、ソース電極としての Ti 層 40、バリアメタル層 42、Au 層 41 を順次積層する。この工程のメタル成膜はスパッタ、蒸着など方式を問わない。

【0016】

続いて、図 4 に示すように、積層された Au 層 41 の表面に、MIM キャパシタ 3 の下層の金属層 30 を積層し、ソース電極が形成される。MIM キャパシタ 3 の下層の金属層 30 は、蒸着法またはスパッタで成膜する。金属層 30 の材質は、特に限定されない。場合によっては Au 層 41 が金属層 30 を兼ねてもよい。

40

【0017】

次いで、図 5 に示すように、積層された金属層 30 の表面に、絶縁膜 32 を形成し、続いて、図 6 に示すように、形成された絶縁膜 32 の表面に、上層の金属層 31 を積層し、MIM キャパシタ 3 が形成される。金属層 31 の材質は、特に限定されない。主に Au が採用される。

【0018】

続いて、図 7 に示すように、SiC 基板 1 の裏面側からソース電極 4 の裏面側に達するビアホール用の穴 12 を、SF₆/O₂ ガスを用いたドライエッチングにより形成する。穴

50

12の形成の際には、エッチングマスクとしてNiまたはCrなどを用いる。これはNiおよびCrが、SiC基板1およびGaN層2をエッチングする条件に対して、極めて選択比が高く（NiまたはCrの方が20倍程度エッチングレートが遅い）、ドライエッチング耐性を有するからである。穴12の深さは、Ti層40の裏面からバリアメタル層42の裏面までの間であればよく、バリアメタル層42はエッチングしない。穴12の形状および寸法は、特に限定されない。

【0019】

最後に、図8に示すように、ソース電極4から裏面側に導通を取るために、穴12の内側およびSiC基板1の裏面に、ビアホール5および裏面電極5aをスパッタもしくは蒸着で形成する。被覆率の面からはスパッタが望ましい。ビアホール5および裏面電極5aの材質は、一般的にAuSnが用いられるが、AuGeまたはAu単体でもよい。

10

【0020】

以上のように、本実施の形態1にかかる半導体素子構造101によれば、表面にGaN層2が積層されたSiC基板1と、GaN層2の表面に形成されたソース電極4と、ソース電極4の表面に形成されたMIMキャパシタ3と、SiC基板1の裏面からソース電極4に達するビアホール5とを備え、ソース電極4には、バリアメタル層42が含まれ、ビアホール5の底は、ソース電極4の裏面からバリアメタル層42の裏面の間にあるようにしたので、ソース電極にハロゲン元素に対する耐性を有するバリアメタル層を挿入した構成とすることで、MIMキャパシタ中に存在する絶縁膜に対してハロゲン元素、特にBrの侵入を長期にわたって抑制するでき、ハロゲン元素が絶縁膜またはメタルに混入することで発生する腐食および絶縁膜の絶縁性低下によるリーク電流の増大（素子信頼性の低下）を長期にわたって抑制し、高信頼性な素子を提供することが可能となる。

20

【0021】

なお、上記実施の形態1では、ソース電極4のバリアメタル層42が一層構造である場合を示したが、これに限るものではない。Cr層とV層の二層構造としてもよいし、CrとVの混晶の層としてもよい。この場合、上記実施の形態1での効果に加えて、ビアホールの開口後のウエハプロセスで酸またはアルカリの薬液処理をする際、CrまたはVと反応する薬品を使った場合でも、積層構造のいずれかの層目で反応を止めたり、混晶比により耐性をコントロールすることで、バリアメタル単体では適用困難な薬液処理を実施することが可能となり、裏面処理プロセスの自由度を拡大することができる。なお、二層構造の場合、Cr層とV層の積層順は特に限定されない。

30

【0022】

また、Cr層、V層およびNi層の三層構造としてもよいし、Cr、VおよびNiの混晶の層としてもよい。この場合、上記Cr層とV層の二層構造およびCrとVの混晶の層と同様の効果が得られるだけでなく、ビアホールの開口時のドライエッチング耐性の向上を図ることができ、裏面処理プロセスの自由度を拡大することができる。なお、三層構造の場合、Cr層、V層およびNi層の積層順は特に限定されない。

【0023】

また、バリアメタル層42に用いるバリアメタルは、上記の種類に限るものではない。ハロゲンバリア性を有するメタルであれば適用可能である。同時にソース電極直下ではなくたとえばドレイン電極直下などにMIM構造およびその他、ハロゲン元素による劣化が懸念される電極もしくは構造を形成する場合、同様のバリアメタルを設けて保護することが可能なことは想像に難くない。

40

【0024】

本願は、様々な例示的な実施の形態及び実施例が記載されているが、実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの構成要素を抽出し、他の構成要素と組み合わせる場合が含まれるものと

50

する。

【符号の説明】

【0025】

1 SiC基板、2 GaN層、3 MIMキャパシタ、4 ソース電極、5 ビアホール、42 バリアメタル層、101 半導体素子構造。

10

20

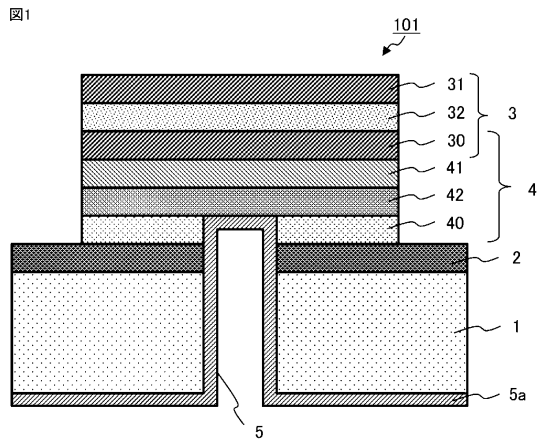
30

40

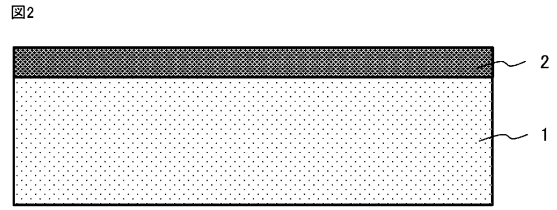
50

【図面】

【図 1】

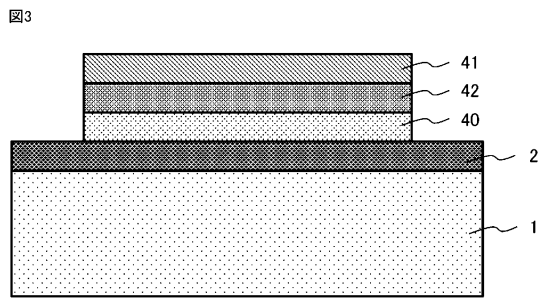


【図 2】

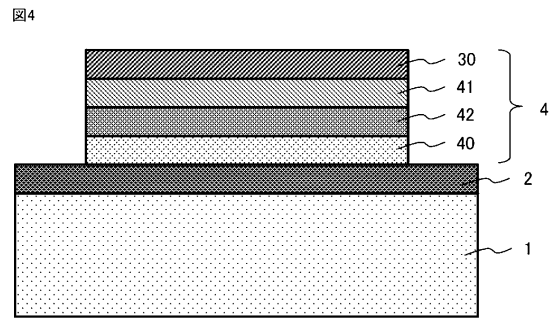


10

【図 3】



【図 4】



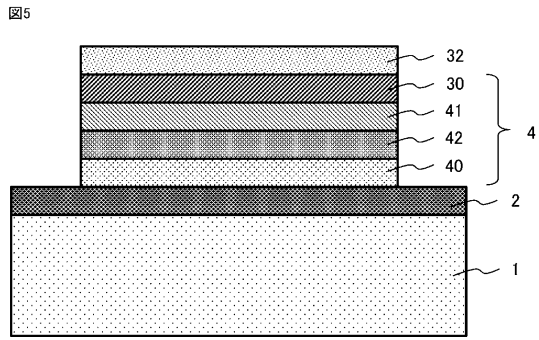
20

30

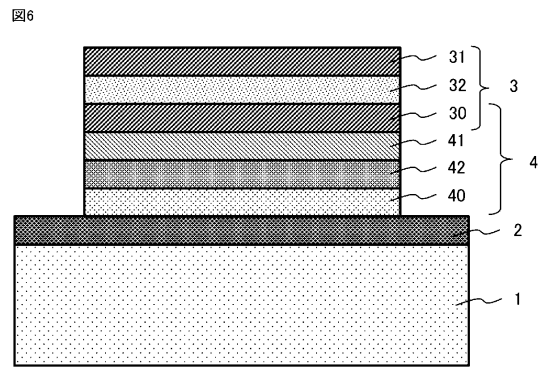
40

50

【図5】

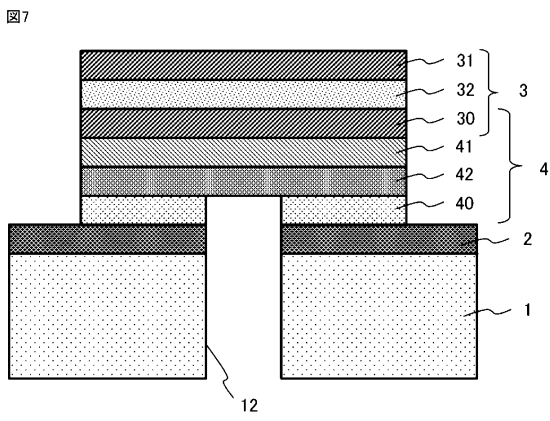


【図6】

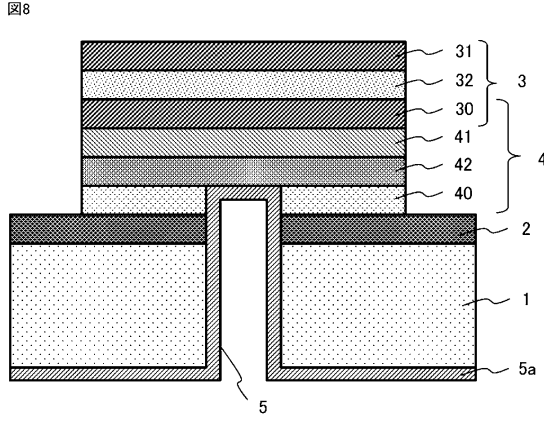


10

【図7】



【図8】



20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2018/173275(WO, A1)
特開2016-046306(JP, A)
特開平04-252038(JP, A)
特開2008-108840(JP, A)
特開2016-131183(JP, A)
特開2001-267331(JP, A)
特開2011-192836(JP, A)
- (58)調査した分野 (Int.Cl., DB名)
- | | |
|------|---------|
| H01L | 21/822 |
| H01L | 21/8232 |
| H01L | 27/04 |
| H01L | 27/06 |