



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월09일
(11) 등록번호 10-0925393
(24) 등록일자 2009년10월30일

(51) Int. Cl.

G11C 7/22 (2006.01) G11C 7/10 (2006.01)

(21) 출원번호 10-2008-0087783

(22) 출원일자 2008년09월05일

심사청구일자 2008년09월05일

(56) 선행기술조사문헌

KR1020040107706 A

KR100829455 B1

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

최해량

경기 이천시 부발읍 아미리 하이닉스반도체 청운 2관 128호

김용주

경기 이천시 부발읍 아미리 현대7차아파트 705동 801호

(뒷면에 계속)

(74) 대리인

김성남

전체 청구항 수 : 총 17 항

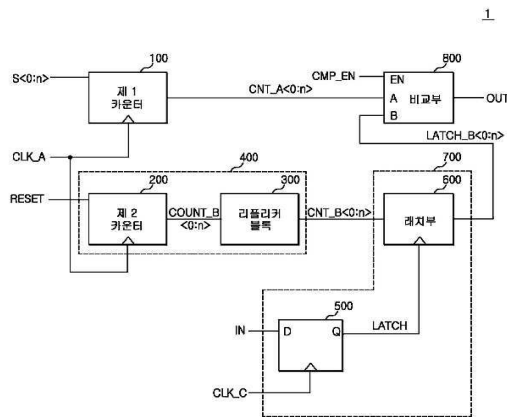
심사관 : 윤난영

(54) 반도체 메모리 장치의 도메인 크로싱 회로

(57) 요약

반도체 메모리 장치의 도메인 크로싱 회로를 개시한다. 개시된 본 발명의 도메인 크로싱 회로는, 내부 클럭을 수신하여 서로 다른 초기값으로부터 순차적으로 각각 카운트하는 제 1 카운터와 제 2 카운터, 외부 클럭에 동기된 입력 데이터에 응답하여 상기 제 2 카운터의 출력 신호를 래치하는 제어부 및 상기 제어부의 출력 신호와 상기 제 1 카운터의 출력 신호가 일치할 때, 상기 입력 데이터에 대응되는 출력 데이터를 제공하는 비교부를 포함하며, 상기 제 1 및 제 2 카운터의 출력 신호는 동일한 클럭 주기로 생성되나, 동일한 비트 조합의 데이터에 대해 상기 내부 클럭을 기준으로 소정의 클럭 차이가 난다.

대표도 - 도2



(72) 발명자

한성우

경기 이천시 고담동 고담기숙사 101동 408호

송희웅

서울 광진구 화양동 11-1

오익수

서울 광진구 군자동 39-6

김형수

경기 화성시 태안읍 병점리 늘벗마을신창1차
108-402

황대진

서울 송파구 풍납2동 408-20번지 201호

이지왕

경기 이천시 창전동 대원4차아파트 306호

장재민

대전 유성구 봉명동 692-1 노블레스2 702호

박창근

경기 수원시 영통구 영통동 황골마을2단지아파트
244동 1303호

특허청구의 범위

청구항 1

내부 클럭을 수신하여 서로 다른 초기값으로부터 순차적으로 각각 카운트하는 제 1 카운터와 제 2 카운터;

외부 클럭에 동기된 입력 데이터에 응답하여 상기 제 2 카운터의 출력 신호를 래치하는 제어부; 및

상기 제어부의 출력 신호와 상기 제 1 카운터의 출력 신호가 일치할 때, 상기 입력 데이터에 대응되는 출력 데이터를 제공하는 비교부를 포함하며,

상기 제 1 및 제 2 카운터의 출력 신호는 동일한 클럭 주기로 생성되나, 동일한 비트 조합의 데이터에 대해 상기 내부 클럭을 기준으로 소정의 클럭 차이가 나는 반도체 메모리 장치의 도메인 크로스링 회로.

청구항 2

제 1항에 있어서,

상기 입력 데이터의 수신 타이밍으로부터 소정 시간 후에 상기 출력 데이터가 제공되는 시점은, 상기 제 1 및 제 2 카운터의 출력 신호간의 상기 소정 클럭 차이로 결정되는 반도체 메모리 장치의 도메인 크로스링 회로.

청구항 3

제 1항에 있어서,

상기 제 2 카운터의 출력 신호를 소정 시간 지연시켜 상기 외부 클럭의 위상과 일치시키는 리플리커 블록을 더 포함하는 반도체 메모리 장치의 도메인 크로스링 회로.

청구항 4

제 3항에 있어서,

상기 리플리커 블록은, 상기 제 2 카운터의 출력 비트수에 각각 대응하는 각각의 리플리커를 포함하는 반도체 메모리 장치의 도메인 크로스링 회로.

청구항 5

제 1항에 있어서,

상기 제어부는,

상기 입력 데이터를 상기 외부 클럭의 라이징 에지에 동기시켜 래치 신호를 제공하는 입력 신호 수신부; 및

상기 래치 신호에 응답하여 상기 제 2 카운터의 출력 신호보다 지연된 신호를 래치하는 래치부를 포함하는 반도체 메모리 장치의 도메인 크로스링 회로.

청구항 6

제 5항에 있어서,

상기 입력 신호 수신부는 D 플립 플롭을 포함하는 반도체 메모리 장치의 도메인 크로스링 회로.

청구항 7

제 5항에 있어서,

상기 래치부는 D 플립 플롭을 포함하여,

상기 래치부는 상기 래치 신호의 라이징 에지에 상기 제 2 카운터의 출력 신호보다 지연된 신호를 트리거하여 래치 카운트 비트를 제공하는 반도체 메모리 장치의 도메인 크로스링 회로.

청구항 8

제 1항에 있어서,

상기 비교부는 비교 인에이블 신호가 활성화되는 구간 동안 상기 제어부의 출력 신호와 상기 제 1 카운터의 출력 신호를 비교하고, 비교 결과가 일치하면 상기 출력 데이터를 제공하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 9

제 8항에 있어서,

상기 비교 인에이블 신호를 생성하는 비교 인에이블 신호 생성부를 더 포함하며,

상기 비교 인에이블 신호 생성부는 상기 입력 신호에 응답하여 활성화되는 래치 신호 및 상기 출력 데이터를 이 용함으로써, 상기 래치 신호에 응답하여 활성화되고 상기 출력 데이터에 응답하여 비활성화되는 상기 비교 인에 이블 신호를 제공하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 10

내부 클럭을 수신하여 제 1 초기값으로부터 카운트하여 제 1 카운트 비트를 제공하는 제 1 카운터;

상기 내부 클럭을 수신하여 제 2 초기값으로부터 카운트하여 제 2 카운트 비트를 제공하는 타겟 카운터 블록;

외부 클럭에 동기된 입력 데이터를 수신하여 비교용 데이터 정보로서 상기 제 2 카운트 비트를 래치하는 제어부; 및

상기 제어부의 출력 신호와 제 1 카운트 비트를 비교한 결과에 따라 상기 내부 클럭에 동기된 출력 데이터를 제 공하는 비교부를 포함하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 11

제 10항에 있어서,

상기 제 1 카운터와 상기 타겟 카운터 블록은, 동일한 비트 조합의 데이터에 대해 상기 내부 클럭을 기준으로 소정의 클럭 차이를 유지하며 카운트하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 12

제 10항에 있어서,

상기 타겟 카운터 블록은,

상기 내부 클럭을 수신하여 상기 제 2 초기값으로부터 순차적으로 카운트하여 임시 카운트 비트를 제공하는 제 2 카운터; 및

상기 임시 카운트 비트를 소정 시간 지연시켜 상기 외부 클럭과의 위상이 일치된 상기 제 2 카운트 비트를 제 공하는 리플리커 블록을 포함하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 13

제 12항에 있어서,

상기 리플리커 블록은, 상기 제 2 카운터의 출력 비트수에 각각 대응하는 각각의 리플리커를 포함하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 14

제 10항에 있어서,

상기 제어부는,

상기 입력 데이터를 상기 외부 클럭의 라이징 에지에 동기시켜 래치 신호를 제공하는 입력 신호 수신부; 및

상기 래치 신호에 응답하여 상기 제 2 카운트 비트를 래치하는 래치부를 포함하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 15

제 14항에 있어서,

상기 입력 신호부는 D 플립 플롭을 포함하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 16

제 14항에 있어서,

상기 래치부는 D 플립 플롭을 포함하여,

상기 래치부는 상기 래치 신호의 라이징 에지에 상기 제 2 카운트 비트를 트리거하여 래치 카운트 비트를 제공하는 반도체 메모리 장치의 도메인 크로싱 회로.

청구항 17

제 10항에 있어서,

상기 비교부는 비교 인에이블 신호가 활성화되면 상기 제어부의 출력 신호와 상기 제 1 카운트 비트가 일치하면 출력 데이터를 제공하는 반도체 메모리 장치의 도메인 크로싱 회로.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 메모리 장치에 관한 것으로서, 보다 구체적으로는 반도체 메모리 장치의 도메인 크로싱 회로에 관한 것이다.

배경기술

<2> 일반적으로 동기식 반도체 메모리 장치는 클럭에 동기되어 동작을 수행한다. 이때, 외부 클럭 신호에 동기된 명령 신호 및 데이터를 내부 회로에 동작하기 적합하도록 내부 클럭 신호에 동기시키거나, 내부 클럭 신호에 동기된 내부 신호들을 외부 클럭에 동기시키는 것이 필요하다. 이를 내부 클럭 영역과 외부 클럭 영역간의 영역 전환이라 하여, 통상 도메인 크로싱(Domain crossing)이라 일컫는다.

<3> 도 1은 종래 기술에 따른 도메인 크로싱 회로의 블록도이다.

<4> 종래 기술에 따른 도메인 크로싱 회로는 외부 클럭 신호(CLK_C)를 내부 클럭 신호(CLK_B) 도메인으로 변환하는 회로이다. 즉, 입력 데이터 신호(IN)의 출력 기준이 되는 기준 클럭을, 외부 클럭(CLK_C) 대신 DLL 회로부(미도시)로부터 생성된 내부용 클럭(CLK_B)으로 변환시키되, 소정의 레이턴시에 부합될 때 출력 데이터 신호(OUT)를 제공한다.

<5> 도 1을 참조하면, 도메인 크로싱 회로는 제 1 카운터(10), 리플리커(20), 제 2 카운터(30), 데이터 입력부(40), 래치부(50) 및 비교부(60)를 포함한다.

<6> 이러한 도메인 크로싱 회로는 제 1 카운터(10)와 제 2 카운터(20)와의 출력되는 카운트 비트의 산술적 차이를 동일한 차이로 유지하는 것으로 레이턴시를 구현할 수 있다.

<7> 구체적으로, 제 1 카운터(10)는 초기값(S<0:n>; initial value)을 수신하여 초기값(S<0:n>)으로부터 순차적으로 내부 클럭(CLK_A)의 라이징 에지마다 카운트하여 (n+1) 비트의 제 1 카운트 비트(CNT_A<0:n>)를 출력한다.

<8> 내부 클럭(CLK_A)은 리플리커(20)를 경유하여 소정 지연된 내부 클럭(CLK_B)이 된다. 그리하여, 제 2 카운터((30)는 리셋 신호(RESET)에 의해, 지연된 내부 클럭(CLK_B)의 라이징 에지마다 트리거되어 순차적으로 카운트하여 (n+1) 비트의 제 2 카운트 비트(CNT_B<0:n>)를 출력한다. 여기서, 내부 클럭(CLK_A)과 지연된 내부 클럭(CLK_B)은 DLL회로부(미도시)로부터 생성된 클럭이라고 예시하기로 한다. 다만, 리플리커(20)는 지연된 내부 클럭(CLK_B)이 외부 클럭(CLK_C)의 위상과 일치하도록 하기 위해 지연 시간을 고려하도록 구비한 것이다. 따라서, 리플리커(20)는 내부 클럭(CLK_A)을 소정 지연시킴으로써 지연된 내부 클럭(CLK_B)을 지연 시간이 보상되어 외

부 클럭(CLK_C)과 위상이 일치하는 클럭으로 제공할 수 있다.

- <9> 전술한 바와 같이, 제 1 카운터(10)와 제 2 카운터(30)는 이후에 정의될 레이턴시와도 일치하도록 소정 클럭 간격을 유지하며 각각의 비트 신호를 카운트한다. 즉, 제 1 및 제 2 카운터(10, 30) 모두 3비트 카운터라고 하자. 이때, 제 1 카운터(10)는 초기값(S<0:n>)으로부터 카운트하는데, 예컨대 초기값(S<0:n>)이 '100' 이라면, '100' 으로부터 순차적으로 카운트한다. 한편, 제 2 카운터(20)는 리셋 신호(RESET) 수신 후 항상 '000' 으로부터 카운트하는 것으로 예시한다. 이에 따라, 리셋 신호(RESET) 활성화된 이후의 두 카운터(10, 30)의 출력 비트의 산술적 차이가 일정하게 유지됨으로써 반도체 메모리 장치의 레이턴시를 구현할 수 있다. 물론, 반도체 메모리 장치에서 요구되는 레이턴시에 따라 제 1 카운터(10)의 초기값(S<0:n>)은 달라질 수 있다.
- <10> 이어서, 입력 신호 수신부(40)는 입력 데이터 신호(IN)를 외부 클럭(CLK_C)의 라이징 에지에 동기시켜 래치 신호(LATCH)로 제공한다.
- <11> 래치부(50)는 래치 신호(LATCH)의 라이징 에지에 제 2 카운트 비트(CNT_B<0:n>)를 트리거하여 래치한다. 이러한 래치부(50)는 라이징 에지에 트리거되는 D 플립플롭(Flip flop)을 이용하면 가능하다.
- <12> 따라서, 비교부(60)는 비교 인에이블 신호(CMP_EN)가 활성화되면 래치부(50)에 래치되어 있던 래치된 카운트 비트(LATCH_B<0:n>)와 제 1 카운트 비트(CNT_A<0:n>)를 비교하여 일치하면 하이 레벨의 출력 데이터 신호(OUT)를 제공한다.
- <13> 보다 자세히 설명하면, 래치된 카운트 비트(LATCH_B<0:n>)는 래치 신호(LATCH)의 라이징 에지에 트리거되어 변하지 않고 계속 래치되고 있는 신호이다. 또한, 제 1 카운트 비트(CNT_A<0:n>)는 계속 카운트되고 있는 신호이다. 따라서, 이들 비교 대상의 두 신호가 일치하는 타이밍은 반도체 메모리 장치에서 요구되는 레이턴시 정보와 일치하며, 이로써, 입력 데이터(IN)로부터 소정의 레이턴시 후에 출력 데이터(OUT)를 제공할 수 있다.
- <14> 이 때, 리플리커(20)는 다수의 직렬로 연결된 인버터 체인이다. 따라서, 내부 클럭(CLK_A)의 비정상적인 펄스(abnormal pulse)가 발생되었다면, 제 1 카운터(10)는 순간적인 펄스에도 응답하여 카운트 동작을 수행한다. 하지만, 이러한 비정상적인 펄스의 내부 클럭(CLK_A)이 리플리커(20)를 경유하면 인버터 체인의 RC 성분이 LPF(Low Pass Filter)처럼 동작하여 전압의 노이즈를 감소시킬 수 있다. 따라서, 제 2 카운터(20)는 비정상적인 펄스 신호를 인식하지 못한다.
- <15> 전술한 바와 같이, 제 1 카운터(10)와 제 2 카운터(20)는 동일한 클럭 간격을 유지하여 요구되는 레이턴시에 적합하게(adjust) 카운트하도록 구비되어 있다. 하지만, 비정상적인 펄스 신호에 의해 제 1 및 제 2 카운터(10, 20)의 카운트 횟수가 한 클럭 차이(1tCK)가 발생함으로써 이후의 래치 및 비교 동작을 수행하더라도 요구되는 레이턴시와는 차이가 발생하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <16> 본 발명의 기술적 과제는 비정상적인 내부 클럭 펄스에도 레이턴시를 유지하는 반도체 메모리 장치의 도메인 크로싱 회로를 제공하는 것이다.

과제 해결수단

- <17> 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 도메인 크로싱 회로는, 내부 클럭을 수신하여 서로 다른 초기값으로부터 순차적으로 각각 카운트하는 제 1 카운터와 제 2 카운터, 외부 클럭에 동기된 입력 데이터에 응답하여 상기 제 2 카운터의 출력 신호를 래치하는 제어부 및 상기 제어부의 출력 신호와 상기 제 1 카운터의 출력 신호가 일치할 때, 상기 입력 데이터에 대응되는 출력 데이터를 제공하는 비교부를 포함하며, 상기 제 1 및 제 2 카운터의 출력 신호는 동일한 클럭 주기로 생성되나, 동일한 비트 조합의 데이터에 대해 상기 내부 클럭을 기준으로 소정의 클럭 차이가 난다.
- <18> 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 도메인 크로싱 회로는, 내부 클럭을 수신하여 제 1 초기값으로부터 카운트하여 제 1 카운트 비트를 제공하는 제 1 카운터, 상기 내부 클럭을 수신하여 제 2 초기값으로부터 카운트하여 제 2 카운트 비트를 제공하는 타겟 카운터 블록, 외부 클럭에 동기된 입력 데이터를 수신하여 비교용 데이터 정보로서 상기 제 2 카운트 비트를 래치하는 제어부 및 상기 제어부의 출력 신호와 제 1 카운트 비트를 비교한 결과에 따라 상기 내부 클럭에 동기된 출력 데이터를 제공하는 비교부를 포

함한다.

효 과

<19> 본 발명의 일 실시예에 따르면 외부 클럭에 동기된 데이터를 도메인 크로싱하여 출력 데이터를 제공시, 내부 클럭의 순간 변화에도 일정한 레이턴시를 유지하며 입력 데이터에 대응되는 출력 데이터를 제공할 수 있다. 즉, 복수의 카운터를 구비하고, 카운터의 초기치만 서로 다르게 제어함으로써 레이턴시를 구현한다. 이 때, DLL 클럭으로부터 생성된 동일한 내부 클럭을 이용함으로써 내부 클럭의 변화에도 일정한 클럭 차이가 유지되어 레이턴시를 만족시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<20> 이하에서는 본 발명의 일 실시예에 따른 반도체 집적 회로에 대하여 첨부된 도면을 참조하여 설명하도록 한다.

<21> 도 2는 본 발명의 일 실시예에 따른 도메인 크로싱 회로의 블록도이다. 도 3은 도 2에 따른 리플리커 블록(300)의 상세한 블록도이다.

<22> 도 2 및 도 3을 참조하면, 소스 카운터(source counter)인 제 1 카운터(100), 타겟 카운터 블록(400), 제어부(700) 및 비교부(800)를 포함한다.

<23> 본 발명의 일 실시예에 따른 도메인 크로싱 회로(1)는 동일한 소스 클럭 신호, 즉 내부 클럭(CLK_A)을 이용함으로써 내부 클럭(CLK_A)의 변화에 제 1 및 제 2 카운터(100, 200)가 동일하게 응답되도록 한다.

<24> 구체적으로, 제 1 카운터(100)는 초기값(S<0:n>; initial value)을 수신하여 내부 클럭(CLK_A)의 라이징 에지마다 초기값(S<0:n>)으로부터 순차적으로 카운트하여 (n+1) 비트의 제 1 카운트 비트(CNT_A<0:n>)를 출력한다. 제 1 카운터(100)는 외부 클럭(CLK_C)을 동기시킬 기준이 되는 소스 클럭(source clock)인 내부 클럭(CLK_A)에 응답하여 구동된다.

<25> 본 발명의 일 실시예에 따른 타겟 카운터 블록(400)은 제 2 카운터(200) 및 리플리커 블록(300)을 포함한다.

<26> 우선, 제 2 카운터(200)는 리셋 신호(RESET)를 수신하면 내부 클럭(CLK_A)의 라이징 에지마다 트리거되어 순차적으로 카운트하여 (n+1) 비트의 임시 카운트 비트(COUNT_B<0:n>)를 출력한다. 따라서, 제 2 카운터(200)는 제 1 카운터(100)와 동일한 클럭 신호인 내부 클럭(CLK_A)에 응답하여 카운트함으로써 제 1 카운트 비트(CNT_A<0:n>)와 동일한 주기의 임시 카운트 비트(COUNT_B<0:n>)를 제공할 수 있다. 다만, 제 1 및 제 2 카운터(100, 200)가 다른 점은, 카운트를 시작하는 초기값이 서로 다르다는 것이다. 보다 자세히 설명하면, 제 1 카운터(100)는 주어진 초기값(S<0:n>)으로부터 카운트를 시작하고, 제 2 카운터(200)는 항상 '000' 으로부터 카운트를 시작한다. 물론, 제 1 및 제 2 카운터(100, 200)는 동일한 비트수를 카운트하도록 구비된다.

<27> 이와 같이, 본 발명의 일 실시예에 따르면 제 1 카운터(100)와 제 2 카운터(200)는 종래와는 달리, 동일한 클럭 신호, 즉 내부 클럭(CLK_A)을 이용한다. 따라서, 내부 클럭(CLK_A)이 순간적인 비정상적인 펄스를 형성해도, 제 1 카운터(100) 및 제 2 카운터(200)는 비정상적인 펄스에 응답하여 카운트를 수행한다. 즉, 내부 클럭(CLK_A)의 변화를 제 1 및 제 2 카운터(100, 200)가 모두 반영함으로써, 두 카운터(100, 200)의 출력 신호는 일정한 클럭 차이를 유지할 수 있다.

<28> 한편, 내부 클럭(CLK_A)은 DLL 회로부(미도시)로부터 생성된 클럭이라고 예시하기로 한다. 따라서, 이후 도메인 변환이 적용된 내부용 타겟 신호에 대해 외부 클럭(CLK_C)과의 위상 일치를 보정해야 한다. 즉, 내부 클럭(CLK_A)과 외부 클럭(CLK_C)과의 소정 지연 시간차를 보상하는 것이 요구된다.

<29> 그리하여, 리플리커 블록(300)은 임시 카운트 비트(COUNT_B<0:n>)를 수신하여 소정 시간 지연시켜 제 2 카운트 비트(CNT_B<0:n>)를 제공한다.

<30> 즉, 리플리커 블록(300)은 외부 클럭(CLK_C)과 DLL 회로부(미도시)로부터 생성된 내부 클럭(CLK_A)과의 지연 시간 차이를 보상하도록, 임시 카운트 비트(COUNT_B<0:n>)로부터 소정 지연시킨 지연된 제 2 카운트 비트(CNT_B<0:n>)를 제공할 수 있다. 여기서, 리플리커 블록(300)은 임시 카운트 비트(COUNT_B<0:n>)의 각각의 비트 신호마다 대응되어야 하므로 비트수에 대응하는 동수(同數)의 리플리커를 구비한다. 도 3에 도시된 바와 같이, 3 비트의 임시 카운트 비트(COUNT_B<0:2>)에 각각 대응되는 제 1 내지 제 3 리플리커(310-330)를 포함한다. 그리하여, 제 1 리플리커(310)는 제 1 임시 카운트 비트(COUNT_B<0>)를 외부 클럭(CLK_C)의 위상과 일치하도록 소정 시간 지연시켜 첫번째 제 2 카운트 비트(CNT_B<0>)를 제공한다. 이하 제 2 및 제 3 리플리커(320, 330)의 설

명도 동일하므로 중복되는 설명은 생략하기로 한다.

- <31> 다시 도 2를 참조하면, 제어부(700)는 입력 신호 수신부(500) 및 래치부(600)를 포함한다.
- <32> 제어부(700)는 외부 클럭(CLK_C)에 동기하여 입력 데이터 신호(IN)가 수신될 때, 타겟 카운터 블록(400)의 출력 신호를 래치한다.
- <33> 입력 신호 수신부(500)는 입력 데이터 신호(IN)를 외부 클럭(CLK_C)의 라이징 에지에 동기시켜 래치 신호(LATCH)로 제공한다. 설명의 편의상, 입력 데이터 신호(IN)는 순수한 입력 데이터로 예시하나, 입력 시점으로부터 출력 시점간에 레이턴시가 요구되는 신호이면, 입력 데이터 신호(IN)로 가능하다. 예컨대, 출력 인에이블 신호도 가능하다. 이러한 입력 데이터 신호(IN)는 비교부(800)를 제어하는 제어 신호가 될 수 있다.
- <34> 이후 자세히 설명하겠지만, 이러한 입력 데이터 신호(IN)는 비교부(800)를 제어하는 비교 인에이블 신호(CMP_EN)를 생성하는데도 관계된 신호이다. 따라서, 입력 데이터 신호(IN)가 하이 레벨로 활성화되는 시점부터 레이턴시 정보 출력을 위한 비교 동작이 수행될 수 있다. 입력 신호 수신부(500)는 D 플립 플롭으로 예시하기로 한다. D 플립 플롭에 대해서는 당업자라면 이해 가능한 회로부이므로 설명은 생략하기로 한다.
- <35> 래치부(600)는 래치 신호(LATCH)의 라이징 에지에 제 2 카운트 비트(CNT_B<0:n>)를 트리거하여 래치한다. 보다 구체적으로 설명하면, 래치부(600)는 래치 신호(LATCH)가 활성화되는 타이밍에 수신되는 제 2 카운트 비트(CNT_B<0:n>)를 트리거하여 래치 카운트 비트(LATCH_B<0:n>)로 래치한다. 래치 카운트 비트(LATCH_B<0:n>)는 비교 대상이 되는 임의의 데이터를 의미한다. 이러한 래치부(600)는 라이징 에지에 트리거되는 D 플립플롭(Flip flop)을 이용하면 가능하다.
- <36> 비교부(800)는 비교 인에이블 신호(CMP_EN)가 활성화되면 래치부(600)에 래치되어 있던 래치된 카운트 비트(LATCH_B<0:n>)와 계속 카운트되고 있는 제 1 카운트 비트(CNT_A<0:n>)를 비교하여 일치하면 하이 레벨의 출력 데이터 신호(OUT)를 제공한다.
- <37> 본 발명의 일 실시예에 따른 비교 인에이블 신호(CMP_EN)는 래치 신호(LATCH)의 라이징 에지에 트리거되어 활성화되다가 출력 데이터 신호(OUT)의 폴링 에지에 트리거되어 비활성화된다. 래치 신호(LATCH)와 출력 데이터 신호(OUT)를 이용하여 비교 인에이블 신호(CMP_EN)를 생성하는 것에 대해서는 후술하기로 한다. 그리하여, 비교부(800)는 비교 인에이블 신호(CMP_EN)가 활성화되는 동안, 변하지 않는 래치된 카운트 비트(LATCH_B<0:n>)와 변하는 제 1 카운트 비트(CNT_A<0:n>)를 계속 비교하여, 이들 두 신호가 일치하면 출력 데이터 신호(OUT)를 제공한다.
- <38> 전술한 바와 같이, 제 1 카운터(100)와 제 2 카운터(200)는 동일한 비트 조합을 기준으로 일정한 클럭 차이를 유지하며 동작한다. 이 클럭 차이는 소정의 레이턴시와 일치한다. 바꾸어 말하면, 래치된 카운트 비트(LATCH_B<0:n>)는 입력 데이터 신호(IN)로부터 기원하므로, 입력 데이터 신호(IN)와 출력 데이터 신호(OUT)간의 레이턴시는 래치된 카운트 비트(LATCH_B<0:n>)와 제 1 카운트 비트(CNT_A<0:n>)가 일치하는 타이밍에 의해 결정될 수 있다. 물론, 제 2 카운터(200)의 출력 신호는 리플리커 블록(300)을 경유하여 내부 클럭(CLK_A)과 외부 클럭(CLK_C)의 지연 시간 차이를 보상한다.
- <39> 그리하여, 본 발명의 일 실시예에 따른 도메인 크로싱 회로(1)는 비정상적인 펄스 신호가 발생되어도 동일한 소스 클럭인 내부 클럭(CLK_A)에 제 1 및 제 2 카운터(100, 200)가 모두 구동되도록 함으로써 동일한 비트 조합에 따른 일정한 클럭 차이를 유지할 수 있다. 이로써, 반도체 메모리 장치에서 요구되는 레이턴시를 만족하며 입력 데이터(IN)로부터 소정의 레이턴시 후에 출력 데이터(OUT)가 제공될 수 있다.
- <40> 도 4는 도 2에 따른 비교 인에이블 신호(CMP_EN)를 생성하는 비교 인에이블 신호 발생부(900)의 회로도이다.
- <41> 도 4를 참조하면, 비교 인에이블 신호 발생부(900)는 인버터(INV), 오어 게이트(OR) 및 래치 유닛(910)을 포함한다.
- <42> 인버터(INV)는 타이밍 출력 데이터 신호(OUT)를 반전하여 오어 게이트(OR)에 제공한다.
- <43> 오어 게이트(OR)는 래치 신호(LATCH) 및 인버터(INV)의 출력 신호를 오어(OR) 연산한다.
- <44> 래치 유닛(910)은 D 플립 플롭으로 예시한다. 따라서, 래치 유닛(910)은 래치 신호(LATCH) 및 인버터(INV)의 출력 신호의 하이 레벨에 응답하여 입력 데이터 신호(IN)를 래치한다. 보다 자세히 설명하면, 래치 유닛(910)은 래치 신호(LATCH)의 라이징 에지에 트리거되어 활성화된 입력 데이터 신호(IN)를 래치한다. 이후, 제 1 및 제 2 카운트 비트(CNT_A<0:n>, CNT_B<0:n>)가 동위상이 되는 시점에서의 활성화된 출력 데이터 신호(OUT)의 반전 레

벨, 즉 폴링 예지에 트리거되어 비활성화된 입력 데이터 신호(IN)를 래치한다.

- <45> 이로써, 본 발명의 일 실시예에 따른 비교 인에이블 신호 발생부(900)는 래치 신호(LATCH)의 라이징 예지에 트리거되어 활성화되다가 타이밍 출력 데이터 신호(OUT)의 폴링 예지에 트리거되어 비활성화되는 비교 인에이블 신호(CMP_EN)를 제공할 수 있다. 한편, 전술한 바와 같이, 비교부(도 2의 800 참조)의 동작은 입력 데이터 신호(IN)로부터 응답된 래치 신호(LATCH)를 이용함으로써 입력 데이터 신호(IN)가 발생되었을 때만 비교 동작을 시작한다. 또한, 출력 데이터 신호(OUT)를 이용하여 비활성화시키므로, 출력 데이터 신호(OUT)에 의해 비교부(도 2의 800 참조)의 비교 동작을 종료시킬 수 있다. 이와 같이, 본 발명의 일 실시예에 따르면, 필요한 경우에만 비교 동작을 수행하여 전력 소모를 줄일 수 있다.
- <46> 도 5는 도 1에 따른 종래 기술에 따른 도메인 크로싱 회로의 동작 파형을 나타낸 타이밍도이다.
- <47> 도 1 및 도 5를 참조하여, 레이턴시 2(2tCK)을 만족시키기 위해 제 1 카운터(10)의 초기값(S<0:n>)을 '100' 으로 제공한 경우를 설명하기로 한다.
- <48> 따라서, 제 1 카운터(10)는 '100' 부터 카운트를 수행한다. 이후, 내부 클럭(CLK_A) 중 비정상 펄스(Ⓐ)가 발생된 경우에도 제 1 카운터(10)는 응답하여 다음 카운트를 순차적으로 진행한다.
- <49> 하지만, 소스 클럭인 내부 클럭(CLK_A)이 리플리커(20)를 경유하여 지연된 내부 클럭(CLK_B)이 생성되고, 리플리커(20)에 의해 비정상 펄스(Ⓐ)는 노이즈가 감소된다. 이때, 제 2 카운터(30)는 리셋 신호(RESET)에 응답하여 '000' 부터 카운트를 수행하나, 인식하지 못할 정도로 전압 레벨이 낮은 노이즈가 감소된 펄스(Ⓑ)에 응답하지 않는다. 다시 말하면, 제 1 카운터(10)가 카운트하는 경우와 제 2 카운터(30)가 카운트하는 경우 1 클럭 주기 차이, 즉 1tCK 오차가 발생함을 의미한다.
- <50> 이로 인해, 입력 데이터 신호(IN)에 의해 제 2 카운터(30)의 출력 비트 신호 '010' 를 래치하고, 제 1 카운터(10)의 출력 비트와 비교하여 두 비교 결과가 일치하는 타이밍에 출력 데이터 신호(OUT)를 출력한다. 이 경우, 클럭 신호의 카운트 수가 오차가 나므로, 래치 신호(LATCH)에 의해 래치된 제 2 카운터(30)의 비트 조합 신호는 동일한 비트 조합의 데이터를 기준으로 제 1 카운터(10)의 출력보다 1클럭 주기 앞선 데이터이다. 따라서, 잘못된 래치 비트 신호인 '010' 와 일치하는 제 1 카운트 비트의 조합, '010' 이 일치하는 시점에 출력 데이터 신호(OUT)를 제공하므로, 요구되는 레이턴시로부터 1tCK가 부족한 1 tCK(A)를 구현한다는 것을 알 수 있다. 따라서, 출력 데이터 신호(OUT)를 요구되는 레이턴시와 다른 레이턴시(A)로 내부 회로부(미도시)로 제공하므로 오 동작을 유발한다.
- <51> 도 6은 본 발명의 일 실시예에 따른 도메인 크로싱 회로(1)의 동작 파형을 나타낸 타이밍도이다.
- <52> 도 2 내지 도 4 및 도 6을 참조하면, 설명의 편의상 레이턴시 2(2tCK)을 만족시키기 위해 제 1 카운터(100)의 초기값(S<0:n>)을 '100' 으로 제공한 경우로 예시한다.
- <53> 따라서, 제 1 카운터(100)는 '100' 부터 카운트를 수행한다. 이후, 내부 클럭(CLK_A) 중 비정상 펄스(Ⓒ)가 발생된 경우에 제 1 카운터(100)는 응답하여 다음 카운트를 순차적으로 진행한다. 물론, 제 2 카운터(200)가 동일한 내부 클럭(CLK_A)에 응답하여 동작하므로, 비정상 펄스(Ⓒ)에 응답하여 카운트한다. 제 1 카운트 비트(CNT_A<0:n>)와 임시 카운트 비트(COUNT_B<0:n>)가 위상이 일치하고 동일한 주기로 발생됨을 알 수 있다. 잘못된 펄스 신호에 응답하였다더라도 이후의 카운트 동작은 정상 펄스에 응답하므로, 두 카운터(100, 200)의 출력 비트의 차이는 동일한 클럭 간격을 유지하며 발생된다. 이로써, 비정상 펄스가 발생되어도 두 카운터(100, 200)의 비트 차이는 동일한 클럭 간격으로 유지됨으로써 레이턴시를 일정하게 유지할 수 있다.
- <54> 계속해서, 임시 카운트 비트(COUNT_B<0:n>)는 각각의 비트마다 리플리커 블록(300)을 경유하므로 외부 클럭(CLK_C)의 클럭 위상에 동기되는 것과 일치하도록 조정되어 제 2 카운트 비트(CNT_B<0:n>)로 제공된다.
- <55> 이후, 입력 데이터 신호(IN)에 의해 래치 신호(LATCH)가 생성되고, 래치 신호(LATCH)에 응답하여 제 2 카운터(200)의 출력 비트 신호인 '011' 를 래치한다. 래치된 '011' 를 래치 비트 신호(LATCH_B)로 저장한 후, 제 1 카운터(100)의 출력 신호가 '011' 될 때까지 계속 비교한다. 즉, 비교부(800)에 의해 출력 비트와 비교하여 두 비교 결과가 일치하는 타이밍, 즉 입력 데이터 신호(IN)가 입력된 후로부터 2tCK(B) 이후에 타이밍 출력 데이터 신호(OUT)를 출력함으로써 레이턴시를 만족하는 것을 알 수 있다.
- <56> 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나

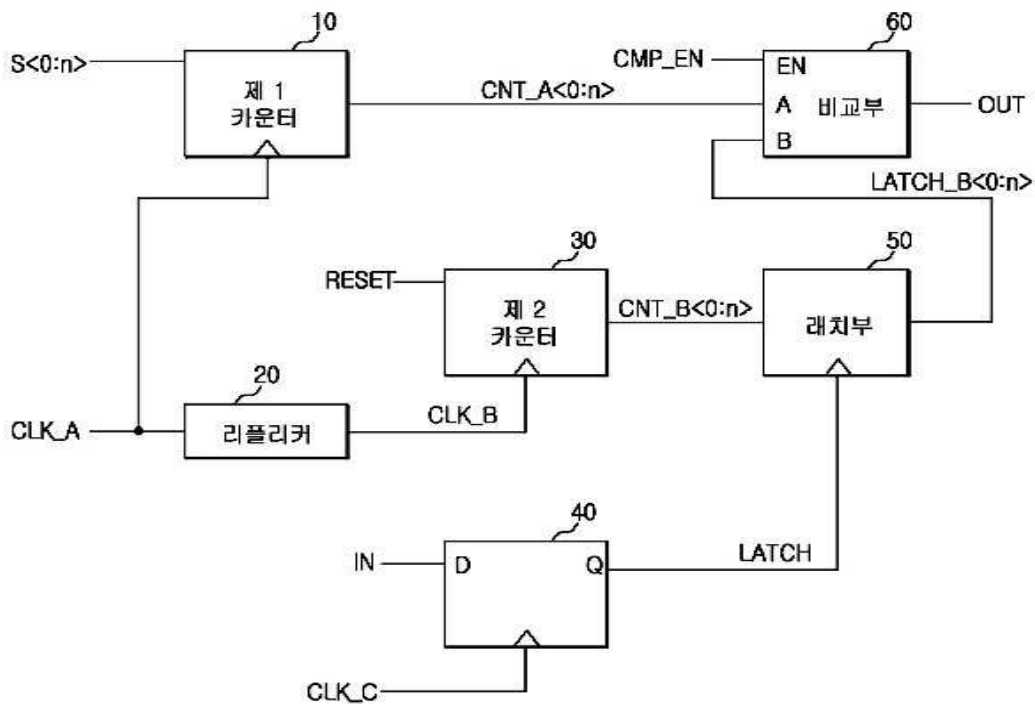
타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

- <57> 도 1은 종래 기술에 따른 반도체 메모리 장치의 도메인 크로싱 회로의 블록도,
- <58> 도 2는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 도메인 크로싱 회로의 블록도,
- <59> 도 3은 도 2에 따른 리플리커 블록의 블록도,
- <60> 도 4는 도 2에 따른 비교 인에이블 신호를 생성하는 비교 인에이블 신호 생성부의 회로도,
- <61> 도 5는 도 1에 따른 도메인 크로싱 회로의 동작 파형을 나타낸 타이밍도, 및
- <62> 도 6은 도 2에 따른 도메인 크로싱 회로의 동작 파형을 나타낸 타이밍도이다.
- <63> <도면의 주요 부분에 대한 부호의 설명>
- <64> 100 : 제 1 카운터 200 : 제 2 카운터
- <65> 300 : 리플리커 블록 400 : 타겟 카운터 블록
- <66> 500 : 입력 신호 수신부 600 : 래치부
- <67> 700 : 제어부 800 : 비교부

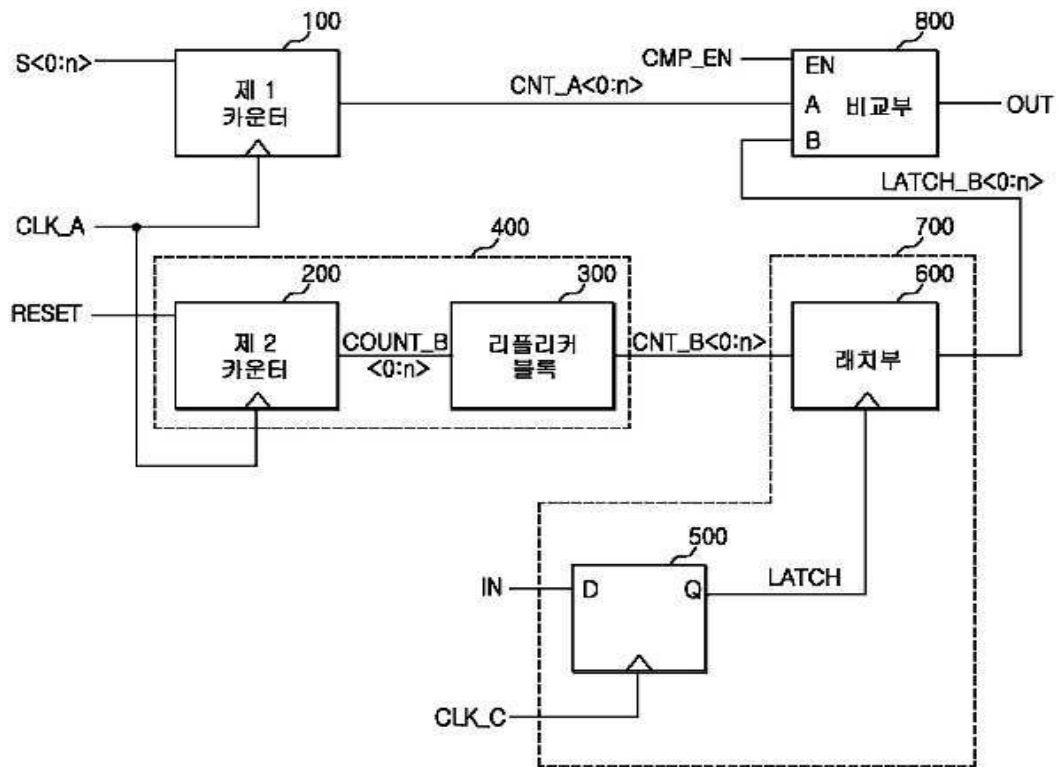
도면

도면1



도면2

1

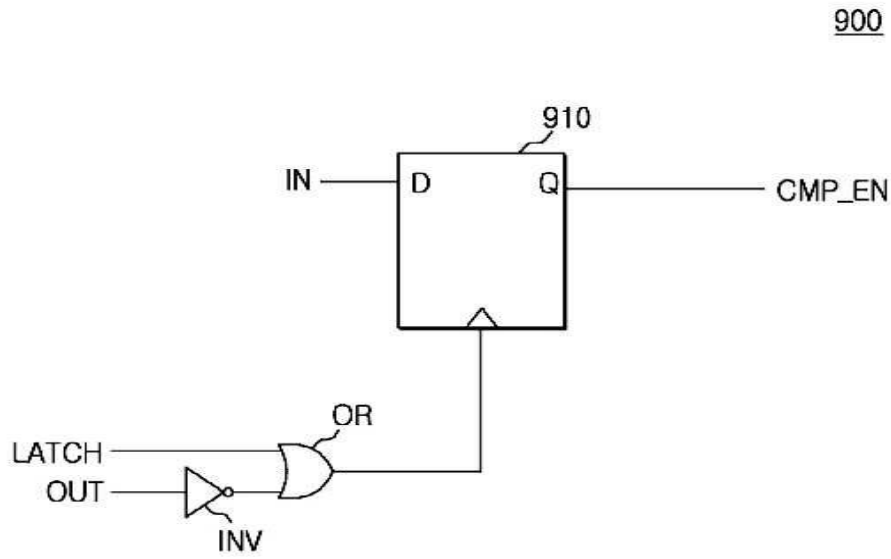


도면3

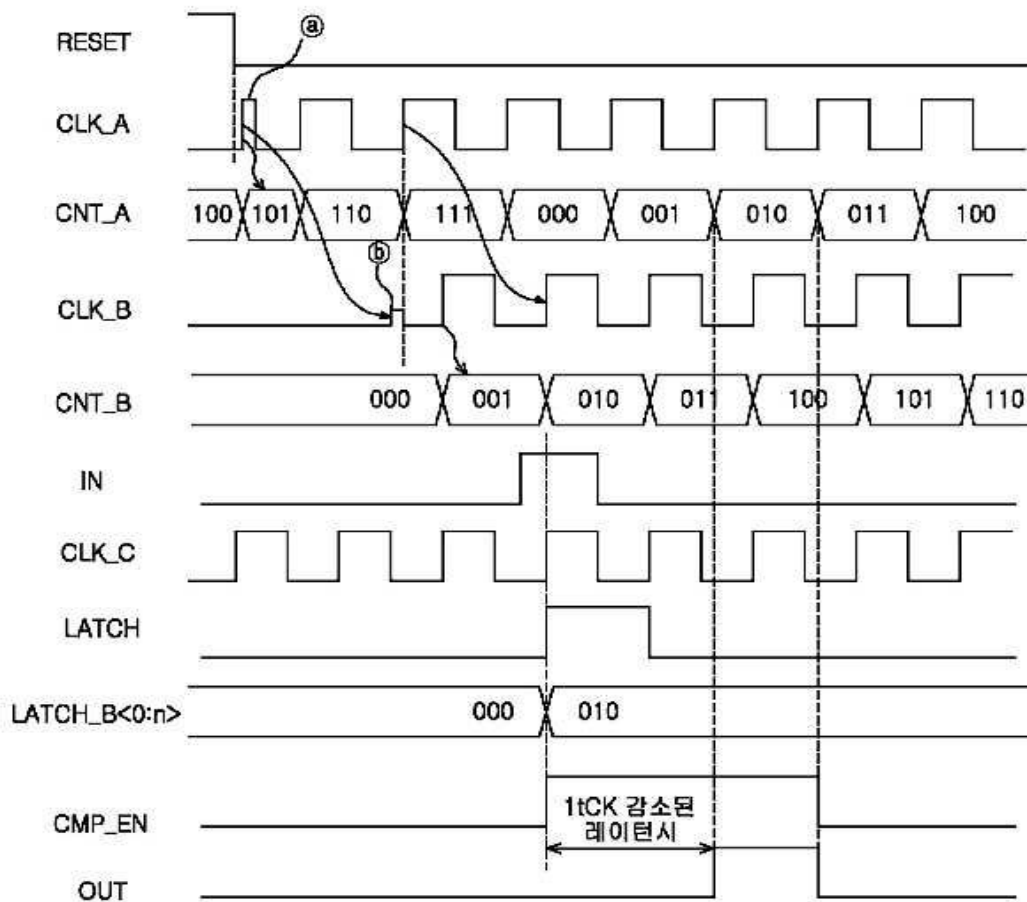
300



도면4



도면5



도면6

