

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(43) Date de la publication internationale
12 décembre 2024 (12.12.2024)

WIPO | PCT

(10) Numéro de publication internationale
WO 2024/251417 A1

- (51) Classification internationale des brevets :
H01L 21/762 (2006.01) H01L 21/02 (2006.01)
- (21) Numéro de la demande internationale :
PCT/EP2024/059887
- (22) Date de dépôt international :
11 avril 2024 (11.04.2024)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :
FR2305587 05 juin 2023 (05.06.2023) FR
- (71) Déposant : SOITEC [FR/FR] ; PARC TECHNOLOGIQUE DES FONTAINES, CHEMIN DES FRANQUES, 38190 BERNIN (FR).
- (72) Inventeurs : VINCENT, Joseph ; C/O SOITEC, PARC TECHNOLOGIQUE DES FONTAINES, CHEMIN DES FRANQUES, 38190 BERNIN (FR). MASSY, Damien ; C/O SOITEC, PARC TECHNOLOGIQUE DES FONTAINES, CHEMIN DES FRANQUES, 38190 BERNIN (FR).

NES, CHEMIN DES FRANQUES, 38190 BERNIN (FR). CLEMENCEAU, Bruno ; C/O SOITEC, PARC TECHNOLOGIQUE DES FONTAINES, CHEMIN DES FRANQUES, 38190 BERNIN (FR). SCHNEIDER, Xavier ; C/O SOITEC, PARC TECHNOLOGIQUE DES FONTAINES, CHEMIN DES FRANQUES, 38190 BERNIN (FR). BERTRAND, Isabelle ; C/O SOITEC, PARC TECHNOLOGIQUE DES FONTAINES, CHEMIN DES FRANQUES, 38190 BERNIN (FR).

(74) Mandataire : IP TRUST ; 2 rue de Clichy, 75009 PARIS (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA,

(54) Title: SUBSTRATE COMPRISING A THICK BURIED DIELECTRIC LAYER AND METHOD FOR PREPARING SUCH A SUBSTRATE

(54) Titre : SUBSTRAT COMPRENANT UNE COUCHE DIELECTRIQUE ENTERREE EPAISSE ET PROCEDE DE PREPARATION D'UN TEL SUBSTRAT

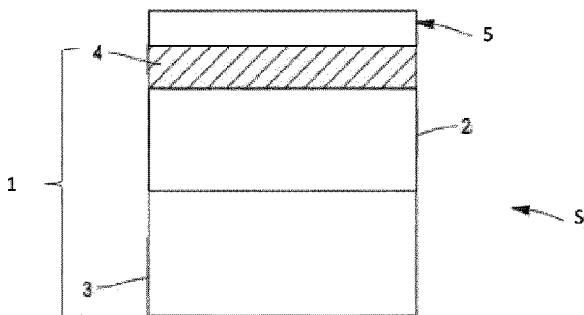


FIG. 3

(57) Abstract: The invention relates to a final substrate (S) comprising, consecutively and in contact with one another, an upper layer (5) made of semiconductor material, a dielectric layer (4) having a thickness greater than 200 nm, an electrical charge trapping layer (2) and a base substrate (3). The final substrate (S) has a curvature of less than 60 micrometres, preferably less than 40 micrometres. An exposed surface of the upper layer (5) has a roughness of less than 0.3 nm as a root mean square measurement over a field of 30 micrometres by 30 micrometres. The invention also relates to a method for preparing such a substrate.

(57) Abrégé : L'invention concerne un substrat final (S) comprenant, successivement en contact les uns avec les autres, une couche supérieure (5) en matériau semiconducteur, une couche diélectrique (4) présentant une épaisseur supérieure à 200 nm, une couche de piégeage de charges électriques (2) et un substrat de base (3). Le substrat final (S) présente une courbure inférieure à 60 micromètres, préférentiellement inférieure à 40 micromètres. Une surface exposée de la couche supérieure (5) présente une rugosité inférieure à 0,3 nm en mesure quadratique moyenne sur un champ de 30 micromètres par 30 micromètres. L'invention concerne également un procédé de préparation d'un tel substrat.

NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO,
RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS,
ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

- avec rapport de recherche internationale (Art. 21(3))
- en noir et blanc ; la demande internationale telle que déposée était en couleur ou en échelle de gris et est disponible sur PATENTSCOPE pour téléchargement.

Description

Titre de l'invention : SUBSTRAT COMPRENANT UNE COUCHE DIELECTRIQUE ENTERREE EPAISSE ET PROCEDE DE PREPARATION D'UN TEL SUBSTRAT

DOMAINE DE L'INVENTION

[0001] La présente invention concerne un substrat du type semiconducteur sur isolant comprenant une couche de piégeage de charge, la couche isolante (ou diélectrique) présentant une épaisseur relativement importante, supérieure à 200 nm. Ces substrats trouvent une application notable dans le domaine des dispositifs intégrés radio-fréquences, c'est-à-dire des dispositifs électroniques traitant des signaux dont la fréquence est comprise entre environ 3kHz et 300GHz, par exemple dans le domaine des télécommunications (téléphonie, Wi-Fi, Bluetooth...). Ces substrats trouvent également leur application dans le domaine de la photonique. L'invention concerne également un procédé de fabrication d'un tel substrat.

ARRIERE PLAN TECHNOLOGIQUE DE L'INVENTION

[0002] Le document WO2022023630 révèle que la formation d'un substrat final du type semiconducteur sur isolant comprenant une couche de piégeage de charge et une couche diélectrique épaisse (supérieure à 200 nm selon ce document) est particulièrement délicate. Selon l'introduction de ce document, il est industriellement préférable de placer cette couche diélectrique sur le substrat support du substrat final, et la couche diélectrique, en oxyde de silicium, peut être obtenue par oxydation d'une portion superficielle de la couche de piégeage de charges électriques. L'étape d'oxydation tend à déformer le substrat support et à faire apparaître une courbure importante (désignée par le terme anglais "bow" dans la terminologie employée dans le domaine des semiconducteurs qui est défini comme l'écart entre un point central de la surface médiane du substrat par rapport à un plan de référence). Cette courbure est généralement mesurée par interférométrie, par exemple à l'aide d'un équipement du type WaferSight™ fournie par la société KLA. La présence d'une telle courbure rend délicate l'étape de report de la couche supérieure du substrat, et plus généralement la manipulation du substrat support dans la ligne de production par des équipements conventionnels. On cherche généralement à limiter cette courbure à moins de 60 micromètres ou, de préférence à moins de 40 micromètres, pour un substrat en forme de disque présentant un diamètre de 300 mm.

[0003] Par ailleurs, il est essentiel dans de nombreuses applications que la surface exposée de la couche supérieure soit très lisse, et présentant une rugosité bien inférieure à 0,5 nm en mesure quadratique moyenne sur un champ de mesure en force atomique de

30 micromètres par 30 micromètres. Pour obtenir une couche supérieure présentant une telle rugosité, il est connu d'appliquer au substrat, après le report de la couche supérieure sur le substrat support, un ou une pluralité de recuit(s) thermique(s) dans des atmosphères neutre ou réductrice.

- [0004] Il peut s'agir de recuit dit « rapide » (« rapid thermal anneal » selon l'expression anglo-saxonne consacrée) consistant à exposer la surface exposée de la couche supérieure à l'atmosphère de recuit en température pendant un temps très court, inférieure à 2 minutes. L'atmosphère neutre ou réductrice de la chambre de recuit est brutalement réchauffée à la température de traitement qui peut atteindre 1200°C, puis refroidie au cours de rampes de chauffage/refroidissement pouvant excéder 50°/s. Pendant ce traitement, le substrat est maintenu par sa face arrière dans la chambre du four, sur une pluralité de pointes d'un support. La demanderesse a toutefois observé que ce type de recuit est générateur de lignes ou de plans de dislocations aux points de contact du substrat avec le support. Ces lignes ou plans de dislocations proviennent de contraintes thermiques et des contraintes gravitationnelles que subit ce substrat au cours de l'excursion thermique très rapide qu'il subit. Elles rendent le substrat parfois impropre à son utilisation dans les étapes suivantes de fabrication de composants microélectroniques ou, pour le moins, peuvent conduire à former des composants non fonctionnels lorsque ceux-ci sont disposés au droit de ces défauts.
- [0005] Alternativement au recuit rapide, on peut appliquer au cours de l'étape de finition de la préparation du substrat un recuit long, souvent désigné par le vocable anglo-saxon « batch anneal » dans le domaine, car les substrats sont généralement placés en lot dans la chambre du four, dans un arrangement horizontal ou vertical. L'atmosphère de la chambre est progressivement élevée, dans des rampes douces de quelques degrés par minutes pour atteindre une température de traitement typiquement de l'ordre de 1100°C. Le traitement est poursuivi pendant une durée étendue à cette température, de l'ordre de quelques minutes à plusieurs heures. La douceur des rampes permet de limiter les contraintes thermiques subit par le substrat et limite l'apparition des lignes ou plans de dislocations observés à l'issue d'un traitement thermique rapide.
- [0006] La demanderesse a observé, comme cela est rapporté sur le graphe de la [Fig.1], que la courbure du substrat (en ordonné sur ce graphe) qui est engendrée par la courbure du substrat support après l'oxydation de la couche de piégeage pouvait être compensée en exposant le substrat au cours de l'étape de finition à une température élevée (abscisse du graphe), strictement supérieure à 1050°C pour faire décroître cette courbure sous les 40 micromètres et s'approcher des 1100°C pour passer sous les 30 micromètres de courbure. Sur le graphe de la [Fig.1], les données collectées à 1050°C, 1075°C et 1100°C ont été obtenues à l'issue de recuits longs, les données collectées à 1200°C ont été obtenues à l'issue de recuits rapides.

[0007] La demanderesse a également observé que la rugosité de la surface exposée de la couche supérieure du substrat avait tendance à se dégrader avec l'augmentation de la température lorsque la couche diélectrique (formée par oxydation de la couche de piégeage du support) présente une épaisseur supérieure à 200 nm. Cela est révélé sur les mesures reportées dans le graphe dans la [Fig.2] qui rapporte la rugosité de la surface exposée de la couche supérieure (mesuré par force atomique sur un champ de mesure de 30 micromètres par 30 micromètres) au centre (repère « C ») et en bord (repère « B »), pour des températures croissantes de recuit. Ces recuits ont été mené sur des substrats finaux présentant chacun une couche diélectrique enterrée de 400 nm, obtenue par oxydation de la couche de piégeage du substrat support comme cela a été exposé précédemment. On observe dans ce cas que la rugosité tend à croître de manière presque exponentielle avec la température de recuit. Il semble que l'empilement formant le substrat devient instable thermiquement lorsque la couche diélectrique présente une épaisseur importante, supérieure à 200 nm, cette instabilité entraînant une dégradation de l'état de la surface libre du substrat. Le traitement thermique de finition provoque cette instabilité thermique, possiblement à travers des relaxations de contraintes emmagasinées dans cet empilement, cette relaxation se manifestant en surface de la couche supérieure par une rugosité accrue.

[0008] Aussi, il ne semble pas facile d'obtenir un substrat final du type semiconducteur sur isolant comprenant une couche diélectrique épaisse, d'épaisseur supérieure à 200nm, présentant à la fois une faible rugosité (inférieure à la limite indiquée dans un passage précédent) et une faible courbure, moindre par exemple que 60 micromètres et, avantageusement, dépourvue d'une quantité excessive de plans ou de lignes de dislocations.

OBJET DE L'INVENTION

[0009] Un but de l'invention est de proposer une solution à ce problème. Plus précisément, l'invention propose un substrat comprenant une couche diélectrique enterrée épaisse, supérieure à 2000 nm, qui présente à la fois une faible rugosité et une faible courbure. L'invention propose également un procédé de préparation d'un tel substrat.

BREVE DESCRIPTION DE L'INVENTION

[0010] En vue de la réalisation de ce but, l'objet de l'invention propose un procédé de préparation d'un substrat final comprenant une couche diélectrique enterrée épaisse, le procédé comprenant :

- une étape de préparation d'un substrat support comprenant une couche de piégeage de charges électriques disposée sur un substrat de base ;
- une étape de formation d'une couche diélectrique présentant une épaisseur supérieure à 200 nm sur la couche de piégeage de charges électriques ;

- une étape de report d'une couche supérieure comprenant un matériau semiconducteur sur la couche diélectrique ;
- une étape de finition de la face exposée de la couche supérieure.

[0011] Selon l'invention, l'étape de formation de la couche diélectrique est réalisée par dépôt chimique en phase vapeur à haute densité de plasma et l'étape de finition comprend un premier recuit conduit dans une atmosphère neutre ou réductrice à une température supérieure à 1050°C pendant une durée supérieure à 30 minutes.

[0012] De manière surprenante, ce procédé permet d'obtenir un substrat final présentant à la fois une courbure réduite et un état de surface satisfaisant.

[0013] Selon d'autres caractéristiques avantageuses et non limitatives de l'invention, prises seules ou selon toute combinaison techniquement réalisable :

- l'étape de formation de la couche diélectrique comprend, après le dépôt chimique en phase vapeur à haute densité de plasma de la couche diélectrique, un recuit de densification du substrat support ;
- le recuit de densification est réalisé dans une atmosphère neutre à une température inférieure à 1000°C et pendant une durée inférieure à 1h ;
- l'étape de finition comprend, avant et/ou après le premier recuit, un amincissement de la couche supérieure ;
- l'amincissement est réalisé par oxydation sacrificielle.
- l'étape de finition comprend un second recuit, le second recuit étant conduit dans une atmosphère neutre ou réductrice à une température supérieure à 1050°C pendant une durée inférieure à 2 minutes ;
- l'atmosphère neutre ou réductrice du premier recuit comprend ou est constituée d'argon ;
- l'étape de formation de la couche diélectrique est dépourvue de polissage de la face exposée de la couche diélectrique ;
- le matériau semiconducteur est du silicium ;
- la couche diélectrique est en dioxyde de silicium ;
- la couche diélectrique présente une épaisseur supérieure ou égale à 400 nm ;
- l'étape de report de la couche supérieure comprend une étape d'implantation d'espèce dites « légères » dans un substrat donneur pour y former un plan fragile, l'assemblage du substrat donneur avec le substrat support, et la fracture du substrat donneur au niveau du plan fragile.

[0014] Selon un autre aspect, l'invention propose un substrat final comprenant, successivement en contact les uns avec les autres, une couche supérieure en matériau semiconducteur, une couche diélectrique présentant une épaisseur supérieure à 200 nm, une couche de piégeage de charges électriques et un substrat de base.

[0015] Selon l'invention, le substrat final présente une surface exposée de la couche en

matériau semiconducteur ayant une rugosité inférieure à 0,3 nm en mesure quadratique moyenne sur un champ de 30 micromètres par 30 micromètres et une courbure inférieure à 60 micromètres, préférentiellement inférieure à 40 micromètres.

[0016] Selon d'autres caractéristiques avantageuses et non limitatives de cet autre aspect de l'invention, prises seules ou selon toute combinaison techniquement réalisable :

- la couche supérieure est en silicium ;
- la couche diélectrique est en oxyde de silicium ;
- le substrat final se présente sous la forme d'un disque de 300 mm ou plus de diamètre ;
- le substrat final présente une longueur cumulée de plans ou de lignes de dislocations, mesurée par déflectométrie, moindre que 20 mm.

Brève description des dessins

[0017] D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée de l'invention qui va suivre en référence aux figures annexées sur lesquelles :

[0018] [Fig.1]

[0019] La [Fig.1] représente un graphe mettant en relation la courbure d'un substrat de type silicium sur isolant selon la température d'un recuit appliqué lors d'une étape de finition de préparation de ce substrat ;

[0020] [Fig.2]

[0021] La [Fig.2] représente un graphe mettant en relation, pour une couche diélectrique enterrée de 400nm, la rugosité de la surface exposée de la couche supérieure d'un substrat final selon la température d'un recuit appliqué lors d'une étape de finition de préparation de ce substrat ;

[0022] [Fig.3]

[0023] La [Fig.3] représente un substrat conforme à l'invention ;

[0024] [Fig.4a]

[0025] [Fig.4b]

[0026] [Fig.4c]

[0027] [Fig.4d]

[0028] Les figures 4a, 4b, 4c, 4d représentent un procédé de préparation d'un substrat final conforme à la présente invention ;

[0029] [Fig.5a]

[0030] [Fig.5b]

[0031] Les figures 5a, 5b représentent respectivement des mesures de courbure et de rugosité réalisées au cours d'expérimentations ayant permis d'aboutir à l'invention ;

[0032] [Fig.6]

[0033] La [Fig.6] illustre le bénéfice apporté par l'utilisation d'un recuit « long », plutôt

qu'un recuit « rapide » en termes de défauts de type dislocation dans un procédé de fabrication conforme à l'invention.

DESCRIPTION DETAILLEE DE L'INVENTION

- [0034] En référence à la [Fig.3], un substrat S d'un mode de réalisation comprend un substrat de base 3, une couche de piégeage de charges électriques 2 (désignée « couche de pégeage » dans la suite de cette description) disposée sur le substrat de base 3, une couche diélectrique 4 disposée sur et directement en contact avec la couche de piégeage 2 et une couche supérieure 5 disposée sur la couche diélectrique 4. Le substrat de base 3 muni de la couche de piégeage de charges et de la couche diélectrique 4 forme un substrat support 1 du substrat final S.
- [0035] Le substrat S (et donc le substrat support 1) peut prendre la forme d'une plaquette, par exemple en forme de disque de 300 mm de diamètre. Le substrat présente une courbure inférieure à 60 micromètres, préférentiellement inférieure à 40 micromètres, pour la rendre compatible avec les étapes ultérieures de fabrications de composants.
- [0036] Le substrat de base 3 présente une épaisseur de plusieurs centaines de microns. Préférentiellement, le substrat de base 3 présente une résistivité élevée, supérieure à 100 ou 1000 ohms.cm, et plus préférentiellement encore supérieure à 3000 ohms.cm. On limite de la sorte la densité des charges, trous ou électrons, qui sont susceptibles de se déplacer dans le substrat de base 3, et donc détériorer la performance radiofréquences du substrat final S. Mais l'invention n'est pas limitée à un substrat de base 3 présentant une telle résistivité, et elle procure également des avantages de performance RF lorsque le substrat de base 3 présente une résistivité plus conforme, inférieure à 1000 ohms.cm, de l'ordre de quelques centaines d'ohms.cm, ou 100 ohms.cm ou moins.
- [0037] Pour des raisons de disponibilité et de coût, le substrat de base 3 est préférentiellement en silicium, et notamment en silicium monocristallin. Il peut s'agir par exemple d'un substrat CZ à faible teneur en oxygène interstitiel qui présente, comme cela est bien connu en soi, une résistivité qui peut être supérieure à 1000 ohms.cm. Le substrat de base 3 peut alternativement être formé d'un autre matériau : il peut s'agir par exemple de saphir, de carbure de silicium, de silicium-germanium, matériaux III-V, de verre... Il peut s'agir alternativement encore d'un substrat CZ monocristallin plus standard, dont la résistivité est inférieure à 1000 ohms.cm, ou encore d'un substrat CZ à forte, ou moyenne teneur en oxygène interstitiel, pouvant être dopé n ou p et qui présente une résistivité qui peut être de l'ordre de 500 ohms.cm ou moins.
- [0038] Le substrat support 1 comporte également une couche de piégeage 2, disposée sur et directement en contact avec le substrat de base 3. La couche de piégeage 2 présente une résistivité supérieure à 500 ohm.cm et préférentiellement à 1000 ohm.cm, et encore plus préférentiellement supérieure à 10 kohm.cm. Comme cela est bien connu

en soi, la couche de piégeage a pour fonction de piéger les porteurs de charges pouvant être présents dans le support 1 et de limiter leur mobilité. C'est notamment le cas lorsque le substrat S comprend une structure semi-conductrice émettant un champ électromagnétique pénétrant dans le substrat support 1, et donc susceptible d'interagir et rendre mobiles ces charges. La couche de piégeage 2 présente une épaisseur typiquement comprise entre 1 micron et 15 microns, voire même 20 microns.

[0039] La couche de piégeage 2 peut, d'une manière générale, être constituée d'une couche semi-conductrice non monocristalline présentant des défauts structuraux tels que des dislocations, des joints de grains, des zones amorphes, des interstices, des inclusions, des pores... Ces défauts structuraux forment des pièges pour les charges susceptibles de circuler dans le matériau, par exemple au niveau de liaisons chimiques non complètes ou pendantes. On prévient ainsi la conduction dans la couche de piégeage qui présente en conséquence une résistivité élevée.

[0040] Pour les mêmes raisons de disponibilité et de coût qui ont déjà été évoquées, la couche de piégeage 2 est préférentiellement en silicium polycristallin. Mais elle peut être constituée ou comprendre un autre matériau semi-conducteur et polycristallin. On peut bien entendu prévoir de former cette couche de piégeage de charges 2 par d'autre technique que celle prévoyant une couche formée de silicium polycristallin. Cette couche peut également comprendre du carbone ou être constituée ou comprendre du carbure de silicium ou un alliage de silicium et de carbone, par exemple sous la forme de couches intercalaires insérées dans une épaisseur de silicium polycristallin. Lorsque la couche de piégeage 2 est constituée par du carbure de silicium ou un alliage de silicium et de carbone, son épaisseur est préférentiellement comprise entre quelques nm (par exemple 2 nm) à quelques dizaines de nm (par exemple 50nm). Il peut alternativement s'agir de réaliser les pièges électriques dans la couche 2 par bombardement ionique d'espèces relativement lourdes (par exemple de l'argon) dans une partie superficielle du substrat de base 3 afin d'y créer des défauts cristallins aptes à piéger des charges électriques. On peut également prévoir une couche de piégeage de charges 2 formée d'une matière poreuse, par exemple par porosification d'une partie superficielle du substrat de base 3 lorsque celui-ci est en silicium. La couche de piégeage peut également comprendre un oxyde riche en silicium comportant une concentration atomique de silicium comprise entre 50% et 99,9%. Cet oxyde riche en silicium peut également comprendre de l'azote. Il peut également comprendre des inclusions de silicium cristallin présentant une taille inférieure à 10 nm, et préférentiellement inférieure à 5 nm. Alternativement elle peut se présenter sous une forme polycristalline et comprendre des inclusions amorphes.

[0041] En tout état de cause, la couche de piégeage 2 présente une résistivité élevée supérieure à 500 ohm.cm. À cette fin, la couche de piégeage 2 n'est pas intention-

nellement dopée, c'est-à-dire qu'elle présente une concentration en dopant porteur de charges inférieure à 10^{14} atomes par centimètre cube. Elle peut être riche en azote ou en carbone afin d'améliorer sa caractéristique de résistivité.

- [0042] Revenant à la description générale de la [Fig.3], le substrat support 1 comprend également une couche diélectrique 4 directement disposée sur la couche de piégeage 2. A titre d'exemple, la couche diélectrique 4 peut être constituée ou comprendre du dioxyde de silicium ou du nitrure de silicium. Il peut également s'agir d'un empilement de ces matériaux. L'épaisseur de la couche diélectrique 4 peut être usuellement comprise entre 10nm et 10 microns, mais dans le cadre de la présente description, cette couche présente une épaisseur importante, supérieure à 200 nm, et préférentiellement comprise entre 200 nm et 1000 nm.
- [0043] Le substrat S comprend une couche supérieure 5, sur et en contact avec la couche diélectrique 4 du substrat support 1. La couche mince est usuellement en silicium monocristallin, mais il pourrait s'agir de tout autre matériau selon la nature du dispositif destiné à y être formé. Lorsque le substrat S est destiné à recevoir des composants intégrés à semi-conducteur dans les domaines de l'électronique ou de la photonique, la couche mince 5 peut être ainsi composée de silicium monocristallin, ou de tout autre matériau semi-conducteur monocristallin tel que du germanium, du silicium germanium, du carbure de silicium.
- [0044] Dans tous les cas, et quelle que soit la nature de la couche supérieure, celle-ci est très peu rugueuse, et sa surface exposée présente une rugosité inférieure à 0,3 nm en mesure quadratique moyenne sur un champ de 30 micromètres par 30 micromètres.
- [0045] La faculté de disposer d'un substrat à diélectrique enterré épais (plus de 200 nm) présentant à la fois une faible rugosité de surface et une faible courbure forme un aspect très remarquable de la présente invention. Par ailleurs, ce substrat présente une faible densité de plans ou de lignes de dislocations. Ces plans ou lignes de dislocations peuvent être mesurées par un équipement d'inspection mettant en œuvre une technique de déflectométrie, comme cela est par exemple présenté dans le document US7812942. On cherche généralement à minimiser la longueur cumulée de ces plans ou lignes de dislocations, par exemple sous la valeur seuil de 20 mm, ce qui est bien le cas d'un substrat conforme à l'invention.

Préparation du substrat

- [0046] On présente maintenant un procédé de préparation du substrat représenté sur les figures 4a à 4d.
- [0047] Dans une première étape de préparation représentée sur la [Fig.4a], on prépare le substrat support 1. La fabrication de la couche de piégeage 2 sur le substrat de base 3, lorsqu'elle est en silicium polycristallin ou formé d'un oxyde riche en silicium, peut être réalisée avec des équipements de dépôt standards dans l'industrie. Il peut ainsi

s'agir d'un dépôt du type RPCVD (acronyme de l'expression anglo-saxonne « Remote Plasma enhanced Chemical Vapor Deposition » ou dépôt chimique en phase vapeur assisté par plasma déporté) ou encore du type PECVD (acronyme de l'expression anglo-saxonne « Plasma Enhanced Chemical Vapor Deposition » ou dépôt chimique en phase vapeur assisté par plasma). Il peut également s'agir d'un dépôt LPCVD (acronyme de l'expression anglo-saxonne « Low Pressure Chemical Vapor Deposition » ou dépôt chimique en phase vapeur à pression sous atmosphérique). Mais, comme on l'a vu précédemment, la formation de la couche de piégeage sur ou dans le substrat de base 3 peut être réalisée par bien d'autres manières, par exemple par implantation d'espèces lourdes ou par porosification d'une couche superficielle du substrat de base 3.

[0048] Optionnellement, on peut avoir prévu au cours de cette étape de préparation la formation d'une fine couche diélectrique sur le substrat de base 3, par exemple par oxydation ou dépôt d'une épaisseur d'oxyde, avant d'y former la couche de piégeage 2.

[0049] Dans une seconde étape du procédé de préparation représentée sur la [Fig.4b], on forme la couche diélectrique 4 présentant une épaisseur supérieure à 200 nm. D'une manière très générale, il existe de nombreuses possibilités pour former cette couche diélectrique 4 pour qu'elle soit au final enterrée dans le substrat S. Elle peut être formée du côté du substrat support 1 par dépôt ou par traitement (oxydation par exemple) de la couche de piégeage 2. Elle peut également être formée du côté d'un substrat dit « donneur » qui fournit la couche supérieure 5. Selon la présente invention, et pour des raisons qui seront rendues apparentes dans la suite de cette description, la couche diélectrique 4 est par réalisée sur la couche de piégeage 3, par dépôt chimique en phase vapeur à haute densité de plasma (« High Density Plasma Chemical Vapor Deposition » selon l'expression anglo-saxonne). Cette technique met simultanément en œuvre le dépôt et la pulvérisation ionique (« sputtering » selon l'expression anglo-saxonne employée dans le métier) de cette couche diélectrique 4. Elle présente notamment l'avantage de fournir une couche épaisse et peu rugueuse, si bien que son étape de formation peut être dépourvue de tout traitement de lissage tel qu'un polissage. A l'issue de cette étape de formation de la couche diélectrique, on dispose du substrat support 1. Ce substrat support peut présenter une courbure importante, parfois supérieure à 60 micromètres lorsque le substrat support 1 est de forme circulaire et de diamètre de 300 mm.

[0050] On note que le procédé de préparation du substrat support 1 peut également incorporer une étape de recuit de la couche diélectrique 4. Ce recuit, dit de densification, est avantageusement mené dans une atmosphère neutre. Il est réalisé à une température excédant la température de dépôt de la couche diélectrique 4, et de préférence in-

férieure à 1000°C, pendant une durée relativement courte inférieure à 1h, comme par exemple 30 minutes.

- [0051] Poursuivant la description du procédé de fabrication du substrat final S, celui-ci comprend, dans une troisième étape qui succède à la deuxième étape, le report de la couche supérieure 5 comprenant un matériau semiconducteur sur la couche diélectrique 4. Comme cela est bien connu en soi, ce report peut être réalisé en assemblant une face libre d'un substrat donneur 1' au substrat support 1, préférentiellement par adhésion moléculaire. La couche diélectrique 4 ayant été préalablement formée sur le substrat support 1, il n'est pas nécessaire que le substrat donneur 1' soit lui-même muni d'une telle couche diélectrique. On peut néanmoins prévoir que ce substrat donneur soit muni d'une fine épaisseur de diélectrique (par exemple inférieure à 150nm). De préférence toutefois, le substrat donneur est dépourvu de toute couche superficielle diélectrique intentionnellement formée. La nature du substrat donneur 1' est choisie selon la nature désirée de la couche supérieure 5, comme celle-ci a déjà été décrite dans une section antérieure de cet exposé. Il peut donc s'agir d'un substrat formé d'un semi-conducteur monocristallin, par exemple de silicium.
- [0052] Après cette étape d'assemblage, le substrat donneur est réduit en épaisseur pour former la couche supérieure 5, comme cela est représenté sur la [Fig.4d]. Cette étape de réduction peut être réalisée par amincissement mécanique et/ou chimique. De préférence toutefois, la réduction d'épaisseur du substrat donneur 1' est réalisée par fracture au niveau d'un plan de fragilisation préalablement introduit, par exemple selon les principes de la technologie Smart Cut™. Conformément aux principes de cette technologie, le report de la couche supérieure 5 comprend une étape d'implantation d'espèces dites « légères », par exemple des ions d'hydrogène et/ou d'hélium, dans le substrat donneur 1' pour y former un plan fragile. Ce plan fragile définit, avec la surface libre du substrat donneur, la couche supérieure 5 qui sera reportée. Après assemblage du substrat donneur 1' avec le substrat support 1, on fracture du substrat donneur au niveau du plan fragile, par application d'effort d'origine mécanique ou thermique.
- [0053] Après cette étape d'amincissement ou, préférentiellement, de fracture, des étapes de finition de la couche mince 5, telle qu'un traitement thermique sous atmosphère réductrice ou neutre, une oxydation sacrificielle peuvent être enchaînées à l'étape de réduction d'épaisseur.
- [0054] De manière très surprenante, la demanderesse a découvert qu'il était possible d'obtenir à la fois une courbure réduite et un état de surface satisfaisant lorsque la couche diélectrique 4 est formée par dépôt chimique en phase vapeur à haute densité de plasma et lorsque l'étape de finition comprend un recuit conduit dans une atmosphère neutre ou réductrice à une température supérieure à 1050°C pendant une

durée supérieure à 30 minutes.

- [0055] On a ainsi représenté sur les figures 5a et 5b les caractéristiques mesurées de la courbure du substrat final S ([Fig.5a]) et de rugosité de la surface exposée de la couche supérieure 5 ([Fig.5b], cette mesure de rugosité, exprimée en nm, étant obtenue par force atomique sur un champ de mesure de 30 micromètres par 30 micromètres) d'un substrat préparé selon le procédé qui vient d'être détaillé. On observe sur la [Fig.5a] qu'il est possible de réduire la courbure du substrat final S en augmentant la température du recuit de l'étape de finition. Lorsque ce recuit porte le substrat à 1050°C, cette courbure est de l'ordre de 55 micromètres, ce qui est déjà très satisfaisant. On note que les résultats à 1200°C obtenues à l'aide d'un recuit rapide, permettent également de réduire la courbure du substrat, mais peut engendrer des défauts de types dislocation, comme cela a été évoqué en introduction de cette demande.
- [0056] On observe également, sur la [Fig.5b], et de manière inattendue, que la rugosité mesurée de la couche supérieure 5 après l'application du recuit de l'étape de finition est stable avec l'accroissement de cette température et d'un niveau inférieur à 0,3 nm en mesure quadratique moyenne, ce qui est également très satisfaisant, tant en bord de substrat (marque « B ») qu'en son centre (marque « C »). On rappelle que les observations préparatoires de la demanderesse, rapporté en [Fig.2] montrait une rugosité croissante de la surface exposée de cette couche supérieure 5 avec l'augmentation de la température.
- [0057] Un procédé de préparation conforme à l'invention exploite donc ces résultats pour proposer différentes séquences de finition d'une étape de finition. Dans toutes ces séquences possibles, on retrouve au moins un recuit, désigné « premier recuit », ce premier recuit étant conduit dans une atmosphère neutre ou réductrice à une température supérieure à 1050°C pendant une durée supérieure à 30 minutes. Dans tous les cas également, la couche diélectrique 4, enterrée dans le substrat final, a été obtenue par dépôt chimique en phase vapeur à haute densité de plasma sur la couche de piégeage de charges 2.
- [0058] Ainsi, l'étape de finition peut comprendre au moins une étape d'amincissement de la couche supérieure 5. Cette au moins une étape d'amincissement peut être réalisée avant et/ou après le premier recuit. La séquence de finition conduite pendant l'étape de finition peut donc correspondre à une séquence amincissement-recuit ou recuit-amincissement ou encore amincissement-recuit-amincissement. Cet amincissement de la couche peut notamment être réalisé par oxydation sacrificielle (c'est-à-dire l'oxydation d'une épaisseur superficielle de cette couche, suivie par le retrait de cette épaisseur oxydée) de la couche supérieure.
- [0059] Par ailleurs, l'étape de finition peut comprendre d'autres recuits que le premier recuit déjà décrit. Ainsi, dans une variante de mise en œuvre, la séquence de finition peut in-

corporer comprend un second recuit rapide, ce second recuit étant conduit dans une atmosphère neutre ou réductrice à une température supérieure à 1050°C pendant une durée inférieure à 2 minutes. Le second recuit peut être mené avant ou après le premier recuit.

- [0060] De préférence, l'atmosphère neutre ou réductrice employée pendant le premier recuit et, le cas échéant, pendant le second recuit est composée principalement ou exclusivement d'Argon.
- [0061] La température du premier recuit peut être choisie préférentiellement dans la gamme 1050°C à 1100°C, afin de ne pas affecter la qualité de la couche de piégeage 2. Un budget thermique trop important apporté au cours de l'étape de finition pourrait conduire effectivement à modifier sa cristallinité et son efficacité électrique. Pour améliorer encore l'effet lissant de ce premier recuit, même pour la partie basse de la gamme de température préférentielle, l'équipement dans lequel ce recuit est conduit peut suivre les enseignements du document EP3011590B1.
- [0062] Pour éviter de générer des défauts de types dislocation dans le substrat final, on préférera éviter d'introduire un recuit rapide dans la séquence de finition, bien que cela ne soit pas entièrement exclu.
- [0063] La [Fig.6] illustre le bénéfice apporté par l'utilisation d'un recuit « long » uniquement dans la séquence de finition, plutôt qu'un recuit « rapide » en termes de défauts de type dislocation. La partie gauche de cette figure présente une carte des dislocations présentes dans un substrat final pour lequel la séquence de finition comprenant un recuit conduit dans une atmosphère neutre ou réductrice à une température supérieure à 1050°C pendant une durée supérieure à 30 minutes, tout en étant dépourvue de recuit rapide. On observe sur cette partie gauche l'absence ou la quasi-absence de tels défauts.
- [0064] La partie droite de cette figure présente une carte des dislocations présentes dans un substrat final ayant reçu un traitement thermique rapide. On note bien la différence, en termes de défectuosité, avec la partie gauche.
- [0065] Ces cartes de dislocations peuvent être préparées par un équipement d'inspection mettant en œuvre une technique de déflectométrie, comme cela est par exemple présenté dans le document US7812942.
- [0066] Quelle que soit la séquence de finition employée, le procédé de préparation qui vient d'être décrit permet de proposer un substrat final comprenant, successivement en contact les uns avec les autres, une couche supérieure 5 en matériau semiconducteur, par exemple en silicium, une couche diélectrique présentant une épaisseur supérieure à 200 nm, une couche de piégeage de charges électriques et un substrat de base. La couche diélectrique peut notamment présenter une épaisseur supérieure ou égale à 400nm. La surface exposée de la couche supérieure en matériau semiconducteur de ce

substrat final présente une rugosité inférieure à 0,3 nm en mesure quadratique moyenne sur un champ de 5 micromètres par 5 micromètres et une courbure inférieure à 60 micromètres, préférentiellement inférieure à 40 micromètres. Avantageusement, ce substrat final présente une longueur cumulée de plans ou de lignes de dislocations moindre que 20 mm.

[0067] Bien entendu l'invention n'est pas limitée aux modes de mise en œuvre décrits et on peut y apporter des variantes de réalisation sans sortir du cadre de l'invention tel que défini par les revendications.

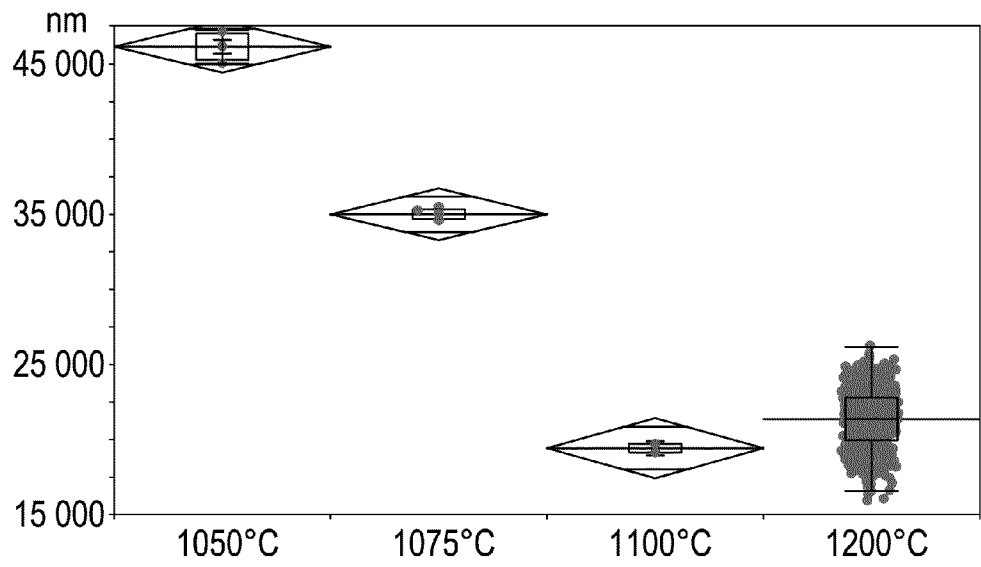
Revendications

- [Revendication 1] Procédé de préparation d'un substrat final (S) comprenant une couche diélectrique (4) enterrée épaisse, le procédé comprenant :
- une étape de préparation d'un substrat support (1) comprenant une couche de piégeage de charges électriques (2) disposés sur un substrat de base (3);
 - une étape de formation de la couche diélectrique (4) présentant une épaisseur supérieure à 200 nm sur la couche de piégeage de charges électriques (2) ;
 - une étape de report d'une couche supérieure (5) comprenant un matériau semiconducteur sur la couche diélectrique (4) ;
 - une étape de finition de la face exposée de la couche supérieure (5);
- le procédé de préparation étant caractérisé en ce que l'étape de formation de la couche diélectrique (4) est réalisée par dépôt chimique en phase vapeur à haute densité de plasma et en ce que l'étape de finition comprend un premier recuit conduit dans une atmosphère neutre ou réductrice à une température supérieure à 1050°C pendant une durée supérieure à 30 minutes.
- [Revendication 2] Procédé de préparation selon la revendication précédente dans lequel l'étape de formation de la couche diélectrique (4) comprend, après le dépôt chimique en phase vapeur à haute densité de plasma de la couche diélectrique, un recuit de densification du substrat support.
- [Revendication 3] Procédé de préparation selon la revendication précédente dans lequel le recuit de densification est réalisé dans une atmosphère neutre à une température inférieure à 1000°C et pendant une durée inférieure à 1h.
- [Revendication 4] Procédé de préparation selon l'une des revendications précédentes dans lequel l'étape de finition comprend, avant et/ou après le premier recuit, un amincissement de la couche supérieure (5).
- [Revendication 5] Procédé de préparation selon l'une des revendications précédentes dans lequel l'étape de finition comprend un second recuit, le second recuit étant conduit dans une atmosphère neutre ou réductrice à une température supérieure à 1050°C pendant une durée inférieure à 2 minutes.
- [Revendication 6] Procédé de préparation selon l'une des revendications précédentes dans lequel l'atmosphère neutre ou réductrice du premier recuit comprend ou

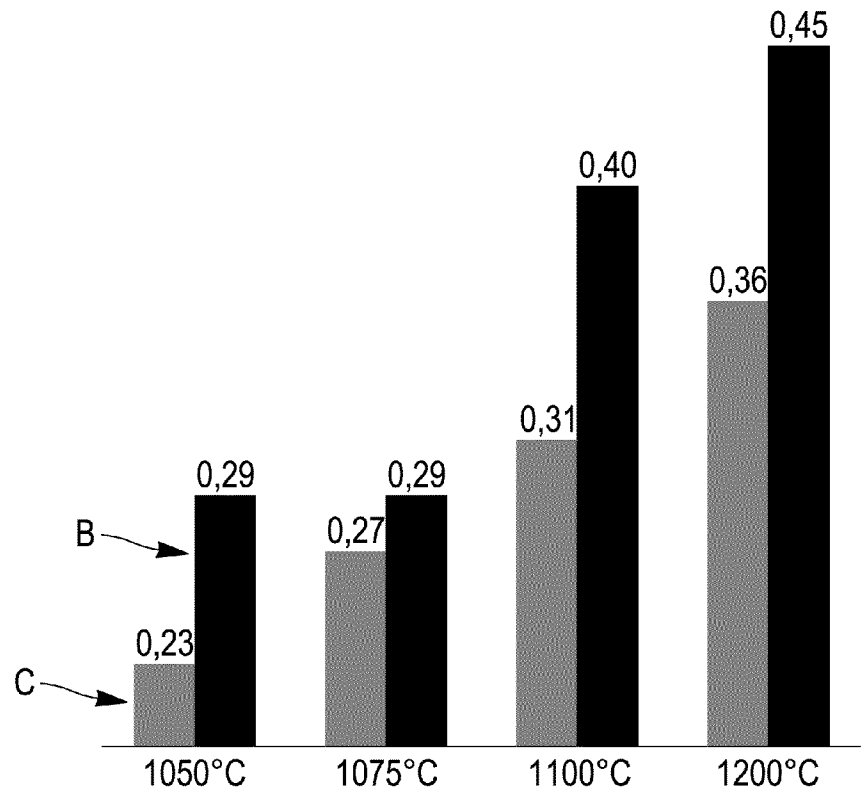
est constituée d'argon.

- [Revendication 7] Procédé de préparation selon l'une des revendications précédentes dans lequel l'étape de formation de la couche diélectrique (4) est dépourvue de polissage de la face exposée de la couche diélectrique (4).
- [Revendication 8] Procédé de préparation selon l'une des revendications précédentes dans lequel le matériau semiconducteur de la couche supérieure (5) est du silicium.
- [Revendication 9] Procédé de préparation selon l'une des revendications précédentes dans lequel la couche diélectrique (4) est en dioxyde de silicium.
- [Revendication 10] Procédé de préparation selon l'une des revendications précédentes dans lequel la couche diélectrique (4) présente une épaisseur supérieure ou égale à 400 nm.
- [Revendication 11] Procédé selon l'une des revendications précédentes dans lequel l'étape de report de la couche supérieure comprend une étape d'implantation d'espèce dites « légères » dans un substrat donneur (1') pour y former un plan fragile, l'assemblage du substrat donneur avec le substrat support (1), et la fracture du substrat donneur au niveau du plan fragile.
- [Revendication 12] Substrat final (S) comprenant, successivement en contact les uns avec les autres, une couche supérieure (5) en matériau semiconducteur, une couche diélectrique (4) présentant une épaisseur supérieure à 200 nm, une couche de piégeage de charges électriques (2) et un substrat de base (3), le substrat final (S) étant caractérisé en ce qu'il présente une courbure inférieure à 60 micromètres, préférentiellement inférieure à 40 micromètres, et en ce qu'une surface exposée de la couche supérieure (5) présente une rugosité inférieure à 0,3 nm en mesure quadratique moyenne sur un champ de 30 micromètres par 30 micromètres.
- [Revendication 13] Substrat final (S) selon la revendication précédente dans lequel la couche supérieure (5) est en silicium.
- [Revendication 14] Substrat final (S) selon l'une des deux revendications précédentes dans lequel la couche diélectrique (4) est en oxyde de silicium.
- [Revendication 15] Substrat final (S) selon l'une des 3 revendications précédentes présentant une longueur cumulée de plans ou de lignes de dislocations, mesurée par déflectométrie, moindre que 20 mm.

[Fig. 1]



[Fig. 2]



[Fig. 3]

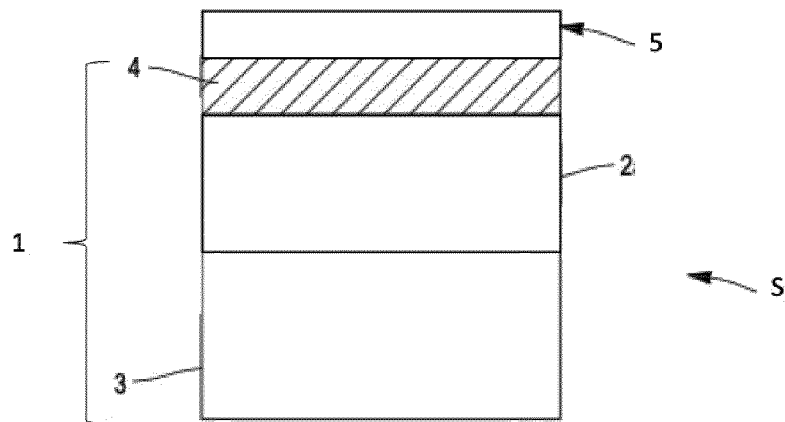


FIG. 3

[Fig. 4a]

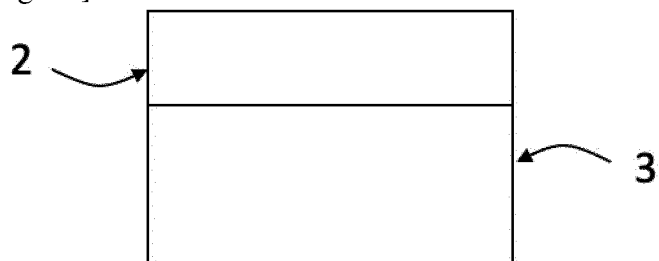


FIG. 4A

[Fig. 4b]

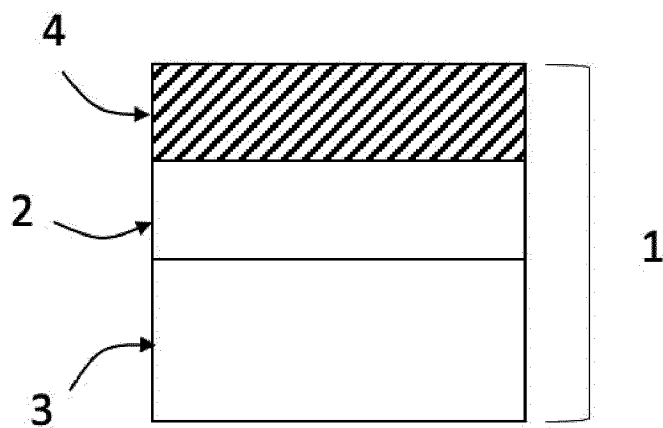


FIG. 4B

[Fig. 4c]

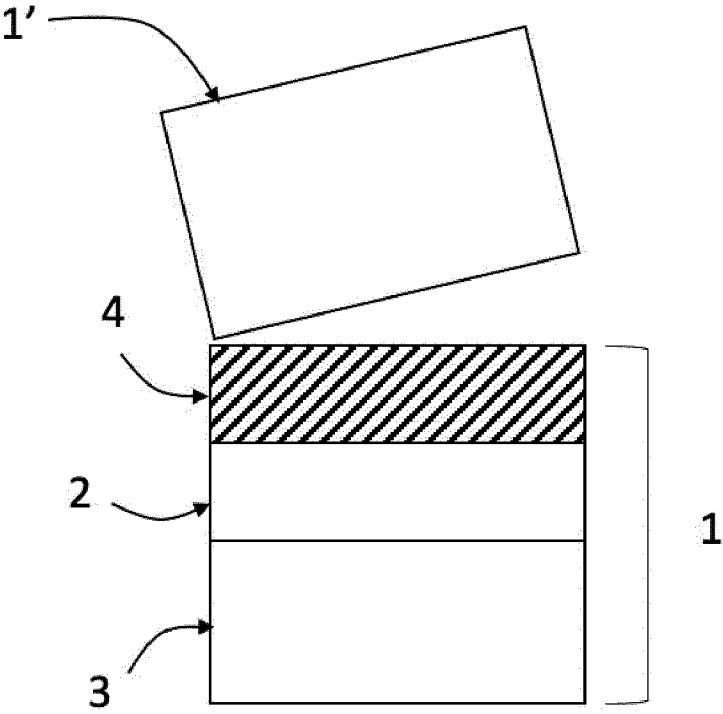


FIG. 4C

[Fig. 4d]

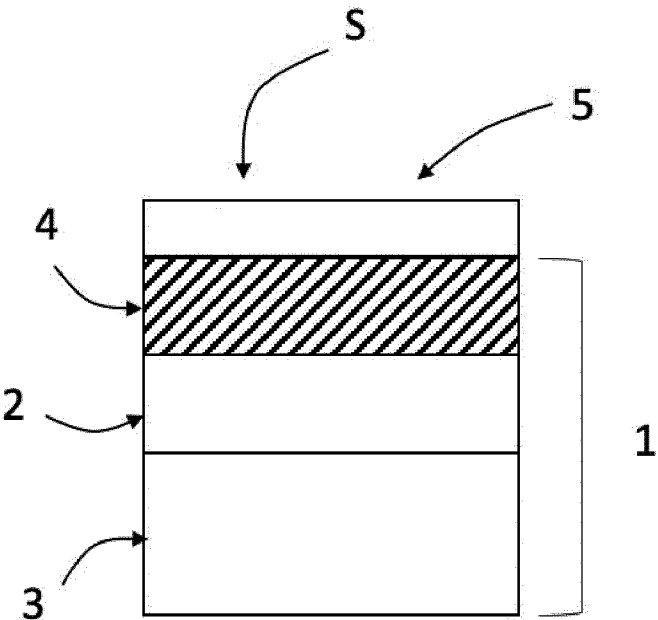
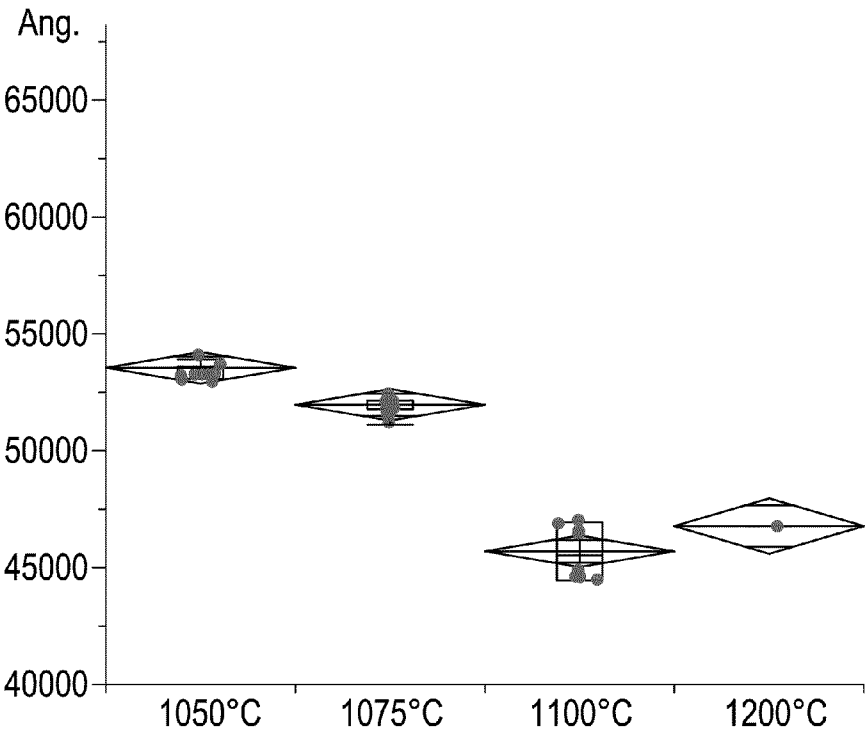
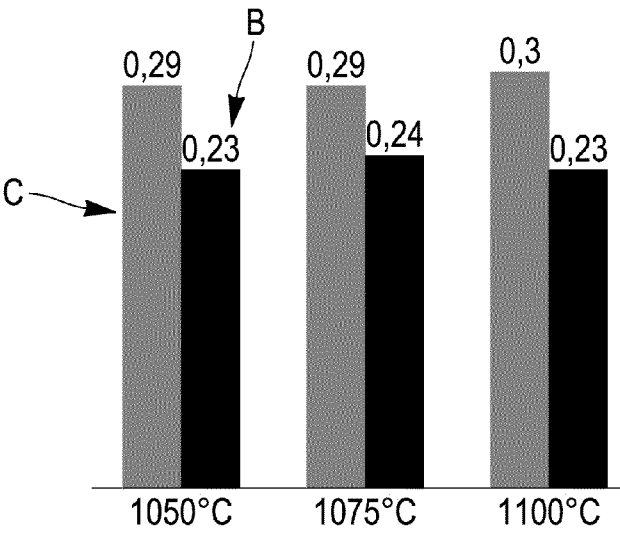


FIG. 4D

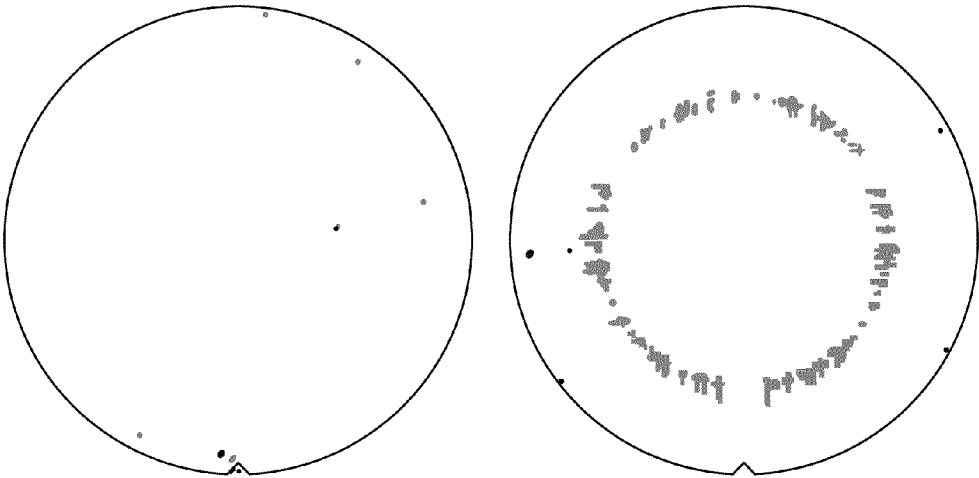
[Fig. 5a]



[Fig. 5b]



[Fig. 6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2024/059887

A. CLASSIFICATION OF SUBJECT MATTER**H01L 21/762**(2006.01)i; **H01L 21/02**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022023630 A1 (SOITEC SILICON ON INSULATOR [FR]) 03 February 2022 (2022-02-03) cited in the application	12-15
A	page 4, line 13 - page 21, line 27; figures 1-4	1-11
A	FR 3058561 A1 (SOITEC SILICON ON INSULATOR [FR]) 11 May 2018 (2018-05-11) page 10, line 2 - line 14 page 14, line 8 - line 32	1-15
A	DE 102004041378 A1 (SILTRONIC AG [DE]) 02 March 2006 (2006-03-02) claims; figures	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 June 2024

Date of mailing of the international search report

03 July 2024

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands (Kingdom of the)

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Ott, André

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2024/059887

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2022023630	A1	03 February 2022	CN	115777139	A	10 March 2023
				EP	4189734	A1	07 June 2023
				JP	2023535319	A	17 August 2023
				KR	20230042215	A	28 March 2023
				TW	202232658	A	16 August 2022
				US	2023230874	A1	20 July 2023
				WO	2022023630	A1	03 February 2022
FR	3058561	A1	11 May 2018	CN	108022840	A	11 May 2018
				EP	3319113	A1	09 May 2018
				FR	3058561	A1	11 May 2018
				JP	7088663	B2	21 June 2022
				JP	2018107428	A	05 July 2018
				KR	20180050239	A	14 May 2018
				SG	10201708819S	A	28 June 2018
				TW	201818474	A	16 May 2018
				US	2018130698	A1	10 May 2018
DE	102004041378	A1	02 March 2006	CN	1741276	A	01 March 2006
				DE	102004041378	A1	02 March 2006
				FR	2874745	A1	03 March 2006
				JP	2006066913	A	09 March 2006
				KR	20060050693	A	19 May 2006
				TW	I303077	B	11 November 2008
				US	2006046431	A1	02 March 2006
				US	2008122043	A1	29 May 2008

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L21/762 H01L21/02 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO - Internal		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 2022/023630 A1 (SOITEC SILICON ON INSULATOR [FR]) 3 février 2022 (2022-02-03) cité dans la demande	12 - 15
A	page 4, ligne 13 - page 21, ligne 27; figures 1-4	1 - 11
A	FR 3 058 561 A1 (SOITEC SILICON ON INSULATOR [FR]) 11 mai 2018 (2018-05-11) page 10, ligne 2 - ligne 14 page 14, ligne 8 - ligne 32	1 - 15
A	DE 10 2004 041378 A1 (SILTRONIC AG [DE]) 2 mars 2006 (2006-03-02) revendications; figures	1 - 15
☐ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent;; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent;; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 21 juin 2024		Date d'expédition du présent rapport de recherche internationale 03/07/2024
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Ott, André

Renseignements relatifs aux membres de familles de brevets

PCT/EP2024/059887

Formulaire PCT/ISA/210 (annexe familles de brevets) (avril 2005)