



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0098374
(43) 공개일자 2023년07월03일

- (51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 27/12 (2006.01)
H10K 59/121 (2023.01)
- (52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/1222 (2013.01)
- (21) 출원번호 10-2023-7021373(분할)
- (22) 출원일자(국제) 2012년10월05일
심사청구일자 없음
- (62) 원출원 특허 10-2022-7003333
원출원일자(국제) 2012년10월05일
심사청구일자 2022년02월25일
- (85) 번역문제출일자 2023년06월23일
- (86) 국제출원번호 PCT/JP2012/076561
- (87) 국제공개번호 WO 2013/058199
국제공개일자 2013년04월25일
- (30) 우선권주장
JP-P-2011-228418 2011년10월18일 일본(JP)
JP-P-2011-261317 2011년11월30일 일본(JP)
- (71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
기무라 하지메
일본 2430036 가나가와 아쓰기시 하세 398 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
장훈

전체 청구항 수 : 총 1 항

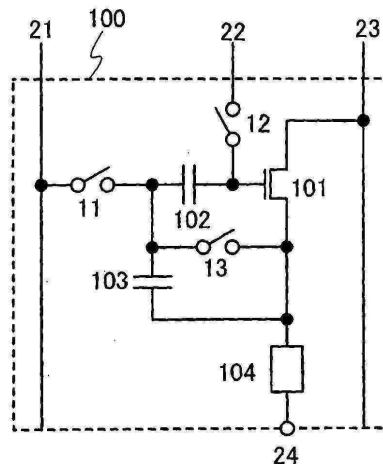
(54) 발명의 명칭 발광 장치

(57) 요약

트랜지스터들 간의 특성들의 변동들 또는 부하의 변동들에 영향을 덜 받고, 노멀리 온(normally-on) 트랜지스터들에 대해서도 유효한 반도체 장치가 제공된다. 상기 반도체 장치는 적어도 하나의 트랜지스터, 2개의 배선들, 3개의 스위치들, 및 2개의 용량소자들을 포함한다. 제 1 스위치는 제 1 배선과 제 1 용량소자의 제 1 전극 사이의 도통 및 제 1 배선과 제 2 용량 소자의 제 1 전극 사이의 도통을 각각 제어한다. 상기 제 1 용량소자의 제 2 전극은 상기 트랜지스터의 게이트에 접속된다. 제 2 스위치는 상기 게이트와 제 2 배선 사이의 도통을 제어한다. 상기 제 2 용량소자의 제 2 전극은 상기 트랜지스터의 소스 및 드레인 중 하나에 접속된다. 제 3 스위치는 상기 소스 및 상기 드레인 중 하나와 상기 제 1 용량소자의 상기 제 1 전극 사이의 도통 및 상기 소스 및 상기 드레인 중 하나와 상기 제 2 용량소자의 상기 제 1 전극 사이의 도통을 각각 제어한다.

대표도

도 1의 (B)



(52) CPC특허분류

H10K 59/1213 (2023.02)

G09G 2300/0819 (2013.01)

G09G 2300/0852 (2013.01)

G09G 2300/0861 (2013.01)

G09G 2310/0262 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/043 (2013.01)

명세서

청구범위

청구항 1

제 1 트랜지스터 내지 제 4 트랜지스터의 채널 형성 영역을 갖고, 또한, 용량 소자의 제 1 전극으로서 기능하는 영역을 갖는 제 1 반도체막과,

제 5 트랜지스터의 채널 형성 영역을 갖는 제 2 반도체막과,

상기 제 1 반도체막의 위쪽에서 상기 제 1 트랜지스터의 채널 형성 영역과 중첩을 갖고, 또한, 상기 용량 소자의 제 2 전극으로서 기능하는 영역을 갖는 제 1 도전층과,

상기 제 1 반도체막의 위쪽에서 상기 제 2 트랜지스터의 채널 형성 영역과 중첩을 갖는 제 2 도전층과,

상기 제 1 반도체막의 위쪽에서 상기 제 3 트랜지스터의 채널 형성 영역과 중첩을 갖는 제 3 도전층과,

상기 제 1 반도체막의 위쪽에서 상기 제 4 트랜지스터의 채널 형성 영역과 중첩을 갖는 제 4 도전층과,

상기 제 2 반도체막의 위쪽에서 상기 제 5 트랜지스터의 채널 형성 영역과 중첩을 갖는 제 5 도전층을 화소에 갖는 발광 장치로서,

상기 제 5 트랜지스터는, 발광 소자로의 전류의 공급을 화상 신호에 따라 제어하는 기능을 갖는 상기 제 1 트랜지스터의 게이트의 전위를 유지하는 기능을 갖는 발광 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치, 발광 장치, 또는 표시 장치에 관한 것이다. 대안적으로, 본 발명은 상기 장치를 구동하거나 제조하는 방법에 관한 것이다. 상기 반도체 장치의 일예는 예를 들어, 트랜지스터와 같은 능동 소자를 포함하는 반도체 장치이다. 상기 발광 장치의 일예는 일렉트로루미네센트 소자(이하, EL 소자라고도 함)와 같은 발광 소자를 포함하는 발광 장치이다. 상기 표시 장치의 일예는 EL 소자와 같은 발광 소자, 또는 표시 소자를 포함하는 표시 장치이다. 본 발명은 특히 트랜지스터들 간의 특성들의 변화들의 영향이 감소되는 상기 반도체 장치, 상기 발광 장치, 또는 상기 표시 장치, 또는 상기 장치를 구동하기 위한 방법에 관한 것이다.

배경 기술

[0002] 발광 소자들을 사용하는 표시 장치들은 높은 시인성을 갖고, 박형화에 적합하고, 시야각에 제한이 없기 때문에, CRT(cathode ray tube) 또는 액정 표시 장치들을 대체할 수 있는 표시 장치들로서 주목받고 있다. 발광 소자들을 사용하는 액티브 매트릭스 표시 장치들의 구체적으로 제안된 구성들은 제조자들에 따라 다르다. 그러나, 일반적으로, 적어도 발광 소자, 화소들로의 비디오 신호들의 입력을 제어하는 트랜지스터(스위칭 트랜지스터), 및 상기 발광 소자들에 공급된 전류값을 제어하는 트랜지스터(구동 트랜지스터)가 각각의 화소에 제공된다.

[0003] 예를 들어, 화소들의 모든 트랜지스터들이 동일한 도전형을 가질 때, 상기 트랜지스터들을 제작하기 위한 일부 공정들, 예를 들어, 반도체막에 일 도전형을 부여하는 불순물 원소를 첨가하는 공정을 생략할 수 있다. 특히 문헌 1은 화소들에 포함된 트랜지스터들이 모두 n-채널 트랜지스터들인 표시 장치를 개시한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특개 제 2003-195810 호

발명의 내용

해결하려는 과제

[0005] 발광 장치 또는 표시 장치와 같은 반도체 장치에서, 트랜지스터의 드레인 전류가 발광 소자에 공급되고, 따라서, 트랜지스터들의 특성들 등이 화소들 간에서 변할 때, 발광 소자들과 같은 표시 소자들의 휘도가 대응하여 변한다. 따라서, 반도체 장치의 품질을 향상시키기 위해, 예를 들어, 임계 전압의 변동을 예측하여 트랜지스터의 드레인 전류량이 보정될 수 있는 화소 구성을 제안하는 것이 중요하다.

[0006] 상술한 문제의 관점에서, 본 발명의 일 양태의 목적은 트랜지스터들의 특성들의 변동들의 영향을 거의 받지 않는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 트랜지스터의 특성들의 열화에 영향을 거의 받지 않는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 트랜지스터들의 임계 전압의 변동들로 인한 휘도의 변동들이 감소된 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 트랜지스터들의 이동도의 변동들로 인한 휘도의 변동들이 감소된 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 노멀리 오프 트랜지스터를 사용할 때에도 정확하게 동작하는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 트랜지스터가 노멀리 오프 트랜지스터일 때에도 상기 트랜지스터의 임계 전압이 획득될 수 있는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 고품질의 화상들을 표시하는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 불균일성이 거의 없는 화상들을 표시하는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 적은 수의 트랜지스터들로 원하는 회로가 형성될 수 있는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 적은 수의 배선들로 원하는 회로가 형성될 수 있는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 발광 소자의 열화의 영향을 거의 받지 않는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다. 본 발명의 일 양태의 목적은 적은 수의 공정들로 제조되는 반도체 장치, 발광 장치, 또는 표시 장치를 제공하는 것이다.

[0007] 이들 목적들의 기재는 다른 목적들의 존재를 방해하지 않는다는 것을 주의한다. 본 발명의 일 양태에서, 모든 상기 목적들을 달성할 필요는 없다. 다른 목적들이 명세서, 도면들, 청구항들, 등의 기재로부터 명백해지고 도출될 수 있다.

과제의 해결 수단

[0008] 본 발명의 일 양태에 따른 반도체 장치는 적어도 트랜지스터, 제 1 배선, 제 2 배선, 제 1 스위치, 제 2 스위치, 제 3 스위치, 제 1 용량소자, 및 제 2 용량소자를 포함한다. 상기 제 1 스위치는 상기 제 1 배선과 상기 제 1 용량소자의 한 쌍의 전극들 중 한 전극 사이의 도통 또는 비도통을 선택하는 기능을 갖는다. 상기 제 1 용량소자의 상기 한 쌍의 전극들 중 상기 한 전극은 상기 제 2 용량소자의 한 쌍의 전극들 중 한 전극에 전기적으로 접속된다. 상기 제 1 용량소자의 상기 한 쌍의 전극들 중 다른 전극은 상기 트랜지스터의 게이트에 전기적으로 접속된다. 상기 제 2 용량소자의 상기 한 쌍의 전극들 중 다른 전극은 상기 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속된다. 상기 제 2 스위치는 상기 제 2 배선과 상기 트랜지스터의 상기 게이트 사이의 도통 또는 비도통을 선택하는 기능을 갖는다. 상기 제 3 스위치는 상기 제 1 용량소자의 상기 한 쌍의 전극들 중 상기 한 전극과 상기 트랜지스터의 상기 소스 및 상기 드레인 중 하나 사이의 도통 또는 비도통을 선택하는 기능을 갖는다.

[0009] 상기 구성을 갖는 상기 반도체 장치에서, 상기 트랜지스터(이하, 또한 구동 트랜지스터라고 함)의 상기 소스와 상기 게이트 사이에 인가된 전압은 임계 전압의 변동들을 예측하여 보정될 수 있다. 따라서, 상기 트랜지스터의 상기 드레인 전류가 보정될 수 있다. 게다가, 상기 드레인 전류는 상기 부하에 공급될 수 있다.

[0010] 본 발명의 일 양태에 따른 반도체 장치는 적어도 트랜지스터, 부하, 제 1 배선, 제 2 배선, 제 1 스위치, 제 2 스위치, 제 3 스위치, 제 1 용량소자, 및 제 2 용량소자를 포함한다. 상기 제 1 스위치는 상기 제 1 배선과 상기 제 1 용량소자의 한 쌍의 전극들 중 한 전극 사이의 도통 또는 비도통을 선택하는 기능을 갖는다. 상기 제 1 용량소자의 상기 한 쌍의 전극들 중 상기 한 전극은 상기 제 2 용량소자의 한 쌍의 전극들 중 한 전극에 전기적으로 접속된다. 상기 제 1 용량소자의 상기 한 쌍의 전극들 중 다른 전극은 상기 트랜지스터의 게이트에 전기적으로 접속된다. 상기 제 2 용량소자의 상기 한 쌍의 전극들 중 다른 전극은 상기 부하 및 상기 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속된다. 상기 제 2 스위치는 상기 제 2 배선과 상기 트랜지스터의 상기 게이트 사이의 도통 또는 비도통을 선택하는 기능을 갖는다. 상기 제 3 스위치는 상기 제 1 용량소자의 상기 한 쌍의 전극들 중 상기 한 전극과 상기 트랜지스터의 상기 소스 및 상기 드레인 중 하나 사이의 도통 또는 비도통

을 선택하는 기능을 갖는다.

- [0011] 상기 구성을 갖는 상기 반도체 장치에서, 상기 트랜지스터(이하, 또한 구동 트랜지스터라고 함)의 상기 소스와 상기 게이트 사이에 인가된 전압은 임계 전압의 변동들을 예측하여 보정될 수 있다. 따라서, 상기 트랜지스터의 상기 드레인 전류가 보정될 수 있다. 게다가, 상기 드레인 전류는 상기 부하에 공급될 수 있다.
- [0012] 상기 부하로서 소정의 소자 또는 회로가 사용될 수 있다. 예를 들어, 상기 부하로서 EL 소자와 같은 발광 소자가 사용될 수 있다. EL 소자와 같은 발광 소자는 상기 발광 소자의 애노드와 캐소드 사이를 흐르는 전류량에 비례하는 휘도로 발광한다.
- [0013] 상기 부하로서 발광 소자가 사용되는 경우, 예를 들어, 유형 A 또는 유형 B의 구성이 채용될 수 있다.
- [0014] (유형 A)
- [0015] 본 발명의 일 양태에 따른 상기 반도체 장치에서, 상기 트랜지스터(상기 구동 트랜지스터)의 상기 소스 및 상기 드레인 중 하나는 상기 발광 소자의 상기 애노드에 전기적으로 접속될 수 있다. 그 경우, 상기 트랜지스터는 n-채널 트랜지스터이다. 본 발명의 일 양태에 따른 상기 반도체 장치에서, 상기 반도체 장치는 상기 제 1 배선의 전위를 제어하는 기능을 갖는 수단(예를 들어, 구동 회로)을 포함한다. 상기 수단(상기 구동 회로)이 상기 제 1 배선의 상기 전위를 제어하여 상기 제 1 배선의 상기 전위가 상기 발광 소자의 상기 캐소드의 상기 전위 이하인 기간이 제공된다.
- [0016] (유형 B)
- [0017] 본 발명의 일 양태에 따른 상기 반도체 장치에서, 상기 트랜지스터(상기 구동 트랜지스터)의 상기 소스 및 상기 드레인 중 하나는 상기 발광 소자의 상기 캐소드에 전기적으로 접속될 수 있다. 그 경우, 상기 트랜지스터는 p-채널 트랜지스터이다. 본 발명의 일 양태에 따른 상기 반도체 장치에서, 상기 반도체 장치는 상기 제 1 배선의 전위를 제어하는 기능을 갖는 수단(예를 들어, 구동 회로)을 포함한다. 상기 수단(상기 구동 회로)이 상기 제 1 배선의 상기 전위를 제어하여 상기 제 1 배선의 상기 전위가 상기 발광 소자의 상기 애노드의 상기 전위 이상인 기간이 제공된다.
- [0018] 각각의 상기 제 1 내지 제 3 스위치들은 트랜지스터일 수 있다. 상기 트랜지스터는 상기 구동 트랜지스터와 동일한 도전형을 가질 수 있다.
- [0019] 본 발명의 일 양태에 따른 상기 반도체 장치는 채널 형성 영역이 산화물 반도체층을 포함하는 트랜지스터를 사용하여 형성될 수 있다. 대안적으로, 상기 반도체 장치는 채널 형성 영역이 단결정 실리콘을 포함하는 트랜지스터를 사용하여 형성될 수 있다. 대안적으로, 상기 반도체 장치는 채널 형성 영역이 다결정 실리콘을 포함하는 트랜지스터를 사용하여 형성될 수 있다. 대안적으로, 상기 반도체 장치는 채널 형성 영역이 비정질 실리콘을 포함하는 트랜지스터를 사용하여 형성될 수 있다.
- [0020] 즉, 트랜지스터로서 특정한 유형으로 한정되지 않고, 다양한 구조들을 갖는 트랜지스터들이 사용될 수 있다. 예를 들어, 트랜지스터로서 단결정 실리콘을 포함하는 트랜지스터 또는 비정질 실리콘, 다결정 실리콘, 미결정(마이크로크리스탈, 나노크리스탈, 또는 세미-아모퍼스(semi-amorphous)라고도 함) 실리콘, 등으로 대표되는 비-단결정 반도체막을 포함하는 박막 트랜지스터(TFT)가 사용될 수 있다.
- [0021] 예를 들어, 트랜지스터로서 화합물 반도체(예를 들어, SiGe, GaAs, 등), 산화물 반도체(예를 들어, ZnO, InGaZnO, 인듐아연 산화물, ITO(인듐주석 산화물), SnO, TiO, 및 AlZnSnO(AZTO), 및 InSnZnO), 등을 포함하는 트랜지스터, 이러한 화합물 반도체 또는 산화물 반도체를 박막화하여 획득된 박막 트랜지스터, 등이 사용될 수 있다는 것을 주의한다. 따라서, 제조 온도가 저감될 수 있고 예를 들어, 이러한 트랜지스터는 실온에서 형성될 수 있다. 따라서, 상기 트랜지스터는 플라스틱 기판 또는 필름 기판과 같은 내열성이 낮은 기판에 직접 형성될 수 있다. 이러한 화합물 반도체 또는 산화물 반도체는 상기 트랜지스터의 채널 부분뿐만 아니라 다른 용도에도 사용될 수 있다는 것을 주의한다. 예를 들어, 이러한 화합물 반도체 또는 산화물 반도체는 배선, 저항소자, 화소 전극, 투광 전극, 등에 사용될 수 있다. 이러한 소자는 상기 트랜지스터와 동시에 형성될 수 있기 때문에, 코스트가 저감될 수 있다.
- [0022] 예를 들어, 트랜지스터로서 유기 반도체 또는 탄소 나노튜브를 포함하는 트랜지스터 등이 사용될 수 있다는 것을 주의한다.
- [0023] 2개 이상의 게이트 전극들을 갖는 멀티-게이트 구조의 트랜지스터가 사용될 수 있다는 것을 주의한다. 상기 멀티-

타-게이트 구조로, 채널 형성 영역들이 직렬 접속되고, 따라서, 복수의 트랜지스터들이 직렬 접속된다. 따라서, 상기 멀티-게이트 구조로, 상기 오프-상태 전류량이 저감될 수 있고 상기 트랜지스터의 내압(신뢰성)이 향상될 수 있다. 대안적으로, 상기 멀티-게이트 구조를 갖는 트랜지스터는 상기 트랜지스터가 포화 영역에서 동작할 때 드레인-소스 전압이 변화하여도 드레인-소스 전류가 별로 변하지 않는 편평한 기울기의 전압-전류 특성들을 가질 수 있다. 상기 편평한 기울기의 상기 전압-전류 특성들을 활용함으로써, 이상적인 전류원 회로 또는 매우 높은 저항 값을 갖는 능동 부하가 획득될 수 있다. 결과적으로, 우수한 특성들을 갖는 차동 회로, 전류 미러 회로, 등이 제조될 수 있다.

[0024] 예를 들어, 게이트 전극들이 채널 위 또는 아래에 제공된 트랜지스터를 사용할 수 있다. 상기 채널 위 또는 아래에 상기 게이트 전극들이 제공된 상기 구조는 복수의 트랜지스터들이 병렬 접속된 회로 구조와 실질적으로 등가이다. 따라서, 상기 채널 영역의 면적이 증가하면, 상기 전류값이 증가될 수 있다. 대안적으로, 게이트 전극들이 상기 채널 위 또는 아래에 제공된 상기 구조를 채용함으로써, 공핍층이 형성되기 쉽고, 따라서, 서브스레스홀드 스윙(S 값)이 저감될 수 있다.

[0025] 예를 들어, 게이트 전극이 채널 위 또는 아래에 형성된 구조, 스테거 구조, 역 스테거 구조, 채널이 복수의 영역들로 분할된 구조, 채널들이 병렬 또는 직렬 접속된 구조, 등을 갖는 트랜지스터를 사용할 수 있다.

[0026] 예를 들어, 트랜지스터로서 LDD 영역이 제공된 구조를 갖는 트랜지스터가 사용될 수 있다는 것을 주의한다. 상기 LDD 영역을 제공함으로써, 상기 오프-상태 전류량이 감소될 수 있거나 상기 트랜지스터의 내압이 향상될 수 있다(신뢰성이 개선될 수 있다). 대안적으로, 상기 LDD 영역을 제공함으로써, 상기 트랜지스터가 상기 포화 영역에서 동작할 때 드레인-소스 전압이 변동하여도 드레인-소스 전류가 거의 변하지 않아, 편평한 기울기의 전압-전류 특성들이 획득될 수 있다.

[0027] 본 발명은 본 명세서의 도면들 및 문장들에 명시되지 않은 내용을 포함하지 않는 것으로 해석될 수 있다. 대안적으로, 값의 범위(예를 들어, 최대 및 최소 값들)가 설명될 때, 상기 범위는 자유롭게 축소되거나 상기 범위의 값이 배제될 수 있어서, 본 발명은 배제된 부분의 범위로 명시될 수 있다. 이러한 방식으로, 예를 들어, 종래 기술이 배제되도록 본 발명의 범위를 명시할 수 있다.

[0028] 구체적인 예로서, 제 1 내지 제 5 트랜지스터들을 포함하는 회로가 회로도에 도시되는 것을 가정하면, 본 발명은 제 6 트랜지스터를 포함하지 않는 상기 회로로 규정될 수 있다. 대안적으로, 본 발명은 용량소자를 포함하지 않는 상기 회로로 규정될 수 있다. 게다가, 본 발명은 상기 회로가 특정한 접속을 갖는 제 6 트랜지스터를 포함하지 않는 것을 명시함으로써 구성될 수 있다. 대안적으로, 본 발명은 상기 회로가 특정한 접속을 갖는 용량소자를 포함하지 않는 것을 명시함으로써 구성될 수 있다. 예를 들어, 본 발명은 상기 회로가 상기 제 3 트랜지스터의 게이트에 접속된 게이트를 갖는 제 6 트랜지스터를 포함하지 않는 것으로 명시함으로써 규정될 수 있다. 대안적으로, 예를 들어, 본 발명은 상기 회로가 상기 제 3 트랜지스터의 상기 게이트에 제 1 전극이 접속된 용량소자를 포함하지 않는 것으로 명시함으로써 규정될 수 있다.

[0029] 다른 구체적인 예로서, "전압은 3V 내지 10V의 범위가 바람직하다"라는 표현이 소정의 값을 설명하기 위해 사용될 때, 본 발명은 예를 들어, 상기 전압이 -2V 이상 1V 이하인 경우를 배제함으로써 규정될 수 있다. 대안적으로, 예를 들어, 본 발명은 상기 전압이 13V 이상인 경우를 배제함으로써 규정될 수 있다. 예를 들어, 본 발명에서 상기 전압이 5V 이상 8V 이하라고 명시될 수 있다는 것을 주의한다. 또한, 본 발명에서, 상기 전압은 약 9V 일 수 있고 또는 상기 전압이 3V 이상 9V 미만 및 9V 초과 10V 이하로 명시될 수 있다.

[0030] 다른 구체적인 예로서, "전압은 10V인 것이 바람직하다"라는 표현이 소정의 값을 설명하기 위해 사용될 때, 본 발명은 예를 들어, 상기 전압이 -2V 이상 1V 이하인 경우를 배제함으로써 규정될 수 있다. 대안적으로, 예를 들어, 본 발명은 상기 전압이 13V 이상인 경우를 배제함으로써 규정될 수 있다.

[0031] 다른 구체적인 예로서, "막은 절연막이다"라는 표현이 물질의 성질을 설명하기 위해 사용될 때, 본 발명은 상기 절연막이 유기 절연막인 경우를 배제함으로써 규정될 수 있다. 대안적으로, 예를 들어, 본 발명은 상기 절연막이 무기 절연막인 경우를 배제함으로써 규정될 수 있다.

[0032] 다른 구체적인 예로서, "막은 A와 B 사이에 제공된다"는 표현이 적층 구조를 설명하기 위해 사용될 때, 본 발명은 예를 들어, 상기 막이 4 이상의 층들의 적층인 경우를 배제함으로써 규정될 수 있다. 대안적으로, 예를 들어, 본 발명은 도전막이 A와 상기 막 사이에 제공된 경우를 배제함으로써 규정될 수 있다.

발명의 효과

[0033]

본 발명의 일 양태에서, 구동 트랜지스터의 상기 임계 전압에 따라 상기 구동 트랜지스터의 소스와 게이트 사이에 인가된 전압을 결정할 수 있다. 따라서, 트랜지스터들의 특성들의 변동들에 영향을 거의 받지 않는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 트랜지스터의 특성들의 열화에 영향을 거의 받지 않는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 구동 트랜지스터들의 임계 전압의 변동들로 인한 휘도의 변동들이 감소된 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 구동 트랜지스터들의 이동도의 변동들로 인한 휘도의 변동들이 감소된 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 노멀리 오프 트랜지스터를 사용할 때에도 정확하게 동작하는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 노멀리 오프 트랜지스터의 임계 전압을 획득할 수 있는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 고품질 화상들을 표시하는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 불균일성이 거의 없는 화상들을 표시하는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 적은 수의 트랜지스터들로 원하는 회로가 형성될 수 있는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 적은 수의 배선들로 원하는 회로가 형성될 수 있는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 발광 소자의 열화에 영향을 거의 받지 않는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다. 적은 수의 공정들로 제조될 수 있는 반도체 장치, 발광 장치, 또는 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[0034]

- 도 1은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 2는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 3은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 4는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 5는 타이밍 차트 및 반도체 장치의 동작을 각각 도시하는 도면.
- 도 6은 반도체 장치의 동작을 각각 도시하는 도면.
- 도 7은 반도체 장치의 동작을 각각 도시하는 도면.
- 도 8은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 9는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 10은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 11은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 12는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 13은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 14는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 15는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 16은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 17은 타이밍 차트 및 반도체 장치의 동작을 각각 도시하는 도면.
- 도 18은 반도체 장치의 동작을 각각 도시하는 도면.
- 도 19는 반도체 장치의 동작을 각각 도시하는 도면.
- 도 20은 타이밍 차트 및 반도체 장치의 동작을 도시하는 도면.
- 도 21은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 22는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 23은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 24는 반도체 장치의 구성을 각각 도시하는 도면.

- 도 25는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 26은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 27은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 28은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 29는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 30은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 31은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 32는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 33은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 34는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 35는 반도체 장치의 동작을 각각 도시하는 도면.
- 도 36은 반도체 장치의 동작을 도시하는 도면.
- 도 37은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 38은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 39는 반도체 장치의 구성을 도시하는 도면.
- 도 40은 반도체 장치의 구성을 도시하는 도면.
- 도 41은 반도체 장치의 구성을 도시하는 도면.
- 도 42는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 43은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 44는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 45는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 46은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 47은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 48은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 49는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 50은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 51은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 52는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 53은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 54는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 55는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 56은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 57은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 58은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 59는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 60은 반도체 장치의 구성을 각각 도시하는 도면.

- 도 61은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 62는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 63은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 64는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 65는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 66은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 67은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 68은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 69는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 70은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 71은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 72는 반도체 장치의 동작을 각각 도시하는 도면.
- 도 73은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 74는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 75는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 76은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 77은 반도체 장치의 구성을 도시하는 도면.
- 도 78은 반도체 장치의 구성을 도시하는 도면.
- 도 79는 반도체 장치의 구성을 도시하는 도면.
- 도 80은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 81은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 82는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 83은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 84는 반도체 장치의 구성을 각각 도시하는 도면.
- 도 85는 전자기기를 각각 도시하는 도면.
- 도 86은 반도체 장치의 구성을 도시하는 도면.
- 도 87은 반도체 장치의 구성을 각각 도시하는 도면.
- 도 88은 반도체 장치의 구성 및 타이밍 차트를 각각 도시하는 도면.
- 도 89는 계산 결과를 도시하는 도면.
- 도 90은 계산 결과를 도시하는 도면.
- 도 91은 전자기기를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0035] 본 발명의 실시형태들은 첨부된 도면들을 참조하여 이하에 더 상세히 설명될 것이다. 본 발명은 이하의 설명으로 제한되지 않고, 당업자는 본 발명의 정신 및 범위로부터 벗어나지 않고 다양한 변화들 및 수정들을 할 수 있다는 것을 용이하게 이해한다는 것을 주의한다. 따라서, 본 발명은 이하의 실시형태들의 기재로 제한되지 않는다. 이하에 주어진 구성에서, 동일한 부분들 또는 유사한 기능들을 갖는 부분들은 상이한 도면들에서 동일한 참

조 번호들로 표기되고, 그 설명은 반복되지 않는다.

- [0036] 일 실시형태(또는 일부 내용)에서 설명된 것은 상기 실시형태의 상이한 내용(또는 그 일부) 및/또는 다른 실시 형태 또는 다른 실시형태들에 설명된 내용(또는 그 일부)에 적용, 조합, 또는 치환될 수 있다는 것을 주의한다.
- [0037] 일 실시형태의 도면(또는 그 일부)에 도시된 구성은 상기 도면의 다른 부분의 구성, 상기 실시형태의 상이한 도면(또는 그 일부)에 도시된 구성, 및/또는 다른 실시형태 또는 다른 실시형태들의 도면(또는 그 일부)에 도시된 구성과 조합될 수 있다는 것을 주의한다.
- [0038] 도면들에서 사이즈, 두께, 및 영역들은 일부 경우들에서 명료화를 위해 과장된다는 것을 주의한다. 따라서, 본 발명의 상기 실시형태의 일 양태는 이러한 스케일들로 제한되지 않는다. 대안적으로, 도면들은 이상적인 예를 개략적으로 도시한다. 따라서, 본 발명의 상기 실시형태의 일 양태는 도면들에 도시된 형태들로 제한되지 않고 예를 들어, 제조 기술 또는 치수 편차로 인한 형상의 변동들을 포함할 수 있다.
- [0039] "X와 Y가 접속되었다"는 명시적인 기재는 X와 Y가 전기적으로 접속되는 경우, X와 Y가 기능적으로 접속되는 경우, 및 X와 Y가 직접 접속되는 경우를 나타낸다는 것을 주의한다. 여기서, X 및 Y는 각각 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 표시 소자, 발광 소자, 또는 부하)을 나타낸다. 따라서, 예를 들어, 도면들 및 문장들에 도시된 접속 관계인 미리 결정된 접속 관계로 제한되지 않고, 도면들 및 문장들에 도시되지 않은 접속 관계가 또한 포함된다.
- [0040] 예를 들어, X와 Y가 전기적으로 접속되는 경우, X와 Y 사이의 전기 접속을 가능하게 하는 하나 이상의 소자들(예를 들어, 스위치, 트랜지스터, 용량소자, 인덕터, 저항소자, 다이오드, 표시 소자, 발광 소자, 또는 부하)이 X와 Y 사이에 접속될 수 있다. 스위치는 온 또는 오프되도록 제어된다. 즉, 스위치는 이를 통해 전류가 흐르는지 여부를 결정하기 위해 도통 또는 비도통(턴 온 또는 턴 오프)된다. 대안적으로, 상기 스위치는 전류 경로를 선택 및 변경하는 기능을 갖는다.
- [0041] 예를 들어, X와 Y가 기능적으로 접속되는 경우, X와 Y 사이의 기능적 접속을 가능하게 하는 하나 이상의 회로들(예를 들어, 인버터, NAND 회로, 또는 NOR 회로와 같은 논리 회로, DA 변환 회로, AD 변환 회로, 또는 감마 보정 회로와 같은 신호 변환 회로, 전원 공급 회로(예를 들어, DC-DC 변환기, 승압 DC-DC 변환기, 또는 강압 DC-DC 변환기) 또는 신호의 전위 레벨을 변경하기 위한 레벨 시프터 회로와 같은 전위 레벨 변환 회로, 전압원, 전류원, 스위칭 회로, 신호 크기, 전류량, 등을 증가시킬 수 있는 회로, op-앰프, 차동 증폭 회로, 소스 폴로워 회로, 또는 버퍼 회로와 같은 증폭 회로, 신호 생성 회로, 메모리 회로, 및/또는 제어 회로)이 X와 Y 사이에 접속될 수 있다. X로부터의 신호 출력이 Y로 송신될 때, X와 Y 사이에 다른 회로가 제공되더라도 X와 Y 사이는 기능적으로 접속되었다고 할 수 있다.
- [0042] "X와 Y가 접속되었다"는 명시적인 기재는 X와 Y가 전기적으로 접속되고, X와 Y가 기능적으로 접속되고, X와 Y가 직접 접속되는 것을 의미한다는 것을 주의한다. 즉, "X와 Y가 전기적으로 접속되었다"는 명시적인 기재는 "X와 Y가 접속되었다"는 명시적이고 간단한 표현과 같다.
- [0043] 회로도에서 독립적인 구성요소들이 서로 전기적으로 접속될 때에도, 일부 경우들에서 하나의 구성요소는 복수의 구성요소들의 기능들을 갖는다. 예를 들어, 배선의 일부가 또한 전극으로서 기능할 때, 한 도전막이 상기 배선 및 상기 전극으로서 기능한다. 따라서, 본 명세서에서 "전기적으로 접속"은 한 도전막이 복수의 구성요소들의 기능들을 갖는 경우를 그 범주에 포함한다.
- [0044] 능동 소자(예를 들어, 트랜지스터 또는 다이오드), 수동 소자(예를 들어, 용량소자 또는 저항소자), 등의 모든 단자들이 접속된 부분들이 명시되지 않더라도 당업자는 본 발명의 일 양태를 구성할 수 있다는 것을 주의한다. 즉, 이러한 부분들이 명시되지 않더라도, 일부 경우들에서 본 발명의 일 양태가 명확해지고 본 발명의 일 양태가 본 명세서 등에 개시되었다고 결정될 수 있다. 특히, 단자가 접속되는 부분들의 수가 복수인 경우, 상기 단자가 접속된 부분들을 명시할 필요는 없다. 따라서, 능동 소자(예를 들어, 트랜지스터 또는 다이오드), 수동 소자(예를 들어, 용량소자 또는 저항소자), 등의 일부 단자들만이 접속된 부분들을 명시함으로써 본 발명의 일 양태를 구성할 수 있다.
- [0045] 적어도 회로가 접속되는 곳("접속점")이 특정될 때 당업자는 본 발명을 특정할 수 있다는 것을 주의한다. 대안적으로, 적어도 회로의 기능이 특정될 때 당업자는 본 발명을 특정할 수 있다. 즉, 회로의 기능이 특정될 때, 일부 경우들에서 본 발명의 일 양태가 명확해지고 본 발명의 일 양태가 본 명세서 등에 개시된다고 결정될 수 있다. 따라서, 회로의 접속점이 특정될 때, 기능이 특정되지 않아도 상기 회로는 본 발명의 일 양태로서 개시되고, 본 발명의 일 양태가 구성될 수 있다. 대안적으로, 회로의 기능이 특정될 때, 접속점이 특정되지 않아도 상

기 회로는 본 발명의 일 양태로서 개시되고, 본 발명의 일 양태가 구성될 수 있다.

- [0046] 본 발명의 상기 실시형태의 일 양태는 다양한 사람들이 실시할 수 있다는 것을 주의한다. 그러나, 상이한 사람들이 본 발명의 실시예에 수반될 수 있다. 예를 들어, 송신/수신 시스템의 경우, 다음의 경우가 가능하다: A사는 송신 장치들을 제조 및 판매하고, B사는 수신 장치들을 제조 및 판매한다. 다른 예로서, TFT 및 발광 소자를 포함하는 발광 장치의 경우, 다음의 경우가 가능하다: A사는 TFT들을 포함하는 반도체 장치들을 제조 및 판매하고, B사는 상기 반도체 장치들을 구매하고, 발광 소자들을 상기 반도체 장치들에 제공하고 발광 장치들을 완성한다.
- [0047] 이런 경우, A사 및 B사 각각에 대해 특허 침해 소송을 제기할 수 있는 본 발명의 일 양태를 구성할 수 있다. 즉, 특허 침해 소송이 A사 또는 B사에 대해 제기될 수 있는 본 발명의 일 양태가 명확해지고 본 명세서 등에 개시되는 것으로 간주될 수 있다. 예를 들어, 송신/수신 시스템의 경우, 본 발명의 일 양태는 송신 장치만으로 구성될 수 있고, 본 발명의 일 양태는 수신 장치만으로 구성될 수 있다. 본 발명의 실시형태들은 명확해지고 본 명세서 등에 개시되는 것으로 간주될 수 있다. 다른 예로서, TFT 및 발광 소자를 포함하는 발광 장치의 경우, 본 발명의 일 양태는 TFT를 포함하는 반도체 장치만으로 구성될 수 있고, 본 발명의 일 양태는 TFT 및 발광 소자를 포함하는 발광 장치만으로 구성될 수 있다. 본 발명의 실시형태들은 명확해지고 본 명세서 등에 개시되는 것으로 간주될 수 있다.
- [0048] (실시형태 1)
- [0049] 본 발명의 일 양태는 발광 소자를 포함하는 화소뿐만 아니라 다양한 회로들로 사용될 수 있다. 예를 들어, 아날로그 회로 또는 전류원으로서 기능하는 회로로 사용될 수 있다. 먼저, 본 실시형태에서, 본 발명에 개시된 회로의 기본 원리의 예들이 설명된다.
- [0050] 본 발명의 일 양태에 따른 반도체 장치는 적어도, 예를 들어, 트랜지스터 및 게이트의 전위가 고정된 동안 상기 트랜지스터의 게이트와 소스 사이에 유지된 전하를 방출하는 기능을 갖는 소자를 포함한다. 이 소자를 갖는, 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 트랜지스터의 임계 전압, 이동도, 등으로 인한 드레인 전류의 변동을 보정할 수 있다.
- [0051] 도 1의 (A)의 회로(100)는 본 발명의 일 양태에 따른 반도체 장치이다. 상기 회로(100)는 스위치(11), 스위치(12), 스위치(13), 트랜지스터(101), 용량소자(102), 및 용량소자(103)를 포함한다. 도 1의 (A)는 상기 트랜지스터(101)가 n-채널 트랜지스터인 경우를 도시한다는 것을 주의한다.
- [0052] 구체적으로, 도 1의 (A)에서, 상기 스위치(11)는 배선(21)과 상기 용량소자(102 또는 103)의 한 전극(단자) 사이의 도통을 제어하는 기능을 갖는다. 상기 스위치(12)는 배선(22)과 상기 용량소자(102)의 다른 전극(단자) 사이 및 상기 배선(22)과 상기 트랜지스터(101)의 게이트 사이의 도통을 제어하는 기능을 갖는다. 상기 스위치(13)는 상기 트랜지스터(101)의 소스 및 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극(단자)과 상기 용량소자(102 또는 103)의 상기 한 전극 사이의 도통을 제어하는 기능을 갖는다. 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 다른 하나는 배선(23)에 접속된다. 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극(단자)은 배선(24)에 접속된다.
- [0053] 상기 용어들 트랜지스터의 "소스"(소스 단자, 소스 영역, 또는 소스 전극) 및 "드레인"(드레인 단자, 드레인 영역, 또는 드레인 전극)은 상기 트랜지스터의 극성 또는 상기 소스 및 상기 드레인에 인가된 전위 레벨에 따라 서로 교환가능하다는 것을 주의한다. 일반적으로, n-채널 트랜지스터의 소스 및 드레인에 대해, 더 낮은 전위가 인가된 것을 소스라고 하고, 더 높은 전위가 인가된 것을 드레인이라고 한다. 게다가, p-채널 트랜지스터의 소스 및 드레인에 대해, 더 낮은 전위가 인가된 것을 드레인이라고 하고, 더 높은 전위가 인가된 것을 소스라고 한다. 본 명세서에서, 일부 경우들에서 상기 소스 및 상기 드레인이 편의를 위해 고정된 것을 가정하여 상기 트랜지스터의 접속 관계가 설명되지만, 실제로, 상기 소스 및 상기 드레인의 명칭은 전위들의 관계에 따라 서로 교환가능하다. 따라서, 일부 경우들에서 소스로 기능하는 부분 또는 드레인으로서 기능하는 부분이 소스 또는 드레인으로 참조되지 않는다. 그 경우, 예를 들어, 상기 소스 및 상기 드레인 중 하나는 제 1 단자, 제 1 전극, 또는 제 1 영역으로 참조되고, 상기 소스 및 상기 드레인 중 다른 하나는 제 2 단자, 제 2 전극, 또는 제 2 영역으로 참조될 수 있다.
- [0054] 스위치는 단자들 사이의 도통 및 비도통을 스위칭함으로써 동작하는 기능 및 이들 사이에 전류가 흐르는지 여부를 결정하는 기능을 갖는 소자라는 것을 주의한다. 대안적으로, 상기 스위치는 전류 경로를 선택 및 변경하는 기능을 갖는다. 예를 들어, 상기 스위치는 전류가 경로 1 또는 경로 2를 통해 흐를 수 있는지 여부를 결정하고

상기 경로들을 스위칭하는 기능을 갖는다. 예를 들어, 전기적 스위치 또는 기계적 스위치가 상기 스위치로 사용될 수 있다. 구체적으로, 상기 스위치는 트랜지스터, 다이오드, 또는 DMD(digital micromirror device)와 같이 MEMS(micro electro mechanical systems) 기술에 의해 형성된 스위치를 사용하여 형성될 수 있다. 대안적으로, 상기 스위치는 트랜지스터들이 조합된 논리 회로일 수 있다. 상기 스위치로서 트랜지스터를 채용하는 경우, 상기 트랜지스터의 극성(도전형)에는 특별한 제한이 없다. 오프-상태 전류가 작은 트랜지스터가 사용되는 것이 바람직하고 상기 트랜지스터의 극성은 입력 전위에 따라 선택되는 것이 바람직하다는 것을 주의한다.

[0055] 오프-상태 전류가 작은 상기 트랜지스터의 예들은 LDD 영역이 제공된 트랜지스터, 멀티-게이트 구조를 갖는 트랜지스터, 및 채널 형성 영역이 산화물 반도체를 포함하는 트랜지스터이다. 트랜지스터들의 조합이 스위치로 동작하는 경우, n-채널 트랜지스터 및 p-채널 트랜지스터 모두를 사용함으로써 상보형 스위치가 채용될 수 있다. 상보형 스위치는 상기 스위치에 입력된 전위가 출력 전위에 상대적으로 변할 때에도 적절한 동작을 달성한다.

[0056] 스위치로서 트랜지스터가 사용될 때, 상기 스위치가 입력 단자(소스 및 드레인 중 하나), 출력 단자(상기 소스 및 상기 드레인 중 다른 하나), 및 도통을 제어하기 위한 단자(게이트)를 포함하는 경우가 있다는 것을 주의한다. 한편, 스위치로서 다이오드가 사용될 때, 상기 스위치가 도통을 제어하기 위한 단자를 갖지 않는 경우가 있다. 따라서, 스위치로서 다이오드가 사용될 때, 단자들을 제어하기 위한 배선들의 수가 트랜지스터가 사용되는 경우에 비해 감소될 수 있다.

[0057] 예를 들어, 트랜지스터로서 채널 형성 영역의 위 및 아래에 게이트들이 제공되는 구조의 트랜지스터가 사용될 수 있다는 것을 주의한다. 상기 게이트들을 반도체막의 위 및 아래에 제공함으로써, 복수의 트랜지스터들이 병렬 접속된 회로 구성이 제공된다. 따라서, 채널 형성 영역이 증가하여, 상기 전류량이 증가될 수 있다. 상기 게이트들이 상기 채널 형성 영역의 위 및 아래에 제공된 상기 구성을 채용함으로써, 공핍층이 용이하게 형성되고, 따라서, 서브스레스홀드 스윙(S 값)이 향상될 수 있다.

[0058] 예를 들어, 트랜지스터로서 소스 전극 또는 드레인 전극이 채널 형성 영역(또는 그 일부)과 중첩하는 구조를 갖는 트랜지스터가 사용될 수 있다는 것을 주의한다. 상기 소스 전극 또는 상기 드레인 전극이 상기 채널 형성 영역(또는 그 일부)과 중첩하는 구조를 채용함으로써, 상기 채널 형성 영역의 일부에 축적된 전하로 인한 불안정한 동작이 방지될 수 있다.

[0059] 상기 용량소자(102 또는 103)는 예를 들어, 절연막 또는 유기막이 배선들, 반도체층들, 전극들, 등, 사이에 개재된 구조를 가질 수 있다는 것을 주의한다.

[0060] 도 1의 (A)의 상기 회로(100)는 도 1의 (B)에 도시된 바와 같은 부하(104)를 포함할 수 있다는 것을 주의한다. 도 1의 (B)의 상기 회로(100)에서, 상기 부하(104)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극과 상기 배선(24) 사이에 접속된다.

[0061] 본 명세서에서, 부하는 정류성을 갖는 것, 용량성을 갖는 것, 저항성을 갖는 것, 스위치를 포함하는 회로, 전류원 회로, 등을 의미한다는 것을 주의한다. 예를 들어, 정류성을 갖는 부하는 인가된 바이어스의 방향에 따라 상이한 저항값들을 나타내는 전류-전압 특성들을 갖고, 대부분의 전류가 일 방향으로만 흐르도록 하는 전기 특성을 갖는다. 구체적으로, 상기 부하(104)는 표시 소자(예를 들어, 액정 소자 및 EL 소자), 발광 소자(EL(electroluminescence) 소자, 예를 들어, 유기 및 무기 재료들을 함유하는 EL 소자, 유기 EL 소자, 또는 무기 EL 소자), 및 LED(예를 들어, 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED), 트랜지스터(전류량에 따라 발광하는 트랜지스터), 전자 이미터, 표시 소자 또는 발광 소자의 일부(예를 들어, 화소 전극, 애노드, 및 캐소드), 등일 수 있다.

[0062] 도 1의 (C)는 상기 부하(104)로서 발광 소자(104a)를 사용하는 회로(100)의 구성을 도시한다. 도 1의 (C)는 상기 발광 소자(104a)의 애노드가 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극에 접속되고, 상기 발광 소자(104a)의 캐소드가 상기 배선(24)에 접속된 경우를 도시한다.

[0063] 도 1의 (D)는 상기 부하(104)로서 발광 소자(104b)를 사용하는 회로(100)의 구성을 도시한다. 도 1의 (D)는 상기 발광 소자(104b)의 캐소드가 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극에 접속되고, 상기 발광 소자(104b)의 애노드가 상기 배선(24)에 접속된 경우를 도시한다. 도 1의 (D)는 상기 트랜지스터(101)가 p-채널 트랜지스터인 경우를 도시한다는 것을 주의한다.

[0064] 본 발명의 일 양태에 따른 반도체 장치는 예를 들어, 도 1의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.

- [0065] 도 2의 (A) 내지 (D)에 도시된 반도체 장치들은 상기 도 1의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(201), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(202), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(203), 및 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(204)를 포함한다.
- [0066] 구체적으로, 상기 회로(201)는 상기 배선(21)에 전위(Vi1) 또는 전위(Vsig)를 공급하는 기능을 갖는다. 상기 회로(201)의 일예는 소스 드라이버(신호선 구동 회로)이다. 따라서, 상기 배선(21)은 상기 전위(Vi1) 및/또는 상기 전위(Vsig)를 전달 또는 공급하는 기능을 갖는다. 상기 배선(21)은 영상 신호선으로서 기능한다. 대안적으로, 상기 배선(21)은 초기화 배선으로서 기능한다.
- [0067] 상기 전위(Vi1)는 예를 들어, 상기 회로(100)의 각 노드의 전위를 초기화하기 위한 전위이다. 대안적으로, 상기 전위(Vi1)는 예를 들어, 상기 용량소자(102)에 전하를 공급하기 위한 전위이다. 대안적으로, 상기 전위(Vi1)는 예를 들어, 상기 트랜지스터(101)를 턴 온하기 위한 전위이다. 상기 전위(Vi1)는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 전위(Vi1)는 펄스 신호와 같이 변동할 수 있다.
- [0068] 예로서, 상기 전위(Vsig)가 상기 회로(100)에 공급되기 전에 상기 전위(Vi1)가 상기 회로(100)에 공급된다는 것을 주의한다.
- [0069] 상기 전위(Vsig)는 상기 트랜지스터(101)의 상기 드레인 전류량을 제어하기 위한 전위이다. 도 2의 (B)에 도시된 상기 반도체 장치의 경우, 상기 드레인 전류는 상기 부하(104)에 공급된다. 도 2의 (C)에 도시된 상기 반도체 장치의 경우, 상기 드레인 전류는 상기 발광 소자(104a)에 공급된다. 도 2의 (D)에 도시된 상기 반도체 장치의 경우, 상기 드레인 전류는 상기 발광 소자(104b)에 공급된다. 예를 들어, 상기 트랜지스터(101)의 상기 드레인 전류가 일정한 값으로 유지될 때, 상기 전위(Vsig)의 레벨은 일정하게 설정된다. 반대로, 예를 들어, 상기 트랜지스터(101)의 상기 드레인 전류가 일정한 값으로 설정되지 않을 때, 상기 전위(Vsig)의 레벨은 시간에 따라 변한다. 예로서, 상기 전위(Vsig)는 영상 신호 및/또는 아날로그 신호이다. 그러나, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않고, 상기 전위(Vsig)는 일정한 전위일 수 있다.
- [0070] 상기 회로(202)는 상기 배선(22)에 전위(Vi2)를 공급하는 기능을 갖는다. 상기 회로(202)의 일예는 전원 공급 회로이다. 따라서, 상기 배선(22)은 상기 전위(Vi2)를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(22)은 초기화 배선으로서 기능한다. 상기 배선(22)의 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(22)의 전위는 펄스 신호와 같이 변동할 수 있다.
- [0071] 상기 전위(Vi2)는 상기 회로(100)의 각각의 노드(특히 상기 트랜지스터(101)의 상기 게이트)의 전위를 초기화하기 위한 전위이다. 도 2의 (C)의 경우, 상기 전위(Vi2)는 상기 배선(24)의 전위 이하인 것이 바람직하다. 따라서, 상기 발광 소자(104a)로 흐르는 전류는 감소될 수 있다. 도 2의 (D)의 경우, 상기 전위(Vi2)는 상기 배선(24)의 전위 이상인 것이 바람직하다. 따라서, 상기 발광 소자(104b)로 흐르는 전류가 감소될 수 있다. 그러나, 상기 전위(Vi2)의 전위는 이로 제한되지 않는다. 상기 전위(Vi2)는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 전위(Vi2)는 펄스 신호와 같이 변동할 수 있다.
- [0072] 상기 배선(22)은 다른 배선 또는 다른 회로(100)에 포함된 배선에 접속될 수 있다는 것을 주의한다. 따라서, 배선들의 수가 감소될 수 있다.
- [0073] 상기 회로(203)는 상기 배선(23)에 전원 전위(고전원 전위 또는 저전원 전위), 예를 들어, 전위(VDD) 또는 전위(VSS)를 공급하는 기능을 갖는다. 대안적으로, 상기 회로(203)는 상기 배선(23)에 신호를 공급하는 기능을 갖는다. 상기 회로(203)의 예들은 전원 공급 회로, 펄스 출력 회로, 및 게이트 구동 회로이다. 따라서, 상기 배선(23)은 전원 전위 또는 신호를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(23)은 상기 트랜지스터(101)에 전류를 공급하는 기능을 갖는다. 대안적으로, 상기 배선(23)은 상기 부하(104)에 전류를 공급하는 기능을 갖는다. 상기 배선(23)은 전원 공급선으로서 기능한다. 대안적으로, 상기 배선(23)은 전류 공급선으로서 기능한다. 상기 배선(23)의 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(23)의 전위는 펄스 신호와 같이 변동할 수 있다. 예를 들어, 상기 배선(23)의 전위는 상기 부하(104)에 순방향 바이어스 전압뿐만 아니라 역방향 바이어스 전압이 인가되는 전위일 수 있다.

- [0074] 상기 회로(204)는 상기 배선(24)에 예를 들어, 전원 전위(저전원 전위 또는 고전원 전위), 예를 들어, 전위(Vcat)를 공급하는 기능을 갖는다. 상기 회로(204)의 일예는 전원 공급 회로이다. 따라서, 상기 배선(24)은 전원 전위를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(24)은 상기 부하(104)에 전류를 공급하는 기능을 갖는다. 대안적으로, 상기 배선(24)은 상기 트랜지스터(101)에 전류를 공급하는 기능을 갖는다. 상기 배선(24)은 공통선으로서 기능한다. 대안적으로, 상기 배선(24)은 음극 배선으로서 기능한다. 대안적으로, 상기 배선(24)은 양극 배선으로서 기능한다. 상기 배선(24)의 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(24)의 전위는 펄스 신호와 같이 변동할 수 있다. 예를 들어, 상기 배선(24)의 전위는 상기 부하(104)에 순방향 바이어스 전압뿐만 아니라 역방향 바이어스 전압이 인가되는 전위일 수 있다.
- [0075] 상기 전위(VDD)와 상기 전위(Vcat) 사이의 차이는 상기 트랜지스터(101)의 상기 드레인 전류의 방향을 결정한다. 예를 들어, 상기 전위(VDD)가 상기 전위(Vcat)보다 높을 때, 전류는 상기 배선(23)으로부터 상기 배선(24)으로 흐른다. 상기 배선(23)의 전위가 상기 전위(VSS)와 같고 상기 전위(Vcat)보다 낮을 때, 전류는 상기 배선(24)으로부터 상기 배선(23)으로 흐른다.
- [0076] 도 2의 (A) 내지 (D)에서, 일예로서 상기 반도체 장치들이 상기 회로(100)에 더하여, 상기 회로들(201, 202, 203, 및 204)을 각각 포함한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들(201, 202, 203, 및 204)을 모두 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할 수 있다.
- [0077] 상기 트랜지스터(101)는 예를 들어, 적어도 전류원으로서 기능한다. 따라서, 예를 들어, 상기 트랜지스터(101)는 상기 트랜지스터(101)의 양단(상기 소스와 상기 드레인 사이)에 걸쳐 인가된 전압의 레벨이 변할 때에도 실질적으로 일정한 전류를 공급하는 기능을 갖는다. 대안적으로, 예를 들어, 상기 트랜지스터(101)는 상기 부하(104)의 전위가 변할 때에도 상기 부하(104)에 실질적으로 일정한 전류를 공급하는 기능을 갖는다. 대안적으로, 예를 들어, 상기 트랜지스터(101)는 상기 배선(23)의 전위가 변할 때에도 실질적으로 일정한 전류를 공급하는 기능을 갖는다.
- [0078] 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않고, 상기 트랜지스터(101)가 전류원으로서 기능할 필요는 없다는 것을 주의한다. 예를 들어, 상기 트랜지스터(101)는 스위치로서 기능할 수 있다.
- [0079] 전류원과 다른 전원으로서 전압원이 있다는 것을 주의한다. 상기 전압원은 상기 전압원에 접속된 회로를 통해 흐르는 전류가 변화되더라도 일정한 전압을 공급하는 기능을 갖는다. 따라서, 상기 전압원 및 상기 전류원은 각각 전압 및 전류를 공급하는 기능을 갖는다. 그러나, 상기 전압원의 상기 기능 및 상기 전류원의 상기 기능은 하나의 인자가 변화되더라도 일정한 레벨로 공급된다는 것이 다르다. 상기 전류원은 양단에 걸리는 전압이 변화되더라도 일정한 전류를 공급하는 기능을 갖는다. 상기 전압원은 전류가 변화되더라도 일정한 전압을 공급하는 기능을 갖는다.
- [0080] 도 1의 (A) 내지 (D) 등은 각각 회로 구성예를 도시하고, 따라서, 트랜지스터가 추가적으로 제공될 수 있다는 것을 주의한다. 반대로, 도 1의 (A) 내지 (D) 등의 각 노드에 대해, 추가적인 트랜지스터, 스위치, 수동 소자, 등을 제공하지 않는 것도 가능하다. 예를 들어, 스위치들의 단자들이 서로 접속된 노드, 트랜지스터의 단자들이 서로 접속된 노드, 및/또는 부하의 단자들이 서로 접속된 노드에 직접 접속된 추가적인 트랜지스터를 제공하지 않는 것도 가능하다. 따라서, 예를 들어, 상기 부하(104), 상기 트랜지스터(101), 상기 용량소자(103), 및 상기 스위치(13)가 서로 접속된 노드에 상기 트랜지스터(101)만을 직접 접속하는 것도 가능하고, 상기 노드에 다른 트랜지스터를 직접 접속하지 않는 것도 가능하다.
- [0081] 따라서, 추가적인 트랜지스터가 제공되지 않는 경우 적은 수의 트랜지스터들로 회로가 형성될 수 있다.
- [0082] 도 1의 (A) 내지 (D) 및 도 2의 (A) 내지 (D)의 상기 회로들(100)에서, 상기 스위치(11), 상기 스위치(12), 및 상기 스위치(13)는 트랜지스터들일 수 있다는 것을 주의한다.
- [0083] 도 3의 (A) 내지 (D)는 상기 스위치(11)로서 트랜지스터(11t), 상기 스위치(12)로서 트랜지스터(12t), 및 상기 스위치(13)로서 트랜지스터(13t)를 각각 사용하는 도 1의 (A) 내지 (D)의 상기 회로들(100)에 대응하는 회로들(100)의 구성을 도시한다. 도 3의 (A) 내지 (C)는 상기 트랜지스터(11t), 상기 트랜지스터(12t), 및 상기 트랜지스터(13t)가 모두 n-채널 트랜지스터들인 경우를 도시한다. 도 3의 (D)는 상기 트랜지스터(11t), 상기 트랜지스터(12t), 및 상기 트랜지스터(13t)가 모두 p-채널 트랜지스터들인 경우를 도시한다. 상기 트랜지스터(11t), 상기 트랜지스터(12t), 및 상기 트랜지스터(13t)가 동일한 극성을 가질 때, 이들 트랜지스터들은 적은 수의 공정들로 제조될 수 있다. 그러나, 본 발명의 실시형태의 일 양태는 이로 제한되지 않고, 이들 트랜지스터들은 상

이한 극성들을 가질 수 있다.

- [0084] 도 3의 (A) 내지 (D)에서, 상기 트랜지스터(11t)의 게이트는 배선(31)에 접속된다는 것을 주의한다. 상기 트랜지스터(11t)는 상기 배선(31)에 공급된 전위에 응답하여 턴 온 또는 턴 오프된다. 상기 트랜지스터(12t)의 게이트는 배선(32)에 접속된다. 상기 트랜지스터(12t)는 상기 배선(32)에 공급된 전위에 응답하여 턴 온 또는 턴 오프된다. 상기 트랜지스터(13t)의 게이트는 배선(33)에 접속된다. 상기 트랜지스터(13t)는 상기 배선(33)에 공급된 전위에 응답하여 턴 온 또는 턴 오프된다. 따라서, 상기 배선들(31 내지 33)의 전위들은 펄스형 전위들이고 일정하지 않은 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다. 대안적으로, 상기 배선들(31 내지 33)은 각각 게이트 신호선(게이트선), 선택 신호선, 또는 주사선으로서 기능한다.
- [0085] 배선들(31 내지 33) 중 적어도 2개는 서로 접속될 수 있다는 것을 주의한다. 대안적으로, 이들 배선들(31 내지 33) 중 적어도 하나는 다른 회로(100)의 상기 배선들(31 내지 33) 중 적어도 하나에 접속될 수 있다.
- [0086] 본 발명의 일 양태에 따른 반도체 장치는 예를 들어, 도 3의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라 일정한 전압 또는 신호를 상기 회로(100)에 공급하는 임의의 회로를 포함할 수 있다.
- [0087] 도 4의 (A) 내지 (D)에 도시된 반도체 장치들은 도 3의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(31)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(205), 상기 배선(32)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(206), 및 상기 배선(33)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(207)를 포함한다. 상기 회로들(205, 206, 및 207)의 예들은 게이트 드라이버들(주사선 구동 회로들)을 포함한다.
- [0088] 상기 회로들(201, 202, 203, 204, 205, 206, 및 207)은 동일한 회로 또는 상이한 회로들일 수 있다는 것을 주의한다.
- [0089] 도 4의 (A) 내지 (D)에서, 상기 반도체 장치들은 예로서 상기 회로(100)에 부가하여, 상기 회로들(205, 206, 및 207)을 각각 포함한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들(205, 206, 및 207)을 모두 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할 수 있다.
- [0090] 도 37의 (A)는 상기 트랜지스터들(101, 11t, 및 13t)이 n-채널 트랜지스터들이고 상기 트랜지스터(12t)가 p-채널 트랜지스터인 도 3의 (C)의 상기 회로(100)에 대응하는 회로(100)의 구성을 도시한다. 도 37의 (B)는 상기 트랜지스터들(101, 11t, 및 13t)이 p-채널 트랜지스터들이고 상기 트랜지스터(12t)가 n-채널 트랜지스터인 도 3의 (D)의 상기 회로(100)에 대응하는 회로(100)의 구성을 도시한다. 상기된 바와 같이, 다양한 극성들의 트랜지스터들이 사용될 수 있다.
- [0091] 본 발명의 일 양태에 따른 반도체 장치는 도 37의 (A) 및 (B)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.
- [0092] 도 37의 (C) 및 (D)에 도시된 반도체 장치들은 도 37의 (A) 및 (B)의 상기 회로들(100)에 더하여, 상기 배선(31)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(205), 상기 배선(32)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(206), 및 상기 배선(33)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(207)를 포함한다.
- [0093] 도 37의 (C) 및 (D)에서, 상기 반도체 장치들은 예로서 상기 회로(100)에 부가하여, 상기 회로들(205, 206, 및 207)을 각각 포함한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들(205, 206, 및 207)을 모두 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할 수 있다.
- [0094] 많은 경우들에서, 상기 트랜지스터(101)는 전류가 흐를 때 포화 영역에서 동작한다. 따라서, 도 3의 (A) 내지 (D), 도 4의 (A) 내지 (D), 및 도 37의 (A) 내지 (D)에서, 상기 트랜지스터(101)는 상기 트랜지스터(11t), 상기 트랜지스터(12t), 및/또는 상기 트랜지스터(13t)보다 더 긴 채널 길이 또는 게이트 길이를 갖는 것이 바람직하다. 상기 채널 길이 또는 상기 게이트 길이가 증가될 때, 포화 영역의 특성들은 편평한 기울기를 갖고, 따라서, 킥 효과(kink effect)가 저감될 수 있다. 상기 트랜지스터(101)의 상기 채널 길이 또는 게이트 길이는 상기 트랜지스터(11t), 상기 트랜지스터(12t), 및/또는 상기 트랜지스터(13t)의 5배 이상인 것이 바람직하고, 10배 이상인 것이 더 바람직하다. 예로서, 상기 트랜지스터(101)의 상기 채널 길이 또는 게이트 길이는 10 μ m 이상이 바람직하고, 20 μ m 이상이 더 바람직하다. 대안적으로, 상기 트랜지스터(101)의 상기 채널 폭 또는 게이트 폭은 상기 트랜지스터(11t), 상기 트랜지스터(12t), 및/또는 상기 트랜지스터(13t)보다 큰 것이 바람직하며, 포화 영역에서도 상기 트랜지스터(101)를 통해 많은 전류가 흐른다. 상기 트랜지스터(101)의 상기 채널 폭 또는 상기

게이트 폭은 상기 트랜지스터(11t), 상기 트랜지스터(12t), 및/또는 상기 트랜지스터(13t)의 5배 이상인 것이 바람직하고, 10배 이상인 것이 더 바람직하다. 상기 트랜지스터(101)의 상기 채널 폭 또는 상기 게이트 폭은 20 μm 이상이 바람직하고, 30 μm 이상이 더 바람직하다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0095] 다음에 도 1의 (C)에 도시된 상기 회로(100)를 예로서 상기 본 발명의 일 양태에 따른 반도체 장치의 동작을 설명한다.

[0096] 도 1의 (C)에 도시된 상기 회로(100)의 동작은 주로 제 1 동작, 제 2 동작, 제 3 동작, 제 4 동작, 및 제 5 동작으로 분류된다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않고, 다른 동작이 추가되거나 상기 동작의 일부가 생략될 수 있다는 것을 주의한다.

[0097] 도 5의 (A)는 도 1의 (C)에 도시된 상기 회로(100)의 상기 스위치(11), 상기 스위치(12), 및 상기 스위치(13)의 상기 동작들, 상기 배선(21)의 상기 전위, 및 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})을 도시하는 타이밍 차트의 일예이다.

[0098] 먼저, 기간(T11)에서 제 1 동작이 설명된다. 도 5의 (A)에 도시된 바와 같이, 상기 기간(T11)에서, 상기 스위치(11), 상기 스위치(12), 및 상기 스위치(13)는 온이다. 게다가, 상기 배선(21)에 전위(V_{i1})가 공급된다. 따라서, 도 5의 (B)에 도시된 바와 같이, 상기 기간(T11)에서, 상기 전압($V_{i2}-V_{i1}$)이 상기 용량소자(102)에 인가되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(V_{i1})가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 전압($V_{i2}-V_{i1}$)이 된다. 즉, 상기 트랜지스터(101) 및 상기 용량소자(102)가 초기화된다.

[0099] 도 1의 (C)의 상기 회로(100)에서, 상기 전위(V_{i2})는 상기 전위(V_{i1}) 및 상기 트랜지스터(101)의 상기 임계 전압(V_{th})의 합보다 큰 것이 바람직하다는 것을 주의한다. 즉, 상기 전위(V_{i2}) 및 상기 전위(V_{i1})는 상기 트랜지스터(101)가 턴 온되는 전위들인 것이 바람직하다. 또한, 상기 전위(V_{i1}) 및 상기 발광 소자(104a)의 임계 전압(V_{the})(상기 발광 소자(104a)가 발광하기 시작하는 전압)의 합은 상기 전위(V_{cat})보다 낮은 것이 바람직하다. 예를 들어, 상기 전위(V_{i1})는 상기 전위(V_{cat}) 이하인 것이 바람직하다. 상기 전위(V_{i1})가 상기 전위(V_{cat})보다 낮을 때, 상기 발광 소자(104a)는 역-바이어스되어, 상기 발광 소자(104a)의 열화가 저감될 수 있거나 쇼트된 회로부가 수리될 수 있다. 게다가, 상기 전위(V_{i2})로부터 상기 발광 소자(104a)의 상기 임계 전압(V_{the})을 감산함으로써 획득된 값은 상기 전위(V_{cat})보다 낮은 것이 바람직하다. 예로서, 상기 임계 전압(V_{the})은 이하 0으로 가정된다는 것을 주의한다.

[0100] 다음에, 기간(T12)에서 제 2 동작이 설명된다. 상기 기간(T12)에서, 도 5의 (A)에 도시된 바와 같이, 상기 스위치(11)는 오프이고, 상기 스위치(12) 및 상기 스위치(13)는 온이다. 상기 스위치(11)가 턴 오프될 때, 상기 용량소자(102)에 축적된 전하가 상기 트랜지스터(101)를 통해 방출되고, 상기 트랜지스터(101)의 상기 소스의 전위가 상승된다. 그 후, 상기 트랜지스터(101)가 턴 오프될 때, 상기 용량소자(102)로부터 상기 전하의 방출이 중단된다. 최종적으로 상기 트랜지스터(101)의 상기 임계 전압(V_{th})이 상기 용량소자(102)에 유지된다. 따라서, 도 5의 (C)에 도시된 바와 같이, 상기 기간(T12)에서, 상기 임계 전압(V_{th})이 상기 용량소자(102)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위($V_{i2}-V_{th}$)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 임계 전압(V_{th})이 된다. 즉, 상기 트랜지스터(101)의 상기 임계 전압(V_{th})이 획득될 수 있다.

[0101] 일부 경우들에서, V_{gs101} 이 상기 트랜지스터(101)의 상기 임계 전압(V_{th})과 같아질 때까지 매우 긴 시간이 걸린다는 것을 주의한다. 따라서, 많은 경우들에서, V_{gs101} 이 상기 임계 전압(V_{th})까지 완전히 낮아지지 않은 동안 동작이 수행된다. 즉, 많은 경우들에서, 상기 기간(T12)은 V_{gs101} 이 상기 임계 전압(V_{th})보다 약간 높은 동안 종료된다. 즉, 상기 기간(T12)의 종료시, V_{gs101} 은 상기 임계 전압에 기초한 전압이 된다.

[0102] 상기 트랜지스터(101)의 상기 임계 전압(V_{th})이 양의 전압 또는 음의 전압인지 여부와 무관하게 상기 제 2 동작이 수행될 수 있다는 것을 주의한다. 이는 상기 트랜지스터(101)가 턴 오프될 때까지 상기 트랜지스터(101)의 상기 소스의 전위가 상승될 수 있기 때문이다. 즉, 상기 트랜지스터(101)의 상기 소스의 전위가 상기 트랜지스터(101)의 상기 게이트의 전위보다 높아질 때까지, 상기 트랜지스터(101)는 결국 턴 오프될 수 있고 V_{gs101} 은 V_{th} 가 될 수 있다. 따라서, 상기 제 2 동작은 상기 트랜지스터(101)가 인핸스먼트(enhancement)(노멀리 오프) 트랜지스터 또는 공핍(depletion)(노멀리 온) 트랜지스터인지 여부와 무관하게 문제없이 수행될 수 있다.

[0103] 상기 발광 소자(104a)의 상기 애노드의 전위가 높아질 때, 상기 발광 소자(104a)로 전류가 흐르지 않는 것이 바

람직하다는 것을 주의한다. 이를 위해, 상기 전위(Vi2)는 전류가 상기 발광 소자(104a)로 흐르지 않도록 낮은 전위인 것이 바람직하다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 발광 소자(104a)로 전류를 공급하지 않는 것이 가능하다면, 상기 발광 소자(104a)와 직렬로 제공된 스위치가 턴 오프될 때, 상기 전위(Vi2)는 높은 값이 될 수 있다.

[0104] 다음에, 기간(T13)에서 제 3 동작이 설명된다. 상기 기간(T13)에서, 도 5의 (A)에 도시된 바와 같이, 상기 스위치(11) 및 상기 스위치(13)가 온이고, 상기 스위치(12)는 오프이다. 또한, 일례로서, 상기 전위(Vi1)가 상기 배선(21)에 공급된다. 따라서, 상기 기간(T13)에서, 도 6의 (A)에 도시된 바와 같이, 상기 임계 전압(Vth)(Vth에 기초한 전압)이 상기 용량소자(102)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위가 상기 전위(Vi1)가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위가 상기 전위(Vi1+Vth)(또는 Vth에 기초한 전압)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)이 상기 전압(Vth)(또는 Vth에 기초한 전압)이 된다. 따라서, 상기 발광 소자(104a)의 상기 애노드의 전위 또는 상기 트랜지스터(101)의 상기 소스의 전위가 초기화될 수 있다.

[0105] 상기 제 3 동작이 반드시 수행될 필요는 없고, 이하에 설명된 제 4 동작이 상기 제 2 동작 후에 수행될 수 있다는 것을 주의한다.

[0106] 상기 기간(T13)에서 상기 배선(21)의 상기 전위는 상기 전위(Vi1)로 제한되지 않고, 다른 전위(예를 들어, 전위(Vi3))가 될 수 있다는 것을 주의한다. 그러나, 상기 기간(T13)에서 상기 배선(21)의 상기 전위가 상기 전위(Vi1)일 때, 상기 회로(201)의 구성은 간략화될 수 있다. 복수의 회로들(100)이 상기 배선(21)에 접속된 경우에서, 상기 배선(21)의 상기 전위가 상기 전위(Vi1)일 때, 한 회로(100)가 상기 기간(T11)의 상기 동작을 수행하고, 다른 회로(100)가 상기 기간(T13)의 상기 동작을 수행하여, 결과적으로 동작 기간을 효율적으로 사용한다.

[0107] 다음에, 기간(T14)에서 제 4 동작이 설명된다. 상기 기간(T14)에서, 도 5의 (A)에 도시된 바와 같이, 상기 스위치(11)는 온이고, 상기 스위치(12) 및 상기 스위치(13)는 오프이다. 또한, 상기 전위(Vsig)가 상기 배선(21)에 공급된다. 따라서, 상기 기간(T14)에서, 도 6의 (B)에 도시된 바와 같이, 상기 임계 전압(Vth)(또는 Vth에 기초한 전압)이 상기 용량소자(102)에 유지되고, 전압(Vsig-Vi1-Va)이 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위가 전위(Vi1+Va)가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위가 상기 전위(Vsig+Vth)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)이 전압(Vsig+Vth-Vi1-Va)이 된다. 따라서, 상기 전위(Vsig)는 상기 용량소자(103)에 공급될 수 있다. 대안적으로, 상기 용량소자(102)에 걸리는 전압 및 상기 용량소자(103)에 걸리는 전압의 합은 상기 트랜지스터(101)의 상기 게이트-소스 전압과 같아질 수 있다.

[0108] 상기 제 4 동작에서 상기 발광 소자(104a)의 상기 애노드가 전기적으로 부유 상태(floating state)가 될 때 상기 전위(Va)가 변동한다는 것을 주의한다. 상기 트랜지스터(101)가 오프이면, 상기 전위(Va)의 값은 상기 발광 소자(104a)의 정전용량과 상기 용량소자(102) 및 용량소자(103)의 정전용량 사이의 비에 따른다. 그러나, 상기 전위(Vsig)의 레벨에 따라, 상기 트랜지스터(101)는 턴 온될 수 있고, 상기 트랜지스터(101)를 통해 상기 발광 소자(104a)의 상기 애노드로 전하가 흐른다. 따라서, 상기 전위(Va)의 상기 값은 상기 정전용량비 뿐만 아니라 상기 발광 소자(104a)의 상기 애노드로 흐르는 전하에 따른다.

[0109] 여기서, 상기 게이트-소스 전압(Vgs)을 이상적인 값, 즉, 상기 전압(Vsig+Vth-Vi1)에 가깝게 하기 위해, 상기 회로는 상기 전위(Va)를 저감하도록 설계되는 것이 바람직하다. 구체적으로, 상기 발광 소자(104a)의 정전용량이 상기 용량소자(102) 및 상기 용량소자(103)보다 충분히 크면, 상기 게이트-소스 전압(Vgs)은 이상적인 값에 가까워질 수 있다.

[0110] 따라서, 상기 용량소자(103)의 정전용량은 상기 부하(104)(상기 발광 소자(104a))의 기생 용량 값보다 낮은 것이 바람직하고, 상기 부하(104)의 기생 용량 값의 1/2 이하인 것이 더 바람직하고, 1/5 이하인 것이 더욱더 바람직하다. 대안적으로, 상기 용량소자(103)의 상기 전극들의 면적은 상기 부하(104)(상기 발광 소자(104a))의 상기 전극들의 면적보다 작은 것이 바람직하고, 상기 부하(104)의 상기 전극들의 상기 면적의 1/2 이하인 것이 더 바람직하고, 상기 부하(104)의 상기 전극들의 상기 면적의 1/5 이하인 것이 더욱더 바람직하다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0111] 상기 게이트-소스 전압(Vgs101)을 이상적인 값에 가깝게 하기 위해, 상기 발광 소자(104a)의 상기 애노드로 흐르는 전하 Q를 저감하는 것이 바람직하다. 상기 전하 Q를 저감하기 위해, 상기 기간(T14)은 가능한 짧은 것이 바람직하다. 상기 턴 바와 같이, 상기 전위(Vsig)가 상기 기간(T13)에 앞서 상기 배선(21)에 공급되면, 상기 기

간(T14)에 상기 스위치(11)가 턴 온된 후 바로 상기 트랜지스터(101)의 상기 게이트의 상기 전위가 상기 전위(Vsig+Vth)에 가깝게 설정될 수 있다는 것을 주의한다. 이는 상기 기간(T14)을 단축하여 상기 전하 Q를 저장할 수 있기 때문에 바람직하다.

[0112] 따라서, 상기 기간(T14)의 상기 길이는 상기 기간(T11), 상기 기간(T12), 및/또는 상기 기간(T13)보다 짧은 것이 바람직하다. 상기 기간(T13)의 상기 길이는 상기 기간(T11), 상기 기간(T12), 및/또는 상기 기간(T13)의 2/3 이하가 바람직하고, 1/2 이하가 더 바람직하다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0113] 상기 전하 Q는 상기된 바와 같이 낮은 것이 바람직하지만, 상기 트랜지스터들(101) 간의 이동도의 변동이 큰 경우, 상기 전하 Q는 이동도의 이러한 변동들을 억제하는 효과를 생성할 수 있다는 것을 주의한다. 그 이유가 이하에 설명될 것이다.

[0114] 상기 전하 Q는 상기 기간(T14)에서 상기 트랜지스터(101)의 상기 드레인으로부터 상기 소스로 흐르는 전하량이다. 따라서, 상기 전하 Q는 상기 트랜지스터(101)의 상기 이동도가 증가함에 따라 증가한다. 상기 전하 Q가 증가함에 따라, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 발광 소자(104a)가 발광할 때 감소된다. 즉, 상기 트랜지스터(101)의 상기 이동도가 증가함에 따라, 상기 전하 Q에 의해 보정되어 상기 발광 소자(104a)에 공급된 전류값이 작아지는 반면, 상기 트랜지스터(101)의 상기 이동도가 감소함에 따라, 상기 전하 Q에 의해 보정되어 상기 발광 소자(104a)에 공급된 전류값은 작아지지 않을 것이다. 따라서, 이동도의 변동들이 상기 전하 Q에 의해 억제될 수 있다.

[0115] 상기 용량소자(102)의 용량 값은 상기 트랜지스터(101)의 상기 게이트의 기생 용량 값보다 높은 것이 바람직하고, 상기 트랜지스터(101)의 상기 게이트의 상기 기생 용량 값의 2배 이상인 것이 더 바람직하고, 상기 트랜지스터(101)의 상기 게이트의 상기 기생 용량 값의 5배 이상인 것이 더욱더 바람직하다는 것을 주의한다. 대안적으로, 상기 용량소자(102)의 상기 전극들의 상기 면적은 상기 트랜지스터(101)의 채널 영역의 면적보다 큰 것이 바람직하고, 상기 트랜지스터(101)의 상기 채널 영역의 상기 면적의 2배 이상인 것이 더 바람직하고, 상기 트랜지스터(101)의 상기 채널 영역의 상기 면적의 5배 이상인 것이 더욱더 바람직하다. 대안적으로, 상기 용량소자(102)의 상기 전극들의 상기 면적은 상기 트랜지스터(101)의 상기 게이트 전극의 면적보다 큰 것이 바람직하고, 상기 트랜지스터(101)의 상기 게이트 전극의 면적의 2배 이상인 것이 더 바람직하고, 상기 트랜지스터(101)의 상기 게이트 전극의 면적의 5배 이상인 것이 더욱더 바람직하다. 따라서, 상기 전위(Vsig)가 입력되고 전압이 상기 용량소자(102) 및 상기 트랜지스터의 게이트 용량에 의해 분할될 때, 상기 용량소자(102)의 전압의 감소가 저감될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0116] 상기 용량소자(102)의 용량 값은 상기 용량소자(103)의 용량 값 이상인 것이 바람직하다는 것을 주의한다. 상기 용량소자(102)의 용량 값과 상기 용량소자(103)의 용량 값 사이의 차는 ±20% 이하인 것이 바람직하고, ±10% 이하인 것이 더 바람직하다. 대안적으로, 상기 용량소자(102)의 상기 전극들의 상기 면적은 상기 용량소자(103)의 상기 전극들의 면적 이상인 것이 바람직하다. 따라서, 상기 반도체 장치는 레이아웃 면적을 변경하지 않고 최적의 동작을 수행할 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0117] 기간(T15)에서 제 5 동작이 설명된다. 상기 기간(T15)에서, 도 5의 (A)에 도시된 바와 같이, 상기 스위치(11), 상기 스위치(12), 및 상기 스위치(13)는 오피이다. 따라서, 상기 기간(T15)에서, 도 6의 (C)에 도시된 바와 같이, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 상기 전압(Vsig-Vi1-Va)은 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Ve1)가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위(Vsig+Vth-Vi1-Va+Ve1)가 되고 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vsig+Vth-Vi1-Va)이 된다. 따라서, 상기 전위(Vsig)에 기초한 전류가 상기 발광 소자(104a)로 흐를 수 있어, 상기 발광 소자(104a)가 상기 전위(Vsig)에 기초한 휘도로 발광할 수 있다.

[0118] 상기 트랜지스터(101)를 통해 상기 발광 소자(104a)로 전류가 공급될 때 상기 전위(Ve1)가 발생한다는 것을 주의한다. 구체적으로, 상기 전위(Ve1)는 상기 전위(VDD)와 상기 전위(Vcat)의 사이 값이다.

[0119] 상기 제 5 동작에서, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 트랜지스터(101)의 상기 임계 전압(Vth)을 고려함으로써 상기 전압(Vsig+Vth-Vi1-Va)으로 설정될 수 있다. 결과적으로, 상기 트랜지스터들(101) 간의 임계 전압(Vth)의 변동이 상기 발광 소자들(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 대안적으로, 상기 트랜지스터(101)가 열화되고 상기 임계 전압(Vth)이 변동되어도, 상기 임계 전압(Vth)의 변동이 상기 발광 소자(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 따라서, 불균일

성이 거의 없는 고품질의 화상들이 표시될 수 있다.

- [0120] 유사하게, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 V_{el} 과 무관한 값인 상기 전압($V_{sig}+V_{th}-V_{i1}-V_{\alpha}$)으로 설정될 수 있다. 결과적으로, 상기 발광 소자들(104a) 간의 전압-전류 특성의 변동이 상기 발광 소자들(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 대안적으로, 상기 발광 소자(104a)가 열화되고 상기 발광 소자(104a)의 전압-전류 특성 및 따라서 V_{el} 이 변화되어도, 이 변화가 상기 발광 소자(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 따라서, 불균일성이 거의 없는 고품질의 화상들이 표시될 수 있다.
- [0121] 상기 제 5 동작의 일부 기간에서, 상기 트랜지스터(101)가 강제로 턴 오프되어 상기 발광 소자(104a)가 발광하지 않는다는 것을 주의한다. 즉, 비발광 기간이 제공될 수 있다. 예를 들어, 상기 스위치(12)를 턴 온함으로써, 상기 트랜지스터(101)가 턴 오프될 수 있다.
- [0122] 본 발명의 일 양태에 따른 반도체 장치에 대해, 상기 트랜지스터(101)의 상기 게이트는 상기 제 2 동작의 상기 전위(V_{i2})로 유지된다. 상기 동작에 의해, 상기 트랜지스터(101)가 노멀리 온 트랜지스터이더라도, 즉, 상기 임계 전압(V_{thn})이 음의 값이어도, 상기 트랜지스터(101)의 상기 소스의 전위가 상기 트랜지스터(101)의 상기 게이트의 상기 전위(V_{i2})보다 커질 때까지 상기 용량소자(102)에 축적된 전하가 방출될 수 있다. 따라서, 본 발명의 일 양태에 따른 반도체 장치에서, 상기 트랜지스터(101)가 노멀리 온 트랜지스터이더라도, 상기 제 5 동작에서, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 트랜지스터(101)의 상기 임계 전압(V_{th})을 고려함으로써 획득된 값으로 설정될 수 있다.
- [0123] 도 7의 (A) 내지 (E)는 상기 기간들(T11 내지 T15)에서 상기 회로(100)를 도시하는 개략도들이다. 본 발명의 일 양태에 따른 반도체 장치에 대해, 상기 회로(100)는 각각의 기간들에서 도 7의 (A) 내지 (E)에 도시된 상태들로 설정된다. 따라서, 본 발명의 일 양태에 따른 반도체 장치는 도 1의 (A) 내지 (D), 도 2의 (A) 내지 (D), 도 3의 (A) 내지 (D), 및 도 4의 (A) 내지 (D)에 도시된 구성들을 갖는 상기 회로들(100)로 제한되지 않는다. 본 발명의 일 양태에 따른 반도체 장치에 대해, 상기 스위치들의 배치 또는 수 및 상기 전위들을 공급하는 배선들의 수가 적절히 변경될 수 있어서 상기 회로(100)는 도 7의 (A) 내지 (E)에 도시된 상태들로 설정된다.
- [0124] 본 발명의 일 양태에 따른 반도체 장치에 대해, 도 1의 (B)의 상기 회로(100)는 상기 부하(104)에 접속된 용량 소자(105)를 더 포함할 수 있다. 유사하게, 본 발명의 일 양태에 따른 반도체 장치에 대해, 도 1의 (C)의 상기 회로(100)는 상기 발광 소자(104a)에 접속된 용량소자(105)를 더 포함할 수 있다. 유사하게, 본 발명의 일 양태에 따른 반도체 장치에 대해, 도 1의 (D)의 상기 회로(100)는 상기 발광 소자(104b)에 접속된 용량소자(105)를 더 포함할 수 있다.
- [0125] 도 8의 (A)의 반도체 장치는 상기 부하(104)에 접속된 용량소자(105)를 더 포함하는 도 1의 (B)의 상기 회로(100)에 대응한다. 구체적으로, 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극 및 상기 트랜지스터(101)의 소스 및 드레인 중 하나에 접속된다. 상기 용량소자(105)의 다른 전극은 배선(26)에 접속된다. 도 8의 (A)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 도 8의 (A)에 사용될 수 있다는 것을 주의한다.
- [0126] 상기 배선(26)은 다양한 배선들에 접속될 수 있다는 것을 주의한다. 예를 들어, 상기 배선(26)은 상기 배선(22), 상기 배선(23), 상기 배선(24), 다른 회로(100)의 배선, 주사선, 게이트선, 트랜지스터의 게이트에 접속된 배선, 등에 접속될 수 있다. 따라서, 배선들의 수가 저감될 수 있다.
- [0127] 도 8의 (B)의 반도체 장치는 상기 배선(26)이 상기 배선(24)에 접속된 도 8의 (A)의 상기 회로(100)에 대응한다. 도 8의 (B)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 도 8의 (B)에 사용될 수 있다는 것을 주의한다. 상기 배선(26)이 상기 배선(24)에 접속될 때, 배선들(26)의 수가 저감될 수 있다.
- [0128] 도 8의 (C)의 반도체 장치는 상기 배선(26)이 상기 배선(23)에 접속된 도 8의 (A)의 상기 회로(100)에 대응한다. 도 8의 (C)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 도 8의 (C)에 사용될 수 있다는 것을 주의한다. 상기 배선(26)이 상기 배선(23)에 접속될 때, 배선들(26)의 수가 저감될 수 있다.
- [0129] 도 8의 (D)의 반도체 장치는 상기 배선(26)이 상기 배선(22)에 접속된 도 8의 (A)의 상기 회로(100)에 대응한다. 도 8의 (D)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 도 8의 (D)에 사용될 수 있다는 것을 주의한다. 상

기 배선(26)이 상기 배선(22)에 접속될 때, 배선들(26)의 수가 저감될 수 있다.

- [0130] 상기 부하(104), 상기 발광 소자(104a) 또는 상기 발광 소자(104b)에 접속된 상기 용량소자(105)가 상기 회로(100)에 추가될 때, 본 실시형태에 설명된 상기 제 3 동작 및 상기 제 4 동작에서, 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나에서 전하의 변동이 억제될 수 있어서, 상기 전압(V_a)이 감소될 수 있다. 따라서, 상기 게이트-소스 전압(V_{gs})은 이상적인 값, 즉, 상기 전압($V_{sig}+V_{th}-V_{i1}$)에 가까워질 수 있어서, 상기 부하(104), 상기 발광 소자(104a), 또는 상기 발광 소자(104b)에 공급된 전류가 상기 전압(V_{sig})을 정확히 반영하는 값에 가깝게 설정될 수 있다.
- [0131] 대안적으로, 상기 용량소자(105)의 용량 값이 적절히 조정될 수 있어서, 상기 기간(T_{14})에서 상기 전하 Q로 인한 전위의 변화량이 조정될 수 있다. 따라서, 이동도의 변동이 더 적절히 감소될 수 있다.
- [0132] 상기 용량소자(105)의 상기 전극들의 면적은 상기 부하(104)(상기 발광 소자(104a))의 상기 전극들의 면적보다 작은 것이 바람직하고, 상기 부하(104)의 상기 전극들의 상기 면적의 1/2 이하인 것이 더 바람직하고, 상기 부하(104)의 상기 전극들의 상기 면적의 1/3 이하인 것이 더욱더 바람직하다는 것을 주의한다. 대안적으로, 상기 용량소자(105)의 용량 값은 상기 부하(104)(상기 발광 소자(104a))의 상기 용량 값보다 작은 것이 바람직하고, 상기 부하(104)의 상기 용량 값의 1/2 이하인 것이 더 바람직하고, 1/3 이하인 것이 더욱더 바람직하다. 따라서, 상기 레이아웃 면적을 변경하지 않고 최적의 동작이 수행될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.
- [0133] 상기 용량소자(105)의 상기 전극들 및 상기 부하(104)(상기 발광 소자(104a))의 상기 전극들의 총 면적은 상기 용량소자(103)의 상기 전극들의 면적보다 큰 것이 바람직하고, 상기 용량소자(103)의 상기 전극들의 면적의 2배 이상인 것이 더 바람직하고, 5배 이상인 것이 더욱더 바람직하다는 것을 주의한다. 대안적으로, 상기 용량소자(105) 및 상기 부하(104)(상기 발광 소자(104a))의 총 용량 값은 상기 용량소자(103)의 용량 값보다 큰 것이 바람직하고, 상기 용량소자(103)의 용량 값의 2배 이상인 것이 더 바람직하고, 5배 이상인 것이 더욱더 바람직하다. 따라서, 상기 부하(104)(상기 발광 소자(104a)) 및 상기 용량소자들(103 및 105) 각각에 의해 전압이 분할될 때, 더 높은 전압이 상기 용량소자(103)에 인가될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.
- [0134] 상기 용량소자(105)의 상기 전극들의 면적은 상기 용량소자(102 또는 103)(상기 발광 소자(104a))의 상기 전극들의 면적보다 작은 것이 바람직하고, 상기 용량소자(102 또는 103)의 상기 전극들의 상기 면적의 1/2 이하인 것이 더 바람직하고, 상기 용량소자(102 또는 103)의 상기 전극들의 상기 면적의 1/3 이하인 것이 더욱더 바람직하다는 것을 주의한다. 대안적으로, 상기 용량소자(105)의 용량 값은 상기 용량소자(102 또는 103)(상기 발광 소자(104a))의 상기 용량 값보다 낮은 것이 바람직하고, 상기 용량소자(102 또는 103)의 상기 용량 값의 1/2 이하인 것이 더 바람직하고, 1/3 이하인 것이 더욱더 바람직하다. 따라서, 상기 레이아웃 면적을 변경하지 않고 최적의 동작이 수행될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.
- [0135] 본 발명의 일 양태에 따른 반도체 장치는 도 8의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 일정한 전압 또는 신호를 상기 회로(100)에 공급하는 임의의 회로를 포함할 수 있다.
- [0136] 도 9의 (A) 내지 (D)에 도시된 반도체 장치들은 도 8의 (A) 내지 (D)에 도시된 상기 회로들(100)에, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(201), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(202), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(203), 및 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(204)를 더 포함한다. 도 9의 (A)의 상기 회로(100)는 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(208)를 더 포함한다. 상기 회로(208)의 일예는 전원 공급 회로이다. 따라서, 상기 배선(26)은 미리 결정된 전위를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(26)은 용량 배선으로서 기능한다. 상기 배선(26)의 상기 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(26)의 상기 전위는 펄스 신호와 같이 변동할 수 있다.
- [0137] 도 1의 (B) 내지 (D) 및 도 8의 (B) 내지 (D)의 임의의 상기 회로들(100)이 표시 장치의 화소로 사용될 수 있다. 복수의 색상들을 위한 화소들이 상기 표시 장치에 제공되는 경우, 상이한 색상들을 위한 화소들의 상기 트랜지스터들(101)은 상기 채널 폭과 상기 채널 길이 간의 비가 다를 수 있다. 유사하게, 상이한 색상들을 위한 화소들의 상기 용량소자들(105)의 용량 값이 다를 수 있다.
- [0138] 도 10의 (A)는 도 1의 (B)의 상기 회로(100)가 표시 장치의 화소로 사용되는 경우를 도시한다. 도 10의

(A)에서, 회로(100)(R)는 적색(R)을 위한 화소에 대응하고, 회로(100)(G)는 녹색(G)을 위한 화소에 대응하고, 회로(100)(B)는 청색(B)을 위한 화소에 대응한다. 본 발명의 일 양태에서, 상기 회로(100)(R)의 트랜지스터(101)(R), 상기 회로(100)(G)의 트랜지스터(101)(G), 및 상기 회로(100)(B)의 트랜지스터(101)(B) 중 적어도 하나는 상기 채널 폭과 상기 채널 길이 간의 비가 다른 것들과 다를 수 있다. 상기 구성으로, 상기 회로(100)(R)의 부하(104)(R), 상기 회로(100)(G)의 부하(104)(G), 및 상기 회로(100)(B)의 부하(104)(B)에 공급된 전류들은 상이한 값들로 설정될 수 있다. 예로서, 제 2 컬러를 위한 화소의 상기 트랜지스터(101)의 상기 채널 폭과 상기 채널 길이 간의 비는 제 1 컬러를 위한 화소의 상기 트랜지스터(101)의 상기 채널 폭과 상기 채널 길이 간의 비의 1.2배 이상인 것이 바람직하고, 1.5배 이상인 것이 더 바람직하다. 또한, 제 3 컬러를 위한 화소의 상기 트랜지스터(101)의 상기 채널 폭과 상기 채널 길이 간의 비는 상기 제 1 컬러를 위한 화소의 상기 트랜지스터(101)의 상기 채널 폭과 상기 채널 길이 간의 비의 1.5배 이상인 것이 바람직하고, 2배 이상인 것이 더 바람직하다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0139] 도 10의 (B)는 도 8의 (A)의 상기 회로(100)가 표시 장치의 화소로 사용되는 경우를 도시한다. 도 10의 (B)에서, 도 10의 (A)에서와 같이, 상기 회로(100)(R)의 트랜지스터(101)(R), 상기 회로(100)(G)의 트랜지스터(101)(G), 및 상기 회로(100)(B)의 트랜지스터(101)(B) 중 적어도 하나는 상기 채널 폭과 상기 채널 길이 간의 비가 다른 것들과 다를 수 있다. 상기 구성으로, 상기 회로(100)(R)의 부하(104)(R), 상기 회로(100)(G)의 부하(104)(G), 상기 회로(100)(B)의 부하(104)(B)에 공급된 전류들은 상이한 값들로 설정될 수 있다.

[0140] 도 10의 (B)에서, 상기 회로(100)(R)의 상기 용량소자(105)(R), 상기 회로(100)(G)의 상기 용량소자(105)(G), 및 상기 회로(100)(B)의 상기 용량소자(105)(B) 중 적어도 하나는 용량 값이 다른 것들과 다를 수 있다. 예로서, 상기 제 2 컬러를 위한 화소의 상기 용량소자(105)의 용량 값은 상기 제 1 컬러를 위한 화소의 상기 용량소자(105)의 용량 값의 1.2배 이상인 것이 바람직하고, 1.5배 이상인 것이 더 바람직하다. 또한, 상기 제 3 컬러를 위한 화소의 상기 용량소자(105)의 용량 값은 상기 제 1 컬러를 위한 화소의 상기 용량소자(105)의 용량 값의 1.5배 이상인 것이 바람직하고, 2배 이상인 것이 더 바람직하다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0141] 도 10의 (A) 및 (B)는 상기 회로(100)(R)는 상기 부하(104)(R)를 포함하고, 상기 회로(100)(G)는 상기 부하(104)(G)를 포함하고, 상기 회로(100)(B)는 상기 부하(104)(B)를 포함하는 경우를 도시하지만, 도 10의 (A) 또는 (B)에서, 적절한 색상의 상기 발광 소자(104a 또는 104b)가 상기 부하(104)(R), 상기 부하(104)(G), 또는 상기 부하(104)(B) 대신 사용될 수 있다.

[0142] 도 10의 (B)는 도 8의 (A)의 상기 회로(100)가 표시 장치의 화소로 사용되는 경우를 도시하지만, 도 8의 (B) 내지 (D)의 각각의 상기 회로들(100)이 표시 장치의 화소로 사용될 수 있다.

[0143] 도 11의 (A)의 회로(100)는 본 발명의 일 양태에 따른 반도체 장치이다. 상기 회로(100)는 스위치(11), 스위치(12), 스위치(13), 스위치(14), 트랜지스터(101), 용량소자(102), 및 용량소자(103)를 포함한다. 도 11의 (A)는 상기 트랜지스터(101)가 n-채널 트랜지스터인 경우를 도시한다는 것을 주의한다. 도 11의 (A)의 구성은 상기 스위치(14)가 추가된 도 1의 (A)의 구성에 대응한다. 따라서, 도 1의 (A)에 대한 상기 설명을 도 11의 (A)에 적용할 수 있다.

[0144] 구체적으로, 도 11의 (A)에서, 상기 스위치(11)는 배선(21)과 상기 용량소자(102)의 한 전극 또는 상기 용량소자(103)의 한 전극 사이의 도통을 제어하는 기능을 갖는다. 상기 스위치(12)는 배선(22)과 상기 용량소자(102)의 다른 전극 사이 및 상기 배선(22)과 상기 트랜지스터(101)의 게이트 사이의 도통을 제어하는 기능을 갖는다. 상기 스위치(13)는 상기 트랜지스터(101)의 소스 및 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극과 상기 용량소자(102)의 상기 한 전극 또는 상기 용량소자(103)의 상기 한 전극 사이의 도통을 제어하는 기능을 갖는다. 상기 스위치(14)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극과 상기 배선(25) 사이의 도통을 제어하는 기능을 갖는다. 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 다른 하나는 배선(23)에 접속된다. 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 및 상기 용량소자(103)의 다른 전극은 배선(24)에 접속된다.

[0145] 도 11의 (A)의 상기 회로(100)는 도 11의 (B)에 도시된 바와 같이 부하(104)를 포함할 수 있다는 것을 주의한다. 도 11의 (B)의 상기 회로(100)에서, 상기 부하(104)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극과 상기 배선(24) 사이에 접속된다.

[0146] 도 11의 (C)는 상기 부하(104)로서 발광 소자(104a)를 사용하는 회로(100)의 구성을 도시한다. 도 11의 (C)는

상기 발광 소자(104a)의 애노드가 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 및 상기 용량소자(103)의 다른 전극에 접속되고, 상기 발광 소자(104a)의 캐소드가 상기 배선(24)에 접속된 경우를 도시한다.

[0147] 도 11의 (D)는 상기 부하(104)로서 발광 소자(104b)를 사용하는 회로(100)의 구성을 도시한다. 도 11의 (D)는 상기 발광 소자(104b)의 캐소드가 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 또는 상기 용량소자(103)의 다른 전극에 접속되고, 상기 발광 소자(104b)의 애노드가 상기 배선(24)에 접속된 경우를 도시한다. 도 11의 (D)는 상기 트랜지스터(101)가 p-채널 트랜지스터인 경우를 도시한다는 것을 주의한다.

[0148] 본 발명의 일 양태에 따른 반도체 장치는 도 11의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.

[0149] 도 12의 (A) 내지 (D)에 도시된 반도체 장치들은 도 11의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(221), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(223), 및 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(224)를 포함한다.

[0150] 구체적으로, 상기 회로(220)는 상기 배선(21)에 전위(Vsig)를 공급하는 기능을 갖는다. 상기 회로(220)의 일예는 소스 드라이버(신호선 구동 회로)이다. 따라서, 상기 배선(21)은 상기 전위(Vsig)를 전달 또는 공급하는 기능을 갖는다. 상기 배선(21)은 영상 신호선으로서 기능한다.

[0151] 상기 회로(221)는 상기 배선(22)에 전위(Vi2)를 공급하는 기능을 갖는다. 상기 회로(221)의 일예는 전원 공급 회로이다. 따라서, 상기 배선(22)은 상기 전위(Vi2)를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(22)은 초기화 배선으로서 기능한다. 상기 배선(22)의 상기 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(22)의 상기 전위는 펄스 신호와 같이 변동할 수 있다.

[0152] 상기 회로(222)는 상기 배선(23)에 예를 들어, 전원 전위(고전원 전위 또는 저전원 전위), 예를 들어, 전위(VDD) 또는 전위(VSS)를 공급하는 기능을 갖는다. 상기 회로(222)의 일예는 전원 공급 회로이다. 따라서, 상기 배선(23)은 전원 전위를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(23)은 상기 트랜지스터(101)에 전류를 공급하는 기능을 갖는다. 대안적으로, 상기 배선(23)은 상기 부하(104)에 전류를 공급하는 기능을 갖는다. 상기 배선(23)은 전원 공급선으로서 기능한다. 대안적으로, 상기 배선(23)은 전류 공급선으로서 기능한다. 상기 배선(23)의 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(23)의 전위는 펄스 신호와 같이 변동할 수 있다. 예를 들어, 상기 배선(23)의 전위는 상기 부하(104)에 순방향 바이어스 전압뿐만 아니라 역방향 바이어스 전압이 인가되는 전위일 수 있다.

[0153] 상기 회로(223)는 상기 배선(24)에 예를 들어, 전원 전위(저전원 전위 또는 고전원 전위), 예를 들어, 전위(Vcat)를 공급하는 기능을 갖는다. 상기 회로(223)의 일예는 전원 공급 회로이다. 따라서, 상기 배선(24)은 전원 전위를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(24)은 상기 부하(104)에 전류를 공급하는 기능을 갖는다. 대안적으로, 상기 배선(24)은 상기 트랜지스터(101)에 전류를 공급하는 기능을 갖는다. 상기 배선(24)은 공통선으로서 기능한다. 대안적으로, 상기 배선(24)은 음극 배선으로서 기능한다. 대안적으로, 상기 배선(24)은 양극 배선으로서 기능한다. 상기 배선(24)의 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(24)의 전위는 펄스 신호와 같이 변동할 수 있다. 예를 들어, 상기 배선(24)의 전위는 상기 부하(104)에 순방향 바이어스 전압뿐만 아니라 역방향 바이어스 전압이 인가되는 전위일 수 있다.

[0154] 상기 회로(224)는 상기 배선(25)에 전위(Vi1)를 공급하는 기능을 갖는다. 상기 회로(224)의 일예는 전원 공급 회로이다. 따라서, 상기 배선(25)은 상기 전위(Vi1)를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(25)은 초기화 배선으로서 기능한다. 상기 배선(25)의 상기 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(25)의 상기 전위는 펄스 신호와 같이 변동할 수 있다.

[0155] 도 12의 (A) 내지 (D)에서, 상기 반도체 장치들은 예로서, 상기 회로(100)에 더하여, 상기 회로들(220, 221, 222, 223, 및 224)을 각각 포함한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들(220, 221, 222, 223, 및 224) 모두를 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할

수 있다.

- [0156] 도 11의 (A) 내지 (D) 및 도 12의 (A) 내지 (D)의 상기 회로들(100)에서, 일례로서, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(14)는 트랜지스터들일 수 있다는 것을 주의한다.
- [0157] 도 13의 (A) 내지 (D)는 상기 스위치(11)로서 트랜지스터(11t), 상기 스위치(12)로서 트랜지스터(12t), 상기 스위치(13)로서 트랜지스터(13t), 및 상기 스위치(14)로서 트랜지스터(14t)를 각각 사용하는 도 11의 (A) 내지 (D)의 상기 회로들(100)에 대응하는 회로들(100)의 구성들을 도시한다. 도 13의 (A) 내지 (D)는 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t), 및 상기 트랜지스터(14t)가 모두 n-채널 트랜지스터들인 경우를 도시한다. 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t), 및 상기 트랜지스터(14t)가 동일한 극성을 가질 때, 이들 트랜지스터들은 더 적은 수의 공정들로 제조될 수 있다. 그러나, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않고, 이들 트랜지스터들은 상이한 극성들을 가질 수 있다.
- [0158] 도 13의 (A) 내지 (D)에서, 상기 트랜지스터(11t)의 게이트는 배선(31)에 접속된다는 것을 주의한다. 상기 트랜지스터(11t)는 상기 배선(31)에 공급된 상기 전위에 응답하여 턴 온 또는 턴 오프된다. 상기 트랜지스터(12t)의 게이트는 배선(32)에 접속된다. 상기 트랜지스터(12t)는 상기 배선(32)에 공급된 상기 전위에 응답하여 턴 온 또는 턴 오프된다. 상기 트랜지스터(13t)의 게이트는 배선(33)에 접속된다. 상기 트랜지스터(13t)는 상기 배선(33)에 공급된 상기 전위에 응답하여 턴 온 또는 턴 오프된다. 상기 트랜지스터(14t)의 게이트는 배선(34)에 접속된다. 상기 트랜지스터(14t)는 상기 배선(34)에 공급된 상기 전위에 응답하여 턴 온 또는 턴 오프된다. 따라서, 상기 배선들(31 내지 34)의 상기 전위들이 펄스형 전위들이고 일정하지 않은 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다. 대안적으로, 상기 배선들(31 내지 34)은 각각 게이트 신호선, 선택 신호선, 또는 주사선으로서 기능한다.
- [0159] 배선들(31 내지 34) 중 적어도 2개는 서로 접속될 수 있다는 것을 주의한다. 대안적으로, 이들 배선들(31 내지 34) 중 적어도 하나는 다른 회로(100)의 상기 배선들(31 내지 34) 중 적어도 하나에 접속될 수 있다.
- [0160] 본 발명의 일 양태에 따른 반도체 장치는 도 13의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.
- [0161] 도 14의 (A) 내지 (D)에 도시된 반도체 장치들은 도 13의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(31)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(230), 상기 배선(32)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(231), 상기 배선(33)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(232), 및 상기 배선(34)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(233)를 포함한다. 상기 회로들(230, 231, 232, 및 233)의 예들은 게이트 드라이버들(주사선 구동 회로들)을 포함한다.
- [0162] 도 14의 (C) 및 (D)의 상기 반도체 장치들은, 일례로서 상기 회로(100)에 더하여, 상기 회로들(230, 231, 232, 및 233)을 각각 포함한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들(230, 231, 232, 및 233) 모두를 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할 수 있다.
- [0163] 상기 회로들(220, 221, 222, 223, 224, 230, 231, 232, 및 233)은 동일한 회로일 수 있거나 다른 회로들일 수 있다는 것을 주의한다.
- [0164] 도 38의 (A)는 상기 트랜지스터들(101 및 14t)은 n-채널 트랜지스터들이고, 상기 트랜지스터들(11t, 12t, 및 13t)은 p-채널 트랜지스터들인 도 13의 (C)의 상기 회로(100)에 대응하는 회로(100)의 구성을 도시한다. 도 38의 (B)는 상기 트랜지스터들(101 및 14t)은 p-채널 트랜지스터들이고 상기 트랜지스터들(11t, 12t, 및 13t)은 n-채널 트랜지스터들인 도 13의 (D)의 상기 회로(100)에 대응하는 회로(100)의 구성을 도시한다.
- [0165] 본 발명의 일 양태에 따른 반도체 장치는 도 38의 (A) 및 (B)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.
- [0166] 도 38의 (C) 및 (D)에 도시된 반도체 장치들은 도 38의 (A) 및 (B)의 상기 회로들(100)에 더하여, 상기 배선(31)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(230), 상기 배선(32)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(231), 상기 배선(33)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(232), 및 상기 배선(34)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(233)를 포함한다.
- [0167] 도 38의 (C) 및 (D)에서, 상기 반도체 장치들은, 일례로서 상기 회로(100)에 더하여, 상기 회로들(230, 231, 232, 및 233)을 각각 포함한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들

(230, 231, 232, 및 233)을 모두 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할 수 있다.

- [0168] 많은 경우들에서, 상기 트랜지스터(101)는 전류가 흐를 때 포화 영역에서 동작한다. 따라서, 도 13의 (A) 내지 (D), 도 14의 (A) 내지 (D), 및 도 38의 (A) 내지 (D)에서, 상기 트랜지스터(101)는 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t) 및/또는 상기 트랜지스터(14t)보다 더 긴 채널 길이 또는 게이트 길이를 갖는 것이 바람직하다. 상기 트랜지스터(101)의 상기 채널 길이 또는 게이트 길이는 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t) 및/또는 상기 트랜지스터(14t)의 5배 이상인 것이 바람직하고, 10배 이상인 것이 더 바람직하다. 예로서, 상기 트랜지스터(101)의 상기 채널 길이 또는 게이트 길이는 10 μ m 이상인 것이 바람직하고, 20 μ m 이상인 것이 더 바람직하다. 상기 채널 길이 또는 상기 게이트 길이가 증가할 때, 포화 영역의 특성들은 편평한 기울기를 갖고, 따라서, 킹크 효과가 저감될 수 있다. 대안적으로, 상기 트랜지스터(101)의 상기 채널 폭 또는 게이트 폭은 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t) 및/또는 상기 트랜지스터(14t)보다 커서, 포화 영역에서도 훨씬 많은 전류가 상기 트랜지스터(101)를 통해 흐른다. 상기 트랜지스터(101)의 상기 채널 폭 또는 상기 게이트 폭은 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t) 및/또는 상기 트랜지스터(14t)의 5배 이상인 것이 바람직하고, 10배 이상인 것이 더 바람직하다. 상기 트랜지스터(101)의 상기 채널 폭 또는 상기 게이트 폭은 20 μ m 이상인 것이 바람직하고, 30 μ m 이상인 것이 더 바람직하다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.
- [0169] 도 13의 (A) 내지 (D) 및 도 38의 (A) 및 (B)의 상기 반도체 장치들에서, 상기 트랜지스터들(12t 및 13t)의 상기 게이트들은 모두 하나의 배선에 접속될 수 있다. 도 15의 (A) 내지 (D)는, 일례로서 상기 트랜지스터들(12t 및 13t)의 상기 게이트들이 상기 배선(32)에 접속된 도 13의 (A) 내지 (D)에 대응하는 반도체 장치들을 도시한다. 상기 트랜지스터들(12t 및 13t)은 상기 배선(32)에 공급된 상기 전위에 응답하여 턴 온 또는 턴 오프된다.
- [0170] 본 발명의 일 양태에 따른 반도체 장치는, 도 15의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.
- [0171] 도 16의 (A) 내지 (D)에 도시된 반도체 장치들은 도 15의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(31)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(230), 상기 배선(32)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(231), 및 상기 배선(34)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(233)를 포함한다.
- [0172] 도 16의 (A) 내지 (D)에서, 상기 반도체 장치들은, 일례로서 상기 회로(100)에 더하여, 상기 회로들(230, 231, 및 233)을 각각 포함한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들(230, 231, 및 233)을 모두 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할 수 있다.
- [0173] 도 42의 (A)는 상기 트랜지스터들(101, 11t, 및 14t)은 n-채널 트랜지스터들이고 상기 트랜지스터들(12t 및 13t)은 p-채널 트랜지스터들이고 도 16의 (C)의 상기 회로(100)에 대응하는 회로(100)의 구성을 도시한다. 도 42의 (B)는 상기 트랜지스터들(101, 11t, 및 14t)은 p-채널 트랜지스터들이고 상기 트랜지스터들(12t 및 13t)은 n-채널 트랜지스터들이고 도 16의 (D)의 상기 회로(100)에 대응하는 회로(100)의 구성을 도시한다.
- [0174] 본 발명의 일 양태에 따른 반도체 장치는 도 42의 (A) 및 (B)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.
- [0175] 도 42의 (C) 및 (D)에 도시된 반도체 장치들은 도 42의 (A) 및 (B)의 상기 회로들(100)에 더하여, 상기 배선(31)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(230), 상기 배선(32)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(231), 및 상기 배선(34)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(233)를 포함할 수 있다. 상기 회로들(230, 231, 및 233)의 예들은 게이트 드라이버들(주사선 구동 회로들)을 포함한다.
- [0176] 도 42의 (C) 및 (D)에서, 상기 반도체 장치들은, 일례로서 상기 회로(100)에 더하여, 상기 회로들(230, 231, 및 233)을 각각 포함한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들(230, 231, 및 233)을 모두 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할 수 있다.
- [0177] 도 13의 (A) 내지 (D)에 도시된 상기 반도체 장치들에 대해, 인접한 회로들(100)에서, 한 트랜지스터의 게이트가 다른 트랜지스터의 게이트에 접속될 수 있다. 예를 들어, 트랜지스터(11t)의 게이트는 트랜지스터(14t)의 게이트에 접속될 수 있다. 도 39는 i열 j행의 회로(100)(i, j)의 트랜지스터(11t)의 게이트 및 i열 (j+1)행의 회로

(100)(i, j+1)의 트랜지스터(14t)의 게이트가 j행의 배선(31)(j)에 접속된 경우를 도시한다.

- [0178] 도 15의 (A) 내지 (D)에 도시된 상기 반도체 장치들에 대해, 인접한 회로들(100)에서, 한 트랜지스터의 게이트는 다른 트랜지스터의 게이트에 접속될 수 있다. 예를 들어, 트랜지스터(11t)의 게이트는 트랜지스터(14t)의 게이트에 접속될 수 있다. 도 40은 i열 j행의 회로(100)(i, j)의 트랜지스터(11t)의 게이트 및 i열 (j+1)행의 회로(100)(i, j+1)의 트랜지스터(14t)의 게이트가 j행의 배선(31)(j)에 접속된 경우를 도시한다.
- [0179] 도 39 및 도 40은 각각 i열 j행의 회로(100)(i, j)의 트랜지스터(11t)의 게이트 및 i열 (j+1)행의 회로(100)(i, j+1)의 트랜지스터(14t)의 게이트가 j행의 배선(31)(j)에 접속된 경우를 도시한다. 그러나, 본 발명의 일 양태는 이 구성으로 제한되지 않는다. 예를 들어, 상기 도 14의 (A) 내지 (D) 및 도 38의 (C) 및 (D)에 도시된 반도체 장치들의 경우, 상기 회로(230)는 j행의 배선(31)(j) 및 (j+1)행의 배선(34)(j+1)에 전위를 공급할 수 있다.
- [0180] 도 41은 상기 회로(230)가 상기 배선(31) 및 상기 배선(34)에 전위를 공급하는 경우를 도시한다. 구체적으로, 도 41에서, 상기 회로(230)의 j번째 출력단자(out(j))로부터의 전위가 상기 j행의 배선(31)(j) 및 상기 (j+1)행의 배선(34)(j+1)에 공급된다. 즉, 예를 들어, 상이한 행들의 배선들이 주사선 구동 회로와 화소 영역의 사이에서 서로 접속된다.
- [0181] 다음에 도 11의 (C)에 도시된 회로(100)를 예로 들어 본 발명에 따른 반도체 장치의 일 양태의 동작을 이하에 설명한다.
- [0182] 도 11의 (C)에 도시된 상기 회로(100)의 동작은 주로 제 1 동작, 제 2 동작, 제 3 동작, 및 제 4 동작으로 분할된다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않고, 다른 동작이 추가될 수 있거나 상기 동작의 일부가 생략될 수 있다는 것을 주의한다.
- [0183] 도 11의 (C)의 상기 회로는 스위치(14)가 추가된 도 1의 (C)의 상기 회로에 대응하고, 따라서, 도 6의 (A)에 도시된 상기 제 3 동작(상기 기간(T13))은 생략될 수 있다는 것을 주의한다.
- [0184] 도 17의 (A)는 도 11의 (C)에 도시된 상기 회로(100)의 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(14)의 동작들, 상기 배선(21)의 상기 전위, 및 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)을 도시하는 타이밍 차트의 일예이다.
- [0185] 먼저, 기간(T11)에서 제 1 동작이 설명된다. 상기 기간(T11)에서, 도 17의 (A)에 도시된 바와 같이, 상기 스위치(11)는 오프이고, 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(14)는 온이다. 따라서, 상기 기간(T11)에서, 도 17의 (B)에 도시된 바와 같이, 상기 전압(Vi2-Vi1)이 상기 용량소자(102)에 공급되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vi1)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vi2-Vi1)이 된다. 즉, 상기 트랜지스터(101) 및 상기 용량소자(102)가 초기화된다.
- [0186] 상기 배선(21)의 상기 전위가 악영향을 주지 않는 경우, 상기 스위치(11)가 온될 수 있다는 것을 주의한다. 그 경우, 상기 스위치(14)는 오프될 수 있다.
- [0187] 상기 스위치(13)는 오프될 수 있다는 것을 주의한다.
- [0188] 다음에, 기간(T12)에서 제 2 동작이 설명된다. 상기 기간(T12)에서, 도 17의 (A)에 도시된 바와 같이, 상기 스위치(11) 및 상기 스위치(14)는 오프이고, 상기 스위치(12) 및 상기 스위치(13)는 온이다. 상기 스위치(11) 및 상기 스위치(14)가 오프일 때, 상기 용량소자(102)에 축적된 전하는 상기 트랜지스터(101)를 통해 방출되고, 상기 트랜지스터(101)의 상기 소스의 전위가 상승된다. 그 후, 상기 트랜지스터(101)가 턴 오프될 때, 상기 용량소자(102)로부터 상기 전하의 방출이 중단된다. 최종적으로 상기 트랜지스터(101)의 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지된다. 따라서, 상기 기간(T12)에서, 도 17의 (C)에 도시된 바와 같이, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vi2-Vth)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 임계 전압(Vth)이 된다. 즉, 상기 트랜지스터(101)의 상기 임계 전압(Vth)이 획득될 수 있다.
- [0189] 일부 경우들에서, Vgs101이 상기 트랜지스터(101)의 상기 임계 전압(Vth)과 같아지는데 매우 긴 시간이 걸린다는 것을 주의한다. 따라서, 많은 경우들에서, Vgs101이 상기 임계 전압(Vth)으로 완전히 낮아지지 않는 동안 동작이 수행된다. 즉, 많은 경우들에서, 상기 기간(T12)은 Vgs101이 상기 임계 전압(Vth)보다 약간 높은 동안 종료된다. 즉, 상기 기간(T12)의 종료 시, Vgs101은 상기 임계 전압에 기초한 전압이 된다.

- [0190] 상기 제 2 동작은 상기 트랜지스터(101)의 상기 임계 전압(V_{th})이 양의 전압 또는 음의 전압인지 여부와 무관하게 수행될 수 있다는 것을 주의한다. 이는 상기 트랜지스터(101)가 턴 오프될 때까지 상기 트랜지스터(101)의 상기 소스의 전위가 상승될 수 있기 때문이다. 즉, 상기 트랜지스터(101)의 상기 소스의 전위가 상기 트랜지스터(101)의 상기 게이트의 전위보다 높아질 때, 상기 트랜지스터(101)는 결국 턴 오프될 수 있고 V_{gs101} 은 V_{th} 가 될 수 있다. 따라서, 상기 제 2 동작은 상기 트랜지스터(101)가 인헨스먼트(노멀리 오프) 트랜지스터 또는 공핍(노멀리 온) 트랜지스터인지 여부와 무관하게 문제없이 수행될 수 있다.
- [0191] 상기 발광 소자(104a)의 상기 애노드의 전위가 높아질 때, 전류가 상기 발광 소자(104a)로 흐르지 않는 것이 바람직하다는 것을 주의한다. 이를 위해, 상기 전위(V_{i2})는 낮은 전위인 것이 바람직하여 전류가 상기 발광 소자(104a)로 흐르지 않는다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 발광 소자(104a)로 전류를 공급하지 않는 것이 가능하다면, 상기 발광 소자(104a)와 직렬로 제공된 스위치가 턴 오프될 때, 상기 전위(V_{i2})는 높은 전위가 될 수 있다.
- [0192] 다음에, 기간(T13)에서 제 3 동작이 설명된다. 상기 기간(T13)에서, 도 17의 (A)에 도시된 바와 같이, 상기 스위치(11) 및 상기 스위치(14)는 온이고, 상기 스위치(12) 및 상기 스위치(13)는 오프이다. 또한, 상기 전위(V_{sig})가 상기 배선(21)에 공급된다. 따라서, 상기 기간(T13)에서, 도 18의 (A)에 도시된 바와 같이, 상기 임계 전압(V_{th})(또는 V_{th} 에 기초한 전압)은 상기 용량소자(102)에 유지되고, 전압($V_{sig}-V_{i1}$)은 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 전위(V_{i1})가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위($V_{sig}+V_{th}$)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 전압($V_{sig}+V_{th}-V_{i1}$)이 된다. 따라서, 상기 전위(V_{sig})는 상기 용량소자(103)에 공급될 수 있다. 대안적으로, 상기 용량소자(102)에 걸리는 전압과 상기 용량소자(103)에 걸리는 전압의 합은 상기 트랜지스터(101)의 상기 게이트-소스 전압과 같아질 수 있다.
- [0193] 그 경우, 상기 스위치(14)가 턴 오프될 수 있다는 것을 주의한다.
- [0194] 기간(T14)에서 제 4 동작이 설명된다. 상기 기간(T14)에서, 도 17의 (A)에 도시된 바와 같이, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(14)는 오프이다. 따라서, 상기 기간(T14)에서, 도 18의 (B)에 도시된 바와 같이, 상기 임계 전압(V_{th})은 상기 용량소자(102)에 유지되고, 상기 전압($V_{sig}-V_{i1}$)은 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(V_{e1})가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위($V_{sig}+V_{th}+V_{e1}$)가 되고 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 전압($V_{sig}+V_{th}-V_{i1}$)이 된다. 따라서, 상기 전위(V_{sig})에 기초한 전류가 상기 발광 소자(104a)로 흐를 수 있어, 상기 발광 소자(104a)는 상기 전위(V_{sig})에 기초한 휘도로 발광할 수 있다.
- [0195] 상기 제 4 동작에서, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 트랜지스터(101)의 상기 임계 전압(V_{th})을 고려함으로써 $V_{sig}+V_{th}-V_{i1}$ 로 설정될 수 있다. 결과적으로, 상기 트랜지스터들(101) 간의 임계 전압(V_{th})의 변동이 상기 발광 소자들(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 대안적으로, 상기 트랜지스터(101)가 열화되고 상기 임계 전압(V_{th})이 변동되어도, 상기 임계 전압(V_{th})의 변동이 상기 발광 소자(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 따라서, 불균일성이 거의 없는 고품질의 화상들이 표시될 수 있다.
- [0196] 유사하게, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})이 V_{e1} 과 무관한 값인 상기 전압($V_{sig}+V_{th}-V_{i1}$)으로 설정될 수 있다. 결과적으로, 상기 발광 소자들(104a) 간의 전압-전류 특성의 변동이 상기 발광 소자들(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 대안적으로, 상기 발광 소자(104a)가 열화되고 상기 발광 소자(104a)의 전압-전류 특성 및 따라서 V_{e1} 이 변화되어도, 이 변화가 상기 발광 소자(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 따라서, 불균일성이 거의 없는 고품질의 화상들이 표시될 수 있다.
- [0197] 상기 제 4 동작의 일부 기간에서, 상기 트랜지스터(101)가 강제로 턴 오프되거나 상기 발광 소자(104a)로 전류가 공급되지 못해 상기 발광 소자(104a)가 발광하지 않는다는 것을 주의한다. 즉, 비발광 기간이 제공될 수 있다. 예를 들어, 상기 스위치(12)를 턴 온함으로써, 상기 트랜지스터(101)가 턴 오프될 수 있다. 대안적으로, 상기 스위치(14)를 턴 온함으로써, 상기 발광 소자(104a)에 전류가 공급될 수 없다.
- [0198] 본 발명의 일 양태에 따른 반도체 장치에 대해, 상기 제 2 동작에서 상기 트랜지스터(101)의 상기 게이트는 상기 전위(V_{i2})로 유지된다. 상기 동작에 의해, 상기 트랜지스터(101)가 노멀리 온 트랜지스터이더라도, 즉, 상기 임계 전압(V_{thn})이 음의 값이어도, 상기 트랜지스터(101)의 상기 소스의 전위가 상기 트랜지스터(101)의 상기

게이트의 상기 전위(Vi2)보다 커질 때까지 상기 용량소자(102)에 축적된 전하가 방출될 수 있다. 따라서, 본 발명의 일 양태에 따른 반도체 장치에서, 상기 트랜지스터(101)가 노멀리 온 트랜지스터이더라도, 상기 제 4 동작에서, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 트랜지스터(101)의 상기 임계 전압(Vth)을 고려함으로써 획득된 값으로 설정될 수 있다.

[0199] 상기 용량소자(103)의 용량 값은 상기 부하(104)(상기 발광 소자(104a))의 기생 용량 값보다 낮은 것이 바람직하고, 상기 부하(104)의 상기 용량 값의 1/2 이하인 것이 더 바람직하고, 1/5 이하인 것이 더욱더 바람직하다. 대안적으로, 상기 용량소자(103)의 상기 전극들의 면적은 상기 부하(104)(상기 발광 소자(104a))의 상기 전극들의 면적보다 작은 것이 바람직하고, 상기 부하(104)의 상기 전극들의 상기 면적의 1/2 이하인 것이 더 바람직하고, 상기 부하(104)의 상기 전극들의 상기 면적의 1/5 이하인 것이 더욱더 바람직하다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0200] 상기 용량소자(102)의 용량 값은 상기 트랜지스터(101)의 상기 게이트의 기생 용량 값보다 높은 것이 바람직하고, 상기 트랜지스터(101)의 상기 게이트의 상기 기생 용량 값의 2배 이상인 것이 더 바람직하고, 상기 트랜지스터(101)의 상기 게이트의 상기 기생 용량 값의 5배 이상인 것이 더욱더 바람직하다는 것을 주의한다. 대안적으로, 상기 용량소자(102)의 상기 전극들의 상기 면적은 상기 트랜지스터(101)의 채널 영역의 면적보다 큰 것이 바람직하고, 상기 트랜지스터(101)의 상기 채널 영역의 상기 면적의 2배 이상인 것이 더 바람직하고, 상기 트랜지스터(101)의 상기 채널 영역의 상기 면적의 5배 이상인 것이 더욱더 바람직하다. 대안적으로, 상기 용량소자(102)의 상기 전극들의 상기 면적은 상기 트랜지스터(101)의 상기 게이트 전극의 면적보다 큰 것이 바람직하고, 상기 트랜지스터(101)의 상기 게이트 전극의 면적의 2배 이상인 것이 더 바람직하고, 상기 트랜지스터(101)의 상기 게이트 전극의 면적의 5배 이상인 것이 더욱더 바람직하다. 따라서, 상기 전위(Vsig)가 입력되고 전압이 상기 용량소자(102) 및 상기 트랜지스터의 게이트 용량에 의해 분할될 때, 상기 용량소자(102)의 전압의 감소가 저감될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0201] 상기 용량소자(102)의 용량 값은 상기 용량소자(103)의 용량 값 이상인 것이 바람직하다는 것을 주의한다. 상기 용량소자(102)의 용량 값과 상기 용량소자(103)의 용량 값 사이의 차는 $\pm 20\%$ 이하인 것이 바람직하고, $\pm 10\%$ 이하인 것이 더 바람직하다. 대안적으로, 상기 용량소자(102)의 상기 전극들의 상기 면적은 상기 용량소자(103)의 상기 전극들의 면적 이상인 것이 바람직하다. 따라서, 상기 반도체 장치는 상기 레이아웃 면적을 변경하지 않고 최적의 동작을 수행할 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0202] 도 19의 (A) 내지 (D)는 상기 기간들(T11 내지 T14)의 상기 회로(100)를 도시하는 개략도들이다. 본 발명의 일 양태에 따른 반도체 장치에 대해, 상기 회로(100)는 각각의 기간들에서 도 19의 (A) 내지 (D)에 도시된 상태들로 설정된다. 따라서, 본 발명의 일 양태에 따른 반도체 장치는 도 11의 (A) 내지 (D), 도 12의 (A) 내지 (D), 도 13의 (A) 내지 (D), 도 14의 (A) 내지 (D), 도 15의 (A) 내지 (D), 및 도 16의 (A) 내지 (D)에 도시된 상기 구성들을 갖는 상기 회로들(100)로 제한되지 않는다. 본 발명의 일 양태에 따른 반도체 장치에 대해, 상기 스위치들의 배치 또는 수 및 상기 전위들을 공급하는 배선들의 수는 적절히 변경될 수 있어서 상기 회로(100)는 도 19의 (A) 내지 (D)에 도시된 상태들로 설정된다.

[0203] 상기 제 3 동작이 수행되는 상기 기간(T13) 후 상기 제 4 동작이 수행되는 상기 기간(T14) 전에 제 6 동작이 수행되는 상기 기간(T16)이 제공될 수 있다는 것을 주의한다.

[0204] 도 20의 (A)는 상기 기간(T16)을 포함하는, 도 11의 (C)에 도시된 상기 회로(100)의 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(14)의 상기 동작들, 상기 배선(21)의 상기 전위, 및 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)을 도시하는 타이밍 차트의 일예이다.

[0205] 도 20의 (A)의 상기 타이밍 차트는 상기 기간(T13)과 상기 기간(T14) 사이에 상기 기간(T16)이 제공된 것이 도 17의 (A)의 상기 타이밍 차트와 다르다.

[0206] 상기 기간(T16)에서 제 6 동작이 설명된다. 상기 기간(T16)에서, 도 20의 (A)에 도시된 바와 같이, 상기 스위치(12)는 온이고, 상기 스위치(11), 상기 스위치(13), 및 상기 스위치(14)는 오프이다. 따라서, 상기 기간(T16)에서, 도 20의 (B)에 도시된 바와 같이, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vsig+Vth-Vi1-Va)이 된다.

[0207] 상기 제 6 동작에서 상기 발광 소자(104a)의 상기 애노드가 전기적으로 부유 상태일 때 상기 전위(Va)는 변동한다. 상기 전위(Va)의 상기 값은 상기 트랜지스터(101)가 오프이면 상기 발광 소자(104a)의 용량 값과 상기

용량소자(102) 및 용량소자(103)의 용량 값 사이의 비에 따른다. 그러나, 상기 트랜지스터(101)는 상기 전위 (V_{sig})의 상기 값에 따라 턴 온될 수 있고, 상기 트랜지스터(101)를 통해 상기 발광 소자(104a)의 상기 애노드로 전하가 흐른다. 따라서, 상기 전위(V_a)의 상기 값은 상기 정전용량비뿐만 아니라 상기 발광 소자(104a)의 상기 애노드로 흐르는 전하에 따른다.

- [0208] 상기 전하 Q는 이러한 이동도의 변동을 억제하는 효과를 생성할 수 있다. 그 이유는 이하에 설명될 것이다.
- [0209] 상기 전하 Q는 상기 기간(T16)에서 상기 트랜지스터(101)의 상기 드레인으로부터 상기 소스로 흐르는 전하량이다. 따라서, 상기 전하 Q는 상기 트랜지스터(101)의 상기 이동도가 증가함에 따라 증가한다. 상기 전하 Q가 증가함에 따라, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 발광 소자(104a)가 발광할 때 감소된다. 즉, 상기 트랜지스터(101)의 상기 이동도가 증가함에 따라, 상기 전하 Q에 의해 보정되어 상기 발광 소자(104a)에 공급된 전류값이 작아지는 반면, 상기 트랜지스터(101)의 상기 이동도가 감소함에 따라, 상기 전하 Q에 의해 보정되어 상기 발광 소자(104a)에 공급된 전류값은 작아지지 않을 것이다. 따라서, 이동도의 변동이 상기 전하 Q에 의해 억제될 수 있다.
- [0210] 상기 기간(T16) 후의 상기 기간(14)에서, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 전압 ($V_{sig}+V_{th}-V_{i1}-V_a$)이 된다. 따라서, 상기 트랜지스터(101)에 대해, 상기 게이트-소스 전압은 상기 임계 전압 (V_{th}) 및 상기 이동도를 고려함으로써 취해진 값으로 설정될 수 있다.
- [0211] 본 발명의 일 양태에 따른 반도체 장치에 대해, 도 8의 (A) 내지 (D)에서와 같이, 도 11의 (B)의 상기 회로 (100)는 상기 부하(104)에 접속된 용량소자(105)를 더 포함할 수 있다. 유사하게, 본 발명의 일 양태에 따른 반도체 장치에 대해, 도 11의 (C)의 상기 회로(100)는 상기 발광 소자(104a)에 접속된 용량소자(105)를 더 포함할 수 있다. 유사하게, 본 발명의 일 양태에 따른 반도체 장치에 대해, 도 11의 (D)의 상기 회로(100)는 상기 발광 소자(104b)에 접속된 용량소자(105)를 더 포함할 수 있다.
- [0212] 도 21의 (A)의 반도체 장치는 상기 부하(104)에 접속된 용량소자(105)를 더 포함하는 도 11의 (B)의 상기 회로 (100)에 대응한다. 구체적으로, 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극 및 상기 트랜지스터(101)의 소스 및 드레인 중 하나에 접속된다. 상기 용량소자(105)의 다른 전극은 상기 배선(26)에 접속된다. 도 21의 (A)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 도 21의 (A)에서 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 사용될 수 있다는 것을 주의한다.
- [0213] 상기 배선(26)은 다양한 배선들에 접속될 수 있다는 것을 주의한다. 예를 들어, 상기 배선(26)은 상기 배선 (22), 상기 배선(23), 상기 배선(24), 상기 배선(25), 다른 회로(100)의 배선, 주사선, 게이트선, 트랜지스터의 게이트에 접속된 배선, 등에 접속될 수 있다. 따라서, 배선들의 수가 저감될 수 있다.
- [0214] 도 21의 (B)의 반도체 장치는 상기 배선(26)이 상기 배선(24)에 접속된 도 21의 (A)의 상기 회로(100)에 대응한다. 도 21의 (B)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 도 21의 (B)에서 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 사용될 수 있다는 것을 주의한다. 상기 배선(26)이 상기 배선(24)에 접속될 때, 배선들(26)의 수가 저감될 수 있다.
- [0215] 도 21의 (C)의 반도체 장치는 상기 배선(26)이 상기 배선(23)에 접속된 도 21의 (A)의 상기 회로(100)에 대응한다. 도 21의 (C)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 도 21의 (C)에서 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 사용될 수 있다는 것을 주의한다. 상기 배선(26)이 상기 배선(23)에 접속될 때, 배선들(26)의 수가 저감될 수 있다.
- [0216] 도 21의 (D)의 반도체 장치는 상기 배선(26)이 상기 배선(22)에 접속된 도 21의 (A)의 상기 회로(100)에 대응한다. 도 21의 (D)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 도 21의 (D)에서 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 사용될 수 있다는 것을 주의한다. 상기 배선(26)이 상기 배선(22)에 접속될 때, 배선들(26)의 수가 저감될 수 있다.
- [0217] 도 21의 (E)의 반도체 장치는 상기 배선(26)이 상기 배선(25)에 접속된 도 21의 (A)의 상기 회로(100)에 대응한다. 도 21의 (E)는 상기 회로(100)가 상기 부하(104)를 포함하는 경우를 예로서 도시하지만, 도 21의 (E)에서 상기 발광 소자(104a) 또는 상기 발광 소자(104b)가 상기 부하(104) 대신 사용될 수 있다는 것을 주의한다. 상기 배선(26)이 상기 배선(25)에 접속될 때, 배선들(26)의 수가 저감될 수 있다.
- [0218] 상기 부하(104), 상기 발광 소자(104a) 또는 상기 발광 소자(104b)에 병렬 접속된 상기 용량소자(105)가 상기 회로(100)에 추가될 때, 상기 실시형태에서 설명된 상기 제 6 동작 및 상기 제 4 동작에서, 상기 트랜지스터

(101)의 상기 소스 및 상기 드레인 중 하나에서 전하의 변동이 억제될 수 있어서, 전압(V_a)이 감소될 수 있다. 따라서, 상기 게이트-소스 전압(V_{gs})이 이상적인 값, 즉, 상기 전압($V_{sig}+V_{th}-V_{i1}$)에 가까워질 수 있어서, 상기 부하(104), 상기 발광 소자(104a), 또는 상기 발광 소자(104b)에 공급된 전류는 상기 전압(V_{sig})을 정확히 반영하는 값에 가깝게 설정될 수 있다.

[0219] 대안적으로, 상기 용량소자(105)의 용량 값은 적절히 조정되어, 상기 기간(T16)에서 상기 전하 Q로 인한 전위의 변화량이 조정될 수 있다. 따라서, 이동도의 변동이 더 적절히 저감될 수 있다.

[0220] 상기 용량소자(105)의 상기 전극들의 면적은 상기 부하(104)(상기 발광 소자(104a))의 상기 전극들의 면적보다 작은 것이 바람직하고, 상기 부하(104)의 상기 전극들의 상기 면적의 1/2 이하인 것이 더 바람직하고, 상기 부하(104)의 상기 전극들의 상기 면적의 1/3 이하인 것이 더욱더 바람직하다는 것을 주의한다. 대안적으로, 상기 용량소자(105)의 용량 값은 상기 부하(104)(상기 발광 소자(104a))의 상기 용량 값보다 작은 것이 바람직하고, 상기 부하(104)의 상기 용량 값의 1/2 이하인 것이 더 바람직하고, 1/3 이하인 것이 더욱더 바람직하다. 따라서, 상기 레이아웃 면적을 변경하지 않고 최적의 동작이 수행될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0221] 상기 용량소자(105)의 상기 전극들 및 상기 부하(104)(상기 발광 소자(104a))의 상기 전극들의 총 면적은 상기 용량소자(103)의 상기 전극들의 면적보다 큰 것이 바람직하고, 상기 용량소자(103)의 상기 전극들의 면적의 2배 이상인 것이 더 바람직하고, 5배 이상인 것이 더욱더 바람직하다는 것을 주의한다. 대안적으로, 상기 용량소자(105) 및 상기 부하(104)(상기 발광 소자(104a))의 총 용량 값은 상기 용량소자(103)의 용량 값보다 큰 것이 바람직하고, 상기 용량소자(103)의 용량 값의 2배 이상인 것이 더 바람직하고, 5배 이상인 것이 더욱더 바람직하다. 따라서, 전압이 상기 부하(104)(상기 발광 소자(104a)) 및 각각의 상기 용량소자들(103 및 105)에 의해 분할될 때, 더 높은 전압이 상기 용량소자(103)에 인가될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0222] 상기 용량소자(105)의 상기 전극들의 면적은 상기 용량소자(102 또는 103)(상기 발광 소자(104a))의 상기 전극들의 상기 면적보다 작은 것이 바람직하고, 상기 용량소자(102 또는 103)의 상기 전극들의 상기 면적의 1/2 이하인 것이 더 바람직하고, 상기 용량소자(102 또는 103)의 상기 전극들의 상기 면적의 1/3 이하인 것이 더욱더 바람직하다는 것을 주의한다. 대안적으로, 상기 용량소자(105)의 용량 값은 상기 용량소자(102 또는 103)(상기 발광 소자(104a))의 상기 용량 값보다 작은 것이 바람직하고, 상기 용량소자(102 또는 103)의 상기 용량 값의 1/2 이하인 것이 더 바람직하고, 1/3 이하인 것이 더욱더 바람직하다. 따라서, 상기 레이아웃 면적을 변경하지 않고 최적의 동작이 수행될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0223] 상기 배선(25)은 다양한 배선들에 접속될 수 있다는 것을 주의한다. 예를 들어, 상기 배선(25)은 상기 배선(22), 상기 배선(24), 상기 배선(26), 다른 회로(100)의 배선, 주사선, 게이트선, 트랜지스터의 게이트에 접속된 배선, 등에 접속될 수 있다. 따라서, 배선들의 수가 저감될 수 있다.

[0224] 본 발명의 일 양태에 따른 반도체 장치는, 도 21의 (A) 내지 (D) 에 도시된 임의의 상기 회로들(100)뿐만 아니라 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.

[0225] 도 22의 (A) 내지 (D)에 도시된 반도체 장치들은 도 21의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(221), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(223), 및 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(224)를 포함한다. 도 22의 (A)의 상기 회로(100)는 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(225)를 더 포함한다.

[0226] 도 11의 (B) 내지 (D) 및 도 21의 (B) 내지 (D)의 임의의 상기 회로들(100)은 표시 장치의 화소로 사용될 수 있다. 복수의 색상들을 위한 화소들이 상기 표시 장치에 제공되는 경우, 상이한 색상들을 위한 화소들의 상기 트랜지스터들(101)은 상기 채널 폭과 상기 채널 길이 간의 비가 다를 수 있다. 유사하게, 상이한 색상들을 위한 화소들의 상기 용량소자들(105)의 용량 값이 다를 수 있다.

[0227] 도 23의 (A)는 도 11의 (B)의 상기 회로(100)가 표시 장치의 화소로 사용되는 경우를 도시한다. 도 23의 (A)에서, 회로(100)(R)는 적색(R)을 위한 화소에 대응하고, 회로(100)(G)는 녹색(G)을 위한 화소에 대응하고, 회로(100)(B)는 청색(B)을 위한 화소에 대응한다. 본 발명의 일 양태에서, 상기 회로(100)(R)의 트랜지스터

(101)(R), 상기 회로(100)(G)의 트랜지스터(101)(G), 및 상기 회로(100)(B)의 트랜지스터(101)(B) 중 적어도 하나는 상기 채널 폭과 상기 채널 길이 간의 비가 다른 것들과 다를 수 있다. 상기 구성으로, 상기 회로(100)(R)의 부하(104)(R), 상기 회로(100)(G)의 부하(104)(G), 및 상기 회로(100)(B)의 부하(104)(B)에 공급된 전류들은 상이한 값들로 설정될 수 있다.

- [0228] 도 23의 (B)는 도 21의 (A)의 상기 회로(100)가 표시 장치의 화소로 사용되는 경우를, 일례로서 도시한다. 도 23의 (B)에서, 도 23의 (A)에서와 같이, 상기 회로(100)(R)의 트랜지스터(101)(R), 상기 회로(100)(G)의 트랜지스터(101)(G), 및 상기 회로(100)(B)의 트랜지스터(101)(B) 중 적어도 하나는 상기 채널 폭과 상기 채널 길이 간의 비가 다른 것들과 다를 수 있다. 상기 구성으로, 상기 회로(100)(R)의 부하(104)(R), 상기 회로(100)(G)의 부하(104)(G), 상기 회로(100)(B)의 부하(104)(B)에 공급된 전류들은 상이한 값들로 설정될 수 있다.
- [0229] 도 23의 (B)에서, 상기 회로(100)(R)의 상기 용량소자(105)(R), 상기 회로(100)(G)의 상기 용량소자(105)(G), 및 상기 회로(100)(B)의 상기 용량소자(105)(B) 중 적어도 하나는 용량 값이 다른 것들과 다를 수 있다.
- [0230] 도 23의 (A) 및 (B)는 상기 회로(100)(R)는 상기 부하(104)(R)를 포함하고, 상기 회로(100)(G)는 상기 부하(104)(G)를 포함하고, 상기 회로(100)(B)는 상기 부하(104)(B)를 포함하는 경우를 도시하지만, 도 23의 (A) 또는 (B)에서, 적절한 색상의 상기 발광 소자(104a 또는 104b)가 상기 부하(104)(R), 상기 부하(104)(G), 또는 상기 부하(104)(B) 대신 사용될 수 있다.
- [0231] 도 23의 (B)는 도 21의 (A)의 상기 회로(100)가 표시 장치의 화소로 사용되는 경우를 도시하지만, 도 21의 (B) 내지 (E)의 각각의 상기 회로들(100)이 표시 장치의 화소로 사용될 수 있다.
- [0232] 본 실시형태에서 상기 트랜지스터(101)의 상기 임계 전압 등의 변동이 보정되지만, 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 예를 들어, 상기 회로는 임계 전압의 변동을 보정하기 위한 상기 동작 없이 상기 부하(104)로 전류를 공급하도록 동작할 수 있다.
- [0233] 본 실시형태에서, 기본 원리의 일례가 설명되었다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.
- [0234] (실시형태 2)
- [0235] 본 실시형태에서, 본 발명의 일 양태에 따른 반도체 장치인 상기 회로(100)의 구성예들이 설명된다. 본 실시형태에서, 실시형태 1에 설명된 상기 회로에 스위치가 추가되거나 실시형태 1에 설명된 상기 회로를 구동하는 방법이 부분적으로 변경된다. 따라서, 실시형태 1에 설명된 내용들은 본 실시형태에 또한 적용될 수 있다.
- [0236] 도 24의 (A) 내지 (D)는 각각 회로(100)의 구성예를 도시한다. 도 24의 (A) 내지 (D)의 상기 회로들(100)은 스위치(914)가 추가된 도 1의 (A) 내지 (D)의 상기 회로들(100)에 각각 대응한다. 상기 스위치(914)는 트랜지스터(101)의 상기 소스 및 상기 드레인 중 다른 하나와 상기 배선(23) 사이의 도통을 제어하는 기능을 갖는다. 대안적으로, 상기 스위치(914)는 상기 배선(23)과 상기 배선(24) 사이의 도통을 제어하는 기능을 갖는다. 대안적으로, 상기 스위치(914)는 상기 용량소자(103)로 전류가 흐르는 것을 방지하는 기능을 갖는다. 대안적으로, 상기 스위치(914)는 상기 용량소자(102)로 전류가 흐르는 것을 방지하는 기능을 갖는다. 대안적으로, 상기 스위치(914)는 상기 부하(104)로 전류가 흐르는 것을 방지하는 기능을 갖는다.
- [0237] 본 발명의 일 양태에 따른 반도체 장치는 도 24의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.
- [0238] 도 25의 (A) 내지 (D)에 도시된 반도체 장치들은 도 24의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(201), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(202), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(203), 및 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(204)를 포함한다.
- [0239] 도 24의 (A) 내지 (D) 및 도 25의 (A) 내지 (D)에 도시된 상기 회로들(100)에서, 일례로서, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(914)는 트랜지스터들일 수 있다는 것을 주의한다.
- [0240] 예를 들어, 도 86에 도시된 바와 같이, 상기 스위치(914)가 트랜지스터(914t)일 때, 상기 트랜지스터(914t)의 게이트는 배선(932)에 접속될 수 있고, 상기 배선(932)은 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(9206)에 접속될 수 있다는 것을 주의한다. 상기 회로(9206)의 일례는 게이트 드라이버(주사선 구동 회로)이다.
- [0241] 상기 배선들(31 내지 33) 및 상기 배선(932) 중 적어도 2개가 서로 접속될 수 있다는 것을 주의한다. 대안적으로

로, 상기 배선들(31 내지 33) 및 상기 배선(932) 중 적어도 하나는 다른 회로(100)의 상기 배선들(31 내지 33) 및 상기 배선(932) 중 적어도 하나에 접속될 수 있다.

- [0242] 도 24의 (A) 내지 (D) 및 도 25의 (A) 및 (D)의 상기 회로들(100)은 도 1의 (A) 내지 (D) 및 도 2의 (A) 내지 (D)의 상기 회로들(100)과 동일한 방식으로 동작할 수 있다. 예로서, 도 24의 (A) 내지 (D) 및 도 25의 (A) 및 (D)의 상기 회로들(100)에서, 상기 스위치(914)는 상기 기간들(T11 내지 T13) 및 상기 기간(T15)에서 온이고, 상기 기간(T14)에서 오프인 것이 바람직하다(이들 기간들은 도 5의 (A) 내지 (C) 및 도 6의 (A) 내지 (C)를 참조하여 설명되었다)는 것을 주의한다. 따라서, 상기 기간(T14)에서, 상기 트랜지스터(101)를 통해 상기 발광 소자(104a) 등으로 전하가 누출되는 것이 방지될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.
- [0243] 대안적으로, 상기 기간(T13)에서, 상기 스위치(914)는 오프일 수 있다. 그 경우, 상기 트랜지스터(101)로 전류가 흐르지 않아, 상기 트랜지스터(101)의 상기 게이트 및 상기 소스와 같이 상기 회로(100)의 노드들의 전위들의 제어를 용이하게 한다.
- [0244] 대안적으로, 상기 기간(T11)에서, 상기 스위치(914)는 오프일 수 있다. 그 경우, 상기 트랜지스터(101)로 전류가 흐르지 않아, 상기 트랜지스터(101)의 상기 게이트 및 상기 소스와 같이 상기 회로(100)의 노드들의 전위들의 제어를 용이하게 한다.
- [0245] 대안적으로, 상기 스위치(914)는 또한 상기 기간(T15)의 일부에서 턴 오프된다. 이는 상기 발광 소자(104a) 등으로 전류가 흐르는 것을 방지하여, 비발광 기간을 제공한다.
- [0246] 도 24의 (B) 및 도 25의 (B)의 상기 회로들(100)은 각각 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 및 도 10의 (B)와 같이 상기 부하(104)에 접속된 용량소자(105)를 더 포함할 수 있다는 것을 주의한다. 유사하게, 도 24의 (C) 및 도 25의 (C)의 상기 회로들(100)은 각각 상기 발광 소자(104a)에 접속된 용량소자(105)를 더 포함할 수 있다. 유사하게, 도 24의 (D) 및 도 25의 (D)의 상기 회로들(100)은 각각 상기 발광 소자(104b)에 접속된 용량소자(105)를 더 포함할 수 있다. 구체적으로, 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극 및 상기 트랜지스터(101)의 소스 및 드레인 중 하나에 접속된다. 상기 용량소자(105)의 다른 전극은 추가적으로 제공된 배선(26, 24, 23, 또는 22)에 접속된다.
- [0247] 임의의 도 24의 (B) 내지 (D)의 상기 회로들(100) 및 상기 용량소자들(105)이 추가된 도 25의 (B) 내지 (D)의 상기 회로들(100)에 대응하는 상기 회로들이 표시 장치의 화소로 사용될 수 있다. 복수의 색상들을 위한 화소들이 상기 표시 장치에 제공되는 경우, 상이한 색상들을 위한 화소들의 상기 트랜지스터들(101)은 상기 채널 폭과 상기 채널 길이 간의 비가 다를 수 있다.
- [0248] 상기 스위치(914)의 위치는 도 24의 (A) 내지 (D) 및 도 25의 (A) 내지 (D)의 위치와 다를 수 있다는 것을 주의한다. 구체적으로, 예를 들어, 상기 스위치(914)는 상기 스위치(914)가 상기 배선(23)과 상기 배선(24) 사이의 도통을 제어할 수 있는 위치에 제공될 수 있다. 도 26의 (A) 내지 (D)는 각각 회로(100)의 구성예를, 일례로서 도시한다. 도 26의 (A) 내지 (D)의 상기 회로들(100)은 스위치(914)가 추가된 도 1의 (A) 내지 (D)의 상기 회로들(100)에 각각 대응한다. 상기 스위치(914)는 상기 트랜지스터(101)의 소스 및 드레인 중 하나와 상기 용량소자(103)의 다른 전극 사이의 도통을 제어하는 기능을 갖는다. 또한, 상기 스위치(13)가 온일 때, 상기 스위치(914)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 용량소자(102)의 상기 한 전극 사이의 도통 및 상기 트랜지스터(101)의 소스 및 드레인 중 하나 및 상기 용량소자(103)의 상기 한 전극 사이의 도통을 제어하는 기능을 갖는다.
- [0249] 본 발명의 일 양태에 따른 반도체 장치는 도 26의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.
- [0250] 도 27의 (A) 내지 (D)에 도시된 반도체 장치들은 도 26의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(201), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(202), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(203), 및 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(204)를 포함한다.
- [0251] 도 26의 (A) 내지 (D) 및 도 27의 (A) 내지 (D)의 상기 회로들(100)에서, 일례로서, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(914)는 트랜지스터들일 수 있다는 것을 주의한다.
- [0252] 도 26의 (A) 내지 (D) 및 도 27의 (A) 내지 (D)의 상기 회로들(100)은 도 1의 (A) 내지 (D), 도 2의 (A) 내지

(D), 도 24의 (A) 내지 (D), 또는 도 25의 (A) 내지 (D)의 상기 회로들(100)과 동일한 방식으로 동작할 수 있다.

- [0253] 도 26의 (B) 및 도 27의 (B)의 상기 회로들(100)은 각각 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 및 도 10의 (B)에서와 같이 상기 부하(104)에 접속된 용량소자(105)를 더 포함할 수 있다는 것을 주의한다. 유사하게, 도 26의 (C) 및 도 26의 (C)의 상기 회로들(100)은 각각 상기 발광 소자(104a)에 접속된 용량소자(105)를 더 포함할 수 있다. 유사하게, 도 26의 (D) 및 도 27의 (D)의 상기 회로들(100)은 각각 상기 발광 소자(104b)에 접속된 용량소자(105)를 더 포함할 수 있다. 구체적으로, 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극에 접속된다. 게다가, 상기 스위치(914)는 상기 용량소자(105)의 상기 한 전극과 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나 사이의 도통을 제어한다. 상기 용량소자(105)의 다른 전극은 추가적으로 제공된 배선(26, 24, 23, 또는 22)에 접속된다.
- [0254] 임의의 도 26의 (B) 내지 (D)의 상기 회로들(100) 및 상기 용량소자(105)가 추가된 도 27의 (B) 내지 (D)의 상기 회로들(100)에 대응하는 상기 회로들은 표시 장치의 화소로 사용될 수 있다. 복수의 색상들을 위한 화소들이 상기 표시 장치에 제공되는 경우, 상이한 색상들을 위한 화소들의 상기 트랜지스터들(101)은 상기 채널 폭과 상기 채널 길이 간의 비가 다를 수 있다.
- [0255] 상기 스위치(914)의 위치는 도 24의 (A) 내지 (D), 도 25의 (A) 내지 (D), 도 26의 (A) 내지 (D), 및 도 27의 (A) 내지 (D)의 위치와 다를 수 있다는 것을 주의한다. 도 28의 (A) 내지 (D)는 각각 회로(100)의 구성예를, 일 예로서 도시한다. 도 28의 (A) 내지 (D)의 상기 회로들(100)은 스위치(914)가 추가된 도 1의 (A) 내지 (D)의 상기 회로들(100)에 각각 대응한다. 상기 스위치(914)는 상기 트랜지스터(101)의 소스 및 드레인 중 하나와 상기 용량소자(103)의 다른 전극 사이의 도통을 제어하는 기능을 갖는다. 또한, 상기 스위치(13)가 온일 때, 상기 스위치(914)는 상기 용량소자(103)의 상기 한 전극과 상기 용량소자(103)의 다른 전극 사이의 도통, 및 상기 용량소자(102)의 상기 한 전극과 상기 용량소자(103)의 다른 전극 사이의 도통을 제어하는 기능을 갖는다.
- [0256] 본 발명의 일 양태에 따른 반도체 장치는 도 28의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.
- [0257] 도 29의 (A) 내지 (D)에 도시된 반도체 장치들은 도 28의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(201), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(202), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(203), 및 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(204)를 포함한다.
- [0258] 도 28의 (A) 내지 (D) 및 도 29의 (A) 내지 (D)의 상기 회로들(100)에서, 일예로서, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(914)는 트랜지스터들일 수 있다는 것을 주의한다.
- [0259] 도 28의 (A) 내지 (D) 및 도 29의 (A) 내지 (D)의 상기 회로들(100)은 도 1의 (A) 내지 (D), 도 2의 (A) 내지 (D), 도 24의 (A) 내지 (D), 도 25의 (A) 내지 (D), 도 26의 (A) 내지 (D), 및 도 27의 (A) 내지 (D)의 상기 회로들(100)과 동일한 방식으로 동작할 수 있다. 예로서, 도 28의 (A) 내지 (D) 및 도 29의 (A) 내지 (D)의 상기 회로들(100)에서, 상기 스위치(914)는 도 5의 (A) 내지 (C) 및 도 6의 (A) 내지 (C)에 도시된 상기 기간들(T11 내지 T13) 및 상기 기간(T15)에서 온이고, 상기 기간(T14)에서 오프인 것이 바람직하다는 것을 주의한다. 따라서, 상기 기간(T14)에서, 상기 트랜지스터(101)를 통해 상기 발광 소자(104a) 등으로 전하가 누설되는 것이 방지될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.
- [0260] 대안적으로, 상기 기간(T11)에서, 상기 스위치(914)는 오프일 수 있다. 따라서, 상기 트랜지스터(101)로 전류가 흐르지 않아, 전위의 제어를 용이하게 한다.
- [0261] 대안적으로, 상기 스위치(914)는 또한 상기 기간(T15)의 일부에서 턴 오프된다. 이는 상기 발광 소자(104a) 등으로 전류가 흐르는 것을 방지하여, 비발광 기간을 제공한다.
- [0262] 상기 기간(T12)에서, 상기 스위치(914)는 턴 오프될 수 있다. 상기 기간(T12)에서 상기 스위치(914)를 턴 오프하는 것은 상기 기간(T12)에서 상기 발광 소자(104a)의 상기 애노드를 상기 전위(Vi1)로 유지할 수 있게 한다. 따라서, 상기 기간(T14)의 상기 제 4 동작은 상기 기간(T13) 없이, 즉, 상기 제 3 동작 없이 상기 기간(T12)의 상기 제 2 동작의 종료 후에 수행될 수 있다.
- [0263] 도 28의 (B) 및 도 29의 (B)의 상기 회로들(100)은 각각 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 10의 (B), 등에서와 같이 상기 부하(104)에 접속된 용량소자(105)를 더 포함할 수 있다는 것을 주의한다. 유사하게,

도 28의 (C) 및 도 29의 (C)의 상기 회로들(100)은 각각 상기 발광 소자(104a)에 접속된 용량소자(105)를 더 포함할 수 있다. 유사하게, 도 28의 (D) 및 도 29의 (D)의 상기 회로들(100)은 각각 상기 발광 소자(104b)에 접속된 용량소자(105)를 더 포함할 수 있다. 구체적으로, 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극에 접속된다. 게다가, 상기 스위치(914)는 상기 용량소자(105)의 상기 한 전극과 상기 트랜지스터(101)의 소스 및 드레인 중 하나 사이의 도통을 제어한다. 상기 용량소자(105)의 다른 전극은 추가적으로 제공된 배선(26, 24, 23, 또는 22)에 접속된다.

[0264] 임의의 도 28의 (B) 내지 (D)의 상기 회로들(100) 및 상기 용량소자(105)가 추가된 도 29의 (B) 내지 (D)의 상기 회로들(100)에 대응하는 상기 회로들은 표시 장치의 화소로 사용될 수 있다. 복수의 색상들을 위한 화소들이 상기 표시 장치에 제공되는 경우, 상이한 색상들을 위한 화소들의 상기 트랜지스터들(101)은 상기 채널 폭과 상기 채널 길이 간의 비가 다를 수 있다.

[0265] 상기 스위치(914)의 위치는 도 24의 (A) 내지 (D), 도 25의 (A) 내지 (D), 도 26의 (A) 내지 (D), 도 27의 (A) 내지 (D), 도 28의 (A) 내지 (D), 및 도 29의 (A) 내지 (D)의 위치와 다를 수 있다는 것을 주의한다. 도 30의 (A) 내지 (D)는 각각 회로(100)의 구성예를, 일례로서 도시한다. 도 30의 (A) 내지 (D)의 상기 회로들(100)은 스위치(914)가 추가된 도 1의 (A) 내지 (D)의 상기 회로들(100)에 각각 대응한다. 도 30의 (A)에서, 상기 스위치(914)는 상기 트랜지스터(101)의 소스 및 드레인 중 하나와 상기 배선(24) 사이의 도통, 및 상기 용량소자(103)의 다른 전극과 상기 배선(24) 사이의 도통을 제어하는 기능을 갖는다. 도 30의 (B)에서, 상기 스위치(914)는 상기 트랜지스터(101)의 소스 및 드레인 중 하나와 부하(104) 사이의 도통, 및 상기 용량소자(103)의 다른 전극과 상기 부하(104) 사이의 도통을 제어하는 기능을 갖는다. 도 30의 (C)에서, 상기 스위치(914)는 상기 트랜지스터(101)의 소스 및 드레인 중 하나와 발광 소자(104a)의 애노드 사이의 도통, 및 상기 용량소자(103)의 다른 전극과 상기 발광 소자(104a)의 상기 애노드 사이의 도통을 제어하는 기능을 갖는다. 도 30의 (D)에서, 상기 스위치(914)는 상기 트랜지스터(101)의 소스 및 드레인 중 하나와 발광 소자(104b)의 캐소드 사이의 도통, 및 상기 용량소자(103)의 다른 전극과 상기 발광 소자(104b)의 상기 캐소드 사이의 도통을 제어하는 기능을 갖는다.

[0266] 본 발명의 일 양태에 따른 반도체 장치는 도 30의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다.

[0267] 도 31의 (A) 내지 (D)에 도시된 반도체 장치들은 도 30의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(201), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(202), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(203), 및 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(204)를 포함한다.

[0268] 도 30의 (A) 내지 (D) 및 도 31의 (A) 내지 (D)의 상기 회로들(100)에서, 일례로서, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(914)는 트랜지스터들일 수 있다는 것을 주의한다.

[0269] 도 30의 (A) 내지 (D) 및 도 31의 (A) 내지 (D)의 상기 회로들(100)은 도 1의 (A) 내지 (D), 도 2의 (A) 내지 (D), 도 24의 (A) 내지 (D), 도 25의 (A) 내지 (D), 도 26의 (A) 내지 (D), 도 27의 (A) 내지 (D), 도 28의 (A) 내지 (D), 및 도 29의 (A) 내지 (D)의 상기 회로들(100)과 유사한 방식으로 동작할 수 있다. 일례로서, 도 30의 (A) 내지 (D) 및 도 31의 (A) 내지 (D)의 상기 회로들(100)에서, 상기 스위치(914)는 도 5의 (A) 내지 (C) 및 도 6의 (A) 내지 (C)에 도시된 상기 기간(T11) 및 상기 기간들(T13 내지 T15)에서 온이고, 상기 기간(T12)에서 오프인 것이 바람직하다는 것을 주의한다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 따라서, 상기 기간(T12)에서 상기 스위치(914)를 턴 오프하는 것은 상기 기간(T12)에서 상기 발광 소자(104a)의 상기 애노드를 상기 전위(Vi1)로 유지할 수 있게 한다. 따라서, 상기 기간(T14)의 상기 제 4 동작은 상기 기간(T13) 없이, 즉, 상기 제 3 동작 없이 상기 기간(T12)의 상기 제 2 동작 종료 후에 수행될 수 있다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.

[0270] 대안적으로, 상기 기간(T11)에서, 상기 스위치(914)는 오프일 수 있다. 따라서, 상기 발광 소자(104a) 등으로 전류가 흐르지 않아, 상기 배선(22)의 상기 전위(Vi2)는 높은 값일 수 있다.

[0271] 대안적으로, 상기 기간(T12)에서, 상기 스위치(914)는 오프일 수 있다. 따라서, 상기 발광 소자(104a) 등으로 전류가 흐르지 않아, 상기 배선(22)의 상기 전위(Vi2)는 높은 값일 수 있다.

[0272] 대안적으로, 상기 스위치(914)는 또한 상기 기간(T15)의 일부에서 턴 오프된다. 이는 상기 발광 소자(104a) 등으로 전류가 흐르는 것을 방지하여, 비발광 기간을 제공한다.

- [0273] 도 30의 (B) 및 도 31의 (B)의 상기 회로들(100)은 각각 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 10의 (B), 도 21의 (A) 내지 (E), 및 도 22의 (A) 내지 (E)에서와 같이 상기 부하(104)에 접속된 용량소자(105)를 더 포함할 수 있다는 것을 주의한다. 유사하게, 도 30의 (C) 및 도 31의 (C)의 상기 회로들(100)은 각각 상기 발광 소자(104a)에 접속된 용량소자(105)를 더 포함할 수 있다. 유사하게, 도 30의 (D) 및 도 31의 (D)의 상기 회로들(100)은 각각 상기 발광 소자(104b)에 접속된 용량소자(105)를 더 포함할 수 있다. 구체적으로, 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극 및 상기 트랜지스터(101)의 소스 및 드레인 중 하나에 접속된다. 상기 용량소자(105)의 다른 전극은 추가적으로 제공된 배선(26, 24, 23, 또는 22)에 접속된다.
- [0274] 임의의 도 30의 (B) 내지 (D)의 상기 회로들(100) 및 상기 용량소자(105)가 추가된 도 31의 (B) 내지 (D)의 상기 회로들(100)에 대응하는 상기 회로들은 표시 장치의 화소로 사용될 수 있다. 복수의 색상들을 위한 화소들이 상기 표시 장치에 제공되는 경우, 상이한 색상들을 위한 화소들의 상기 트랜지스터들(101)은 상기 채널 폭과 상기 채널 길이 간의 비가 다를 수 있다.
- [0275] 도 24의 (A) 내지 (D), 도 25의 (A) 내지 (D), 도 26의 (A) 내지 (D), 도 27의 (A) 내지 (D), 도 28의 (A) 내지 (D), 도 29의 (A) 내지 (D), 도 30의 (A) 내지 (D), 및 도 31의 (A) 내지 (D)는 상기 스위치(914)가 추가된 도 1의 (A) 내지 (D) 등의 상기 회로들에 대응하는 회로들을 도시하지만, 상기 스위치(914)가 추가된 회로들은 도 1의 (A) 내지 (D) 등으로 제한되지 않는다는 것을 주의한다. 도 1의 (A) 내지 (D) 이외의 상기 도면들의 상기 회로들은 도 24의 (A) 내지 (D), 도 25의 (A) 내지 (D), 도 26의 (A) 내지 (D), 도 27의 (A) 내지 (D), 도 28의 (A) 내지 (D), 도 29의 (A) 내지 (D), 도 30의 (A) 내지 (D), 및 도 31의 (A) 내지 (D)의 상기 회로들과 같이 상기 스위치(914)를 포함할 수 있다. 예를 들어, 상기 스위치(14)가 추가된 도 11의 (A) 내지 (D)의 상기 회로들은 도 24의 (A) 내지 (D), 도 25의 (A) 내지 (D), 도 26의 (A) 내지 (D), 도 27의 (A) 내지 (D), 도 28의 (A) 내지 (D), 도 29의 (A) 내지 (D), 도 30의 (A) 내지 (D), 및 도 31의 (A) 내지 (D)의 상기 회로들과 같이 상기 스위치(914)를 추가로 포함할 수 있다. 이러한 경우의 일례는 도 87의 (A) 내지 (D)에 도시된다.
- [0276] 이하에 도 1의 (A) 내지 (D) 및 도 11의 (A) 내지 (D)의 상기 회로들이 도 5의 (A) 내지 (C), 도 17의 (A) 내지 (C), 등에 도시된 회로들과 상이한 구동 방법을 채용하는 경우의 일례를 제시한다. 이러한 구동 방법이 채용될 때, 화소들은 열 방향보다 행 방향의 배선(23)과 서로 접속되는 것이 바람직하다. 도 34의 (A) 내지 (D)는 도 1의 (A) 내지 (D)에 도시된 상기 회로들(100)의 배치 예를 도시한다. 도 34의 (A) 내지 (D)는 각각 상이한 배선들(21)에 접속된 복수의 회로들(100)이 공통 배선(23)에 접속되는 경우의 예를 도시한다. 즉, 상기 배선(23)은 상기 배선들(21)과 교차한다.
- [0277] 본 발명의 상기 반도체 장치의 일 양태에 따른 동작의 일례가 도 34의 (C)의 상기 회로(100)를 예로서 사용하여 설명된다. 이 동작을 위해, 도 5의 (B) 또는 도 17의 (B)의 상기 제 1 동작에서, 상기 전압(Vi2-Vi1)이 상기 용량소자(102)에 공급되고 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)이 상기 전압(Vi2-Vi1)이 될 때, 상기 전위(Vi1)는 상기 배선(21) 또는 상기 스위치(14)를 통해서가 아니라 상기 배선(23)을 통해 공급된다. 따라서 도 5의 (A) 내지 (C) 또는 도 17의 (A) 내지 (C)에 대한 상기 설명이 본 발명의 상기 반도체 장치의 일 양태에 적용될 수 있다.
- [0278] 도 34의 (C)에 도시된 상기 회로(100)의 상기 동작은 주로 제 1 동작, 제 2 동작, 제 3 동작, 제 4 동작, 및 제 5 동작으로 분할된다. 본 발명의 일 실시형태의 일 양태는 이로 제한되지 않고 다른 동작이 추가될 수 있거나 상기 동작의 일부가 생략될 수 있다는 것을 주의한다.
- [0279] 먼저, 기간(T11)에서 제 1 동작이 설명된다. 상기 기간(T11)에서, 도 35의 (A)에 도시된 바와 같이, 상기 스위치(11)는 오프이고, 상기 스위치(12) 및 상기 스위치(13)는 온이다. 게다가, 상기 전위(Vi1)는 상기 배선(23)에 공급된다. 따라서, 상기 기간(T11)에서, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vi1)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vi2-Vi1)이 된다. 즉, 상기 트랜지스터(101) 및 상기 용량소자(102)가 초기화된다.
- [0280] 다음에, 기간(T12)에서 제 2 동작이 설명된다. 상기 기간(T12)에서, 도 35의 (B)에 도시된 바와 같이, 상기 스위치(11)는 오프이고, 상기 스위치(12) 및 상기 스위치(13)는 온이다. 또한, 상기 전위(VDD)가 상기 배선(23)에 공급된다. 상기 전위(VDD)가 상기 배선(23)에 공급될 때, 상기 용량소자(102)에 축적된 전하가 상기 트랜지스터(101)를 통해 방출되고, 상기 트랜지스터(101)의 상기 소스의 전위가 상승된다. 그 후, 상기 트랜지스터(101)가 턴 오프될 때, 상기 용량소자(102)로부터 상기 전하의 방출이 중단된다. 상기 트랜지스터(101)의 상기 임계 전압(Vth)은 결국 상기 용량소자(102)에 유지된다. 따라서, 상기 기간(T12)에서, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vi2-Vth)가 되고, 상기 트랜

지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 임계 전압(Vth)이 된다. 즉, 상기 트랜지스터(101)의 상기 임계 전압(Vth)이 획득된다.

- [0281] 상기된 바와 같이, 상기 제 1 및 제 2 동작들은 상기 배선(21) 없이 수행될 수 있어서, 상기 제 1 및 제 2 동작들은 장기간 수행될 수 있다. 따라서, 상기 트랜지스터(101)의 상기 임계 전압이 더 정확하게 획득될 수 있어 결과적으로 불균일성이 거의 없는 선명한 화상들을 도출한다.
- [0282] 다음에, 기간(T13)에서 제 3 동작이 설명된다. 상기 기간(T13)에서, 도 35의 (C)에 도시된 바와 같이, 상기 스위치(11) 및 상기 스위치(13)는 온이고, 상기 스위치(12)는 오프이다. 미리 결정된 전위, 예를 들어, 상기 전위(VDD 또는 Vi1)가 상기 배선(23)에 공급된다. 또한, 상기 전위(Vi3)가 상기 배선(21)에 공급된다. 상기 전위(Vi3)는 상기 전위(Vcat), 상기 전위(Vi2), 또는 상기 전위(Vi1)와 동일한 레벨일 수 있다. 따라서, 상기 기간(T13)에서, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vi3)가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위(Vi3+Vth)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vth)이 된다.
- [0283] 다음에, 기간(T14)에서 제 4 동작이 설명된다. 상기 기간(T14)에서, 도 35의 (D)에 도시된 바와 같이, 상기 스위치(11)는 온이고, 상기 스위치(12) 및 상기 스위치(13)는 오프이다. 또한, 상기 전위(Vsig)가 상기 배선(21)에 공급된다. 따라서, 상기 기간(T14)에서, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 전압(Vsig-Vi3-Vα)이 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 전위(Vi3+Vα)가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위(Vsig+Vth)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 전압(Vsig+Vth-Vi3-Vα)이 된다.
- [0284] 기간(T15)에서 제 5 동작이 설명된다. 상기 기간(T15)에서, 도 36에 도시된 바와 같이, 상기 스위치(11), 상기 스위치(12), 및 상기 스위치(13)는 오프이다. 따라서, 상기 기간(T15)에서, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 상기 전압(Vsig-Vi3-Vα)은 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vel)가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위(Vsig+Vth-Vi3-Vα+Vel)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vsig+Vth-Vi3-Vα)이 된다. 따라서, 상기 전위(Vsig)에 기초한 전류가 상기 발광 소자(104a)로 흐를 수 있어서, 상기 발광 소자(104a)가 상기 전위(Vsig)에 기초한 휘도로 발광할 수 있다.
- [0285] 상기 트랜지스터(101)를 통해 상기 발광 소자(104a)로 전류가 공급될 때 상기 전위(Vel)가 발생한다는 것을 주의한다. 구체적으로, 상기 전위(Vel)는 상기 전위(VDD)와 상기 전위(Vcat) 사이의 전위이다.
- [0286] 상기 제 5 동작에서, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 트랜지스터(101)의 상기 임계 전압(Vth)을 고려함으로써 상기 전압(Vsig+Vth-Vi3-Vα)으로 설정될 수 있다. 결과적으로, 상기 트랜지스터들(101) 간의 임계 전압(Vth)의 변동이 상기 발광 소자들(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 대안적으로, 상기 트랜지스터(101)가 열화되고 상기 임계 전압(Vth)이 변동되어도, 상기 임계 전압(Vth)의 변동이 상기 발광 소자(104a)에 공급된 전류값에 악영향을 주는 것이 방지될 수 있다. 따라서, 불균일성이 거의 없는 고품질의 화상이 표시될 수 있다.
- [0287] 또한 상기 기간(T15)의 일부에서, 상기 발광 소자(104a) 등으로 전류가 흐르는 것을 방지하도록 상기 배선(23)의 전위가 제어될 수 있어, 비발광 기간이 제공된다. 예를 들어, 상기 배선(23)의 전위가 상기 배선(24)의 전위와 같을 때, 전류가 흐르는 것이 방지될 수 있다.
- [0288] 도 34의 (A) 내지 (D) 및 도 35의 (A) 내지 (D)의 상기 회로들에 스위치(14)가 제공되지 않지만, 본 발명은 이로 제한되지 않고, 도 11의 (A) 내지 도 16의 (D), 도 17의 (B) 내지 도 18의 (B), 및 도 20의 (B) 내지 도 23의 (B)에 도시된 상기 회로들과 유사하게 도 34의 (A) 내지 (D) 및 도 35의 (A) 내지 (D)의 상기 회로들에 스위치(14)가 제공될 수 있다는 것을 주의한다.
- [0289] 도 34의 (A) 내지 (D) 및 도 35의 (A) 내지 (D)의 상기 회로들에 스위치(914)가 제공되지 않지만, 본 발명은 이로 제한되지 않고, 도 24의 (A) 내지 도 31의 (D), 도 46의 (A) 내지 도 52의 (D), 도 57의 (A) 내지 (D), 도 63의 (B) 내지 (D), 도 64의 (B) 내지 도 65의 (A), 도 66의 (A), 도 67의 (A), 도 67의 (C), 도 68의 (A), 도 68의 (C), 도 73의 (A) 내지 (D), 및 도 87의 (A) 내지 (D)에 도시된 상기 회로들과 유사하게 도 34의 (A) 내지 (D) 및 도 35의 (A) 내지 (D)의 상기 회로들에 스위치(914)가 제공될 수 있다는 것을 주의한다.
- [0290] 도 34의 (A) 내지 (D) 및 도 35의 (A) 내지 (D)에서, 상기 배선(23)의 전위를 변경함으로써 동작이 수행되지만, 동작은 또한 복수의 배선들의 상기 전위들을 제어함으로써 수행될 수 있다. 이러한 경우의 예가 설명될 것이다.

도 34의 (A) 내지 (D), 도 35의 (A) 내지 (D), 도 5의 (A) 내지 (C), 및 도 17의 (A) 내지 (C)에 대한 상기 설명이 본 발명의 상기 반도체 장치의 일 양태에 적용될 수 있다. 도 32의 (A) 내지 (D)는 각각 회로(100)의 구성 예를 도시한다. 도 32의 (A) 내지 (D)의 상기 회로들(100)은 스위치(814) 및 스위치(15)가 추가되고 상기 배선(23) 대신 배선(23a) 및 배선(23b)을 포함하는 도 1의 (A) 내지 (D) 또는 도 34의 (A) 내지 (D), 도 35의 (A) 내지 (D), 및 도 36의 상기 회로들(100)에 대응한다. 도 32의 (A) 내지 (D)에서, 상기 스위치(814)는 트랜지스터(101)의 상기 소스 및 상기 드레인 중 다른 하나와 상기 배선(23a) 사이의 도통을 제어하는 기능을 갖는다. 게다가, 상기 스위치(15)는 트랜지스터(101)의 상기 소스 및 상기 드레인 중 다른 하나와 상기 배선(23b) 사이의 도통을 제어하는 기능을 갖는다.

[0291] 상기 배선(23a) 및/또는 상기 배선(23b)이 제공될 수 있어서 상기 배선(21)과 교차하거나 상기 배선(21)과 평행하게 제공될 수 있다는 것을 주의한다.

[0292] 본 발명의 일 양태에 따른 반도체 장치는 도 32의 (A) 내지 (D)에 도시된 임의의 상기 회로들(100)뿐만 아니라, 예를 들어, 상기 회로(100)에 일정한 전압 또는 신호를 공급하는 임의의 회로를 포함할 수 있다

[0293] 도 33의 (A) 내지 (D)에 도시된 반도체 장치들은 도 32의 (A) 내지 (D)의 상기 회로들(100)에 더하여, 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(201), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(202), 상기 배선(23a)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(203a), 상기 배선(23b)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(203b), 및 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(204)를 포함한다. 구체적으로, 상기 회로(203a)는 상기 전위(Vi1)를 상기 배선(23a)에 공급하는 기능을 갖는다. 상기 회로(203b)는, 예를 들어, 전원 전위(고전원 전위 또는 저전원 전위), 예를 들어, 상기 전위(VDD) 또는 상기 전위(VSS)를 상기 배선(23b)에 공급하는 기능을 갖는다. 상기 회로들(203a 및 203b)의 예들은 전원 공급 회로들이다.

[0294] 따라서, 상기 배선(23a)은 상기 전위(Vi1)를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(23a)은 초기화 배선으로서 기능한다. 상기 배선(23a)의 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(23a)의 전위는 펄스 신호와 같이 변동할 수 있다.

[0295] 따라서, 상기 배선(23b)은 전원 전위를 전달 또는 공급하는 기능을 갖는다. 대안적으로, 상기 배선(23b)은 상기 트랜지스터(101)에 전류를 공급하는 기능을 갖는다. 대안적으로, 상기 배선(23b)은 상기 부하(104)에 전류를 공급하는 기능을 갖는다. 상기 배선(23b)은 전원 공급선으로서 기능한다. 대안적으로, 상기 배선(23b)은 전류 공급선으로서 기능한다. 상기 배선(23b)의 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(23b)의 전위는 펄스 신호와 같이 변동할 수 있다. 예를 들어, 상기 배선(23b)의 전위는 상기 부하(104)에 순방향 바이어스 전압뿐만 아니라 역방향 바이어스 전압이 인가되는 전위일 수 있다.

[0296] 도 33의 (A) 내지 (D)에서, 상기 반도체 장치들은 일례로서 상기 회로(100)에 더하여, 상기 회로들(201, 202, 203a, 203b, 및 204)을 각각 포함하는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 반도체 장치는 상기 회로들(201, 202, 203a, 203b, 및 204)을 모두 포함할 필요는 없고, 이들 회로들 중 하나 또는 일부만을 포함할 수 있다.

[0297] 도 32의 (A) 내지 (D) 및 도 33의 (A) 내지 (D)의 상기 회로들(100)에서, 일례로서, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 상기 스위치(814), 및 상기 스위치(15)는 트랜지스터일 수 있다는 것을 주의한다.

[0298] 도 32의 (A) 내지 (D) 및 도 33의 (A) 내지 (D)의 상기 회로들(100)은 도 34의 (A) 내지 (D), 도 35의 (A) 내지 (D), 및 도 36의 상기 회로들(100)과 유사한 방식으로 동작할 수 있다. 도 32의 (A) 내지 (D) 및 도 33의 (A) 내지 (D)의 상기 회로들(100)의 경우, 상기 기간(T11)에서 상기 스위치(814)는 온이고 상기 스위치(15)는 오프라는 것을 주의한다. 게다가, 상기 기간들(T12 내지 T15)에서 상기 스위치(814)는 오프이고 상기 스위치(15)는 온이다.

[0299] 도 32의 (B) 및 도 33의 (B)의 상기 회로들(100)은 각각 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 10의 (A) 및 (B), 도 21의 (A) 내지 (E), 및 도 22의 (A) 내지 (E)에서와 같이 상기 부하(104)에 접속된 용량소자(105)를 더 포함할 수 있다는 것을 주의한다. 유사하게, 도 32의 (C) 및 도 33의 (C)의 상기 회로들(100)은 각각 상기 발광 소자(104a)에 접속된 용량소자(105)를 더 포함할 수 있다. 유사하게, 도 32의 (D) 및 도 33의 (D)의 상기 회로들(100)은 각각 상기 발광 소자(104b)에 접속된 용량소자(105)를 더 포함할 수 있다. 구체적으로

로, 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극 및 상기 트랜지스터(101)의 소스 및 드레인 중 하나에 접속된다. 상기 용량소자(105)의 다른 전극은 추가적으로 제공된 배선(26, 24, 23, 또는 22)에 접속된다.

- [0300] 임의의 도 32의 (B) 내지 (D)의 상기 회로들(100) 및 상기 용량소자(105)가 추가된 도 33의 (B) 내지 (D)의 상기 회로들(100)에 대응하는 상기 회로들은 표시 장치의 화소로 사용될 수 있다. 복수의 색상들을 위한 화소들이 상기 표시 장치에 제공되는 경우, 상이한 색상들을 위한 화소들의 상기 트랜지스터들(101)은 상기 채널 폭과 상기 채널 길이 간의 비가 다를 수 있다.
- [0301] 도 32의 (A) 내지 (D) 및 도 33의 (A) 내지 (D)의 상기 회로들에 스위치(14)가 제공되지 않지만, 본 발명은 이로 제한되지 않고, 도 11의 (A) 내지 도 16의 (D), 도 17의 (B) 내지 도 18의 (B), 및 도 20의 (B) 내지 도 23의 (B)에서와 같이 도 34의 (A) 내지 (D) 및 도 35의 (A) 내지 (D)의 상기 회로들에 스위치(14)가 제공될 수 있다는 것을 주의한다.
- [0302] 도 32의 (A) 내지 (D) 및 도 33의 (A) 내지 (D)의 상기 회로들에 스위치(914)가 제공되지 않지만, 본 발명은 이로 제한되지 않고, 도 24의 (A) 내지 도 31의 (D), 도 46의 (A) 내지 도 52의 (D), 도 57의 (A) 내지 (D), 도 63의 (B) 내지 (D), 도 64의 (B) 내지 도 65의 (A), 도 66의 (A), 도 67의 (A), 도 67의 (C), 도 68의 (A), 도 68의 (C), 도 73의 (A) 내지 (D), 및 도 87의 (A) 내지 (D)에서와 같이 도 32의 (A) 내지 (D) 및 도 33의 (A) 내지 (D)의 상기 회로들에 스위치(914)가 제공될 수 있다는 것을 주의한다.
- [0303] 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.
- [0304] (실시형태 3)
- [0305] 본 실시형태에서, 본 발명의 일 양태에 따른 반도체 장치인 상기 회로(100)의 구성예들이 설명된다. 본 실시형태에서, 예를 들어, 실시형태 1 및 실시형태 2에서 설명된 상기 회로에 스위치 또는 배선이 추가되고, 접속이 일부 변경되고, 배선이 다른 배선에 접속되어 하나의 배선으로 병합되고, 또는 구동 방법이 일부 변경된다. 따라서, 실시형태 1 및 실시형태 2에 설명된 상기 내용들이 또한 본 실시형태에 적용될 수 있다.
- [0306] 도 43의 (A)의 상기 회로(100)의 구성은 상기 스위치(14)의 위치가 도 11의 (C)의 상기 회로(100)와 다른 구성 또는 도 1의 (C)의 상기 회로(100)에 상기 스위치(14)가 추가된 구성에 대응한다. 도 43의 (A)의 상기 회로(100)에서, 상기 스위치(14)는 상기 용량소자(102 또는 103)의 한 전극과 상기 배선(25) 사이의 도통을 제어하는 기능을 갖는다.
- [0307] 동작들은 도 17의 (A) 내지 (C), 도 18의 (A) 및 (B), 도 19의 (A) 내지 (D), 및 도 20의 (A) 및 (B)의 상기 동작들과 유사하다는 것을 주의한다. 도 18의 (A)에서, 상기 제 4 동작에서 상기 스위치(14)는 온이지만, 도 43의 (A)에서, 상기 제 4 동작에서 상기 스위치(14)는 오프인 것이 바람직하다. 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다.
- [0308] 도 43의 (A)에서, 도 24의 (A) 내지 (D), 도 25의 (A) 내지 (D), 도 26의 (A) 내지 (D), 도 27의 (A) 내지 (D), 도 28의 (A) 내지 (D), 도 29의 (A) 내지 (D), 도 30의 (A) 내지 (D), 도 31의 (A) 내지 (D), 등에서와 같이 상기 스위치(914)가 제공될 수 있다는 것을 주의한다. 도 43의 (A)에서, 도 32의 (A) 내지 (D), 도 33의 (A) 내지 (D), 등에서와 같이 상기 스위치(814) 및 상기 스위치(15)가 제공될 수 있다. 도 43의 (A)에서, 상기 배선(23)의 전위는 도 34의 (A) 내지 (D) 등에서와 같이 제어될 수 있다. 도 43의 (F)는 도 30의 (A) 내지 (D)에서와 같이 도 43의 (A)에 상기 스위치(914)가 제공된 예를 도시한다.
- [0309] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 도 43의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가될 수 있다. 예를 들어, 도 43의 (B)의 상기 회로(100)의 상기 구성은 도 43의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다. 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극에 접속된다. 상기 용량소자(105)의 다른 전극은 상기 배선(26)에 접속된다.
- [0310] 도 8의 (A) 내지 (D), 도 21의 (A) 내지 (E), 등에서와 같이, 상기 배선(26)이 다양한 배선들에 접속될 수 있다는 것을 주의한다. 도 43의 (C)의 상기 회로(100)는 도 43의 (B)의 상기 회로(100)에서 상기 배선(26)이 상기 배선(25)에 접속된 일예이다. 상기 배선(26)은 상기 배선(25) 대신 다양한 배선들, 예를 들어, 상기 배선(24),

상기 배선(22), 상기 배선(23), 상기 게이트 신호선, 또는 다른 회로(100)의 배선에 접속될 수 있다.

- [0311] 상기 배선(25)은 다양한 배선들에 접속될 수 있다는 것을 주의한다. 도 43의 (D)의 상기 회로(100)는 도 43의 (A)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 일예이다.
- [0312] 도 43의 (E)의 상기 회로(100)의 상기 구성은 도 43의 (D)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다. 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극에 접속된다. 상기 용량소자(105)의 다른 전극은 상기 배선(26)에 접속된다.
- [0313] 도 44의 (A) 내지 (F)의 반도체 장치들은 도 43의 (A) 내지 (F)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(221), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 포함한다.
- [0314] 도 43의 (A) 내지 (F) 및 도 44의 (A) 내지 (F)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 43의 (A) 내지 (F) 및 도 44의 (A) 내지 (F)의 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공된 구성을 가질 수 있다.
- [0315] 도 43의 (D)에서, 도 11의 (A) 내지 (D) 등에서의와 같이 상기 배선(25)은 다양한 배선들에 접속될 수 있다는 것을 주의한다. 도 45의 (A)의 상기 회로(100)는 도 11의 (C)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 예이다.
- [0316] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서의와 같이, 도 45의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가될 수 있거나 배선이 접속될 수 있다. 예를 들어, 도 45의 (B)의 상기 회로(100)의 상기 구성은 도 45의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다. 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극에 접속된다. 상기 용량소자(105)의 다른 전극은 상기 배선(26)에 접속된다. 상기 배선(25)은 상기 배선(24)이 아닌 상기 배선(26)에 접속될 수 있다는 것을 주의한다. 대안적으로, 상기 배선(26) 및 상기 배선(25)은 상기 배선(24)에 접속될 수 있다.
- [0317] 도 45의 (C) 및 (D)의 반도체 장치들은 도 45의 (A) 및 (B)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(221), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.
- [0318] 도 45의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 45의 (A) 내지 (D)의 각각의 상기 회로(100)에서 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0319] 도 1의 (A) 내지 (D) 등의 상기 회로에서, 상기 스위치(14) 또는 상기 스위치(914) 또는 둘 다를 추가로 제공함으로써 상기 스위치(14) 및 상기 스위치(914) 둘 다 제공될 수 있다는 것을 주의한다. 즉, 상기 스위치(914)가 도 11의 (A) 내지 (D), 도 32의 (A) 내지 (D), 도 34의 (A) 내지 (D), 도 43의 (A) 내지 (F), 도 45의 (A) 내지 (D), 등에 추가될 수 있거나 상기 스위치(14)가 도 24의 (A) 내지 (D), 도 26의 (A) 내지 (D), 도 28의 (A) 내지 (D), 도 30의 (A) 내지 (D), 도 32의 (A) 내지 (D), 도 34의 (A) 내지 (D), 등에 추가될 수 있다. 예를 들어, 도 46의 (A)의 상기 회로(100)의 상기 구성은 도 11의 (C)의 상기 회로(100)에 상기 스위치(914)가 추가된 구성 또는 도 28의 (C)의 상기 회로(100)에 상기 스위치(14)가 추가된 구성에 대응한다. 도 46의 (A)의 상기 회로(100)에서, 상기 스위치(914)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 용량 소자(103)의 다른 전극 또는 상기 발광 소자(104a)의 상기 애노드 사이의 도통을 제어하는 기능을 갖는다.
- [0320] 도 44의 (D), 도 45의 (A) 내지 (D), 등에서의와 같이, 도 46의 (A)에서 상기 배선(25)은 다른 배선에 접속될 수 있다는 것을 주의한다. 도 46의 (B)는 도 46의 (A)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 예를 도시한다.

- [0321] 또한, 상기 스위치(14)의 위치는 도 46의 (A)에 도시된 상기 위치에 제한되지 않고, 도 43의 (A) 내지 (F)에서와 같이 상기 스위치(14)는 다른 위치에 제공될 수 있다. 도 46의 (C)의 상기 회로(100)의 상기 구성은 도 43의 (A)에서와 같이 도 46의 (A)에 상기 스위치(14)가 제공되는 구성에 대응한다. 상기 스위치(14)는 상기 용량소자(102)의 한 전극과 상기 배선(25) 사이의 도통, 및 상기 용량소자(103)의 한 전극과 상기 배선(25) 사이의 도통을 제어하는 기능을 갖는다.
- [0322] 게다가, 상기 스위치(14)에 대응하는 스위치들의 수는 하나로 제한되지 않고 하나 이상일 수 있다. 예를 들어, 도 46의 (D)의 상기 회로(100)의 상기 구성은 상기 용량소자(103)의 다른 전극과 상기 배선(24) 사이의 도통, 및 상기 발광 소자(104a)의 상기 애노드와 상기 배선(24) 사이의 도통을 제어하는 기능을 갖는 스위치(14a), 및 상기 용량소자(102)의 한 전극과 상기 배선(25) 사이의 도통, 및 상기 용량소자(103)의 상기 한 전극과 상기 배선(25) 사이의 도통을 제어하는 기능을 갖는 스위치(14b)가 상기 스위치(14) 대신 제공되는 것이 도 46의 (A)의 상기 회로(100)의 상기 구성과 다르다. 즉, 도 46의 (D)에서 상기 스위치들(14)의 수는 2이다.
- [0323] 도 47의 (A) 내지 (D)의 반도체 장치들은 도 46의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(221), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 및 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224)를 하나 이상 포함한다.
- [0324] 도 46의 (A) 내지 (D) 및 도 47의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 46의 (A) 내지 (D) 및 도 47의 (A) 내지 (D) 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0325] 상기 스위치(14) 및 상기 스위치(914)가 도 46의 (A) 내지 (D) 및 도 87의 (A) 내지 (D)에 도시된 방식으로 제공될 필요는 없다는 것을 주의한다. 상기 스위치(14) 및 상기 스위치(914)는 다양한 방식으로 제공될 수 있다. 그 경우의 구동 방식은 도 5의 (A) 내지 (C), 도 6의 (A) 내지 (C), 도 17의 (A) 내지 (C), 도 18의 (A) 및 (B), 도 20의 (A) 및 (B), 도 35의 (A) 내지 (D), 및 도 36에서와 유사할 수 있다. 도 48의 (A)의 상기 회로(100)의 상기 구성은 상기 스위치(14)의 위치가 도 46의 (A)의 상기 회로(100)와 다른 구성에 대응한다. 도 48의 (A)의 상기 회로(100)에서, 상기 스위치(14)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 배선(25) 사이의 도통을 제어하는 기능을 갖는다.
- [0326] 게다가, 도 48의 (A)에서, 도 44의 (D) 및 도 45의 (A) 내지 (D)에서와 같이 상기 배선(25)은 다른 배선에 접속될 수 있다. 도 48의 (B)의 상기 회로(100)는 도 46의 (A)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 예이다.
- [0327] 도 48의 (C) 및 (D)의 반도체 장치들은 도 48의 (A) 및 (B)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(221), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 및 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224)를 하나 이상 포함한다.
- [0328] 도 48의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 48의 (A) 내지 (D) 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0329] 도 49의 (A)의 상기 회로(100)의 상기 구성은 상기 스위치(14) 및 상기 스위치(914)가 제공된 다른 예이고 도 11의 (C)의 상기 회로(100)에 상기 스위치(914)가 추가된 구성 또는 도 30의 (C)의 상기 회로(100)에 상기 스위치(14)가 추가된 구성에 대응한다. 도 49의 (A)의 상기 회로(100)에서, 상기 스위치(914)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 발광 소자(104a)의 상기 애노드 사이의 도통, 및 상기 용량소자(103)의 다른 전극과 상기 발광 소자(104a)의 상기 애노드 사이의 도통을 제어하는 기능을 갖는다.
- [0330] 그 경우의 구동 방식은 도 5의 (A) 내지 (C), 도 6의 (A) 내지 (C), 도 17의 (A) 내지 (C), 도 18의 (A) 및 (B), 도 20의 (A) 및 (B), 도 35의 (A) 내지 (D), 및 도 36에서와 유사할 수 있다. 상기 구동 방법의 일예가 이하에 설명된다.

- [0331] 먼저, 기간(T11)에서 제 1 동작이 설명된다. 상기 기간(T11)에서, 상기 스위치(11) 및 상기 스위치(914)는 오프이고, 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(14)는 온이다. 따라서, 상기 기간(T11)에서, 상기 전압($V_{i2}-V_{i1}$)이 상기 용량소자(102)에 공급되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(V_{i1})가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 전압($V_{i2}-V_{i1}$)이 된다. 즉, 상기 트랜지스터(101) 및 상기 용량소자(102)가 초기화된다.
- [0332] 상기 배선(21)의 상기 전위가 상기 트랜지스터(101) 및 상기 용량소자(102)의 초기화에 악영향을 주지 않는 경우, 상기 스위치(11)가 온될 수 있다는 것을 주의한다. 그 경우, 상기 스위치(14)는 오프일 수 있다.
- [0333] 상기 스위치(13)는 오프일 수 있다는 것을 주의한다.
- [0334] 상기 스위치(914)는 온될 수 있다는 것을 주의한다.
- [0335] 기간(T12)에서 제 2 동작이 설명된다. 상기 기간(T12)에서, 상기 스위치(11), 상기 스위치(14), 및 상기 스위치(914)는 오프이고, 상기 스위치(12) 및 상기 스위치(13)는 온이다. 상기 스위치(11), 상기 스위치(914), 및 상기 스위치(14)가 턴 오프될 때, 상기 용량소자(102)에 축적된 전하가 상기 트랜지스터(101)를 통해 방출되고, 상기 트랜지스터(101)의 상기 소스의 전위가 상승된다. 그 후, 상기 트랜지스터(101)가 턴 오프될 때, 상기 용량소자(102)로부터 상기 전하의 방출이 중단된다. 상기 트랜지스터(101)의 상기 임계 전압(V_{th})은 결국 상기 용량소자(102)에 유지된다. 따라서, 상기 기간(T12)에서, 상기 임계 전압(V_{th})은 상기 용량소자(102)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위($V_{i2}-V_{th}$)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 임계 전압(V_{th})(또는 V_{th} 에 기초한 전압)이 된다. 즉, 상기 트랜지스터(101)의 상기 임계 전압(V_{th})(또는 V_{th} 에 기초한 전압)이 획득될 수 있다.
- [0336] 상기 제 2 동작은 상기 트랜지스터(101)의 상기 임계 전압(V_{th})의 값이 양 또는 음인지 여부와 무관하게 수행될 수 있다는 것을 주의한다. 이는 상기 트랜지스터(101)의 상기 소스의 전위가 상기 트랜지스터(101)가 턴 오프될 때까지 상승될 수 있기 때문이다. 즉, 상기 트랜지스터(101)의 상기 소스의 전위가 상기 트랜지스터(101)의 상기 게이트의 상기 전위보다 높아질 때, 상기 트랜지스터(101)는 결국 턴 오프될 수 있고 V_{gs101} 은 V_{th} 가 될 수 있다. 따라서, 상기 제 2 동작은 상기 트랜지스터(101)가 인헨스먼트(노멀리 오프) 트랜지스터 또는 공핍(노멀리 온) 트랜지스터인지 여부와 무관하게 정확하게 수행될 수 있다.
- [0337] 상기 발광 소자(104a)의 상기 애노드의 전위가 높아질 때, 상기 발광 소자(104a)로 전류가 흐르지 않는 것이 바람직하다는 것을 주의한다. 상기 발광 소자(104a)로 전류가 흐르지 않도록 상기 전위(V_{i2})는 낮은 값인 것이 바람직하다. 상기 스위치(914)가 턴 오프될 때, 상기 발광 소자(104a)에 전류를 공급하지 않는 것이 가능하고, 따라서, 상기 전위(V_{i2})는 높은 값일 수 있다는 것을 주의한다.
- [0338] 상기 스위치(914)는 온될 수 있다는 것을 주의한다.
- [0339] 기간(T13)에서 제 3 동작이 설명된다. 상기 기간(T13)에서, 상기 스위치(11) 및 상기 스위치(14)는 온이고, 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(914)는 오프이다. 또한, 상기 전위(V_{sig})가 상기 배선(21)에 공급된다. 따라서, 상기 기간(T13)에서, 상기 임계 전압(V_{th})(또는 V_{th} 에 기초한 전압)은 상기 용량소자(102)에 유지되고, 상기 전압($V_{sig}-V_{i1}$)은 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(V_{i1})가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위($V_{sig}+V_{th}$)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 전압($V_{sig}+V_{th}-V_{i1}$)이 된다. 따라서, 상기 전위(V_{sig})는 상기 용량소자(103)로 입력될 수 있다. 대안적으로, 상기 용량소자(102)에 걸리는 전압과 상기 용량소자(103)에 걸리는 전압의 합은 상기 트랜지스터(101)의 상기 게이트-소스 전압과 같아질 수 있다.
- [0340] 그 경우, 상기 스위치(14)는 턴 오프될 수 있다는 것을 주의한다.
- [0341] 상기 스위치(914)는 온될 수 있다는 것을 주의한다.
- [0342] 기간(T14)에서 제 4 동작이 설명된다. 상기 기간(T14)에서, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(14)는 오프이고, 상기 스위치(914)는 온이다. 따라서, 상기 기간(T14)에서, 상기 임계 전압(V_{th})은 상기 용량소자(102)에 유지되고, 상기 전압($V_{sig}-V_{i1}$)은 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(V_{e1})가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위($V_{sig}+V_{th}+V_{e1}$)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 전압($V_{sig}+V_{th}-V_{i1}$)이 된다. 따라서, 상기 전위(V_{sig})에 기초한 전류가 상기 발광 소자(104a)로 흐를 수 있어서, 상기 발광 소자(104a)는 상기 전위(V_{sig})에 기초한 휘도로 발광할 수 있다.

- [0343] 상기 제 4 동작의 일부 기간에서, 상기 트랜지스터(101)를 강제로 턴 오프하거나 상기 발광 소자(104a)로 전류를 공급하지 않는 것이 가능하여, 상기 발광 소자(104a)가 발광하지 않는다는 것을 주의한다. 즉, 비발광 기간이 제공될 수 있다. 예를 들어, 상기 스위치(12)를 턴 온함으로써, 상기 트랜지스터(101)는 턴 오프될 수 있다. 대안적으로, 상기 스위치(14)를 턴 온함으로써, 상기 발광 소자(104a)로 전류를 공급하지 않을 수 있다. 대안적으로, 상기 스위치(914)를 턴 오프함으로써, 상기 발광 소자(104a)로 전류를 공급하지 않을 수 있다.
- [0344] 제 6 동작이 수행되는 상기 기간(T16)은 상기 제 3 동작이 수행되는 상기 기간(T13) 후 및 상기 제 4 동작이 수행되는 상기 기간(T14) 전에 제공될 수 있다는 것을 주의한다.
- [0345] 상기 기간(T16)에서 제 6 동작이 설명된다. 상기 기간(T16)에서, 상기 스위치(12)는 온이고, 상기 스위치(11), 상기 스위치(13), 상기 스위치(914), 및 상기 스위치(14)는 오프이다. 따라서, 상기 기간(T16)에서, 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101})은 상기 전압($V_{sig}+V_{th}-V_{i1}-V_a$)이 된다.
- [0346] 상기 제 6 동작에서 상기 발광 소자(104a)의 상기 애노드가 전기적으로 부유 상태가 될 때 상기 전위(V_a)가 변동한다. 상기 전위(V_a)의 상기 값은 상기 트랜지스터(101)가 오프이면, 상기 발광 소자(104a)의 용량 값과 상기 용량소자(102) 및 상기 용량소자(103)의 용량 값 간의 비에 따른다. 그러나, 상기 전위(V_{sig})의 레벨에 따라, 상기 트랜지스터(101)가 턴 온될 수 있고 상기 트랜지스터(101)를 통해 상기 발광 소자(104a)의 상기 애노드로 전하가 흐른다. 따라서, 상기 전위(V_a)의 상기 값은 상기 정전용량비뿐만 아니라 상기 발광 소자(104a)의 상기 애노드로 흐르는 상기 전하에 따른다.
- [0347] 상기 스위치(12)의 상기 온/오프 상태 및 상기 스위치(13)의 상기 온/오프 상태는 동일한 타이밍에 제어될 수 있다는 것을 주의한다. 따라서, 상기 스위치(12) 및 상기 스위치(13)가 동일한 극성을 갖는 트랜지스터들인 경우, 상기 트랜지스터들의 게이트들은 도 15의 (A) 내지 (D)에서와 같이 서로 접속될 수 있다.
- [0348] 상기 배선(22 또는 25)은 다양한 배선들에 접속될 수 있다. 도 49의 (B)의 상기 회로(100)는 도 49의 (A)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 일예이다.
- [0349] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 상기 용량소자(105)가 추가될 수 있다. 예를 들어, 도 49의 (C)의 상기 회로(100)의 상기 구성은 도 49의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다. 상기 용량소자(105)의 한 전극은 상기 용량소자(103)의 다른 전극에 접속된다. 상기 용량소자(105)의 다른 전극은 상기 배선(26)에 접속된다.
- [0350] 예로서 상기 용량소자(105)의 위치는 도 49의 (C)와 다르고, 도 49의 (D)의 상기 회로(100)의 상기 구성은 도 49의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다. 상기 용량소자(105)의 한 전극은 상기 발광 소자(104a)의 상기 애노드에 접속된다. 상기 용량소자(105)의 다른 전극은 상기 배선(26)에 접속된다.
- [0351] 도 50의 (A) 내지 (D)의 반도체 장치들은 도 49의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(221), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.
- [0352] 도 49의 (A) 내지 (D) 및 도 50의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 49의 (A) 내지 (D) 및 도 50의 (A) 내지 (D)의 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0353] 도 8의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 43의 (A) 내지 (F), 도 45의 (A) 내지 (D), 도 46의 (A) 내지 (D), 등에서와 같이, 도 49의 (A) 내지 (D)에서 상기 배선(22), 상기 배선(23), 상기 배선(24), 상기 배선(25), 상기 배선(26), 등이 서로 접속될 수 있다는 것을 주의한다.
- [0354] 도 49의 (C) 및 (D)의 각각에 하나의 용량소자(105)가 추가되지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 용량소자(105)가 추가된 상기 회로(100)에 더 많은 용량소자들이 추가될 수 있다. 예를 들어, 도 51의 (A)의 상기 회로(100)의 상기 구성은 도 49의 (A)의 상기 회로(100)에 용량소자(105a) 및 용량소자(105b)가 추가된 구성에 대응한다. 상기 용량소자(105a)의 한 전극은 상기 용량소자(103)

의 다른 전극에 접속된다. 상기 용량소자(105a)의 다른 전극은 상기 배선(26)에 접속된다. 상기 용량소자(105b)의 한 전극은 상기 발광 소자(104a)의 상기 애노드에 접속된다. 상기 용량소자(105b)의 상기 다른 전극은 배선(27)에 접속된다.

- [0355] 상기 배선(25)은 다른 배선에 접속될 수 있다. 예를 들어, 도 51의 (B)의 상기 회로(100)의 상기 구성은 도 50의 (C)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0356] 도 51의 (C)의 상기 회로(100)의 상기 구성은 도 50의 (D)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0357] 도 51의 (D)의 상기 회로(100)의 상기 구성은 도 51의 (A)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0358] 도 52의 (A) 내지 (D)의 반도체 장치들은 도 51의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(221), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225), 및 상기 배선(27)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(226)를 하나 이상 포함한다.
- [0359] 상기 회로(226)의 일예는 전원 공급 회로이다. 따라서, 상기 배선(27)은 미리 결정된 전위를 전달 또는 공급할 수 있는 기능을 갖는다. 대안적으로, 상기 배선(27)은 용량 배선으로서 기능한다. 상기 배선(27)의 상기 전위는 일정한 것이 바람직하지만, 본 발명의 상기 실시형태의 일 양태는 이로 제한되지 않는다는 것을 주의한다. 상기 배선(27)의 상기 전위는 펄스 신호와 같이 변동할 수 있다. 상기 배선(27)은 다른 배선에 접속될 수 있다. 예를 들어, 상기 배선(27)은 다양한 배선들, 예를 들어, 상기 배선(25), 상기 배선(24), 상기 배선(22), 상기 배선(26), 상기 배선(23), 상기 게이트 신호선, 또는 다른 회로(100)의 배선에 접속될 수 있다.
- [0360] 도 51의 (A) 내지 (D) 및 도 52의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 51의 (A) 내지 (D) 및 도 52의 (A) 내지 (D)의 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0361] 상기 다양한 회로들에서, 상기 배선(22)은 다른 배선에 접속될 수 있다는 것을 주의한다. 따라서, 배선들의 수가 저감될 수 있다. 예를 들어, 상기 배선(22)은 상기 배선(21), 상기 배선(23), 상기 배선(23a), 상기 배선(23b), 상기 배선(24), 상기 배선(25), 상기 배선(26), 상기 배선(27), 등에 접속될 수 있다. 대안적으로, 상기 배선(22)은 상기 주사선, 상기 게이트선, 상기 트랜지스터의 상기 게이트에 접속된 배선, 등에 접속될 수 있다. 예를 들어, 도 53의 (A)의 상기 회로(100)의 상기 구성은 도 11의 (C)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속된 구성에 대응한다.
- [0362] 유사하게, 도 53의 (B)의 상기 회로(100)의 상기 구성은 도 1의 (C)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속된 구성에 대응한다.
- [0363] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 상기 용량소자(105)가 추가될 수 있다. 예를 들어, 도 53의 (C)의 상기 회로(100)의 상기 구성은 도 53의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성 또는 도 21의 (A)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속된 구성에 대응한다.
- [0364] 도 43의 (A) 내지 (F) 등과 같이, 상기 배선(22)은 상기 배선(21)에 접속될 수 있다. 예를 들어, 도 53의 (D)의 상기 회로(100)의 상기 구성은 도 43의 (B)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속된 구성에 대응한다.
- [0365] 도 54의 (A) 내지 (D)의 반도체 장치들은 도 53의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.

- [0366] 도 53의 (A) 내지 (D) 및 도 54의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 53의 (A) 내지 (D) 및 도 54의 (A) 내지 (D) 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0367] 하나의 배선이 제 1 배선에 접속된 경우, 제 2 배선은 상기 제 1 배선 또는 제 3 배선에 접속될 수 있다는 것을 주의한다. 예를 들어, 상기 배선(22)이 하나의 배선에 접속되는 경우, 상기 배선(25)은 다른 배선에 접속될 수 있다. 예를 들어, 도 55의 (A)의 상기 회로(100)의 상기 구성은 도 11의 (C)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속되고 상기 배선(25)이 상기 배선(24)에 접속된 구성, 도 54의 (A)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성, 또는 도 45의 (A)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속된 구성에 대응한다.
- [0368] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 상기 용량소자(105)가 추가될 수 있다. 예를 들어, 도 55의 (B)의 상기 회로(100)의 상기 구성은 도 55의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성 또는 도 45의 (B)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속된 구성에 대응한다.
- [0369] 게다가, 상기 스위치(14)의 위치는 변경될 수 있다. 도 55의 (C)의 상기 회로(100)의 상기 구성은 도 43의 (E)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속된 구성에 대응한다.
- [0370] 도 56의 (A) 내지 (C)의 반도체 장치들은 도 55의 (A) 내지 (C)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.
- [0371] 도 55의 (A) 내지 (C) 및 도 56의 (A) 내지 (C)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 55의 (A) 내지 (C) 및 도 56의 (A) 내지 (C)의 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0372] 도 57의 (A)의 상기 회로(100)의 상기 구성은 도 46의 (A)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속된 구성에 대응한다.
- [0373] 도 57의 (B)의 상기 회로(100)의 상기 구성은 도 28의 (C)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(21)에 접속되는 구조에 대응한다.
- [0374] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 상기 스위치(914)가 추가될 수 있다. 예를 들어, 도 57의 (C)의 상기 회로(100)의 상기 구성은 도 53의 (C)의 상기 회로(100)에 상기 (914)가 추가된 구성에 대응한다.
- [0375] 도 57의 (D)의 상기 회로(100)의 상기 구성은 도 53의 (D)의 상기 회로(100)에 상기 스위치(914)가 추가된 구성 또는 도 57의 (C)에서 상기 스위치(14)의 위치가 변경된 구성에 대응한다.
- [0376] 도 58의 (A) 내지 (D)의 반도체 장치들은 도 57의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.
- [0377] 도 57의 (A) 내지 (D) 및 도 58의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 57의 (A) 내지 (D) 및 도 58의 (A) 내지 (D)의 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0378] 도 59의 (A)의 상기 회로(100)의 상기 구성은 도 57의 (A)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.

- [0379] 도 59의 (B)의 상기 회로(100)의 상기 구성은 도 57의 (C)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0380] 도 59의 (C)의 상기 회로(100)의 상기 구성은 도 57의 (D)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0381] 도 60의 (A) 내지 (C)의 반도체 장치들은 도 59의 (A) 내지 (C)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.
- [0382] 도 59의 (A) 내지 (C) 및 도 60의 (A) 내지 (C)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 59의 (A) 내지 (C) 및 도 60의 (A) 내지 (C) 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0383] 상기 배선(22)은 상기 배선(21) 이외의 배선에 접속될 수 있다는 것을 주의한다. 예를 들어, 상기 배선(22)은 상기 배선(24)에 접속될 수 있다. 예를 들어, 도 61의 (A)의 상기 회로(100)의 상기 구성은 도 11의 (C)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0384] 도 61의 (B)의 상기 회로(100)의 상기 구성은 도 1의 (C)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0385] 도 61의 (C)의 상기 회로(100)의 상기 구성은 도 21의 (A)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0386] 도 61의 (D)의 상기 회로(100)의 상기 구성은 도 43의 (A)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0387] 도 62의 (A) 내지 (D)의 반도체 장치들은 도 61의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.
- [0388] 도 61의 (A) 내지 (D) 및 도 62의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 61의 (A) 내지 (D) 및 도 62의 (A) 내지 (D) 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0389] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 상기 용량소자(105)가 추가될 수 있다. 예를 들어, 도 63의 (A)의 상기 회로(100)의 상기 구성은 도 61의 (B)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성 또는 도 8의 (A)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0390] 도 63의 (B)의 상기 회로(100)의 상기 구성은 도 46의 (A)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0391] 도 63의 (C)의 상기 회로(100)의 상기 구성은 도 28의 (C)의 상기 회로(100)에서 상기 배선(22)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0392] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 도 63의 (D)의 상기 회로(100)의 상기 구성은 도 63의 (C)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다.
- [0393] 도 64의 (A) 내지 (D)의 반도체 장치들은 도 63의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회

로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.

- [0394] 도 63의 (A) 내지 (D) 및 도 64의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 63의 (A) 내지 (D) 및 도 64의 (A) 내지 (D) 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0395] 도 65의 (A)의 상기 회로(100)의 상기 구성은 도 61의 (D)의 상기 회로(100)에 상기 스위치(914)가 추가된 구성에 대응한다. 도 65의 (A)의 상기 회로(100)에서, 상기 스위치(914)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 용량소자(103)의 다른 전극 사이의 도통, 및 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 발광 소자(104a)의 상기 애노드 사이의 도통을 제어하는 기능을 갖는다.
- [0396] 도 65의 (B)의 상기 회로(100)의 상기 구성은 도 61의 (A)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0397] 도 65의 (C)의 상기 회로(100)의 상기 구성은 도 61의 (C)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0398] 도 65의 (D)의 상기 회로(100)의 상기 구성은 도 61의 (D)의 상기 회로(100)에서 상기 배선(25)이 상기 배선(24)에 접속된 구성에 대응한다.
- [0399] 도 66의 (A) 내지 (D)의 반도체 장치들은 도 65의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.
- [0400] 도 65의 (A) 내지 (D) 및 도 66의 (A) 내지 (D)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 65의 (A) 내지 (D) 및 도 66의 (A) 내지 (D) 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0401] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 도 67의 (A)의 상기 회로(100)의 상기 구성은 도 65의 (A)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다.
- [0402] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 도 67의 (B)의 상기 회로(100)의 상기 구성은 도 65의 (D)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다.
- [0403] 도 8의 (A) 내지 (D), 도 9의 (A) 내지 (D), 도 21의 (A) 내지 (E), 도 22의 (A) 내지 (E), 등에서와 같이, 도 67의 (C)의 상기 회로(100)의 상기 구성은 도 63의 (C)의 상기 회로(100)에 상기 용량소자(105)가 추가된 구성에 대응한다.
- [0404] 도 68의 (A) 내지 (C)의 반도체 장치들은 도 67의 (A) 내지 (C)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(23)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224), 및 상기 배선(26)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(225)를 하나 이상 포함한다.
- [0405] 도 67의 (A) 내지 (C) 및 도 68의 (A) 내지 (C)는 각각 상기 발광 소자(104a)를 사용하는 상기 회로(100)의 상기 구성을 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 도 67의 (A) 내지 (C) 및 도 68의 (A) 내지 (C) 각각의 상기 회로(100)에 상기 발광 소자(104a)가 제공되지 않거나 상기 발광 소자(104a) 대신 상기 부하(104) 또는 상기 발광 소자(104b)가 제공되는 구성을 가질 수 있다.
- [0406] 상기 설명된 도면들에서와 같이, 상기 스위치(14), 상기 스위치(914), 상기 용량소자(105), 등은 도 32의 (A) 내지 (D) 각각의 상기 회로(100)에 추가될 수 있다는 것을 주의한다. 대안적으로, 도 32의 (A) 내지 (D)의 상기

회로들(100)에서, 상기 다양한 배선들은 다양한 상이한 배선들에 접속될 수 있어서 배선들의 수가 저감될 수 있다. 예를 들어, 도 11의 (A) 내지 (D)에서와 같이, 도 69의 (A) 내지 (D)의 상기 회로들(100)의 상기 구성들은 도 32의 (A) 내지 (D)의 상기 회로들(100)에 상기 스위치들(14)이 추가된 구성들에 대응한다.

- [0407] 본 발명의 일 양태에 따른 상기 반도체 장치는 도 69의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 회로(100)에 다양한 일정한 전압 또는 신호들을 공급하는 회로를 더 포함할 수 있다.
- [0408] 도 70의 (A) 내지 (D)의 반도체 장치들은 도 69의 (A) 내지 (D)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(221), 상기 배선(23a)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(222a), 상기 배선(23b)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 회로(222b), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 및 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224)를 포함한다.
- [0409] 도 70의 (A) 내지 (D)는 각각 상기 반도체 장치가 상기 회로(100)에 더하여 상기 회로(220), 상기 회로(221), 상기 회로(222a), 상기 회로(222b), 상기 회로(223), 및 상기 회로(224)를 포함하는 일예를 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 회로(100)에 더하여 상기 회로(220), 상기 회로(221), 상기 회로(222a), 상기 회로(222b), 상기 회로(223), 및 상기 회로(224)를 모두 포함할 필요는 없다. 상기 반도체 장치는 이들 회로들 중 하나 이상만을 포함할 수 있다.
- [0410] 도 73의 (A)의 상기 회로(100)의 상기 구성은 도 32의 (C)의 상기 회로(100)에 상기 스위치(914)가 추가된 구성에 대응한다. 상기 스위치(914)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 용량소자(103)의 다른 전극 사이의 도통, 및 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 발광 소자(104a)의 상기 애노드 사이의 도통을 제어하는 기능을 갖는다.
- [0411] 도 73의 (B)의 상기 회로(100)의 상기 구성은 도 69의 (C)의 상기 회로(100)에 상기 스위치(914)가 추가된 구성에 대응한다. 상기 스위치(914)는 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 용량소자(103)의 다른 전극 사이의 도통, 및 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나와 상기 발광 소자(104a)의 상기 애노드 사이의 도통을 제어하는 기능을 갖는다.
- [0412] 본 발명의 일 양태에 따른 상기 반도체 장치는 도 73의 (A) 및 (B)의 상기 회로들(100)에 더하여 상기 회로(100)에 다양한 일정한 전압 또는 신호들을 공급하기 위한 회로를 더 포함할 수 있다.
- [0413] 도 73의 (C) 및 (D)의 반도체 장치들은 도 73의 (A) 및 (B)의 상기 회로들(100)에 더하여 상기 배선(21)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(220), 상기 배선(22)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(221), 상기 배선(23a)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222a), 상기 배선(23b)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(222b), 상기 배선(24)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(223), 및 상기 배선(25)에 일정한 전압 또는 신호를 공급하는 기능을 갖는 상기 회로(224)를 포함한다.
- [0414] 도 73의 (C) 및 (D)는 각각 상기 반도체 장치가 상기 회로(100)에 더하여 상기 회로(220), 상기 회로(221), 상기 회로(222a), 상기 회로(222b), 상기 회로(223), 및 상기 회로(224)를 포함하는 일예를 도시한다는 것을 주의한다. 그러나, 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 회로(100)에 더하여 상기 회로(220), 상기 회로(221), 상기 회로(222a), 상기 회로(222b), 상기 회로(223), 및 상기 회로(224)를 모두 포함할 필요는 없다. 상기 반도체 장치는 이들 회로들 중 하나 이상만을 포함할 수 있다.
- [0415] 상기 설명된 도면들에서와 같이, 상기 스위치(14), 상기 스위치(914), 상기 용량소자(105), 등이 도 34의 (A) 내지 (D) 각각의 상기 회로(100)에 추가될 수 있다는 것을 주의한다. 대안적으로, 도 34의 (A) 내지 (D)의 상기 회로들(100)에서, 상기 다양한 배선들이 다양한 상이한 배선들에 접속되어 배선들의 수가 저감될 수 있다. 예를 들어, 도 71의 (A) 내지 (D)는 도 34의 (A) 내지 (D)의 상기 회로들(100)의 배치 예들을 도시한다.
- [0416] 본 발명의 일 양태에 따른 상기 반도체 장치의 상기 동작은 도 71의 (C)의 상기 회로(100)를 예로서 설명된다.
- [0417] 도 71의 (C)의 상기 회로(100)의 상기 동작은 주로 제 1 동작, 제 2 동작, 제 3 동작, 및 제 4 동작으로 분할된다. 도 71의 (C)의 상기 회로(100)의 상기 동작은 이로 제한되지 않고, 다른 동작이 추가될 수 있거나 상기 동작의 일부가 생략될 수 있다는 것을 주의한다.
- [0418] 먼저, 시간(T11)에서 제 1 동작이 설명된다. 상기 시간(T11)에서, 도 72의 (A)에 도시된 바와 같이, 상기 스위

치(11), 상기 스위치(13), 및 상기 스위치(14)는 오프이고, 상기 스위치(12)는 온이다. 상기 전위(Vi1)는 상기 배선(23)에 공급된다. 따라서, 상기 기간(T11)에서, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vi1)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vi2-Vi1)이 된다.

[0419] 도 72의 (A)는 상기 스위치(11)가 오프인 예를 도시하지만, 상기 스위치(11)가 온될 수 있다는 것을 주의한다. 또한, 도 72의 (A)는 상기 스위치(14)가 오프인 예를 도시하지만, 상기 스위치(14)는 온될 수 있다. 그 경우, 상기 전위(Vi3)가 상기 배선(25)에 공급된다. 따라서, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vi3)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 전압(Vi2-Vi3)이 된다. 게다가, 상기 스위치(13)가 온될 수 있다.

[0420] 기간(T12)에서 제 2 동작이 설명된다. 상기 기간(T12)에서, 도 72의 (B)에 도시된 바와 같이, 상기 스위치(11) 및 상기 스위치(14)는 오프이고, 상기 스위치(12) 및 상기 스위치(13)는 온이다. 상기 전위(VDD) 또는 상기 전위(Vi1)보다 높은 전위가 상기 배선(23)에 공급된다. 상기 배선(23)에 상기 전위(VDD)를 공급함으로써, 상기 용량소자(102)에 축적된 전하가 방출되고, 상기 트랜지스터(101)의 상기 임계 전압(Vth)은 결국 상기 용량소자(102)에 유지된다. 따라서, 상기 기간(T12)에서, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 상기 발광 소자(104a)의 상기 애노드는 상기 전위(Vi2-Vth)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 임계 전압(Vth)이 된다.

[0421] 기간(T13)에서 제 3 동작이 설명된다. 상기 기간(T13)에서, 도 72의 (C)에 도시된 바와 같이, 상기 스위치(11) 및 상기 스위치(14)는 온이고, 상기 스위치(12) 및 상기 스위치(13)는 오프이다. 상기 전위(Vsig)가 상기 배선(21)에 공급되고, 상기 전위(VDD)가 상기 배선(23)에 공급되고, 상기 전위(Vi3)는 상기 배선(25)에 공급된다. 따라서, 상기 기간(T13)에서, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 전압(Vsig-Vi3)은 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 상기 애노드의 전위는 상기 전위(Vi3)가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 상기 전위(Vsig+Vth)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 전압(Vsig+Vth-Vi3)이 된다. 게다가, 상기 스위치(14)는 오프일 수 있다.

[0422] 기간(T14)에서 제 4 동작이 설명된다. 상기 기간(T14)에서, 도 72의 (D)에 도시된 바와 같이, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 및 상기 스위치(14)는 오프이다. 상기 전위(VDD)가 상기 배선(23)에 공급된다. 따라서, 상기 기간(T14)에서, 상기 임계 전압(Vth)은 상기 용량소자(102)에 유지되고, 상기 전압(Vsig-Vi3)은 상기 용량소자(103)에 유지되고, 상기 발광 소자(104a)의 애노드의 전위는 상기 전위(Ve1)가 되고, 상기 트랜지스터(101)의 상기 게이트의 상기 전위는 전위(Vsig+Vth-Vi3+Ve1)가 되고, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vsig+Vth-Vi3)이 된다.

[0423] 상기 트랜지스터(101)를 통해 상기 발광 소자(104a)로 전류가 흐를 때 상기 전위(Ve1)가 설정된다는 것을 주의한다. 구체적으로, 상기 전위(Ve1)는 상기 전위(VDD)와 상기 전위(Vcat) 사이의 전위로 설정된다.

[0424] 상기 제 4 동작에서, 상기 트랜지스터(101)의 상기 임계 전압(Vth)을 고려함으로써 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)이 상기 전압(Vsig+Vth-Vi3)으로 설정될 수 있다. 따라서, 상기 트랜지스터들(101)의 상기 임계 전압(Vth)의 변화들이 상기 발광 소자들(104a)에 공급된 전류값에 영향을 주는 것이 방지될 수 있다. 대안적으로, 상기 트랜지스터(11)가 열화되고 상기 임계 전압(Vth)이 변동되어도, 상기 임계 전압(Vth)의 변동이 상기 발광 소자(104a)에 공급된 전류값에 영향을 주는 것이 방지될 수 있다. 따라서, 표시 불균일성이 저감될 수 있고 고품질 화상들이 표시될 수 있다.

[0425] 본 발명의 일 양태에 따른 상기 반도체 장치에서, 상기 제 2 동작에서 상기 트랜지스터(101)의 상기 게이트는 상기 전위(Vi2)로 유지된다는 것을 주의한다. 따라서, 상기 트랜지스터(101)가 노멀리 온이어도, 즉, 상기 임계 전압(Vth)이 음의 전압이어도, 상기 트랜지스터(101)의 상기 소스의 전위가 상기 트랜지스터(101)의 상기 게이트의 상기 전위(Vi2)보다 높아질 때까지 상기 용량소자(102)에 축적된 전하는 방출될 수 있다. 따라서, 본 발명의 일 양태에 따른 상기 반도체 장치에서, 상기 트랜지스터(101)가 노멀리 온이어도, 상기 제 4 동작에서 상기 트랜지스터(101)의 상기 임계 전압(Vth)을 고려함으로써 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)을 설정할 수 있다.

[0426] 본 실시형태에서, 하나의 배선은 다양한 상이한 배선들, 예를 들어, 상기 배선(21), 상기 배선(22), 상기 배선(23), 상기 배선(24), 상기 배선(25), 상기 배선(26), 상기 배선(27), 다른 회로(100)의 배선, 상기 주사선, 상기 게이트선, 상기 트랜지스터의 상기 게이트에 접속된 배선, 등에 접속된다. 따라서, 배선들의 수가 저감될 수 있다. 게다가, 다른 스위치 또는 다른 소자, 예를 들어, 상기 스위치(914), 상기 스위치(814), 상기 스위치

(14), 또는 상기 용량소자(105)가 상기 회로(100)에 추가된다. 즉, 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.

- [0427] (실시형태 4)
- [0428] 도 74의 (A) 내지 (F), 도 75의 (A) 내지 (E), 및 도 76의 (A) 내지 (G)는 각각 본 발명의 일 양태에 따른 반도체 장치의 다양한 배선들의 위치의 예들을 도시한다.
- [0429] 도 74의 (A)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21) 및 하나의 배선(23)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(21) 및 하나의 배선(23)을 공유한다.
- [0430] 도 74의 (B)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(21)을 공유한다. 또한, i 열 j 행의 회로(100)(i, j) 및 ($i+1$)열 j 행의 회로(100)($i+1, j$)가 하나의 배선(23)을 공유한다. 또한, i 열 ($j+1$)행의 회로(100)($i, j+1$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(23)을 공유한다.
- [0431] 도 74의 (C)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(21)을 공유한다. 또한, i 열 j 행의 회로(100)(i, j) 및 ($i+1$)열 j 행의 회로(100)($i+1, j$)가 하나의 배선(23)을 공유한다. 또한, i 열 ($j+1$)행의 회로(100)($i, j+1$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(23)을 공유한다. 또한, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(23)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(23)을 공유한다. 이들 배선들(23)은 서로 접속된다.
- [0432] 도 74의 (D)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(21)을 공유한다. 또한, i 열 j 행의 회로(100)(i, j), i 열 ($j+1$)행의 회로(100)($i, j+1$), ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)는 하나의 배선(23)을 공유한다. 상기 배선(23)은 상기 배선들(21)과 나란히 배치된다.
- [0433] 도 74의 (E)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(21)을 공유한다. 또한, i 열 j 행의 회로(100)(i, j), i 열 ($j+1$)행의 회로(100)($i, j+1$), ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)는 하나의 배선(23)을 공유한다. 상기 배선(23)은 상기 배선들(21)과 교차한다.
- [0434] 도 74의 (F)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(21)을 공유한다. 또한, i 열 j 행의 회로(100)(i, j), i 열 ($j+1$)행의 회로(100)($i, j+1$), ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)는 2개의 배선들(23)을 공유한다. 상기 2개의 배선들(23)은 교차하고 서로 접속된다.
- [0435] 도 75의 (A)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21), 하나의 배선(22), 및 하나의 배선(23)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(21), 하나의 배선(22), 및 하나의 배선(23)을 공유한다.
- [0436] 도 75의 (B)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21) 및 하나의 배선(22)을 공유한다. 또한, ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(21) 및 하나의 배선(22)을 공유한다. 또한, i 열 j 행의 회로(100)(i, j) 및 ($i+1$)열 j 행의 회로(100)($i+1, j$)가 하나의 배선(23)을 공유한다. 또한, i 열 ($j+1$)행의 회로(100)($i, j+1$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 하나의 배선(23)을 공유한다.
- [0437] 도 75의 (C)에서, i 열 j 행의 회로(100)(i, j) 및 i 열 ($j+1$)행의 회로(100)($i, j+1$)가 하나의 배선(21) 및 하나의

나의 배선(21) 및 하나의 배선(22)을 공유한다. 또한, i 열 j 행의 회로(100)(i, j), i 열 ($j+1$)행의 회로(100)($i, j+1$), ($i+1$)열 j 행의 회로(100)($i+1, j$) 및 ($i+1$)열 ($j+1$)행의 회로(100)($i+1, j+1$)가 2개의 배선들(23)을 공유한다. 상기 2개의 배선들(23)은 교차하고 서로 접속된다.

- [0447] 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.
- [0448] (실시형태 5)
- [0449] 도 13의 (A)의 상기 회로(100)의 상면도의 일예가 도 77에 도시된다.
- [0450] 도 77에서, 반도체막(300)은 상기 트랜지스터(11t)의 활성층, 상기 용량소자(102)의 한 전극, 상기 용량소자(103)의 한 전극, 상기 트랜지스터(13t)의 활성층, 상기 트랜지스터(14t)의 활성층, 및 상기 트랜지스터(101)의 활성층으로서 기능한다. 반도체막(301)은 상기 트랜지스터(12t)의 활성층으로서 기능한다. 도전막(302)은 상기 용량소자(102)의 다른 전극으로서 기능한다. 도전막(303)은 상기 용량소자(103)의 다른 전극으로서 기능한다. 도전막(304)은 상기 트랜지스터(13t)의 상기 게이트로 기능한다.
- [0451] 도전막(305)은 상기 배선(22) 및 상기 트랜지스터(12t)의 상기 소스 및 상기 드레인 중 하나에 접속된다. 도전막(306)은 상기 트랜지스터(12t)의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 도전막(302)에 접속된다. 도전막(307)은 상기 도전막(304) 및 상기 배선(33)에 접속된다. 도전막(308)은 상기 도전막(303), 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나, 상기 트랜지스터(13t)의 소스 및 드레인 중 하나, 및 상기 트랜지스터(14t)의 소스 및 드레인 중 하나에 접속된다. 도전막(309)은 상기 트랜지스터(14t)의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 배선(25)에 접속된다.
- [0452] 도 13의 (B)에서, 상기 부하(104)는 상기 도전막(308)에 접속될 수 있다는 것을 주의한다. 도 13의 (C)에서, 상기 발광 소자(104a)의 상기 애노드는 상기 도전막(308)에 접속될 수 있다. 도 13의 (D)에서, 상기 발광 소자(104b)의 상기 캐소드는 상기 도전막(308)에 접속될 수 있다.
- [0453] 다음에, 도 13의 (A)의 상기 회로(100)의 상면도의 다른 예가 도 78에 도시된다.
- [0454] 도 78에서, 반도체막(320)은 상기 트랜지스터(11t)의 상기 활성층으로서 기능한다. 반도체막(321)은 상기 트랜지스터(12t)의 상기 활성층으로서 기능한다. 반도체막(322)은 상기 트랜지스터(13t)의 상기 활성층으로서 기능한다. 반도체막(323)은 상기 트랜지스터(14t)의 상기 활성층으로서 기능한다. 반도체막(333)은 상기 트랜지스터(101)의 상기 활성층으로서 기능한다.
- [0455] 도전막(324)은 상기 용량소자(102)의 다른 전극 및 상기 트랜지스터(101)의 상기 게이트로 기능한다. 도전막(325)은 상기 용량소자(103)의 다른 전극으로서 기능한다. 도전막(326)은 상기 트랜지스터(13t)의 상기 게이트로 기능한다.
- [0456] 도전막(327)은 상기 용량소자(102)의 상기 한 전극 및 상기 용량소자(103)의 상기 한 전극으로서 기능하고, 상기 트랜지스터(11t)의 소스 및 드레인 중 하나에 접속된다. 도전막(328)은 상기 배선(22) 및 상기 트랜지스터(12t)의 소스 및 드레인 중 하나에 접속된다. 도전막(329)은 상기 트랜지스터(12t)의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 도전막(324)에 접속된다. 도전막(330)은 상기 도전막(326) 및 상기 배선(33)에 접속된다. 도전막(331)은 상기 도전막(325), 상기 트랜지스터(101)의 상기 소스 및 상기 드레인 중 하나, 상기 트랜지스터(13t)의 상기 소스 및 상기 드레인 중 하나, 및 상기 트랜지스터(14t)의 상기 소스 및 상기 드레인 중 하나에 접속된다. 도전막(332)은 상기 트랜지스터(14t)의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 배선(25)에 접속된다.
- [0457] 도 13의 (B)에서, 상기 부하(104)는 상기 도전막(331)에 접속될 수 있다는 것을 주의한다. 도 13의 (C)에서, 상기 발광 소자(104a)의 상기 애노드는 상기 도전막(331)에 접속될 수 있다. 도 13의 (D)에서, 상기 발광 소자(104b)의 상기 캐소드는 상기 도전막(331)에 접속될 수 있다.
- [0458] 도 80의 (A)는 도 78의 파선 A1-A2에 따라 취해진 단면도의 일예이다. 도 80의 (B)는 도 78의 파선 B1-B2에 따라 취해진 단면도의 일예이다. 도 80의 (A) 및 (B)에서, 기판(800) 위에 절연막(801)이 형성되고, 상기 절연막(801) 위에 상기 배선(31), 상기 도전막(324), 및 상기 도전막(325)이 형성된다. 상기 배선(31), 상기 도전막(324), 및 상기 도전막(325) 위에 절연막(802)이 형성된다.

- [0459] 상기 절연막(802) 위에 상기 도전막(325)과 중첩하도록 상기 도전막(327)이 형성된다. 상기 도전막(325), 상기 절연막(802), 및 상기 도전막(327)이 서로 중첩하는 부분은 상기 용량소자(103)로 기능한다. 상기 절연막(802) 위에 상기 도전막(324)과 중첩하도록 상기 도전막(327)이 또한 형성된다. 상기 도전막(324), 상기 절연막(802), 및 상기 도전막(327)이 서로 중첩하는 부분은 상기 용량소자(102)로 기능한다. 상기 절연막(802) 위에 상기 도전막(324)과 중첩하도록 상기 반도체막(333)이 형성된다. 상기 반도체막(333) 위에 상기 배선(23) 및 상기 도전막(331)이 형성된다.
- [0460] 상기 절연막(802) 및 상기 절연막(802) 위에 형성된 상기 도전막(327), 상기 반도체막(333), 상기 배선(23), 및 상기 도전막(331)을 덮도록 상기 절연막(803)이 형성된다.
- [0461] 다음에, 도 13의 (A)의 상기 회로(100)의 상면도의 다른 예가 도 79에 도시된다. 도 79의 상기 상면도는 상기 반도체막(333)과 중첩하는 상기 배선(23)의 일부의 형상 및 상기 반도체막(333)과 중첩하는 상기 도전막(331)의 일부의 형상이 도 78의 상기 상면도와 상이하다. 구체적으로, 도 78에서, 상기 반도체막(333)과 중첩하는 상기 배선(23)의 상기 일부는 U-자 형상을 갖는다. 또한, 상기 반도체막(333)과 중첩하는 상기 도전막(331)의 상기 일부는 상기 배선(23)에 의해 부분적으로 둘러싸이도록 상기 배선(23)의 U-자 형상의 곡면 내측에 위치된다. 도 79에서, 상기 반도체막(333)과 중첩하는 상기 도전막(331)의 상기 일부는 U-자 형상을 갖는다. 또한, 상기 반도체막(333)과 중첩하는 상기 배선(23)의 상기 일부는 상기 도전막(331)에 의해 부분적으로 둘러싸이도록 상기 도전막(331)의 U-자 형상의 곡면 내측에 위치된다.
- [0462] 상기 트랜지스터(101)의 상기 소스 또는 상기 드레인과 접하는 상기 도전막 또는 상기 배선이 U-자 형상을 갖는 경우, 상기 반도체막(333)의 면적이 작아도 큰 채널 폭이 획득될 수 있다. 따라서, 상기 반도체막(333)의 면적이 작아도 온-상태 전류가 향상될 수 있다.
- [0463] 특정한 유형으로 제한하지 않고, 다양한 기판들을 사용하여 트랜지스터가 형성될 수 있다는 것을 주의한다. 상기 기판으로서, 반도체 기판(예를 들어, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 호일을 포함하는 기판, 텅스텐 기판, 텅스텐 호일을 포함하는 기판, 가요성 기판, 접착 필름, 섬유재(fibrous material)를 포함하는 종이, 기재막(base material film), 등이 사용될 수 있다. 유리 기판으로서, 바륨boro실리케이트 유리 기판, 알루미늄boro실리케이트 유리 기판, 소다-라임 유리 기판, 등이 사용될 수 있다. 가요성 기판으로서, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 또는 폴리에테르 설폰(PES)으로 대표되는 플라스틱, 또는 아크릴과 같은 가요성 합성수지가 사용될 수 있다. 접착 필름으로, 폴리프로필렌, 폴리에스테르, 비닐, 폴리불화비닐, 폴리염화비닐, 등이 사용될 수 있다. 기재막으로, 폴리에스테르, 폴리아미드, 폴리이미드, 무기 증착 필름, 종이, 등이 사용될 수 있다. 특히, 반도체 기판, 단결정 기판, SOI 기판, 등을 사용하여 트랜지스터들을 형성함으로써, 특성, 사이즈, 형상, 등의 변동이 적고, 높은 전류 공급 능력, 및 작은 사이즈의 트랜지스터들이 형성될 수 있다. 이러한 트랜지스터를 사용하여 회로를 형성함으로써, 상기 회로가 저소비 전력화될 수 있고 또는 상기 회로가 고집적화될 수 있다.
- [0464] 상기 트랜지스터는 하나의 기판을 사용하여 형성될 수 있고, 그 후, 상기 트랜지스터는 다른 기판으로 전치될 수 있다는 것을 주의한다. 상기 트랜지스터가 형성될 수 있는 상기 기판들에 더하여, 종이 기판, 셀로판 기판, 석재(石材) 기판, 목재(木材) 기판, 직물 기판(천연 섬유(예를 들어, 실크, 면, 또는 마(hemp)), 합성 섬유(예를 들어, 나일론, 폴리우레탄, 또는 폴리에스테르), 재생 섬유(예를 들어, 아세테이트, 큐프라, 레이온, 또는 재생 폴리에스테르), 등을 포함), 가죽 기판, 고무 기판, 등이 상기 트랜지스터가 전치되는 기판으로 사용될 수 있다. 이러한 기판을 사용하여, 우수한 특성들의 트랜지스터 또는 낮은 소비 전력의 트랜지스터가 형성될 수 있고, 고 내구성 및 고 내열성의 장치가 제공될 수 있고, 경량화, 또는 박형화가 달성될 수 있다.
- [0465] 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.
- [0466] (실시형태 6)
- [0467] 본 실시형태에서, 본 발명의 일 양태에 따른 반도체 장치에 사용된 트랜지스터들의 구체적인 구성예들이 설명된다.
- [0468] 도 81의 (A)의 트랜지스터는 반도체막(501), 상기 반도체막(501) 위의 절연막(502), 게이트로 기능하고 상기 절연막(502)을 개재하여 상기 반도체막(501)과 중첩하는 전극(503), 및 상기 반도체막(501)과 접하는 도전막들

(504 및 505)을 포함한다. 상기 반도체막(501)은 채널 형성 영역으로서 기능하는 제 1 영역(506) 및 소스 및 드레인으로서 기능하는 제 2 영역들(507 및 508)을 포함한다. 상기 제 1 영역(506)은 상기 제 2 영역들(507 및 508) 사이에 제공된다. 도 81의 (A)는 상기 반도체막(501)이 상기 제 1 영역(506)과 상기 제 2 영역들(507 및 508) 사이에 LDD 영역들로서 기능하는 제 3 영역들(509 및 510)을 포함하는 일례를 도시한다는 것을 주의한다.

[0469] 도 81의 (A)는 박막 반도체막(501)을 포함하는 상기 트랜지스터를 도시하지만, 본 발명의 일 양태에서, 벌크 반도체 기판에 채널 형성 영역을 포함하는 트랜지스터가 사용될 수 있다는 것을 주의한다. 상기 박막 반도체막으로서, 예를 들어, 비정질 반도체, 다결정 반도체, 또는 단결정 반도체가 사용될 수 있다. 게다가, 상기 반도체막(501)으로서, 실리콘, 게르마늄, 실리콘 게르마늄, 또는 산화물 반도체와 같은 다양한 반도체들이 사용될 수 있다.

[0470] 도 81의 (B)의 트랜지스터는 제 1 산화 절연막들(520a), 제 2 산화 절연막들(520b), 및 제 3 산화 절연막(520c)을 포함하는 절연막(520) 상에 형성된다.

[0471] 상기 제 1 산화 절연막(520a) 및 상기 제 3 산화 절연막(520c)은 가열에 의해 산소의 일부가 이탈되는 산화 절연막을 사용하여 각각 형성된다. 이러한 가열에 의해 산소의 일부가 이탈되는 산화 절연막으로서 화학량론비보다 높은 비율의 산소를 함유하는 절연막이 사용되는 것이 바람직하다. 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 haf늄, 산화 이트륨, 등이 상기 제 1 산화 절연막(520a) 및 상기 제 3 산화 절연막(520c)으로 사용될 수 있다.

[0472] 상기 제 2 산화 절연막(520b)은 산소의 확산을 방지하는 산화 절연막을 사용하여 형성된다. 상기 제 2 산화 절연막(520b)은 예를 들어, 산화 알루미늄 또는 산화질화 알루미늄을 사용하여 형성된다. 산화 알루미늄으로서, 상기 화학량론비를 만족하는 비율의 산소를 함유하는 산화 알루미늄 또는 상기 화학량론비보다 높은 비율의 산소를 함유하는 산화 알루미늄(AlO_x , x 는 $3/2$ 이상)이 사용되는 것이 바람직하다. 또한, 산화질화 알루미늄에서, 상기 화학량론비를 만족하는 비율의 산소를 함유하는 산화 알루미늄의 산소의 일부는 질소로 치환될 수 있다.

[0473] 상기 트랜지스터는 반도체막(521), 상기 반도체막(521) 위의 절연막(522), 게이트로 기능하고 상기 절연막(522)을 개재하여 상기 반도체막(521)과 중첩하는 전극(523), 및 상기 반도체막(521)과 접하는 도전막들(524 및 525)을 포함한다. 상기 반도체막(521)은 상기 전극(523)과 중첩하고 적어도 일부가 채널 형성 영역으로서 기능하는 제 1 영역(526), 및 소스 및 드레인으로서 기능하고 상기 제 1 영역(526)을 개재하는 제 2 영역들(550 및 551)을 포함한다.

[0474] 상기 반도체막(521)으로서, 예를 들어, 비정질 반도체, 다결정 반도체, 또는 단결정 반도체가 사용될 수 있다. 게다가, 상기 반도체막(521)으로서, 실리콘, 게르마늄, 실리콘 게르마늄, 또는 산화물 반도체와 같은 다양한 반도체들이 사용될 수 있다.

[0475] 상기 트랜지스터에서, 절연막을 포함하는 사이드월들(527)이 상기 전극(523)의 측부에 제공되고, 상기 전극(523) 위에 절연막(528)이 제공된다. 게다가, 상기 도전막(524)의 일부 및 상기 도전막(525)의 일부가 상기 사이드월들(527)에 접한다. 상기 도전막들(524 및 525)이 상기 사이드월들(527)에 반드시 접해야 하는 것은 아니다. 그러나, 상기 도전막들(524 및 525)이 상기 사이드월들(527)에 접할 때, 상기 도전막들(524 및 525)이 적절한 위치로부터 이탈되는 경우에도 상기 도전막들(524 및 525)과 상기 반도체막(521)이 접하는 면적이 변경되는 것이 방지될 수 있다. 따라서, 상기 도전막들(524 및 525)의 위치들의 이탈로 인한 상기 트랜지스터의 온-상태 전류의 변동이 방지될 수 있다.

[0476] 상기 전극(523) 위에 상기 절연막(528)이 반드시 제공되어야 하는 것은 아니라는 것을 주의한다. 그러나, 상기 절연막(528)이 제공될 때, 상기 도전막들(524 및 525)이 적절한 위치들로부터 이탈하고 상기 전극(523) 위에 형성되는 경우에도 상기 도전막(524)과 상기 전극(523) 사이의 도통 및 상기 도전막(525)과 상기 전극(523) 사이의 도통이 방지될 수 있다.

[0477] 상기 절연막(520)에서, 하층에 위치한 상기 제 3 산화 절연막(520c) 위에 상기 제 1 산화 절연막(520a) 및 상기 제 2 산화 절연막(520b)이 순서대로 적층된다. 상기 제 1 산화 절연막(520a) 및 상기 제 2 산화 절연막(520b)에 개구(529)가 형성되고, 상기 트랜지스터의 상기 반도체막(521)이 상기 개구(529)에 제공된다. 상기 제 1 산화 절연막(520a)은 상기 반도체막(521)의 단부와 접하도록 상기 반도체막(521) 주변에 제공된다. 상기 제 2 산화 절연막(520b)은 상기 제 1 산화 절연막(520a)을 개재하여 상기 반도체막(521) 주변에 제공된다. 상기 제 3 산화 절연막(520c)은 상기 반도체막(521) 아래에 제공된다.

[0478] 상기 반도체막(521)이 산화물 반도체를 사용하여 형성되는 경우, 상기 구성의 상기 절연막(520)의 사용은 가열

에 의해 상기 제 1 산화 절연막(520a)으로부터 방출된 산소가 상기 제 2 산화 절연막(520b)을 통과하는 것을 방지할 수 있고, 따라서, 상기 제 1 영역(526)에서 상기 반도체막(521)의 단부들에 산소가 효율적으로 공급된다. 게다가, 상기 제 3 산화 절연막(520c)으로부터 방출된 산소는 상기 반도체막(521)의 하부에 공급된다. 산화물 반도체가 채널 형성 영역으로 사용되는 트랜지스터에서 상기 반도체막(521)을 원하는 형상으로 에칭하기 위한 에칭 처리, 상기 반도체막(521)의 단부의 감압 분위기로의 노출, 등으로 인해 상기 반도체막(521)의 단부에서 산소의 방출로 인한 산소 결손이 쉽게 발생한다는 것을 주의한다. 산소 결손은 캐리어들이 이동하는 경로가 되기 때문에, 상기 반도체막(521)의 단부에서 산소 결손이 발생할 때 기생 채널이 형성된다. 결과적으로, 상기 트랜지스터의 상기 오프-상태 전류가 증가된다. 그러나, 상기 구성으로, 상기 제 1 영역(526)에서 상기 반도체막(521)의 단부에서 산소 결손의 발생이 방지될 수 있다. 결과적으로, 상기 오프-상태 전류가 저감될 수 있다.

[0479] "가열에 의해 산소의 일부를 방출하기 위해"는 승온 방출 가스 분석법(TDS: thermal desorption spectroscopy)에서 산소 원자로 환산하여, 방출된 산소량이 1.0×10^{18} atoms/cm² 이상, 바람직하게는 3.0×10^{20} atoms/cm² 이상인 것을 의미한다는 것을 주의한다.

[0480] TDS 분석법으로 산소 원자로 환산된 방출된 산소량을 측정하는 방법이 이하에 설명된다.

[0481] 상기 TDS 분석법에서 방출된 가스량은 스펙트럼의 적분 값에 비례한다. 따라서, 상기 방출된 가스량은 절연막의 스펙트럼 적분 값과 표준 시료의 기준 값의 비로부터 계산될 수 있다. 상기 표준 시료의 기준 값은 시료에 함유된 미리 결정된 원자의 스펙트럼 적분 값에 대한 밀도 비이다.

[0482] 예를 들어, 절연막으로부터 방출된 산소 분자량(N_{O2})은 표준 시료인 미리 결정된 밀도로 수소를 함유하는 실리콘 웨이퍼의 상기 TDS 분석 결과들 및 상기 절연막의 상기 TDS 분석 결과들로 하기 식 1로부터 계산될 수 있다. 질량수 32의 가스 CH₃OH는 상기 절연막에 거의 존재하지 않는다. 따라서, 상기 TDS 분석법에 의해 획득된 질량수 32를 갖는 모든 스펙트럼이 산소 분자로부터 유래된다고 가정된다. 게다가, 산소 원자의 동위체인 질량수 17 또는 18을 갖는 산소 원자를 포함하는 산소 분자는 자연계에서 이러한 분자 비율이 극소량이기 때문에 존재하지 않는 것으로 가정된다.

[0483]
$$N_{O_2} = N_{H_2}/S_{H_2} \times S_{O_2} \times \alpha \text{ (식 1)}$$

[0484] N_{H2}는 상기 표준 시료로부터 방출된 수소 분자량을 밀도로 환산함으로써 획득된 값이다. S_{H2}는 TDS에 의해 분석된 상기 표준 시료의 스펙트럼 적분 값이다. 상기 표준 시료의 기준 값은 N_{H2}/S_{H2}로 설정된다. S_{O2}는 TDS에 의해 분석된 상기 절연막의 스펙트럼 적분 값이다. α는 상기 TDS 분석에서 스펙트럼 강도에 영향을 주는 계수이다. 식 1의 상세는 일본 특개평 6-275697호를 참조한다. 상기 절연막으로부터 방출된 산소량은 ESCO Ltd.에 의해 생산된 승온 방출 분석 장치, EMD-WA1000S/W로, 상기 표준 시료로서 1×10^{16} atoms/cm²의 수소 원자를 함유하는 실리콘 웨이퍼를 사용하여 측정된다는 것을 주의한다.

[0485] 게다가, 상기 TDS 분석에서, 일부의 산소가 산소 원자로 검출된다. 산소 분자들과 산소 원자들 간의 비는 상기 산소 분자들의 이온화율로부터 계산될 수 있다. α는 상기 산소 분자들의 이온화율을 포함하기 때문에, 상기 산소 방출량은 또한 상기 방출된 산소 분자량의 평가를 통해 추정될 수 있다는 것을 주의한다.

[0486] N_{O2}는 방출된 산소 분자량이라는 것을 주의한다. 상기 절연막에 대해, 산소 원자로 환산된 상기 방출된 산소량은 방출된 산소 분자량의 2배이다.

[0487] 상기 구성에서, 가열에 의해 산소가 방출되는 상기 절연막은 산소 과잉 산화 실리콘(SiO_x(X > 2))일 수 있다. 산소 과잉 산화 실리콘(SiO_x(X > 2))에서, 단위 체적당 산소 원자 수는 단위 체적당 실리콘 원자 수의 2배 이상이다. 상기 단위 체적당 실리콘 원자 수 및 산소 원자 수는 러더포드 후방산란법(Rutherford backscattering spectrometry)으로 측정된다.

[0488] 도 81의 (C)의 트랜지스터는 제 1 산화 절연막(530a) 및 제 2 산화 절연막들(530b)을 포함하는 절연막(530) 상에 형성된다.

[0489] 상기 제 1 산화 절연막(530a)은 가열에 의해 산소의 일부가 방출된 산화 절연막을 사용하여 형성된다. 가열에 의해 산소의 일부가 방출된 산화 절연막으로서, 상기 화학량론비 이상의 비율로 산소를 함유하는 절연막이 사용되는 것이 바람직하다. 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 하프늄, 산화

이트륨, 등이 상기 제 1 산화 절연막(530a)으로 사용될 수 있다.

- [0490] 산소의 확산을 방지하는 산화 절연막을 사용하여 상기 제 2 산화 절연막(530b)이 형성된다. 상기 제 2 산화 절연막(530b)은 예를 들어, 산화 알루미늄 또는 산화질화 알루미늄을 사용하여 형성된다. 산화 알루미늄으로서 상기 화학량론비를 만족하는 비율로 산소를 함유하는 산화 알루미늄, 또는 상기 화학량론비 이상의 비율로 산소를 함유하는 산화 알루미늄(A10x, x는 3/2 이상)이 사용되는 것이 바람직하다. 또한, 산화질화 알루미늄에서, 상기 화학량론비를 만족하는 비율로 산소를 함유하는 산화 알루미늄의 산소의 일부는 질소로 치환될 수 있다.
- [0491] 상기 트랜지스터는 상기 절연막(530) 위의 반도체막(531), 상기 반도체막(531) 위의 절연막(532), 게이트로 기능하고 상기 절연막(532)을 개재하여 상기 반도체막(531)과 중첩하는 전극(533), 및 상기 반도체막(531)에 접속된 도전막들(534 및 535)을 포함한다. 상기 반도체막(531)은 상기 전극(533)과 중첩하고 적어도 일부가 채널 형성 영역으로서 기능하는 제 1 영역(536) 및 소스 및 드레인으로서 기능하고 상기 제 1 영역(536)을 개재한 제 2 영역들(537 및 538)을 포함한다.
- [0492] 상기 반도체막(531)으로, 예를 들어, 비정질 반도체, 다결정 반도체, 또는 단결정 반도체가 사용될 수 있다. 게다가, 상기 반도체막(531)으로, 실리콘, 게르마늄, 실리콘 게르마늄, 또는 산화물 반도체와 같은 다양한 반도체들이 사용될 수 있다.
- [0493] 상기 트랜지스터에서, 절연막을 포함하는 사이드월들(539)이 상기 전극(533)의 측면들에 제공되고, 상기 전극(533) 위에 절연막(540)이 제공된다. 게다가, 상기 도전막(534)의 일부 및 상기 도전막(535)의 일부는 상기 사이드월들(539)과 접한다. 상기 도전막들(534 및 535)이 반드시 상기 사이드월들(539)과 접해야 하는 것은 아니다. 그러나, 상기 도전막들(534 및 535)이 상기 사이드월들(539)과 접할 때, 상기 도전막들(534 및 535)이 적절한 위치로 이탈되는 경우에도 상기 반도체막(531)이 상기 도전막들(534 및 535)과 접하는 면적이 변동되는 것이 방지될 수 있다. 따라서, 상기 도전막들(534 및 535)의 위치들의 이탈로 인한 상기 트랜지스터의 온-상태 전류의 변동이 방지될 수 있다.
- [0494] 상기 전극(533) 위에 상기 절연막(540)이 반드시 제공되어야 하는 것은 아니라는 것을 주의한다. 그러나, 상기 절연막(540)이 제공될 때, 상기 도전막들(534 및 535)이 적절한 위치로부터 이탈하고 상기 전극(533) 위에 형성되는 경우에도 상기 도전막(534)과 상기 전극(533) 사이의 도통 및 상기 도전막(535)과 상기 전극(533) 사이의 도통이 방지될 수 있다.
- [0495] 게다가, 상기 절연막(530)에서, 상기 제 1 산화 절연막(530a) 주변에 상기 제 2 산화 절연막(530b)이 제공된다. 상기 반도체막(531)의 상기 제 1 영역(536)은 상기 제 1 산화 절연막(530a)과 접하고, 상기 반도체막(531)의 상기 제 2 영역들(537 및 538)은 상기 제 1 산화 절연막(530a) 및 상기 제 2 산화 절연막(530b)과 접한다.
- [0496] 상기 반도체막(531)이 산화물 반도체를 사용하여 형성되는 경우, 상기 구성은 가열에 의해 상기 제 1 산화 절연막(530a)으로부터 방출된 산소가 상기 제 2 산화 절연막(530b)을 통과하는 것을 방지할 수 있고, 따라서, 상기 제 1 영역(536)의 상기 반도체막(531)의 단부에 산소가 효율적으로 공급된다. 산화물 반도체가 채널 형성 영역으로 사용되는 트랜지스터에서 상기 반도체막(531)을 원하는 형상으로 에칭하기 위한 에칭 처리, 상기 반도체막(531)의 단부의 감압 분위기로의 노출, 등으로 인해 상기 반도체막(531)의 단부에서 산소의 방출로 인한 산소 결손이 쉽게 발생한다는 것을 주의한다. 산소 결손은 캐리어들이 이동하는 경로가 되기 때문에, 상기 반도체막(531)의 단부에서 산소 결손이 발생할 때 기생 채널이 형성된다. 결과적으로, 상기 트랜지스터의 상기 오프-상태 전류가 증가된다. 그러나, 상기 구성으로, 상기 제 1 영역(536)에서 상기 반도체막(531)의 단부에서 산소 결손의 발생이 방지될 수 있다. 결과적으로, 상기 오프-상태 전류가 저감될 수 있다.
- [0497] 전자 공여체(도너)로 기능하는 수분 또는 수소와 같은 불순물들의 저감 및 산소 결손의 저감으로 인해 획득된 고순도화된 산화물 반도체(정제된 산화물 반도체)는 진성(i-형) 반도체 또는 실질적으로 진성 반도체라는 것을 주의한다. 따라서, 상기 산화물 반도체를 포함하는 트랜지스터는 매우 낮은 오프-상태 전류를 갖는다. 게다가, 상기 산화물 반도체의 밴드갭은 2eV 이상, 바람직하게 2.5eV 이상, 더 바람직하게 3eV 이상이다. 수분 또는 수소와 같은 불순물 농도의 충분한 감소 및 산소 결손의 저감으로 고순도화된 산화물 반도체막의 사용으로 상기 트랜지스터의 상기 오프-상태 전류가 저감될 수 있다.
- [0498] 구체적으로, 다양한 실험들이 채널 형성 영역에 고순도화된 산화물 반도체막을 포함하는 트랜지스터의 낮은 오프-상태 전류를 증명할 수 있다. 예를 들어, 소자가 $1 \times 10^6 \mu\text{m}$ 의 채널 폭 및 10 μm 의 채널 길이를 갖더라도, 오프-상태 전류는 반도체 파라미터 분석기의 측정 한계 이하, 즉, 1 내지 10V의 소스 전극과 드레인 전극 사이의 전

압(드레인 전압)에서 1×10^{-13} A 이하이다. 그 경우, 상기 트랜지스터의 상기 채널 폭에 대해 표준화된 오프-상태 전류는 $100 \text{ zA}/\mu\text{m}$ 이하라는 것을 알 수 있다. 또한, 용량소자와 트랜지스터가 서로 접촉되고, 상기 용량소자로/로부터 흐르는 전하가 상기 트랜지스터에 의해 제어되는 회로를 사용하여 오프-상태 전류가 측정되었다. 상기 측정에서, 고순도화된 산화물 반도체막이 상기 트랜지스터의 채널 형성 영역으로 사용되고, 상기 용량소자의 단위 시간 당 전하량의 변화로부터 상기 트랜지스터의 상기 오프-상태 전류가 측정되었다. 그 결과, 상기 트랜지스터의 상기 소스 전극과 상기 드레인 전극 사이의 상기 전압이 3V인 경우, 수십 $\text{yA}/\mu\text{m}$ 의 더 낮은 오프-상태 전류가 획득된다는 것을 알 수 있다. 따라서, 채널 형성 영역에 상기 고순도화된 산화물 반도체막을 포함하는 상기 트랜지스터는 결정성 실리콘 트랜지스터보다 훨씬 낮은 오프-상태 전류를 갖는다.

[0499] 상기 산화물 반도체로서, In 또는 Zn을 포함하는 산화물이 바람직하고, In 및 Ga를 함유한 산화물 또는 In 및 Zn을 함유하는 산화물이 사용되는 것이 더 바람직하다는 것을 주의한다. 진성(i-형) 산화물 반도체막을 획득하기 위해, 나중에 설명되는 탈수화 또는 탈수소화가 유효하다. 상기 산화물 반도체를 포함하는 트랜지스터의 전기 특성들의 변동을 저감하기 위한 스테빌라이저로서, 갈륨(Ga)이 추가로 함유되는 것이 바람직하다. 주석(Sn)이 스테빌라이저로서 함유되는 것이 바람직하다. 하프늄(Hf)이 스테빌라이저로서 함유되는 것이 바람직하다. 알루미늄(Al)이 스테빌라이저로서 함유되는 것이 바람직하다. 지르코늄(Zr)이 스테빌라이저로서 함유되는 것이 바람직하다.

[0500] 다른 스테빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 또는 루테튬(Lu)이 1종 이상 함유될 수 있다.

[0501] 예를 들어, 산화 인듐, 산화 주석, 산화 아연, In-Zn-계 산화물, Sn-Zn-계 산화물, Al-Zn-계 산화물, Zn-Mg-계 산화물, Sn-Mg-계 산화물, In-Mg-계 산화물, 또는 In-Ga-계 산화물과 같은 2원계 금속 산화물, In-Ga-Zn-계 산화물(IGZO라고도 함), In-Al-Zn-계 산화물, In-Sn-Zn-계 산화물, Sn-Ga-Zn-계 산화물, Al-Ga-Zn-계 산화물, Sn-Al-Zn-계 산화물, In-Hf-Zn-계 산화물, In-La-Zn-계 산화물, In-Ce-Zn-계 산화물, In-Pr-Zn-계 산화물, In-Nd-Zn-계 산화물, In-Sm-Zn-계 산화물, In-Eu-Zn-계 산화물, In-Gd-Zn-계 산화물, In-Tb-Zn-계 산화물, In-Dy-Zn-계 산화물, In-Ho-Zn-계 산화물, In-Er-Zn-계 산화물, In-Tm-Zn-계 산화물, In-Yb-Zn-계 산화물, 또는 In-Lu-Zn-계 산화물과 같은 3원계 금속 산화물, 또는 In-Sn-Ga-Zn-계 산화물, In-Hf-Ga-Zn-계 산화물, In-Al-Ga-Zn-계 산화물, In-Sn-Al-Zn-계 산화물, In-Sn-Hf-Zn-계 산화물, 또는 In-Hf-Al-Zn-계 산화물과 같은 4원계 금속 산화물이 산화물 반도체로 사용될 수 있다. 상기 산화물 반도체는 실리콘을 함유할 수 있다.

[0502] 예를 들어, In-Ga-Zn-계 산화물은 In, Ga, 및 Zn을 함유하는 산화물을 의미하고, In, Ga, 및 Zn의 비율에 제한은 없다는 것을 주의한다. 또한, 상기 In-Ga-Zn-계 산화물은 In, Ga, 및 Zn 이외의 금속 소자를 함유할 수 있다. 상기 In-Ga-Zn-계 산화물은 전계가 인가되지 않을 때 충분히 높은 저항 값을 가져 오프-상태 전류가 충분히 저감될 수 있다. 게다가, 상기 In-Ga-Zn-계 산화물은 높은 이동도를 갖는다.

[0503] 산화물 반도체막은 예를 들어 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질일 수 있다. 상기 산화물 반도체막은 c-축 배향된 결정성 산화물 반도체(CAAC-OS) 막인 것이 바람직하다.

[0504] 상기 CAAC-OS 막은 완전한 단결정도 아니고 완전한 비정질도 아니다. 상기 CAAC-OS 막은 수 nm 내지 수십 nm 크기의 결정부가 비정질 상(phase)에 포함된 결정-비정질 혼상 구조의 산화물 반도체막이다. 투과형 전자 현미경(TEM)에 의해, 상기 CAAC-OS 막의 비정질부 및 결정부 간의 경계는 명확하지 않다는 것을 주의한다. 게다가, 상기 CAAC-OS 막에서 결정립계가 확인되지 않는다. 상기 CAAC-OS 막이 결정립계를 갖지 않기 때문에, 결정립계로 인한 전자 이동도의 저하가 쉽게 발생하지 않는다.

[0505] 상기 CAAC-OS 막에 포함된 각각의 상기 결정부들에서, c-축이 상기 CAAC-OS 막이 형성된 표면의 법선 벡터 또는 상기 CAAC-OS 막의 표면의 법선 벡터에 평행한 방향에 일치하고, a-b 면에 수직인 방향에서 보아 삼각형 또는 육각형의 원자 배열이 형성되고, 상기 c-축에 수직인 방향에서 보아 금속 원자들이 층상 또는 금속 원자들 및 산소 원자들이 층상으로 배열된다. 결정부들 중에서, 한 결정부의 상기 a-축 및 상기 b-축의 방향들이 다른 결정부와 다를 수 있다는 것을 주의한다. 본 명세서에서, 단순히 "수직"이라는 용어는 85 내지 95°의 범위를 포함한다. 또한, 단순히 "평행"이라는 용어는 -5 내지 5°의 범위를 포함한다.

[0506] 상기 CAAC-OS 막에서 상기 비정질부들 및 상기 결정부들의 비율이 반드시 균일할 필요는 없다는 것을 주의한다. 예를 들어, 상기 CAAC-OS 막의 표면 측으로부터 결정 성장이 일어나는 경우, 일부 경우들에서, 상기 CAAC-OS의 표면 주변에서 상기 결정부들의 비율이 높고 상기 CAAC-OS 막이 형성되는 표면 주변에서 상기 비정질부들의 비

율이 높다. 게다가, 상기 CAAC-OS 막에 불순물이 첨가될 때, 일부 경우들에서 상기 불순물이 첨가되는 영역의 상기 결정부는 비정질이 된다.

- [0507] 상기 CAAC-OS 막에 포함된 상기 결정부들의 상기 c-축들이 상기 CAAC-OS 막이 형성된 표면의 법선 벡터 또는 상기 CAAC-OS 막의 상기 표면의 법선 벡터에 평행한 방향에 일치하기 때문에, 상기 결정부들의 상기 c-축들의 방향들은 상기 CAAC-OS 막의 형상(상기 CAAC-OS 막이 형성되는 표면의 단면 형상 또는 상기 CAAC-OS 막의 표면의 단면 형상)에 따라 서로 다를 수 있다. 상기 CAAC-OS 막이 형성될 때, 상기 결정부의 상기 c-축의 방향은 상기 CAAC-OS 막이 형성되는 상기 표면의 법선 벡터 또는 상기 CAAC-OS 막의 상기 표면의 법선 벡터에 평행한 방향이라는 것을 주의한다. 상기 결정부는 성막에 의해 또는 성막 후의 가열 처리와 같은 결정화를 위한 처리를 수행함으로써 형성된다.
- [0508] 상기 CAAC-OS 막을 사용하여, 가시광 또는 자외선 조사로 인한 상기 트랜지스터의 전기 특성들의 변동이 저감될 수 있어서, 신뢰성이 높은 트랜지스터가 획득될 수 있다.
- [0509] 예를 들어, CAAC-OS 막은 다결정 산화물 반도체 스퍼터링 타깃으로 스퍼터링에 의해 성막된다. 이온들이 상기 스퍼터링 타깃과 충돌할 때, 상기 스퍼터링 타깃에 포함된 결정 영역이 상기 a-b면을 따라 상기 타깃으로부터 분리될 수 있고, 상기 a-b면에 평행한 평면을 갖는 스퍼터링 입자(평판형 스퍼터링 입자 또는 펠릿형 스퍼터링 입자)가 상기 스퍼터링 타깃으로부터 분리될 수 있다. 그 경우, 상기 평판형 스퍼터링 입자는 결정 상태를 유지하면서 기판에 도달하여, 상기 CAAC-OS 막이 성막될 수 있다.
- [0510] 상기 CAAC-OS 막의 성막을 위해, 다음의 조건들이 채용되는 것이 바람직하다.
- [0511] 성막 동안, 상기 CAAC-OS 막으로 혼입하는 불순물들의 양을 저감시킴으로써, 상기 불순물들에 의해 상기 결정 상태가 무너지는 것이 방지될 수 있다. 예를 들어, 처리실 내에 존재하는 불순물 농도(예를 들어, 수소, 물, 이산화탄소, 또는 질소)가 저감될 수 있다. 또한, 성막 가스 중의 불순물 농도가 저감될 수 있다. 구체적으로, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.
- [0512] 성막 시의 기판 가열 온도를 상승시킴으로써 스퍼터링 입자가 기판에 도달한 후 스퍼터링 입자의 마이그레이션이 발생한다. 구체적으로, 성막 동안 기판 가열 온도는 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하이다. 성막 시의 기판 가열 온도를 상승시킴으로써 평판상의 스퍼터링 입자가 기판에 도달할 때, 상기 기판 상에서 마이그레이션이 발생하고, 스퍼터링 입자의 편평한 면이 기판에 부착된다.
- [0513] 게다가, 성막 가스 중의 산소 비율을 증가시키고, 전력을 최적화함으로써 성막 동안 플라즈마 대미지를 경감하는 것이 바람직하다. 성막 가스의 산소 비율은 30vol% 이상, 바람직하게는 100vol%이다.
- [0514] 상기 스퍼터링 타깃의 일례로서, In-Ga-Zn-O 화합물 타깃이 이하에 설명된다.
- [0515] InO_x 분말, GaO_y 분말 및 ZnO_z 분말을 미리 결정된 mol 수비로 혼합하고, 가압 처리 후, 1000°C 이상 1500°C 이하의 온도로 가열 처리를 함으로써 다결정 In-Ga-Zn-O 화합물 타깃이 된다. X, Y 및 Z는 각각 소정의 양수라는 것을 주의한다. 여기에서, 상기 미리 결정된 mol 수비는 예를 들어, InO_x 분말, GaO_y 분말 및 ZnO_z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2이다. 상기 분말의 종류, 및 혼합 분말의 mol 수비는 형성되는 스퍼터링 타깃에 따라 적절히 변경될 수 있다.
- [0516] 예를 들어, 상기 산화물 반도체막은 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 타깃을 사용하여 스퍼터링에 의해 형성될 수 있다. In-Ga-Zn-계 산화물 반도체막이 스퍼터링에 의해 형성되는 경우, In:Ga:Zn = 1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3, 또는 3:1:4의 원자 수비를 갖는 In-Ga-Zn-계 산화물의 타깃을 사용하는 것이 바람직하다. 산화물 반도체막이 상기 원자 수비를 갖는 In-Ga-Zn-계 산화물의 타깃을 사용하여 형성될 때, 다결정 또는 CAAC-OS가 용이하게 형성된다. In, Ga, 및 Zn을 포함하는 상기 타깃의 상대 밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 상대 밀도가 높은 타깃을 사용하여, 조밀한 산화물 반도체막이 형성된다.
- [0517] In-Zn-계 재료가 상기 산화물 반도체로 사용되는 경우, 사용된 타깃은 In:Zn = 50:1 내지 1:2(In_2O_3 :ZnO = 25:1 내지 1:4 [mol 수비]), 바람직하게 In:Zn = 20:1 내지 1:1(In_2O_3 :ZnO = 10:1 내지 1:2 [mol 수비]), 더 바람직하게 In:Zn = 15:1 내지 1.5:1(In_2O_3 :ZnO = 15:2 내지 3:4 [mol 수비])의 원자 수비를 갖는다. 예를 들어, In-Zn-계 산화물을 사용하여 형성된 산화물 반도체막의 성막을 위해 사용된 타깃이 In:Zn:O = X:Y:Z의 원자 수비를 가질 때, $Z > 1.5X + Y$ 이다. Zn의 비를 상기 범위 내로 유지함으로써 상기 이동도가 향상될 수 있다.

- [0518] 구체적으로, 상기 산화물 반도체막은 감압 상태로 유지된 처리실에 상기 기판을 유지하고, 상기 처리실 내의 잔여 수분이 제거되고, 수소 및 수분이 제거된 스퍼터링 가스가 도입되고, 상기 타겟이 사용되는 방식으로 성막될 수 있다. 성막 동안 상기 기판 온도는 100 내지 600℃, 바람직하게 200 내지 400℃일 수 있다. 상기 기판을 가열하면서 상기 산화물 반도체막을 성막함으로써, 상기 성막된 산화물 반도체막에 포함된 불순물 농도가 저감될 수 있다. 또한, 스퍼터링에 의한 대미지가 감소될 수 있다. 상기 처리실의 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 사용되는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용되는 것이 바람직하다. 콜드 트랩이 부가된 터보 펌프가 배기 수단으로 사용될 수 있다. 예를 들어, 수소 원자, 물과 같은 수소 원자를 함유하는 화합물(바람직하게 탄소 원자를 함유하는 화합물), 등이 크라이오 펌프를 사용하여 상기 처리실로부터 배기된다. 따라서, 상기 처리실에서 성막된 상기 산화물 반도체막에 함유된 불순물들의 농도가 저감될 수 있다.
- [0519] 스퍼터링 등에 의해 형성된 상기 산화물 반도체막은 일부 경우들에서 불순물로서 많은 양의 수분 또는 수소(수산기를 포함)를 함유한다는 것을 주의한다. 수분 및 수소는 도너 준위를 용이하게 형성하여 상기 산화물 반도체에서 불순물들로서 기능한다. 따라서, 본 발명의 일 실시형태에서, 상기 산화물 반도체막에서 수분 또는 수소와 같은 불순물들을 저감시키기 위해(탈수화 또는 탈수소화를 수행하기 위해), 상기 산화물 반도체막은 감압 분위기, 질소, 희가스 등의 불활성 가스 분위기, 산소 가스 분위기 또는 초진조 공기(CRDS(cavity ring-down laser spectroscopy) 방식의 노점계를 사용하여 측정이 수행되는 경우 수분량이 20ppm(노점으로 환산하여 -55℃) 이하, 바람직하게 1ppm 이하, 더 바람직하게 10ppb 이하)에서 가열 처리된다.
- [0520] 상기 산화물 반도체막에 가열 처리를 수행함으로써, 상기 산화물 반도체막의 수분 또는 수소가 제거될 수 있다. 구체적으로, 가열 처리는 250℃ 이상 750℃ 이하, 바람직하게 400℃ 이상 상기 기판의 변형점 미만의 온도에서 수행될 수 있다. 예를 들어, 가열 처리는 500℃에서 약 3 내지 6분간 수행될 수 있다. 상기 가열 처리를 위해 RTA가 사용될 때, 탈수화 또는 탈수소화가 단시간에 수행될 수 있어서, 유리 기판의 변형점보다 높은 온도에서도 처리가 수행될 수 있다.
- [0521] 일부 경우들에서, 상기 가열 처리는 상기 산화물 반도체막으로부터 산소가 방출되고 상기 산화물 반도체막에 산소 결손이 발생하도록 한다는 것을 주의한다. 따라서, 본 발명의 일 실시형태에서, 산소를 함유하는 절연막이 게이트 절연막과 같은 상기 산화물 반도체막과 접하는 절연막으로 사용된다. 그 후, 산소를 함유하는 상기 절연막의 형성 후에 가열 처리가 수행되어, 상기 절연막으로부터 상기 산화물 반도체막으로 산소가 공급된다. 이러한 구성으로, 도너들로 기능하는 산소 결손이 저감될 수 있고 상기 산화물 반도체막에 포함된 상기 산화물 반도체의 상기 화학량론비가 만족될 수 있다. 상기 산화물 반도체막의 산소비는 상기 화학량론비보다 큰 것이 바람직하다. 그 결과, 상기 산화물 반도체막은 실질적으로 진성일 수 있고, 산소 결손으로 인한 상기 트랜지스터의 전기 특성들의 변동이 저감될 수 있어 전기 특성들의 향상을 실현한다.
- [0522] 상기 산화물 반도체막에 산소를 공급하기 위한 상기 가열 처리는 질소, 초진조 공기, 또는 희가스(예를 들어, 아르곤 또는 헬륨) 분위기에서 바람직하게 200 내지 400℃, 예를 들어, 250 내지 350℃에서 수행하는 것이 바람직하다는 것을 주의한다. 상기 가스의 수분 함량은 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 것이 바람직하다.
- [0523] 도 82의 (A)에 도시된 트랜지스터는 채널 에칭 구조의 보텀-게이트 트랜지스터이다.
- [0524] 도 82의 (A)에 도시된 상기 트랜지스터는 절연 표면 위에 형성된 게이트 전극(602), 상기 게이트 전극(602) 위의 게이트 절연막(603), 상기 게이트 절연막(603) 위에서 상기 게이트 전극(602)과 중첩하는 반도체막(604), 및 상기 반도체막(604) 위에 형성된 도전막들(605 및 606)을 포함한다. 상기 트랜지스터는 상기 반도체막(604) 및 상기 도전막들(605 및 606) 위에 형성된 절연막(607)을 더 포함할 수 있다.
- [0525] 도 82의 (A)에 도시된 상기 트랜지스터는 상기 반도체막(604)과 중첩하는 부분의 상기 절연막(607) 위에 형성된 백-게이트 전극을 더 포함할 수 있다는 것을 주의한다.
- [0526] 도 82의 (B)에 도시된 트랜지스터는 채널 보호 구조를 갖는 보텀-게이트 트랜지스터이다.
- [0527] 도 82의 (B)에 도시된 상기 트랜지스터는 절연 표면 위에 형성된 게이트 전극(612), 상기 게이트 전극(612) 위의 게이트 절연막(613), 상기 게이트 절연막(613) 위에서 상기 게이트 전극(612)과 중첩하는 반도체막(614), 상기 반도체막(614) 위에 형성된 채널 보호막(618), 및 상기 반도체막(614) 위에 형성된 도전막들(615 및 616)을 포함한다. 상기 트랜지스터는 상기 채널 보호막(618) 및 상기 도전막들(615 및 616) 위에 형성된 절연막(617)을 더 포함할 수 있다.

- [0528] 도 82의 (B)에 도시된 상기 트랜지스터는 상기 반도체막(614)과 중첩하는 부분의 상기 절연막(617) 위에 형성된 백-게이트 전극을 더 포함할 수 있다는 것을 주의한다.
- [0529] 상기 채널 보호막(618)은 채널 형성 영역으로서 기능하는 상기 반도체막(614)의 일부가 나중의 공정, 예를 들어, 에칭 동안 플라즈마 또는 에천트로 인한 두께 감소와 같은 대미지를 방지할 수 있다. 따라서, 상기 트랜지스터의 신뢰성이 향상될 수 있다.
- [0530] 도 82의 (C)에 도시된 트랜지스터는 보텀-콘택트 구조를 갖는 보텀-게이트 트랜지스터이다.
- [0531] 도 82의 (C)에 도시된 상기 트랜지스터는 절연 표면 위에 형성된 게이트 전극(622), 상기 게이트 전극(622) 위의 게이트 절연막(623), 상기 게이트 절연막(623) 위의 도전막들(625 및 626), 상기 게이트 절연막(623) 위에서 상기 게이트 전극(622)과 중첩하고 상기 도전막들(625 및 626) 위에 형성된 반도체막(624)을 포함한다. 게다가, 상기 트랜지스터는 상기 도전막들(625 및 626) 및 상기 반도체막(624) 위에 형성된 절연막(627)을 포함할 수 있다.
- [0532] 도 82의 (C)에 도시된 상기 트랜지스터는 상기 반도체막(624)과 중첩하는 부분의 상기 절연막(627) 위에 형성된 백-게이트 전극을 더 포함할 수 있다는 것을 주의한다.
- [0533] 도 82의 (D)에 도시된 트랜지스터는 보텀-콘택트 구조를 갖는 톱-게이트 트랜지스터이다.
- [0534] 도 82의 (D)에 도시된 상기 트랜지스터는 절연 표면 위에 형성된 도전막들(645 및 646), 상기 도전막들(645 및 646) 위에 형성된 반도체막(644), 상기 반도체막(644) 및 상기 도전막들(645 및 646) 위에 형성된 게이트 절연막(643), 및 상기 게이트 절연막(643) 위에서 상기 반도체막(644)과 중첩하는 게이트 전극(642)을 포함한다. 게다가, 상기 트랜지스터는 상기 게이트 전극(642) 위에 형성된 절연막(647)을 포함할 수 있다.
- [0535] 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.
- [0536] (실시형태 7)
- [0537] 본 실시형태에서, 본 발명의 반도체 장치의 일 양태인 발광 장치가 일예로서 주어지고, 상기 발광 장치의 외관은 도 83의 (A) 및 (B)를 참조하여 설명된다. 도 83의 (A)는 제 1 기판 위에 형성된 트랜지스터 및 발광 소자가 상기 제 1 기판과 제 2 기판 사이에 절재로 밀봉된 패널의 상면도이다. 도 83의 (B)는 도 83의 (A)의 선 A-A'를 따라 취해진 단면도에 대응한다.
- [0538] 절재(4020)는 제 1 기판(4001) 위에 제공된 화소부(4002), 회로(4003), 및 회로(4004)를 둘러싸도록 형성된다. 또한, 제 2 기판(4006)이 상기 화소부(4002), 상기 회로(4003), 및 상기 회로(4004) 위에 형성된다. 따라서, 상기 화소부(4002), 상기 회로(4003), 및 상기 회로(4004)는 충전재(4007)와 함께 상기 제 1 기판(4001)과 상기 제 2 기판(4006) 사이에 상기 절재(4020)로 밀봉된다.
- [0539] 상기 화소부(4002) 및 상기 화소부(4002)에 신호들을 공급하기 위한 상기 회로들(4003 및 4004) 각각은 상기 제 1 기판(4001) 위에 형성되고 복수의 트랜지스터들을 갖는다. 도 83의 (B)에서, 상기 회로(4003)에 포함된 트랜지스터(4008), 및 상기 화소부(4002)에 포함된 트랜지스터들(4009 및 4010)이 예시된다.
- [0540] 또한, 상기 트랜지스터(4009)의 소스 또는 드레인에 접속된 배선(4017)의 일부가 발광 소자(4011)의 화소 전극으로 사용된다. 게다가, 상기 발광 소자(4011)는 상기 화소 전극에 더하여 대향 전극(4012) 및 발광층(4013)을 포함한다. 상기 발광 소자(4011)의 구성은 본 실시형태에 설명된 구성으로 제한되지 않는다는 것을 주의한다. 상기 발광 소자(4011)의 구성은 상기 발광 소자(4011)로부터 추출된 광의 방향, 상기 트랜지스터(4009)의 극성, 등에 따라 적절히 변경될 수 있다.
- [0541] 상기 회로(4003), 상기 회로(4004), 또는 상기 화소부(4002)에 공급된 다양한 신호들 및 전압은 도 83의 (B)의 단면도에 도시되지 않지만, 상기 다양한 신호들 및 전압은 리드 배선들(4014 및 4015)을 통해 접속 단자(4016)로부터 공급된다.
- [0542] 본 실시형태에서, 상기 접속 단자(4016)는 상기 발광 소자(4011)의 상기 대향 전극(4012)과 동일한 도전막을 사용하여 형성된다. 상기 리드 배선(4014)은 상기 배선(4017)과 동일한 도전막을 사용하여 형성된다. 게다가, 상기 리드 배선(4015)은 상기 트랜지스터들(4009, 4010, 및 4008)의 게이트 전극들과 동일한 도전막을 사용하여

형성된다.

- [0543] 상기 접속 단자(4016)는 이방성 도전막(4019)을 통해 FPC(4018)의 단자에 전기적으로 접속된다.
- [0544] 상기 제 1 기판(4001) 및 상기 제 2 기판(4006)은 유리, 금속(대표적으로, 스테인리스 스틸), 세라믹, 또는 플라스틱을 사용하여 형성될 수 있다. 상기 발광 소자(4011)로부터의 광이 추출되는 방향에 위치한 상기 제 2 기판(4006)은 투광성을 가져야 한다는 것을 주의한다. 따라서, 상기 제 2 기판(4006)으로 유리판, 플라스틱판, 폴리에스테르막, 또는 아크릴막과 같은 투광성 재료가 사용되는 것이 바람직하다.
- [0545] 또한, 상기 충전재(4007)로 질소 또는 아르곤과 같은 불활성 기체뿐만 아니라 자외선 경화 수지 또는 열경화성 수지가 사용될 수 있다. 본 실시형태에서, 상기 충전재(4007)로 질소가 사용된 일례가 예시된다.
- [0546] 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.
- [0547] (실시형태 8)
- [0548] 본 발명의 일 양태에 따른 상기 회로(100)는 표시 장치의 화소부로 사용될 수 있다. 대안적으로, 본 발명의 일 양태에 따른 상기 회로(100)는 표시 장치의 구동 회로로 사용될 수 있다.
- [0549] 도 84의 (A)는 본 발명의 일 양태에 따른 반도체 장치인 표시 장치의 블록도이다. 도 84의 (A)의 상기 표시 장치는 화소부(700), 구동 회로(701), 및 구동 회로(702)를 포함한다. 상기 화소부(700)는 화소들로 기능하는 복수의 회로들(100)을 포함한다. 상기 구동 회로(701) 및 상기 구동 회로(702)는 다양한 일정한 전압 또는 신호들을 상기 회로들(100)에 공급하는 기능을 갖는다.
- [0550] 도 84의 (B)는 본 발명의 일 양태에 따른 반도체 장치인 표시 장치의 블록도이다. 도 84의 (B)의 상기 표시 장치는 화소부(711) 및 구동 회로(710)를 포함한다. 상기 구동 회로(710)는 전류원으로 기능하는 복수의 회로들(100)을 포함한다. 상기 회로(100)로부터 출력된 전류가 화소부(711)에 포함된 화소에 공급된다.
- [0551] 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.
- [0552] (실시형태 9)
- [0553] 본 발명의 일 실시형태에 따른 반도체 장치는 표시 장치들, 개인용 컴퓨터들, 또는 기록 매체를 구비한 화상 재생 장치들(대표적으로, DVD(digital versatile discs)와 같이 기록 매체의 콘텐츠를 재생하고 재생된 화상들을 표시하기 위한 디스플레이들을 갖는 장치들)에 사용될 수 있다. 게다가, 본 발명의 일 실시형태에 따른 상기 반도체 장치를 포함하는 전자기기들로서, 휴대 전화, 게임기(휴대용 게임기를 포함), 휴대 정보 단말, 전자 서적, 비디오 카메라 및 디지털 스틸 카메라와 같은 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(예를 들어, 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 도 85의 (A) 내지 (F) 및 도 91은 이들 전자기기들의 구체적인 예들을 도시한다.
- [0554] 도 85의 (A)는 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크론(5005), 스피커들(5006), 조작 키(5007), 스타일러스(5008) 등을 포함하는 휴대용 게임기를 도시한다. 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 휴대용 게임기의 구동을 제어하는 집적 회로 또는 상기 표시부(5003 또는 5004)에 사용될 수 있다. 도 85의 (A)의 상기 휴대용 게임기가 2개의 표시부들(5003 및 5004)을 갖지만, 상기 휴대용 게임기에 포함된 표시부들의 수는 이로 제한되지 않는다는 것을 주의한다.
- [0555] 도 85의 (B)는 하우징(5201), 표시부(5202), 지지대(5203), 등을 포함하는 표시 장치를 도시한다. 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 표시 장치의 구동을 제어하는 집적 회로 또는 상기 표시부(5202)에 사용될 수 있다. 상기 표시 장치는 개인용 컴퓨터용, TV 방송 수신용, 및 광고 표시용 표시 장치들과 같은 정보를 표시하기 위한 모든 표시 장치들을 의미한다는 것을 주의한다.
- [0556] 도 85의 (C)는 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404), 등을 포함하는 랩톱을 도시한다. 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 랩톱의 구동을 제어하는 집적 회로 또는 상기 표시부(5402)에 사용될 수 있다.

- [0557] 도 85의 (D)는 하우징(5601), 표시부(5602), 조작 키들(5603), 등을 포함하는 휴대 정보 단말을 도시한다. 도 85의 (D)의 상기 휴대 정보 단말에서, 모뎀이 상기 하우징(5601)에 내장될 수 있다. 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 휴대 정보 단말의 구동을 제어하는 집적 회로 또는 상기 표시부(5602)에 사용될 수 있다.
- [0558] 도 85의 (E)는 하우징(5801), 표시부(5802), 오디오 입력부(5803), 오디오 출력부(5804), 조작 키들(5805), 수광부(5806), 등을 포함하는 휴대 전화를 도시한다. 상기 수광부(5806)에서 수신된 광은 전기 신호들로 변환되어, 외부 화상들이 로딩될 수 있다. 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 휴대 전화의 구동을 제어하는 집적 회로 또는 상기 표시부(5802)에 사용될 수 있다.
- [0559] 도 85의 (F)는 제 1 하우징(5901), 제 2 하우징(5902), 제 1 표시부(5903), 제 2 표시부(5904), 접속부(5905), 조작 키(5906) 등을 갖는 휴대 정보 단말을 도시한다. 상기 제 1 표시부(5903)는 상기 제 1 하우징(5901)에 제공되고, 상기 제 2 표시부(5904)는 상기 제 2 하우징(5902)에 제공된다. 상기 제 1 하우징(5901) 및 상기 제 2 하우징(5902)은 상기 접속부(5905)로 서로 접속되고, 상기 제 1 하우징(5901)과 상기 제 2 하우징(5902) 사이의 각도는 상기 접속부(5905)로 변경될 수 있다. 상기 제 1 표시부(5903) 상의 화상은 상기 접속부(5905)에서 상기 제 1 하우징(5901)과 상기 제 2 하우징(5902) 사이의 각도에 따라 전환될 수 있다. 본 발명의 일 양태에 따른 상기 반도체 장치는 상기 휴대 정보 단말의 구동을 제어하는 집적 회로, 상기 제 1 표시부(5903) 또는 상기 제 2 표시부(5904)에 사용될 수 있다. 위치 입력 기능을 갖는 표시 장치가 적어도 상기 제 1 표시부(5903) 및 상기 제 2 표시부(5904) 중 하나로 사용될 수 있다. 상기 위치 입력 기능은 표시 장치에 터치 패널을 구비함으로써 추가될 수 있다는 것을 주의한다. 대안적으로, 상기 위치 입력 기능은 표시 장치의 화소부에 포토센서라고 하는 광전 변환 소자를 구비함으로써 추가될 수 있다.
- [0560] 다음에, 본 발명에 따른 휴대 전화의 구성예가 도 91을 참조하여 설명된다.
- [0561] 표시 패널(900501)이 하우징(900530)에 탈착가능하게 내장된다. 상기 하우징(900530)의 형상 또는 사이즈는 상기 표시 패널(900501)의 사이즈에 따라 적절히 변경될 수 있다. 상기 표시 패널(900501)이 고정된 상기 하우징(900530)은 모듈로 조립되도록 인쇄 기관(900531)에 끼워진다.
- [0562] 터치 패널, FPC, 인쇄 기관, 프레임, 방열판, 광학 필름, 편광판, 위상차판, 프리즘 시트, 확산판, 백라이트, 도광판, LED, CFL, 프론트 라이트, 컨트롤러, 구동 회로, 신호 처리 회로, 등을 구비함으로써, 상기 표시 패널(900501)이 표시 모듈로 사용될 수 있다. 게다가, 상기 표시 패널(900501)의 대향 기관(밀봉 기관)이 터치 패널로 기능할 수 있다.
- [0563] 상기 표시 패널(900501)은 FPC(900513)를 통해 상기 인쇄 기관(900531)에 접속된다. 상기 인쇄 기관(900531)에 스피커(900532), 마이크로폰(900533), 송신/수신 회로(900534), 및 CPU, 컨트롤러, 등을 포함하는 신호 처리 회로(900535)가 제공된다. 이러한 모듈, 입력 수단(900536), 및 배터리(900537)가 조합되고 하우징(900539)에 저장된다. 상기 표시 패널(900501)의 화소부는 상기 하우징(900539)에 형성된 개구 창에서 보이게 제공된다.
- [0564] 상기 표시 패널(900501)에서, 상기 화소부 및 주변 구동 회로들의 일부(복수의 구동 회로들 중에서 낮은 동작 주파수를 갖는 구동 회로)가 TFT들을 사용하여 한 기관 위에 형성될 수 있고, 상기 주변 구동 회로들의 다른 부분(복수의 구동 회로들 중에서 높은 동작 주파수를 갖는 구동 회로)이 IC 칩 위에 형성될 수 있다. 그 후, 상기 IC 칩이 COG(chip on glass)에 의해 상기 표시 패널(900501) 상에 실장될 수 있다. 대안적으로, 상기 IC 칩은 TAB(tape automated bonding) 또는 인쇄 기관을 사용하여 유리 기관에 접속될 수 있다. 이러한 구성으로, 상기 표시 장치의 소비 전력이 저감될 수 있고, 상기 휴대 전화의 충전 당 동작 시간이 연장될 수 있다. 게다가, 상기 휴대 전화의 코스트가 저감될 수 있다.
- [0565] 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.
- [0566] 일 실시형태에 설명된 도면 또는 문장에서, 상기 도면 또는 상기 문장의 일부가 추출되고, 본 발명의 일 실시형태가 구성될 수 있다는 것을 주의한다. 따라서, 특정한 부분과 관련된 도면 또는 문장이 설명되는 경우, 상기 도면 또는 상기 문장으로부터 추출된 내용도 본 발명의 일 실시형태로서 개시되고, 본 발명의 일 실시형태가 구성될 수 있다. 따라서, 예를 들어, 하나 이상의 능동 소자들(예를 들어, 트랜지스터들 또는 다이오드들), 배선들, 수동 소자들(예를 들어, 용량소자들 또는 저항소자들), 도전층들, 절연층들, 반도체층들, 유기 재료들, 무기 재료들, 부품들, 장치들, 동작 방법들, 제조 방법들, 등이 설명되는 도면 또는 문장에서, 상기 도면 또는 상

기 문장의 일부가 추출되고, 본 발명의 일 실시형태가 구성될 수 있다. 예를 들어, M개의 회로 소자들(예를 들어, 트랜지스터들 또는 용량소자들)(M은 정수, $M < N$)이 N개의 회로 소자들(예를 들어, 트랜지스터들 또는 용량소자들)(N은 정수)이 제공된 회로도에서 추출되고, 본 발명의 일 실시형태가 구성될 수 있다. 다른 예로서, M개의 층들(M은 정수, $M < N$)이 N개의 층들(N은 정수)이 제공된 단면도에서 추출되고, 본 발명의 일 실시형태가 구성될 수 있다. 다른 예로서, M개의 소자들(M은 정수, $M < N$)이 N개의 소자들(N은 정수)이 제공된 흐름도에서 추출되고, 본 발명의 일 실시형태가 구성될 수 있다.

- [0567] 일 실시형태에 설명된 도면 또는 문장에서, 적어도 하나의 구체 예가 설명되는 경우, 상기 구체 예의 상위 개념이 도출될 수 있다는 것이 당업자에게 용이하게 이해된다는 것을 주의한다. 따라서, 일 실시형태에 설명된 상기 도면 또는 상기 문장에서, 적어도 하나의 구체 예가 설명되는 경우, 상기 구체 예의 상위 개념이 본 발명의 일 실시형태로서 개시되고, 본 발명의 일 실시형태가 구성될 수 있다.
- [0568] 적어도 하나의 도면(또는 상기 도면의 일부)에 설명된 내용이 본 발명의 일 실시형태로서 개시되고, 본 발명의 일 실시형태가 구성될 수 있다는 것을 주의한다. 따라서, 특정한 내용이 도면에 설명될 때, 상기 내용은 상기 내용이 문장으로 설명되지 않더라도 본 발명의 일 실시형태로서 개시되고, 본 발명의 일 실시형태가 구성될 수 있다. 유사하게, 상기 도면으로부터 추출된 도면의 일부가 본 발명의 일 실시형태로서 개시되고, 본 발명의 일 실시형태가 구성될 수 있다.
- [0569] (실시형태 10)
- [0570] 도 88의 (A)는 트랜지스터들이 도 49의 (A)의 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 상기 스위치(14), 및 상기 스위치(914)로 사용되는 상기 회로(100)의 구성예를 도시한다.
- [0571] 도 88의 (A)의 상기 회로(100)에서, 상기 스위치(11), 상기 스위치(12), 상기 스위치(13), 상기 스위치(14), 및 상기 스위치(914)로서 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t), 상기 트랜지스터(14t), 및 상기 트랜지스터(914t)가 각각 사용된다.
- [0572] 도 88의 (A)는 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t), 상기 트랜지스터(14t), 및 상기 트랜지스터(914t)가 모두 n-채널 트랜지스터들인 일 예를 도시한다. 상기 트랜지스터(11t), 상기 트랜지스터(12t), 상기 트랜지스터(13t), 상기 트랜지스터(14t), 및 상기 트랜지스터(914t)가 동일한 극성을 가질 때, 이들 트랜지스터들은 적은 수의 공정들로 제조될 수 있다. 그러나, 본 발명의 실시형태의 일 양태는 이로 제한되지 않고, 이들 트랜지스터들은 상이한 극성들을 가질 수 있다.
- [0573] 도 88의 (A)에서, 상기 트랜지스터(11t)의 상기 게이트가 상기 배선(31)에 접속된다. 상기 배선(31)에 공급된 전위에 응답하여 상기 트랜지스터(11t)가 턴 온 또는 오프된다. 상기 트랜지스터(12t)의 상기 게이트가 상기 배선(32)에 접속된다. 상기 배선(32)에 공급된 전위에 응답하여 상기 트랜지스터(12t)가 턴 온 또는 오프된다. 상기 트랜지스터(13t)의 상기 게이트가 상기 배선(32)에 접속된다. 상기 배선(32)에 공급된 전위에 응답하여 상기 트랜지스터(13t)가 턴 온 또는 오프된다. 상기 트랜지스터(14t)의 상기 게이트가 상기 배선(34)에 접속된다. 상기 배선(34)에 공급된 전위에 응답하여 상기 트랜지스터(14t)가 턴 온 또는 오프된다. 따라서, 상기 배선들(31, 32, 및 34)의 상기 전위들은 펄스형 전위들이고 일정하지 않은 것이 바람직하지만, 본 발명의 실시형태의 일 양태는 이로 제한되지 않는다. 대안적으로, 상기 배선들(31, 32, 및 34)은 각각 게이트 신호선, 선택 신호선, 또는 주사선으로서 기능한다.
- [0574] 도 88의 (A)에서, 상기 트랜지스터(12t)의 상기 게이트 및 상기 트랜지스터(13t)의 상기 게이트는 상기 배선(32)에 접속된다는 것을 주의한다. 본 발명의 일 양태에서, 상기 트랜지스터(12t)의 상기 게이트는 상기 배선(32)에 접속될 수 있고, 상기 트랜지스터(13t)의 상기 게이트는 상기 배선(33)에 접속될 수 있다.
- [0575] 상기 배선들(31, 32, 및 34) 중 적어도 2개는 서로 접속될 수 있다. 대안적으로, 적어도 하나의 상기 배선들(31, 32, 및 34)은 다른 회로(100)의 적어도 하나의 상기 배선들(31, 32, 및 34)에 접속될 수 있다.
- [0576] 본 발명의 일 양태에 따른 상기 반도체 장치는 도 88의 (A)의 상기 회로(100)에 더하여, 상기 회로(100)에 다양한 일정한 전압 또는 신호들을 공급하는 회로를 더 포함할 수 있다.
- [0577] 전위(V_{sig})에 기초한 휘도로 상기 발광 소자(104a)가 발광하는 상기 기간(T14)에서 상기 트랜지스터(101)의 상기 게이트-소스 전압(V_{gs101}) 값이 계산된다. 도 88의 (A)의 상기 회로(100)가 상기 계산에 사용된다.
- [0578] 도 88의 (B)는 상기 계산에서 도 88의 (A)의 상기 회로(100)에 포함된 상기 배선들의 전위들을 도시하는 타이밍 차트이다. 구체적으로, 도 88의 (B)는 상기 배선(21)의 상기 전위, 상기 배선(34)의 상기 전위, 상기 배선(32)

의 상기 전위, 상기 배선(31)의 상기 전위, 및 상기 배선(932)의 상기 전위의 시간 변화를 도시한다. 도 88의 (B)에서, 하이 전위(GVDD) 또는 로우 전위(GVSS)가 상기 배선(34), 상기 배선(32), 상기 배선(31), 및 상기 배선(932)에 인가된다는 것을 주의한다.

[0579] 상기 계산은 상이한 상기 배선(22)의 전위(Vi2) 값을 갖는 조건 A 및 조건 B 하에서 수행된다. 표 1은 조건 A 및 조건 B 하에서 상기 배선들의 구체적인 전위들을 도시한다. 표 1에서, 상기 배선(24)의 상기 전위(Vcat)는 0V이고, 상기 전위(Vsig), 상기 전위(Vi1), 상기 전위(VDD), 상기 전위(Vi2), 상기 전위(GVDD), 및 상기 전위(GVSS)의 값들은 상기 전위(Vcat)에 대한 전위차로 나타낸다는 것을 주의한다.

표 1

	조건 A	조건 B
Vth	-3 V 내지 3 V	-3 V 내지 3 V
Vsig	4 V 내지 9 V	4 V 내지 9 V
Vi1	4 V	4 V
VDD	14 V	14 V
Vi2	8 V	14 V
Vcat	0 V	0 V
GVDD/GVSS	17 V/-5 V	20 V/-5 V

[0580]

[0581] 상기 계산에서 상기 트랜지스터들의 채널 폭(W)에 대한 채널 길이(L)의 비로서, 상기 트랜지스터(101)의 L/W는 10 μ m/10 μ m이고, 상기 트랜지스터들(12t 및 13t)의 L/W는 각각 6 μ m/5 μ m이고, 상기 트랜지스터들(11t, 14t, 및 914t)의 L/W는 각각 6 μ m/9 μ m이다. 도 88의 (A)의 상기 회로(100)에 포함된 모든 트랜지스터들의 상기 소스 전극 또는 상기 드레인 전극과 반도체막이 접하는 영역인 영역 A를 가정하면, 상기 영역 A가 상기 게이트 전극과 중첩하는 영역의 채널 길이 방향의 길이(Lov)는 2.0 μ m이다.

[0582] 도 88의 (B)의 상기 기간(T14)에서, 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)은 상기 전압(Vsig+Vth-Vi1)이 된다. 따라서, 도 88의 (A)의 상기 회로(100)에서 Vgs101-Vth = Vsig-Vi1이 되어, Vgs101-Vth는 이상적으로 상기 임계 전압(Vth) 값과 무관하게 일정하다.

[0583] 도 89는 조건 A 하의 상기 계산에 의해 획득된 Vgs101-Vth의 값을 도시한다. 도 89에서, 수평축은 상기 임계 전압(Vth)(V)의 값을 나타내고 수직축은 Vgs101-Vth(V)의 값을 나타낸다. 도 89는 상기 임계 전압(Vth)의 값이 변하더라도 Vgs101-Vth의 값이 거의 일정하고, 상기 Vgs101-Vth의 변동은 약 10 내지 15% 미만인 것을 도시한다.

[0584] 도 90은 조건 B 하의 상기 계산에 의해 획득된 Vgs101-Vth의 값을 도시한다. 도 90에서, 수평축은 상기 임계 전압(Vth)(V)의 값을 나타내고 수직축은 Vgs101-Vth(V)의 값을 나타낸다. 도 90에서, 상기 Vgs101-Vth의 값은 상기 임계 전압(Vth)이 양의 전압일 때 거의 일정하다. 반대로, 상기 임계 전압(Vth)이 음의 전압일 때, 음의 극성의 상기 임계 전압(Vth)이 커질수록 상기 Vgs101-Vth의 값이 커지고, 이는 Vgs101-Vth의 값이 상기 임계 전압(Vth)의 값에 따른다는 것을 의미한다.

[0585] 상기 계산 결과들은 본 발명의 일 양태에 따른 상기 반도체 장치에서 상기 트랜지스터(101)가 노멀리 온일 때에도, 즉, 상기 임계 전압(Vth)이 음의 전압이어도 상기 트랜지스터(11)의 상기 임계 전압(Vth)을 고려함으로써 상기 트랜지스터(101)의 상기 게이트-소스 전압(Vgs101)이 설정될 수 있다는 것을 증명한다.

[0586] 본 실시형태는 다른 실시형태의 일부 또는 전부에 대해 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는 하위 개념화를 수행함으로써 획득된다. 따라서, 본 실시형태의 일부 또는 전부는 다른 실시형태의 일부 또는 전부와 자유롭게 조합, 적용, 또는 치환될 수 있다.

[0587] 본 출원은 전체 내용이 본원에 참조로서 통합된 2011년 10월 18일 일본 특허청에 제출된 일본 특허 출원 번호 제 2011-228418 호 및 2011년 11월 30일 일본 특허청에 제출된 일본 특허 출원 번호 제 2011-261317 호에 기초한다.

부호의 설명

[0588] 11: 스위치 11t: 트랜지스터
 12: 스위치 12t: 트랜지스터

13: 스위치 13t: 트랜지스터
 14: 스위치 14a: 스위치
 14b: 스위치 14t: 트랜지스터
 15: 스위치 21: 배선
 22: 배선 23: 배선
 23a: 배선 23b: 배선
 24: 배선 25: 배선
 26: 배선 27: 배선
 31: 배선 32: 배선
 33: 배선 34: 배선
 100: 회로 101: 트랜지스터
 102: 용량소자 103: 용량소자
 104: 부하 104a: 발광 소자
 104b: 발광 소자 105: 용량소자
 105a: 용량소자 105b: 용량소자
 201: 회로 202: 회로
 203: 회로 203a: 회로
 203b: 회로 204: 회로
 205: 회로 206: 회로
 207: 회로 208: 회로
 220: 회로 221: 회로
 222: 회로 222a: 회로
 222b: 회로 223: 회로
 224: 회로 225: 회로
 226: 회로 230: 회로
 231: 회로 232: 회로
 233: 회로 300: 반도체막
 301: 반도체막 302: 도전막
 303: 도전막 304: 도전막
 305: 도전막 306: 도전막
 307: 도전막 308: 도전막
 309: 도전막 320: 반도체막
 321: 반도체막 322: 반도체막
 323: 반도체막 324: 도전막
 325: 도전막 326: 도전막
 327: 도전막 328: 도전막

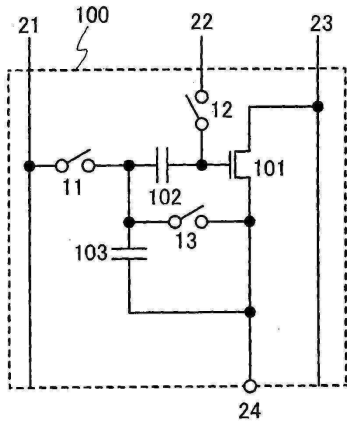
329: 도전막 330: 도전막
 331: 도전막 332: 도전막
 333: 반도체막 501: 반도체막
 502: 절연막 503: 전극
 504: 도전막 505: 도전막
 506: 제 1 영역 507: 제 2 영역
 508: 제 2 영역 509: 제 3 영역
 510: 제 3 영역 520: 절연막
 520a: 제 1 산화 절연막 520b: 제 2 산화 절연막
 520c: 제 3 산화 절연막 521: 반도체막
 522: 절연막 523: 전극
 524: 도전막 525: 도전막
 526: 제 1 영역 527: 사이드월
 528: 절연막 529: 개구
 530: 절연막 530a: 제 1 산화 절연막
 530b: 제 2 산화 절연막 531: 반도체막
 532: 절연막 533: 전극
 534: 도전막 535: 도전막
 536: 제 1 영역 537: 제 2 영역
 538: 제 2 영역 539: 사이드월
 540: 절연막 550: 제 2 영역
 551: 제 2 영역 602: 게이트 전극
 603: 게이트 절연막 604: 반도체막
 605: 도전막 606: 도전막
 607: 절연막 612: 게이트 전극
 613: 게이트 절연막 614: 반도체막
 615: 도전막 616: 도전막
 617: 절연막 618: 채널 보호막
 622: 게이트 전극 623: 게이트 절연막
 624: 반도체막 625: 도전막
 626: 도전막 627: 절연막
 642: 게이트 전극 643: 게이트 절연막
 644: 반도체막 645: 도전막
 646: 도전막 647: 절연막
 700: 화소부 701: 구동 회로
 702: 구동 회로 710: 구동 회로

711: 화소부 800: 기관
 801: 절연막 802: 절연막
 803: 절연막 814: 스위치
 914: 스위치 914t: 트랜지스터
 932: 배선 4001: 기관
 4002: 화소부 4003: 회로
 4004: 회로 4006: 기관
 4007: 충전재 4008: 트랜지스터
 4009: 트랜지스터 4010: 트랜지스터
 4011: 발광 소자 4012: 대향 전극
 4013: 발광층 4014: 배선
 4015: 배선 4016: 접속 단자
 4017: 배선 4018: FPC
 4019: 이방성 도전막 4020: 절재
 5001: 하우징 5002: 하우징
 5003: 표시부 5004: 표시부
 5005: 마이크로폰 5006: 스피커
 5007: 조작 키 5008: 스타일러스
 5201: 하우징 5202: 표시부
 5203: 지지대 5401: 하우징
 5402: 표시부 5403: 키보드
 5404: 포인팅 디바이스 5601: 하우징
 5602: 표시부 5603: 조작 키
 5801: 하우징 5802: 표시부
 5803: 음성 입력부 5804: 음성 출력부
 5805: 조작 키 5806: 수광부
 5901: 하우징 5902: 하우징
 5903: 표시부 5904: 표시부
 5905: 접속부 5906: 조작 키
 9206: 회로 900501: 표시 패널
 900513: FPC 900530: 하우징
 900531: 인쇄 기관 900532: 스피커
 900533: 마이크로폰 900534: 송신/수신 회로
 900535: 신호 처리 회로 900536: 입력 수단
 900537: 배터리 900539: 하우징

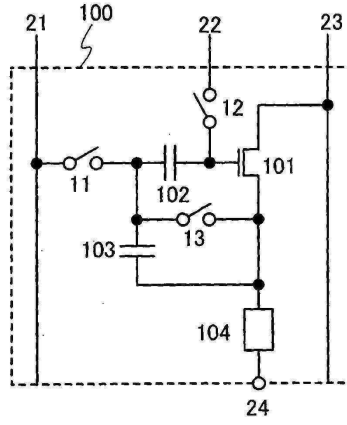
도면

도면1

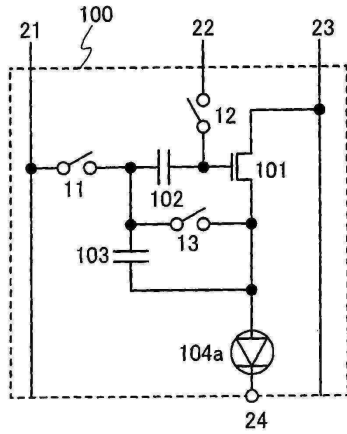
(A)



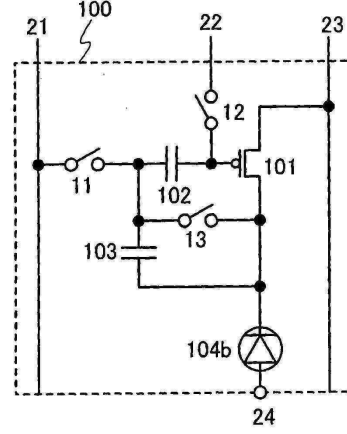
(B)



(C)

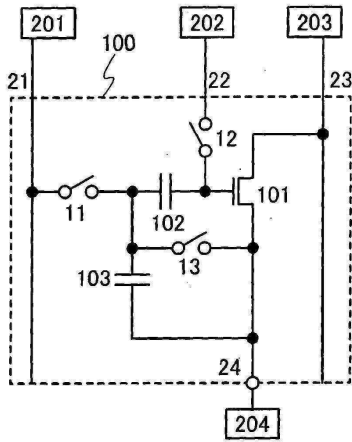


(D)

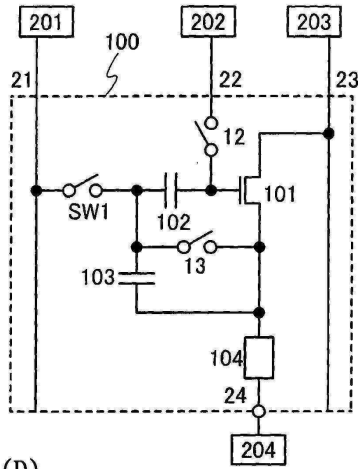


도면2

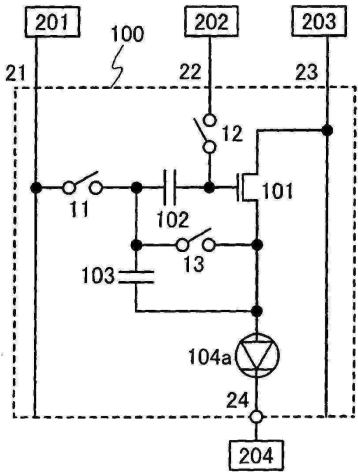
(A)



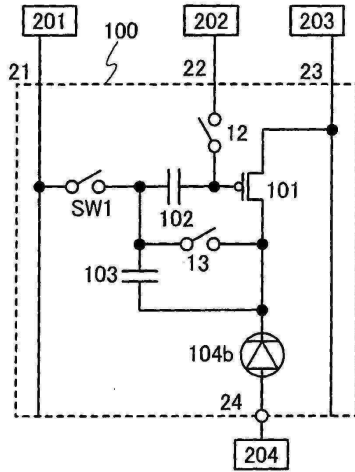
(B)



(C)

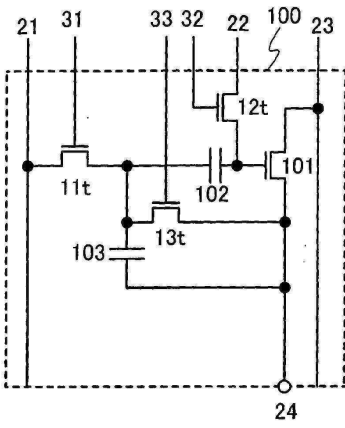


(D)

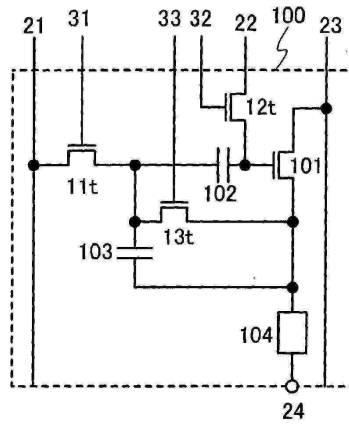


도면3

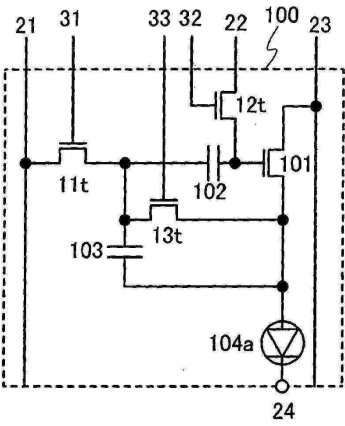
(A)



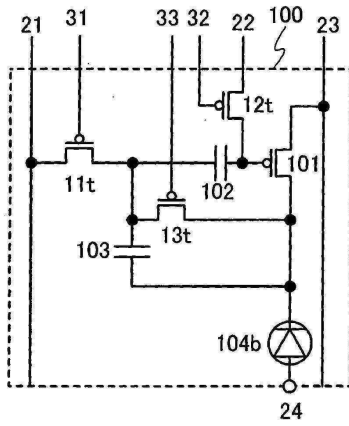
(B)



(C)

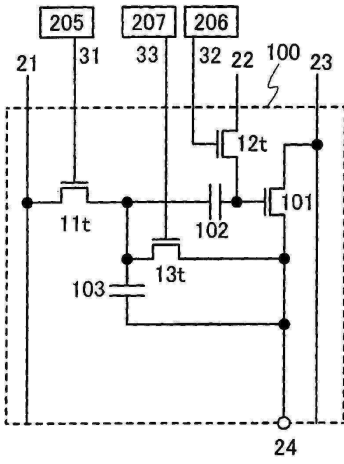


(D)

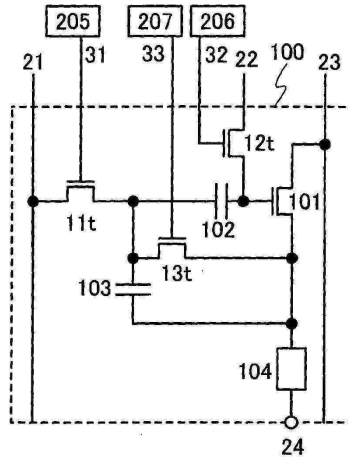


도면4

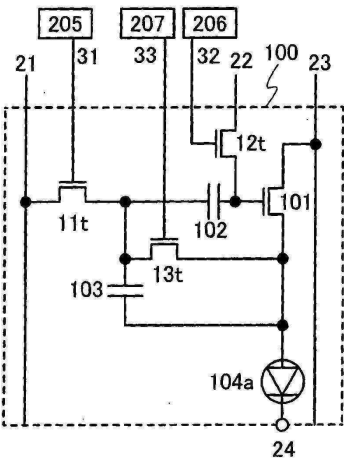
(A)



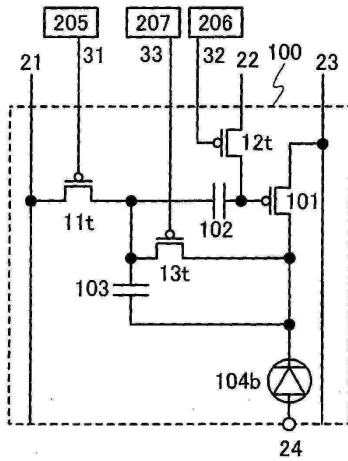
(B)



(C)

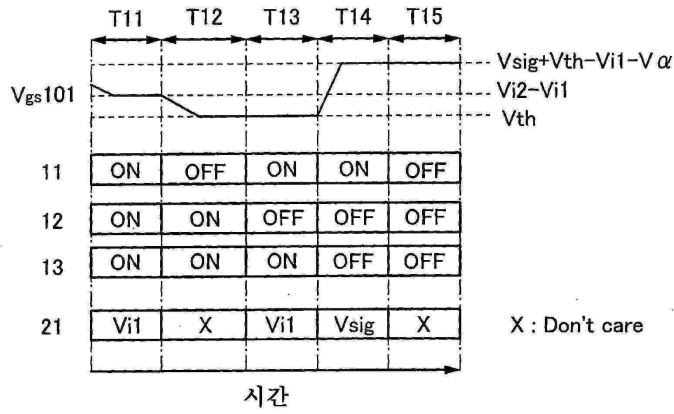


(D)

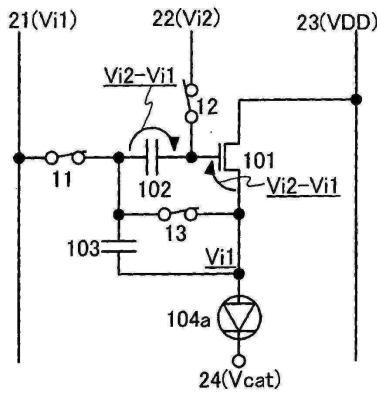


도면5

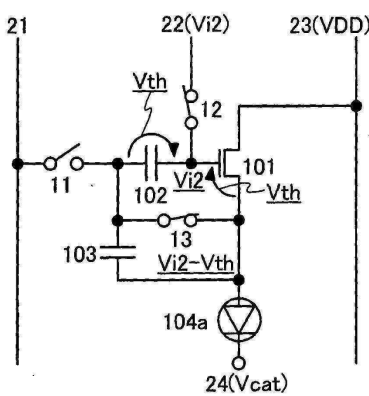
(A)



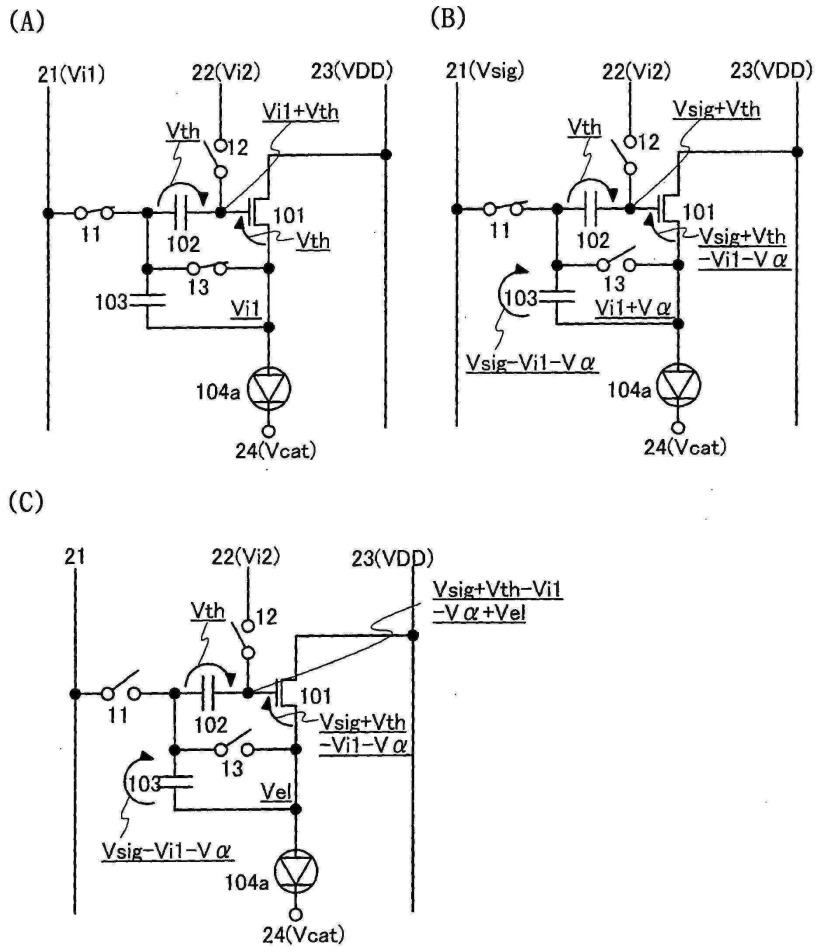
(B)



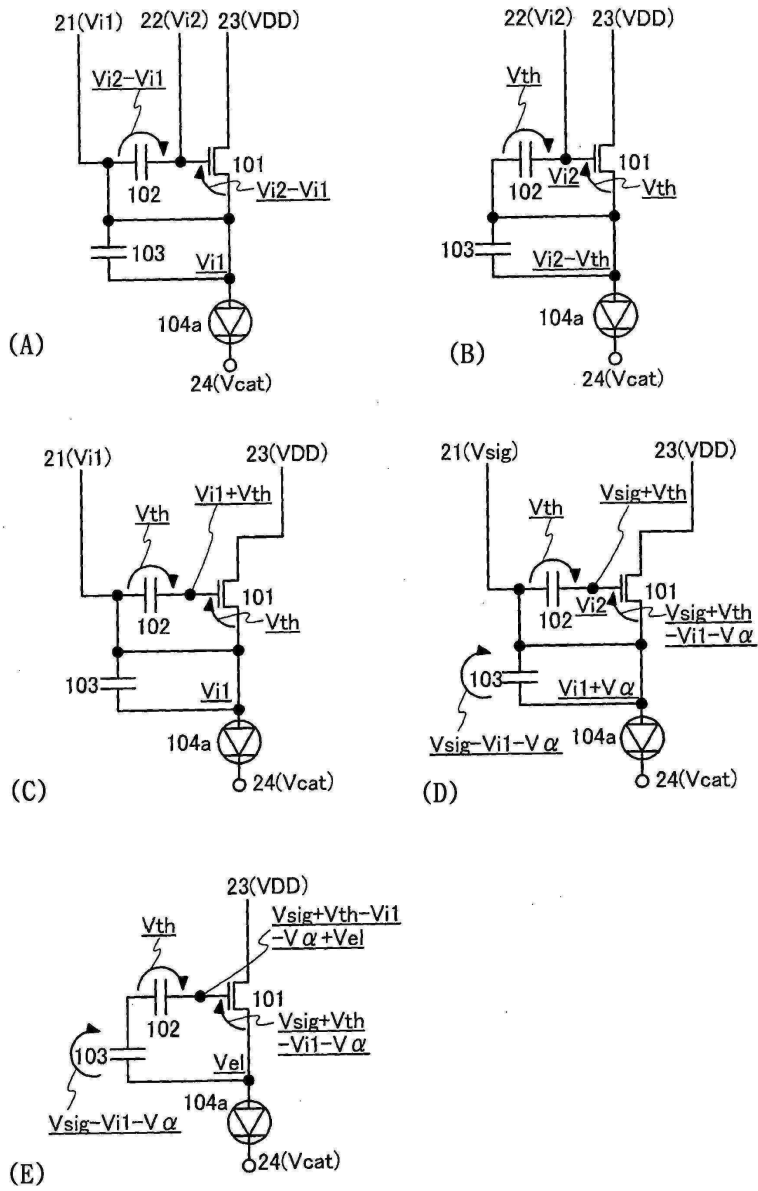
(C)



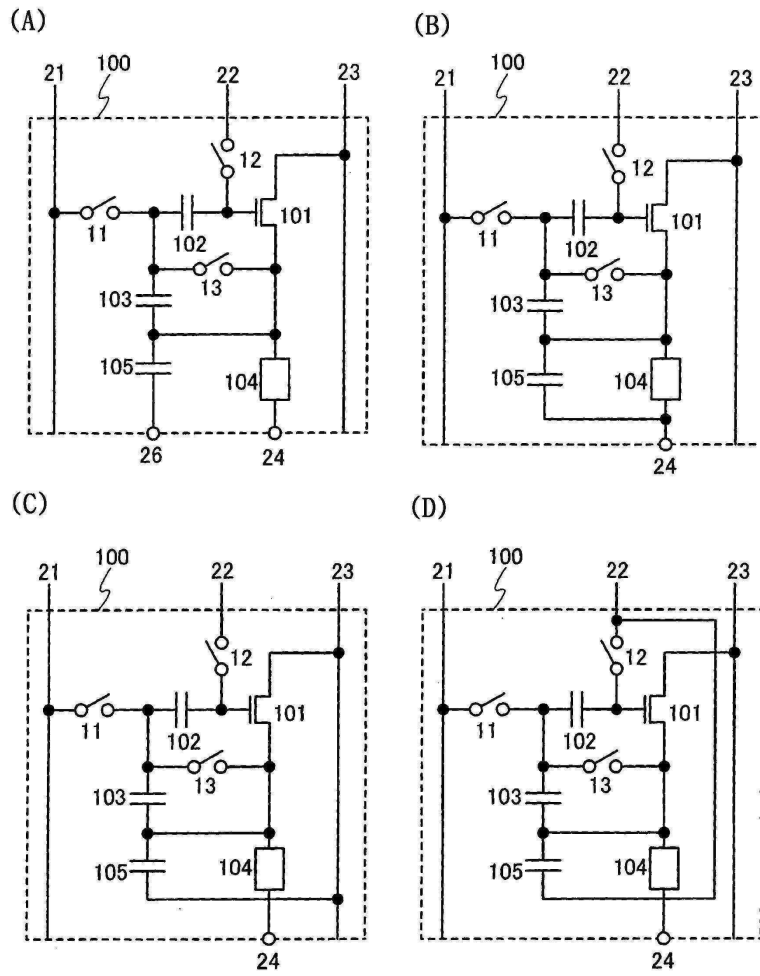
도면6



도면7

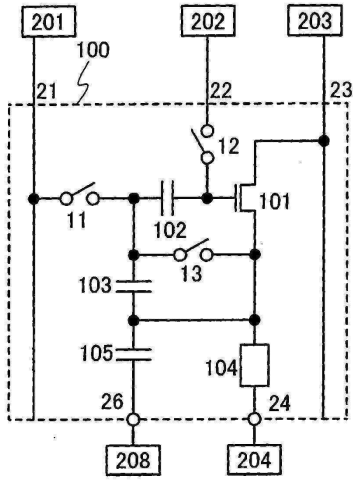


도면8

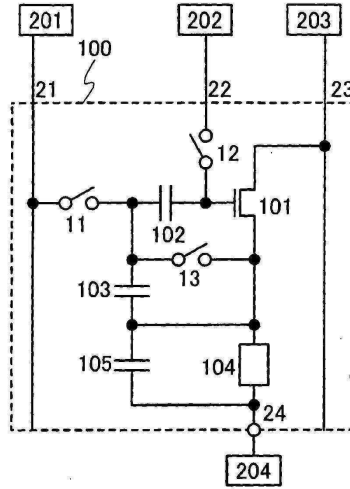


도면9

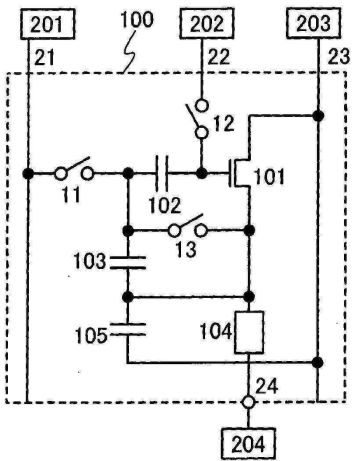
(A)



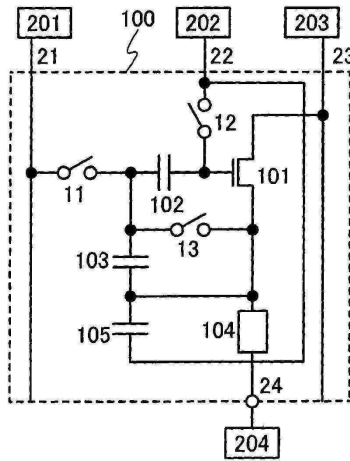
(B)



(C)

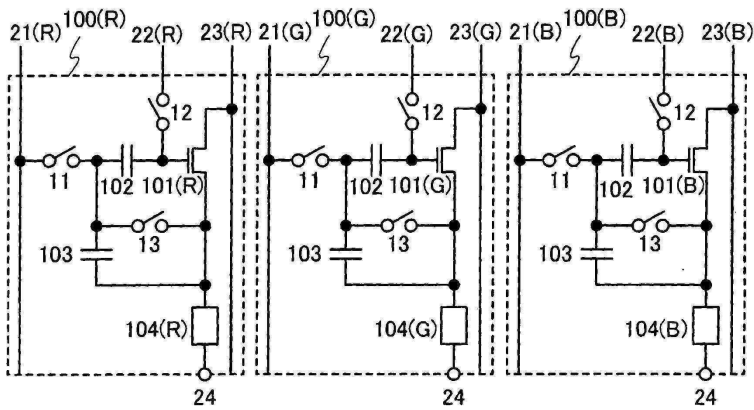


(D)

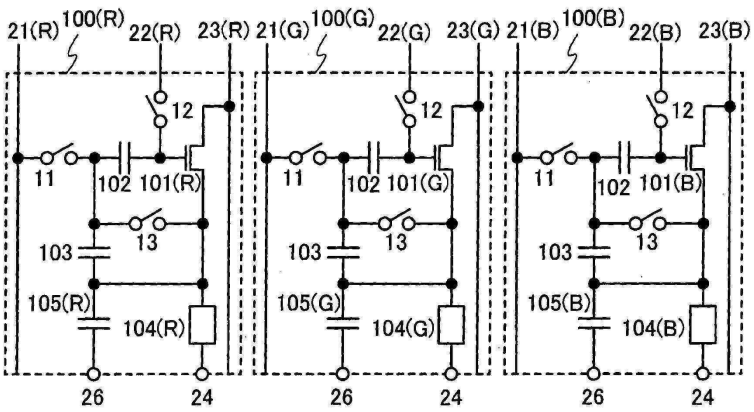


도면10

(A)

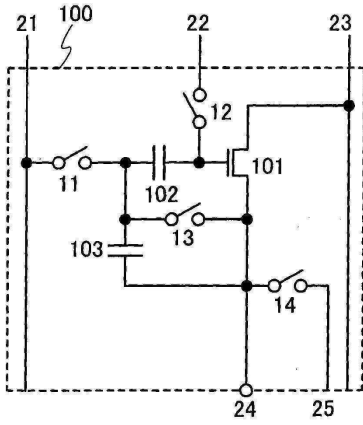


(B)

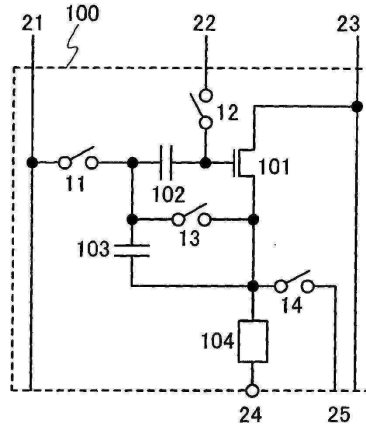


도면11

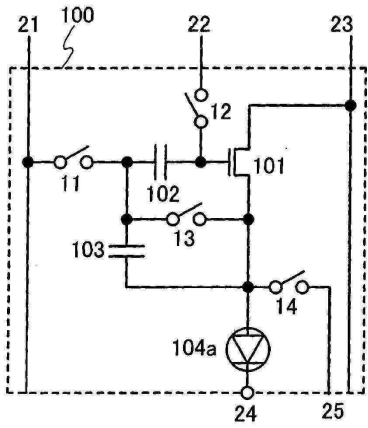
(A)



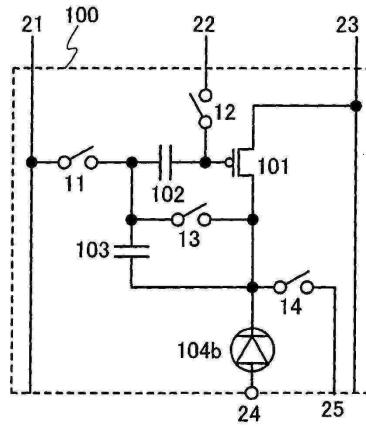
(B)



(C)

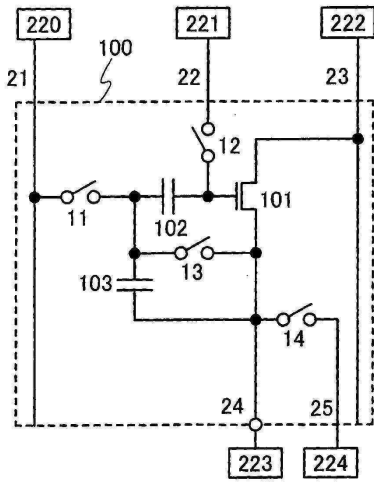


(D)

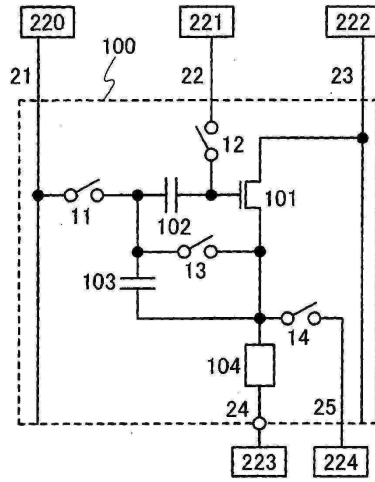


도면12

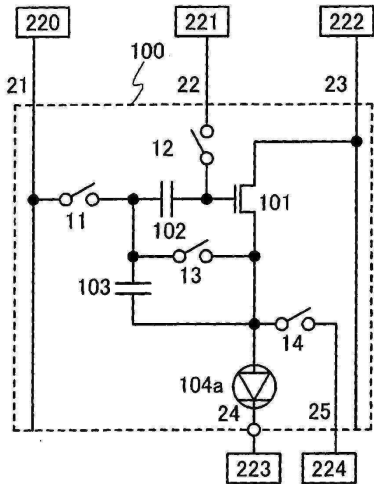
(A)



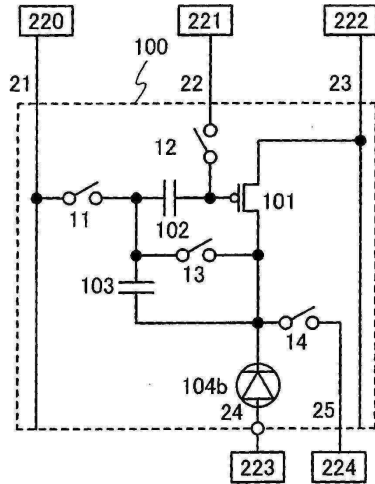
(B)



(C)

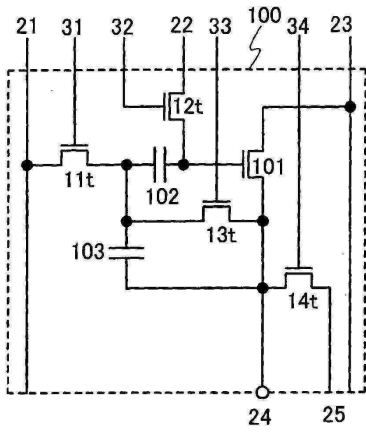


(D)

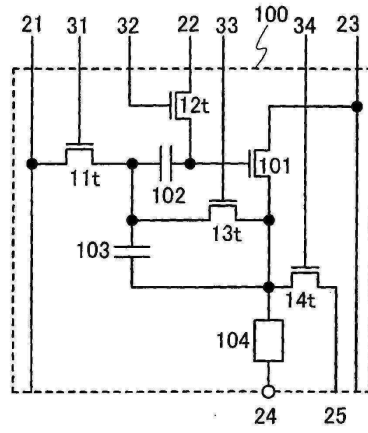


도면13

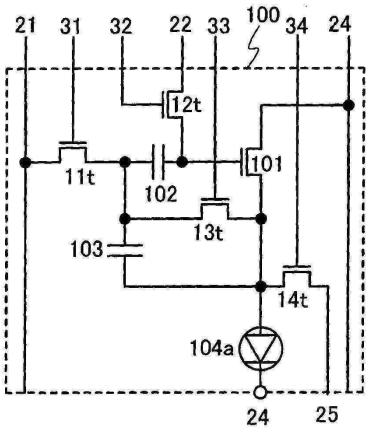
(A)



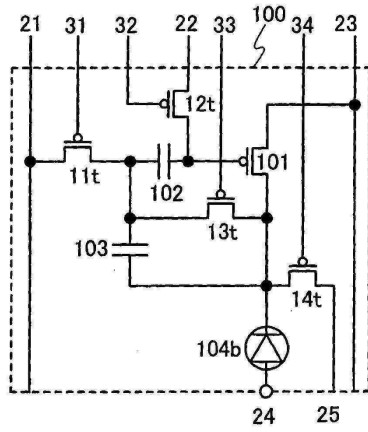
(B)



(C)

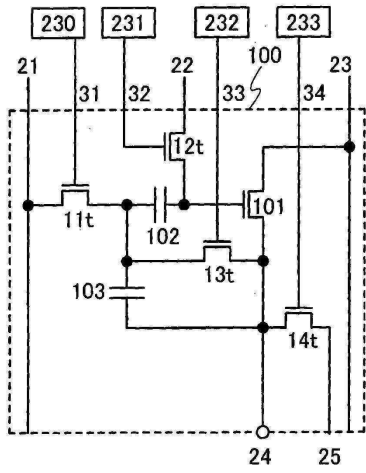


(D)

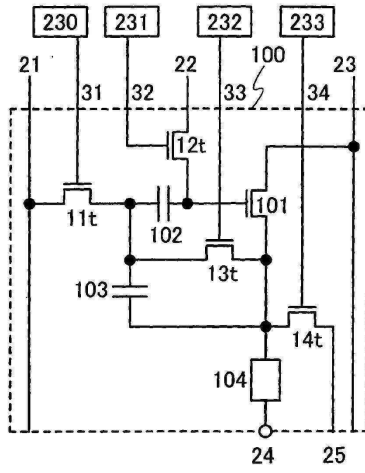


도면14

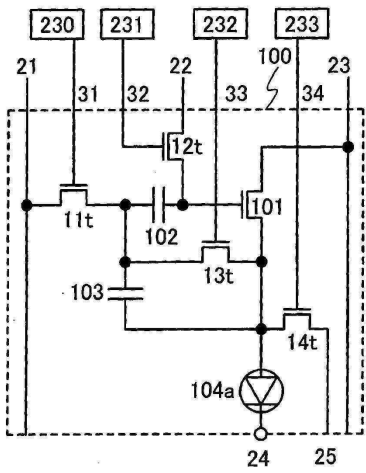
(A)



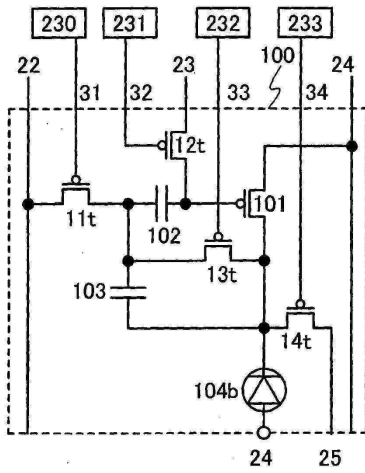
(B)



(C)

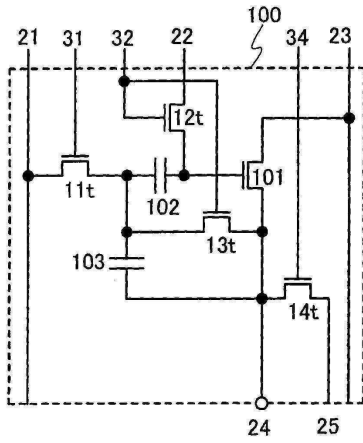


(D)

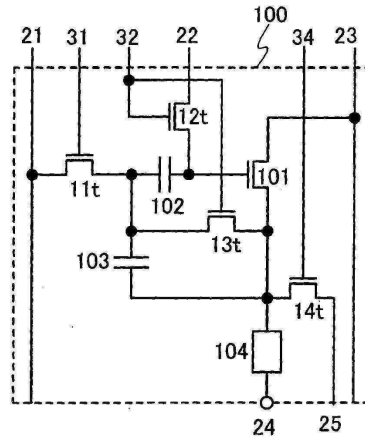


도면15

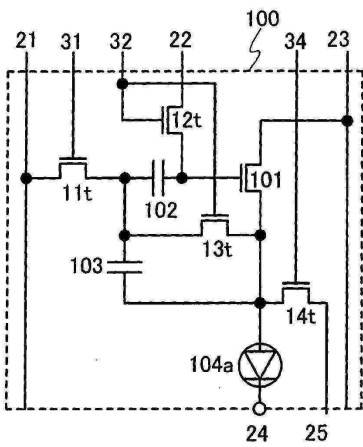
(A)



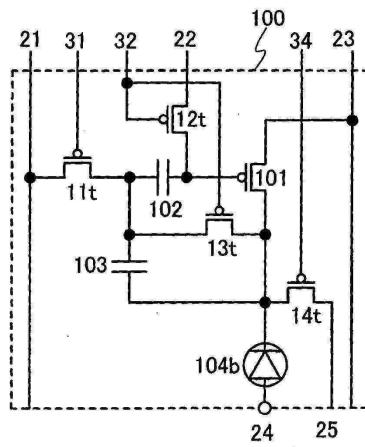
(B)



(C)

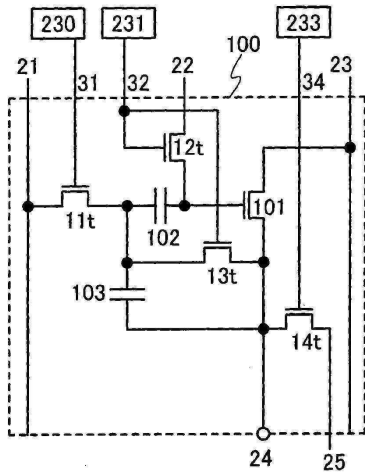


(D)

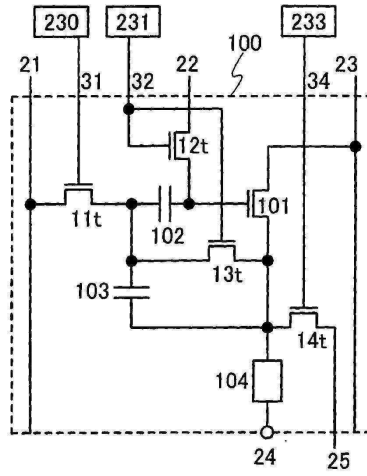


도면16

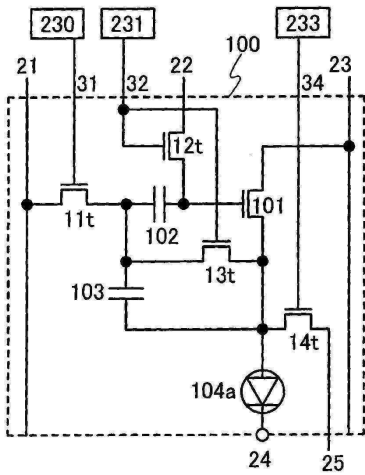
(A)



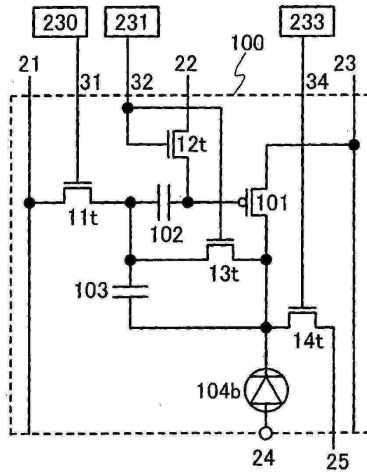
(B)



(C)

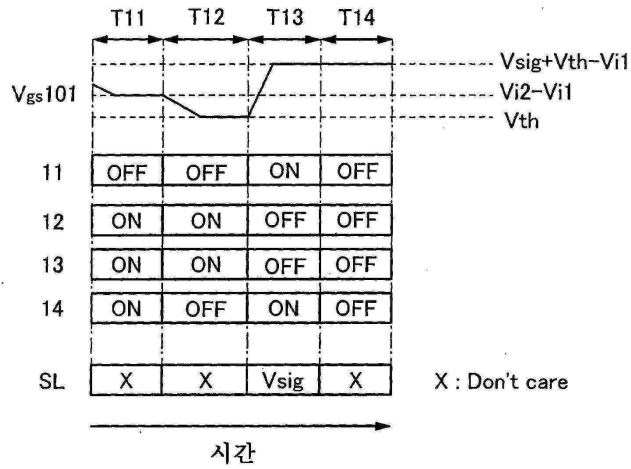


(D)

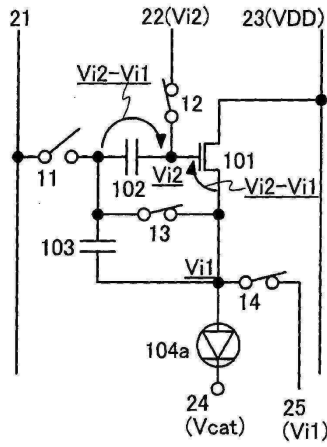


도면17

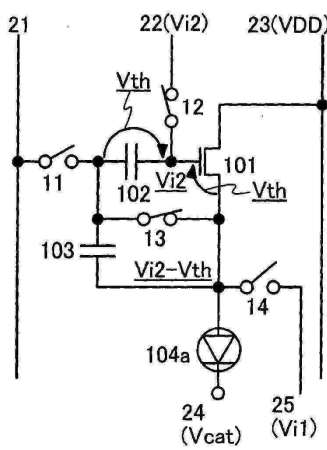
(A)



(B)

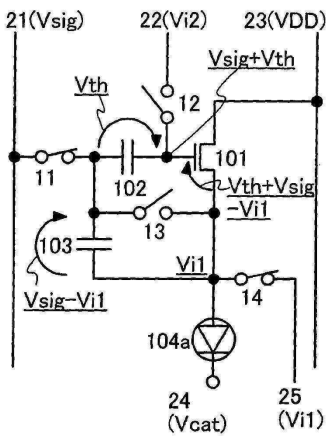


(C)

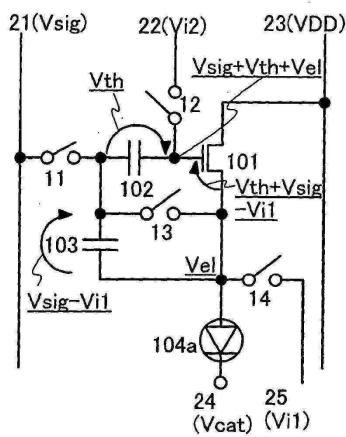


도면18

(A)

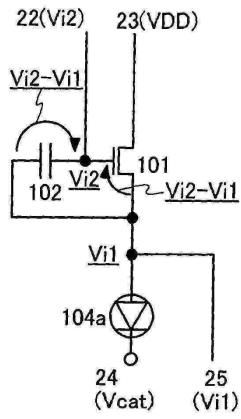


(B)

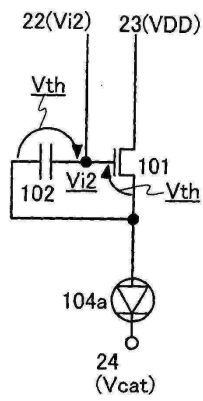


도면19

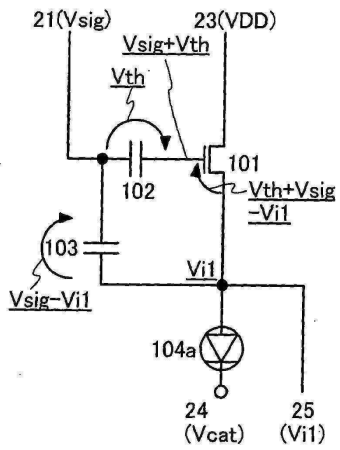
(A)



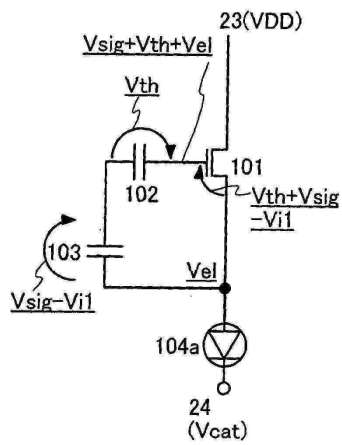
(B)



(C)

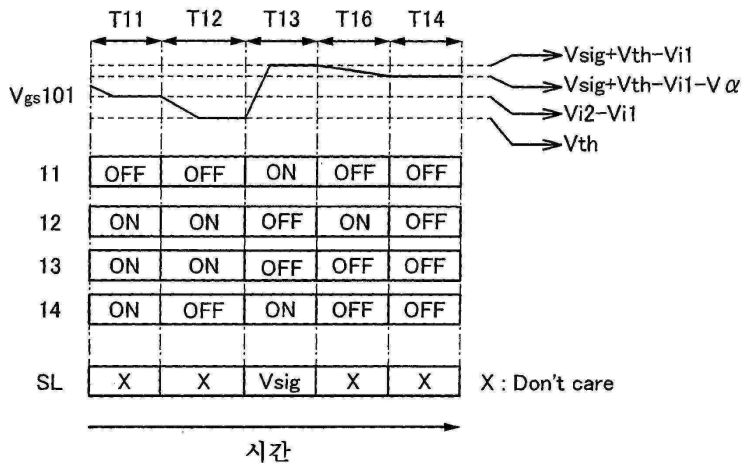


(D)

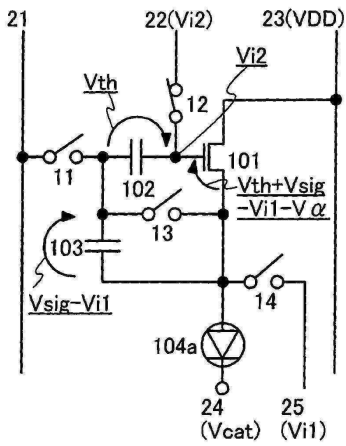


도면20

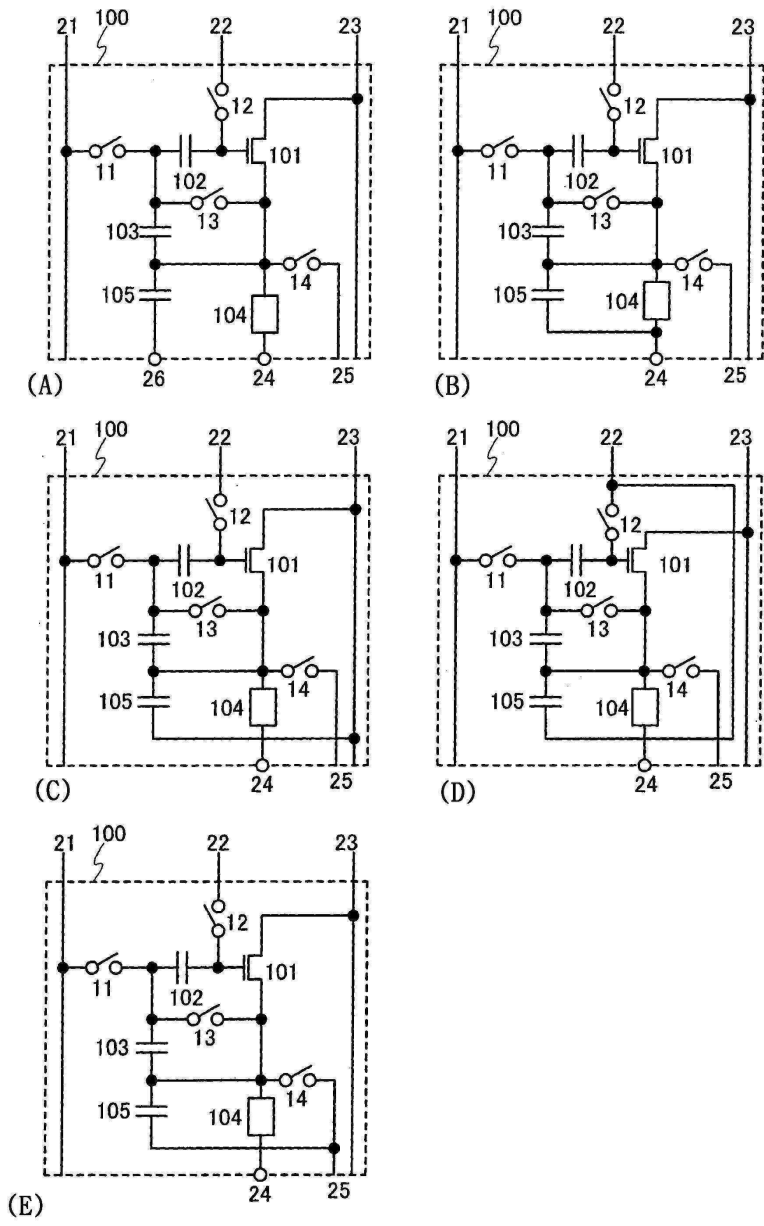
(A)



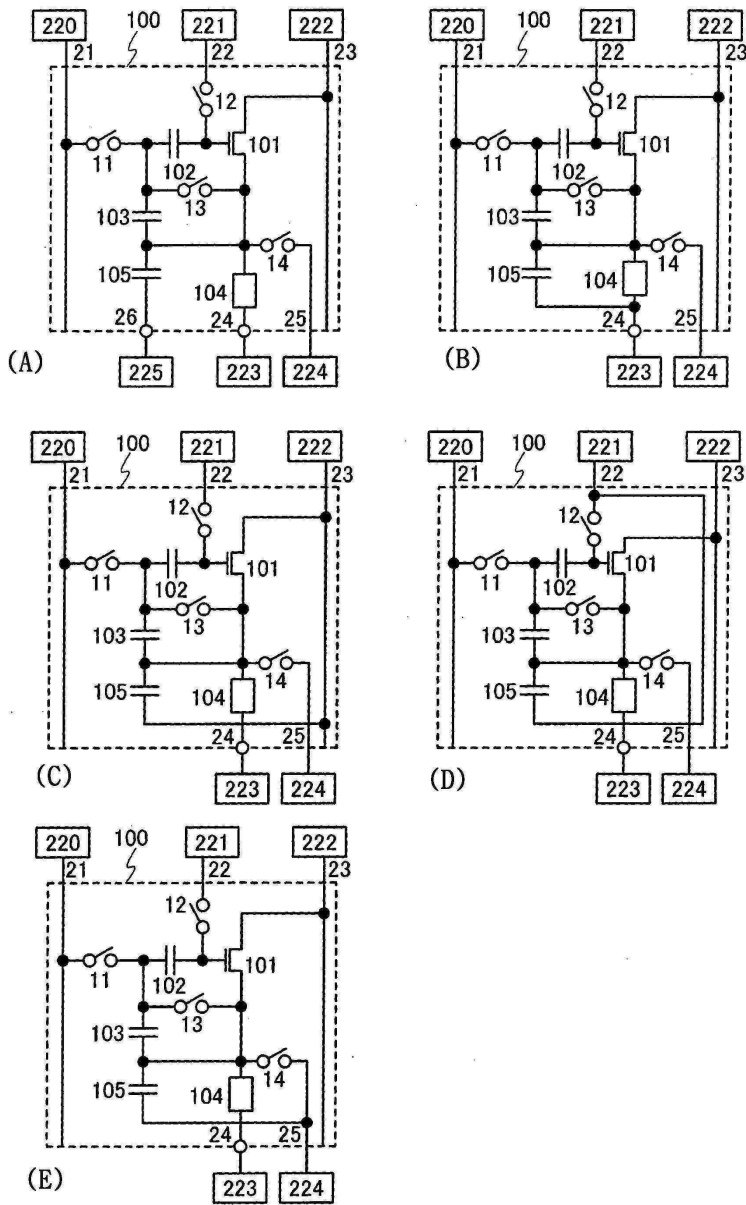
(B)



도면21

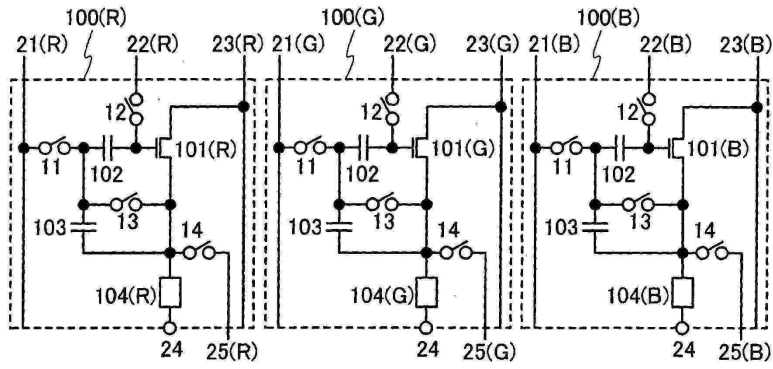


도면22

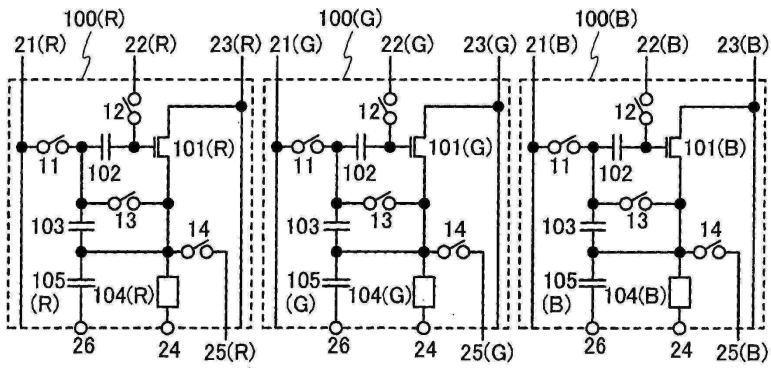


도면23

(A)

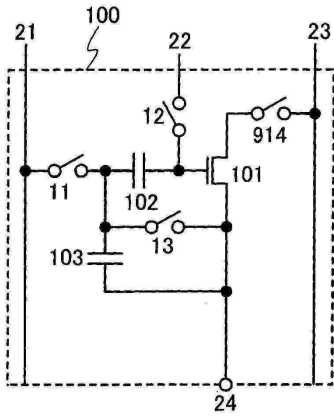


(B)

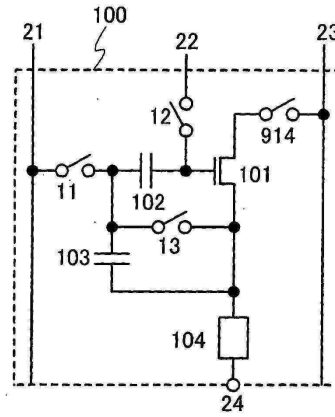


도면24

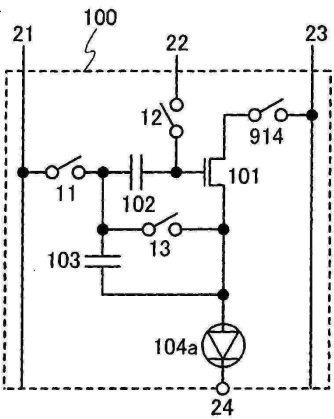
(A)



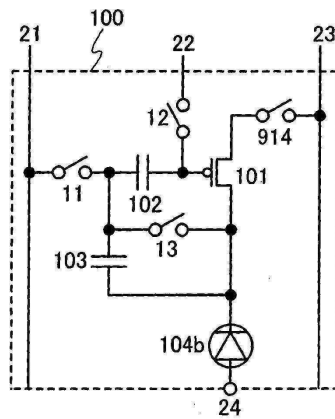
(B)



(C)

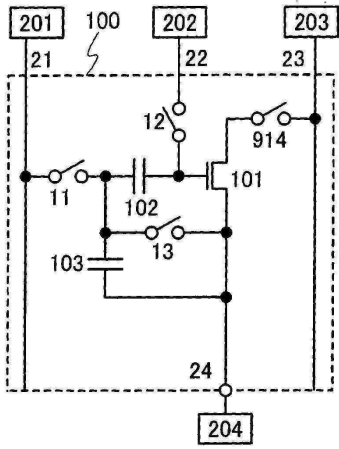


(D)

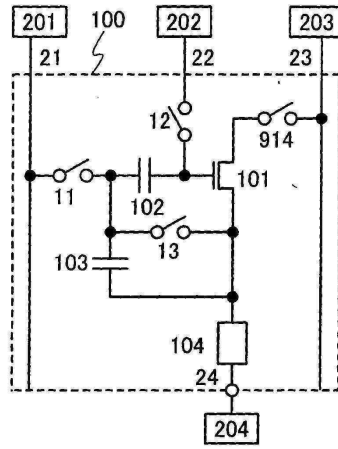


도면25

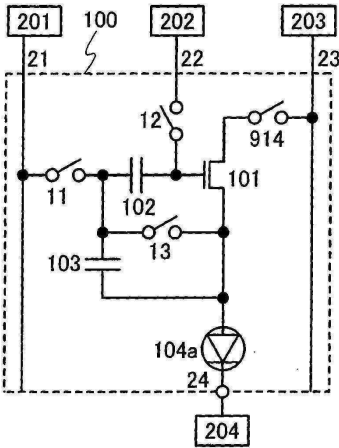
(A)



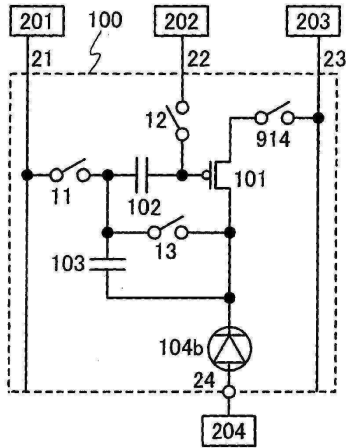
(B)



(C)

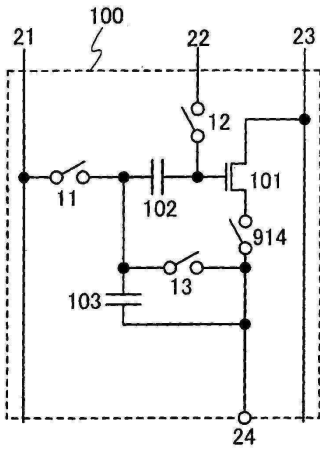


(D)

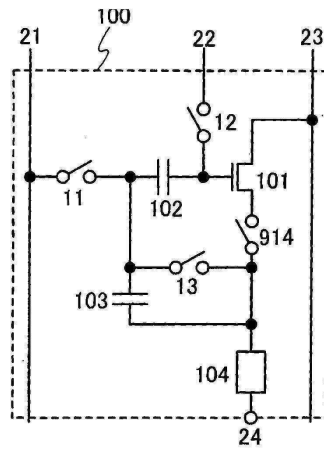


도면26

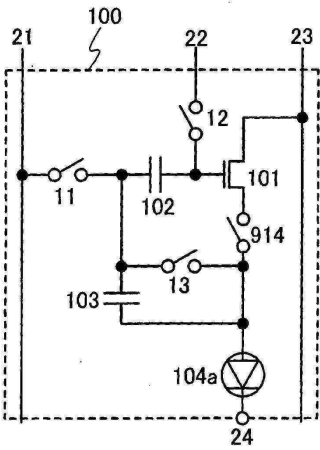
(A)



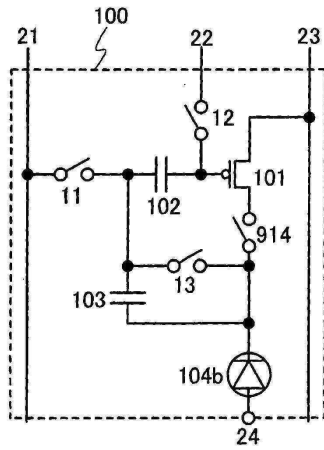
(B)



(C)

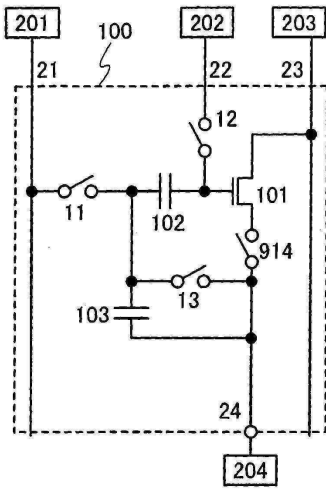


(D)

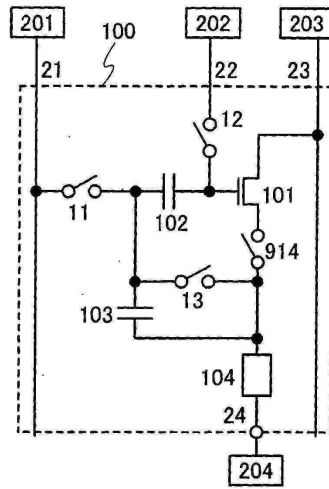


도면27

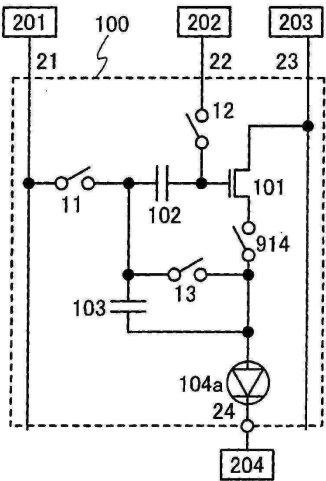
(A)



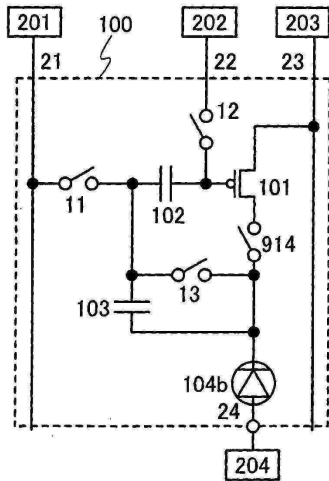
(B)



(C)

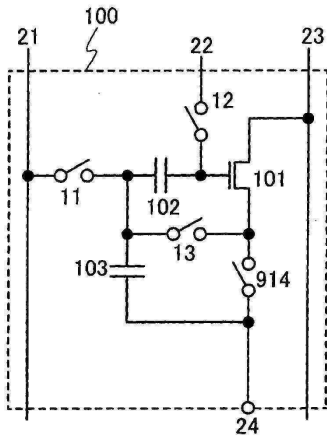


(D)

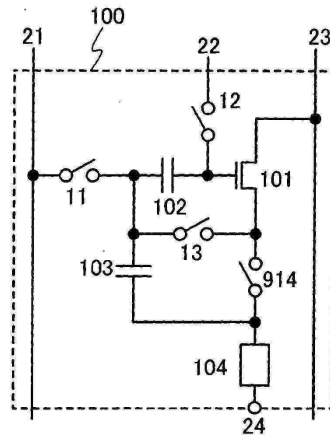


도면28

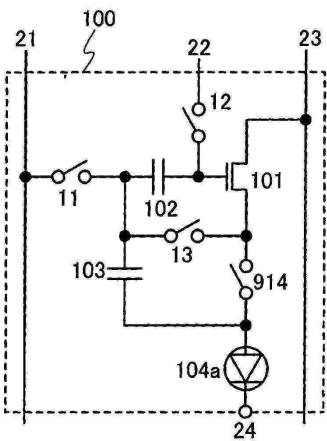
(A)



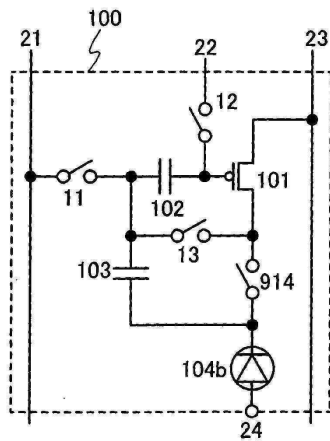
(B)



(C)

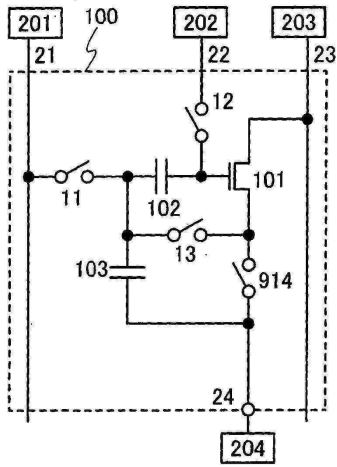


(D)

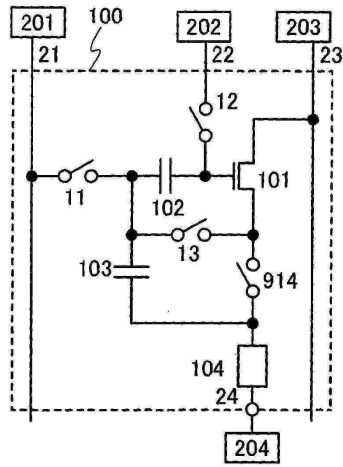


도면29

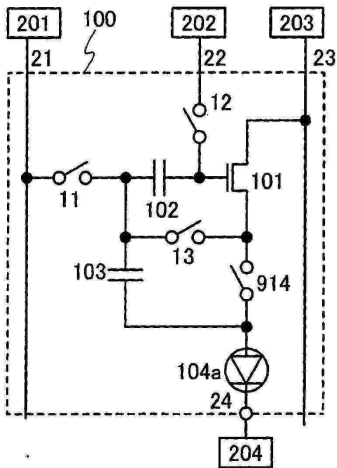
(A)



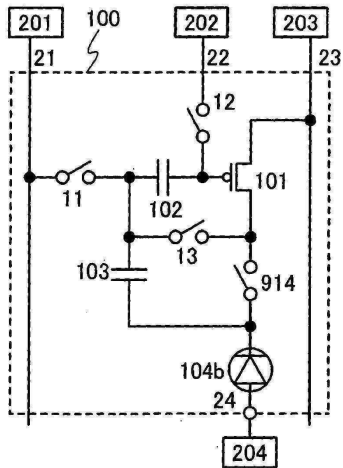
(B)



(C)

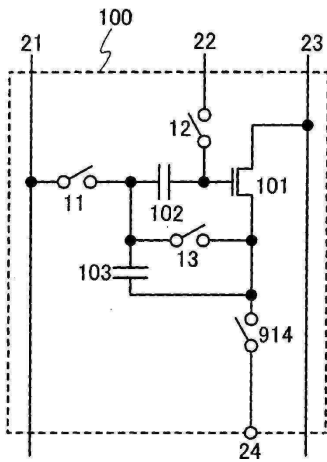


(D)

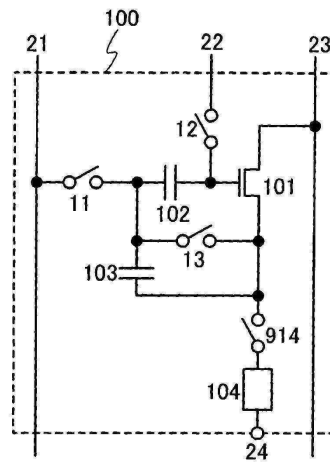


도면30

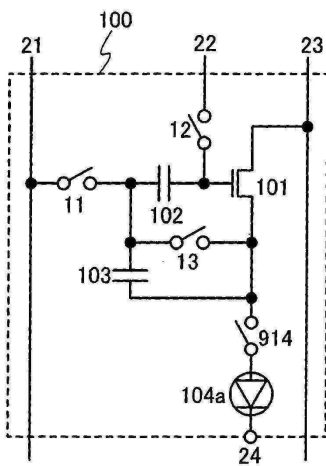
(A)



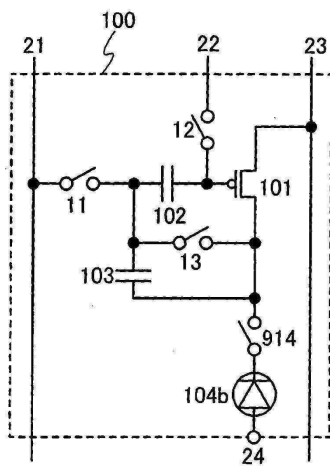
(B)



(C)

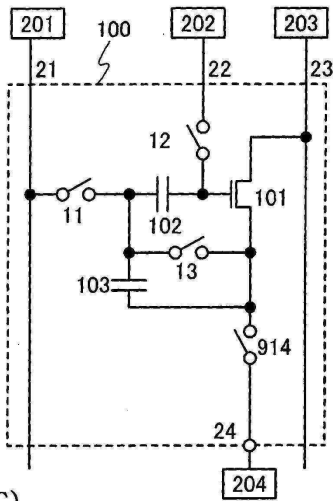


(D)

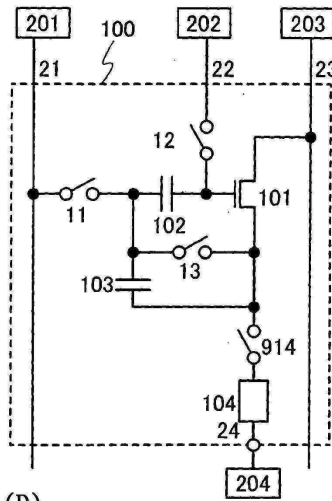


도면31

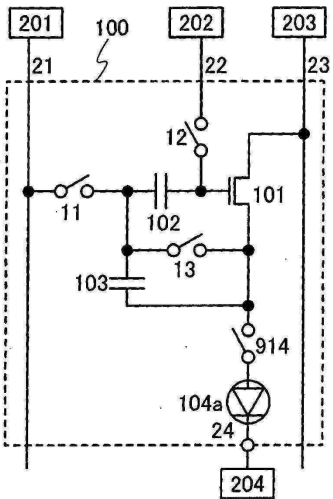
(A)



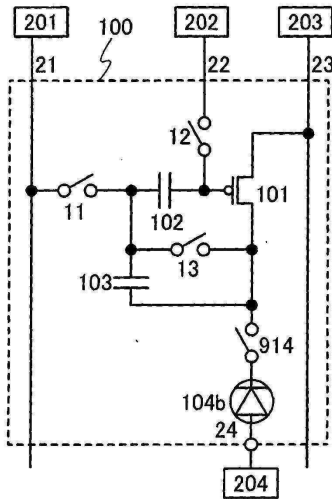
(B)



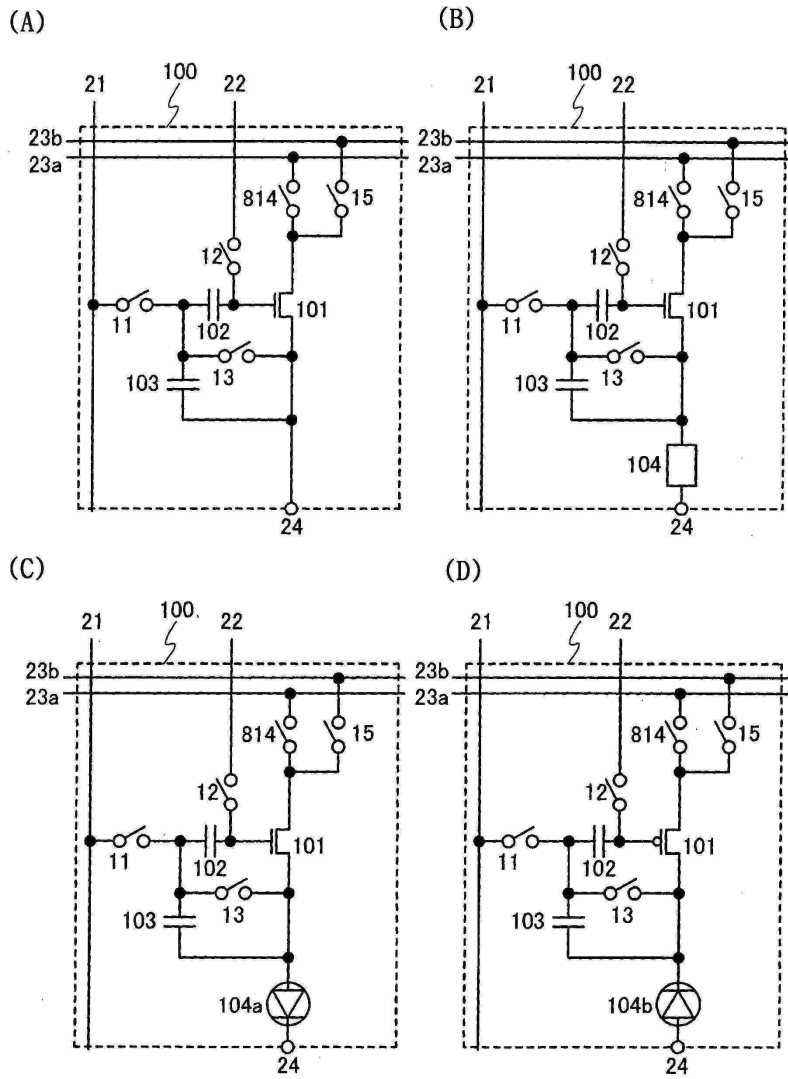
(C)



(D)

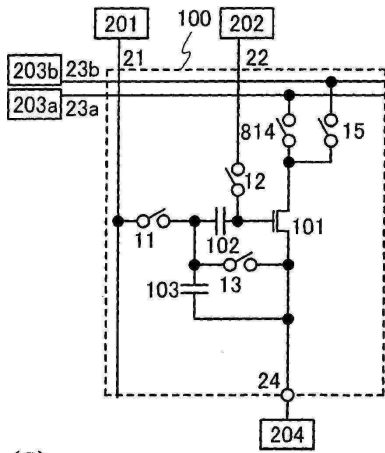


도면32

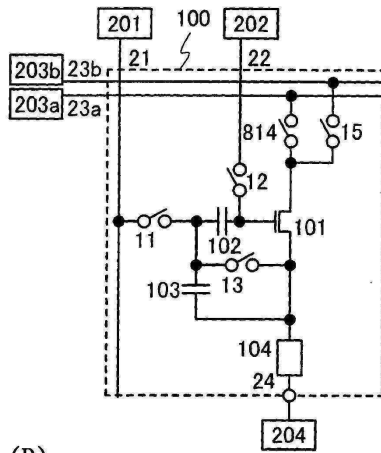


도면33

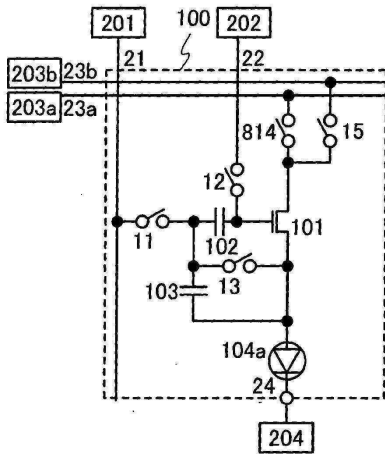
(A)



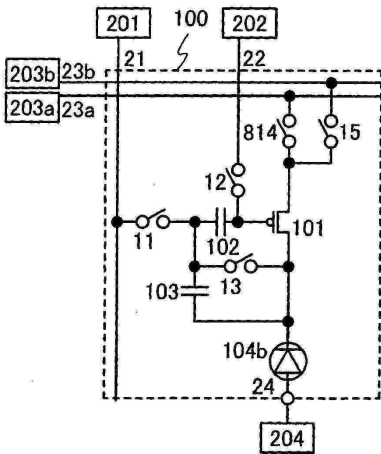
(B)



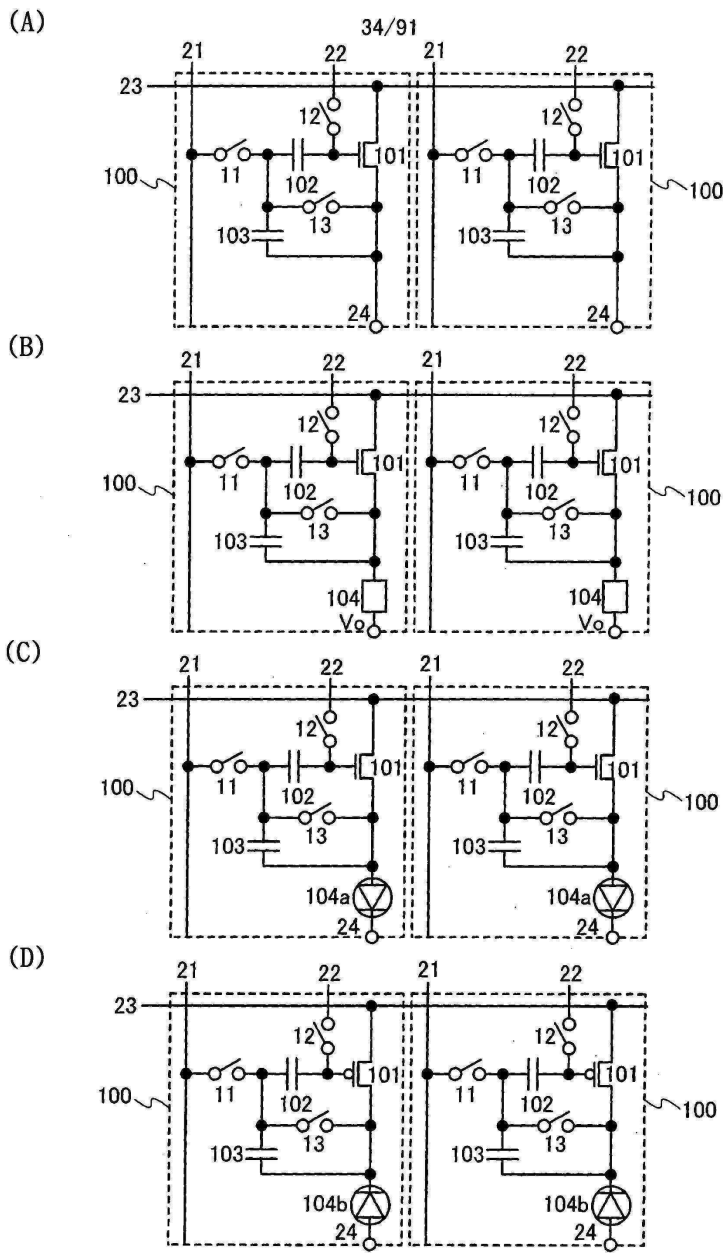
(C)



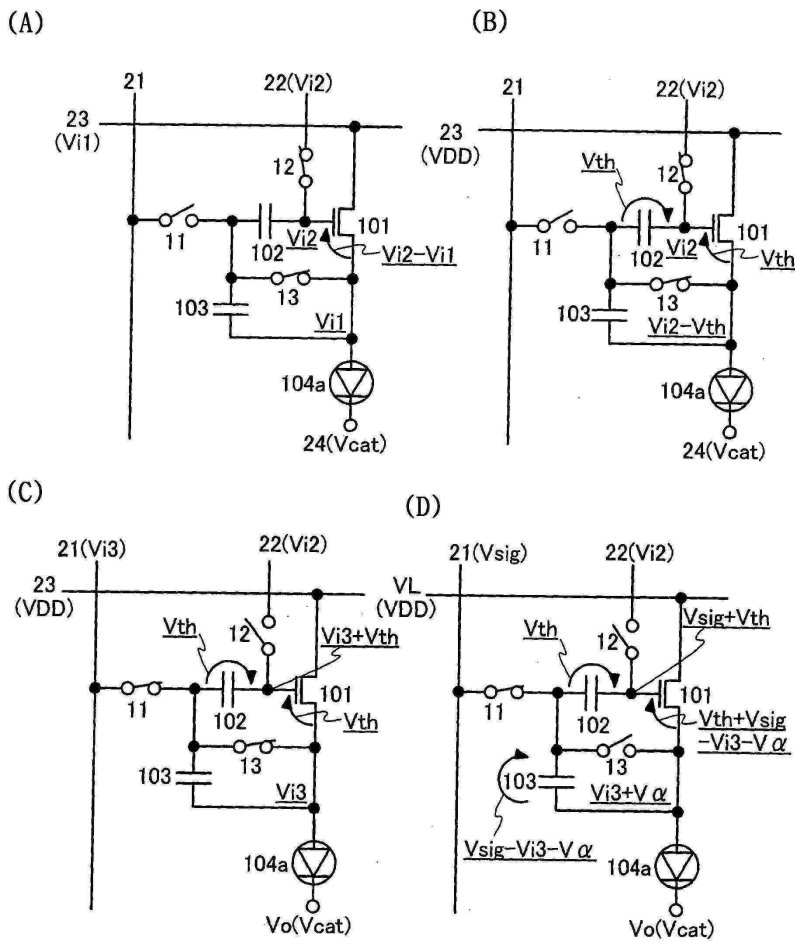
(D)



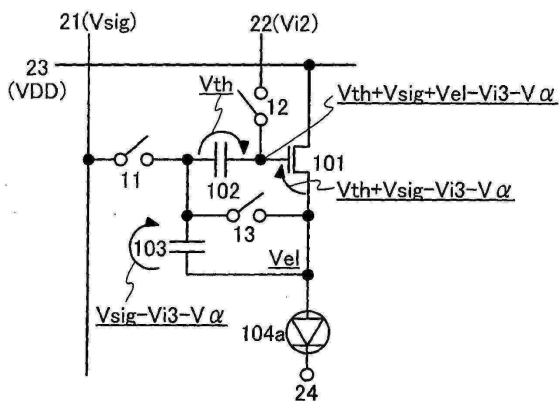
도면34



도면35

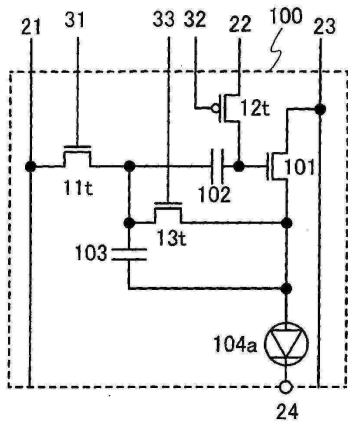


도면36

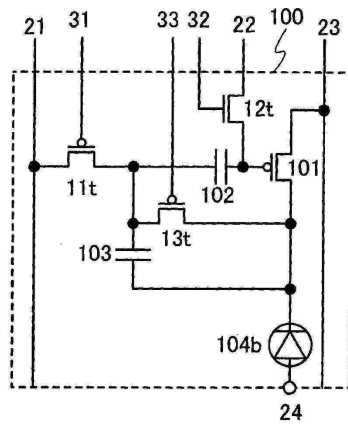


도면37

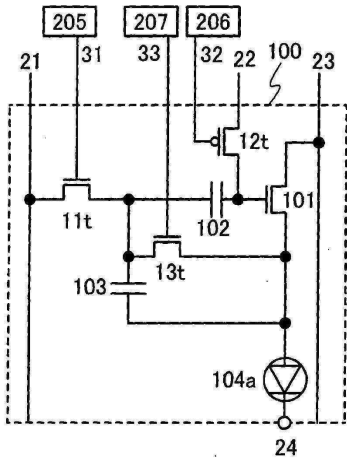
(A)



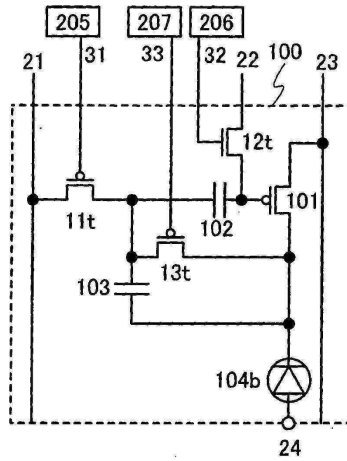
(B)



(C)

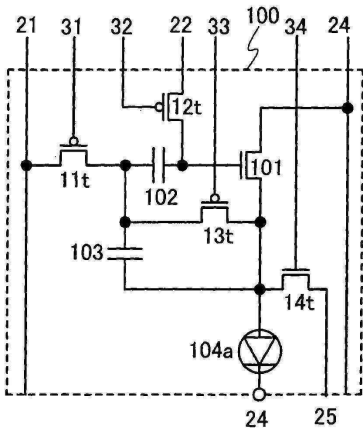


(D)

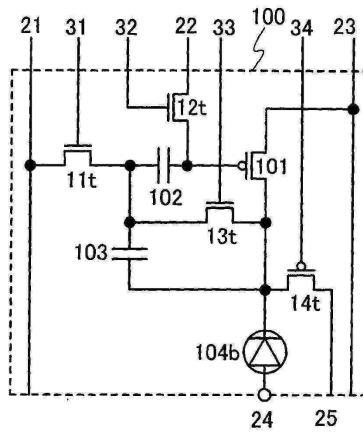


도면38

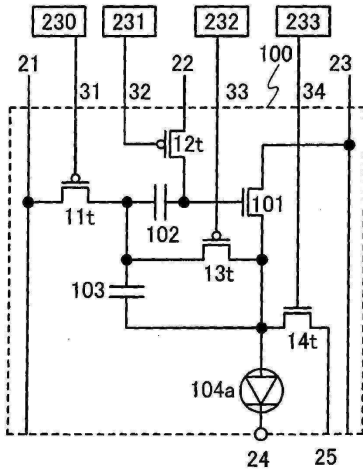
(A)



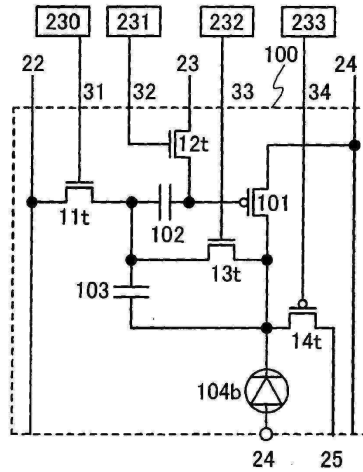
(B)



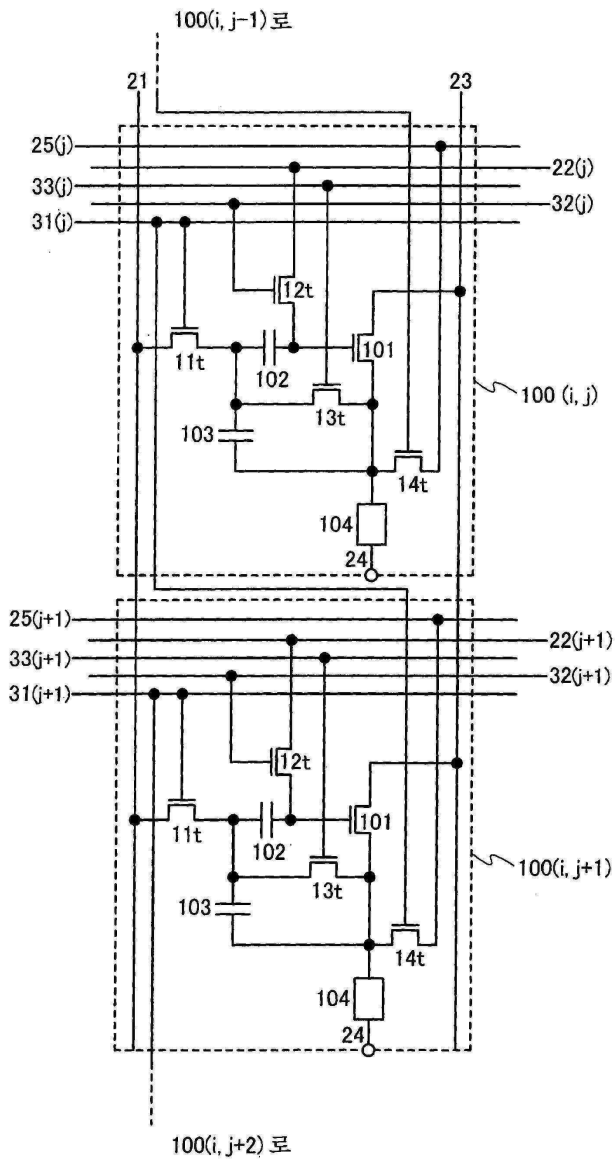
(C)



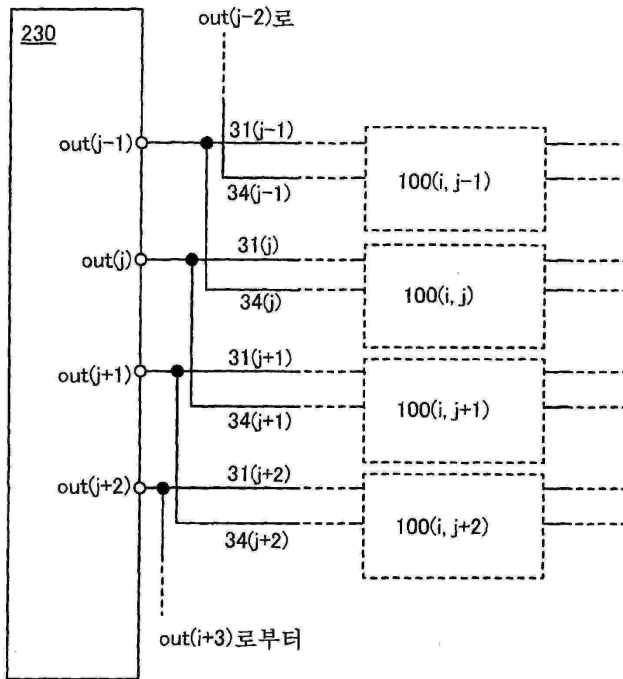
(D)



도면39

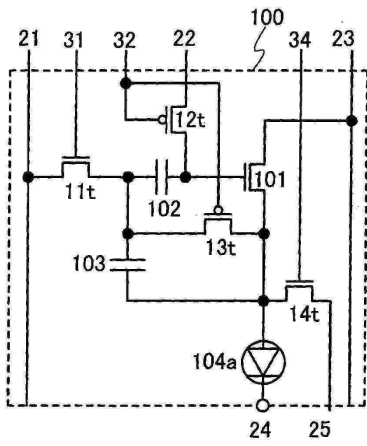


도면41

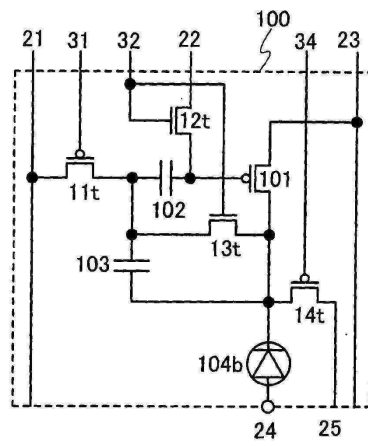


도면42

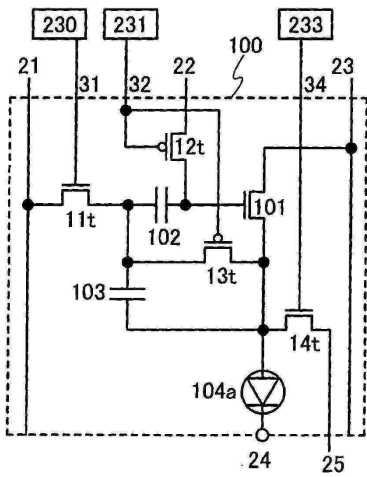
(A)



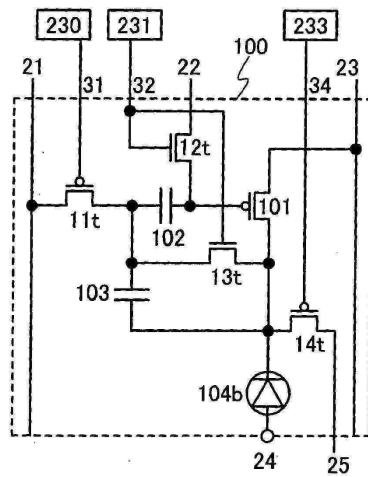
(B)



(C)

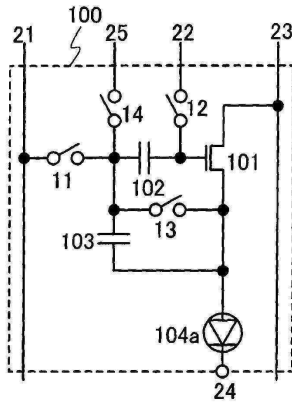


(D)

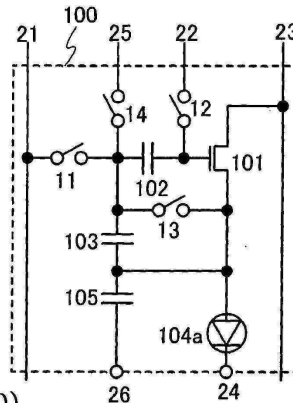


도면43

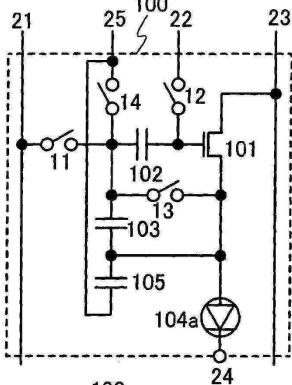
(A)



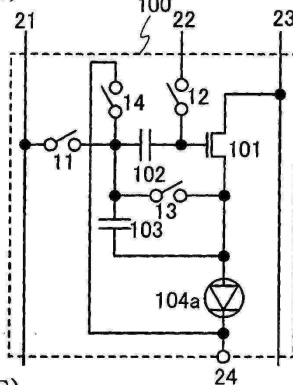
(B)



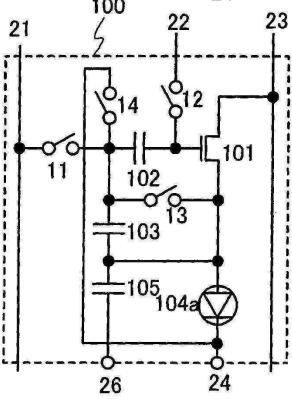
(C)



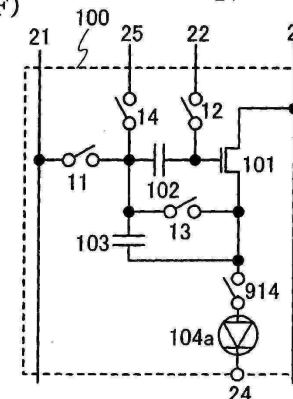
(D)



(E)

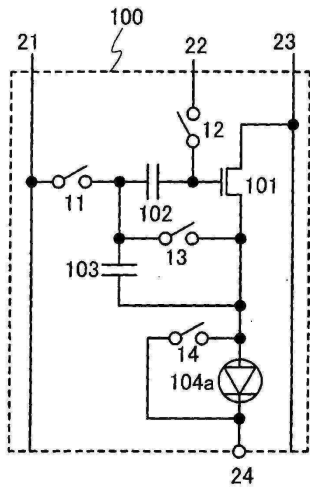


(F)

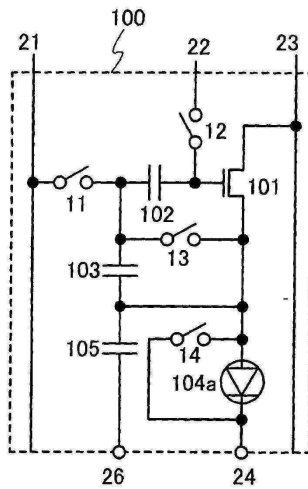


도면45

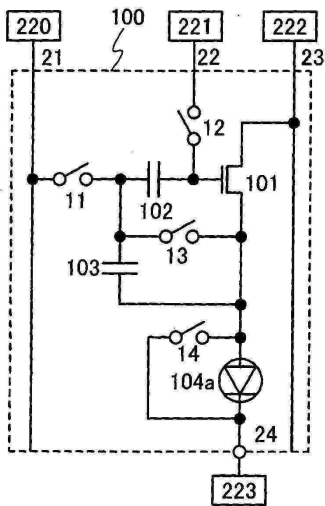
(A)



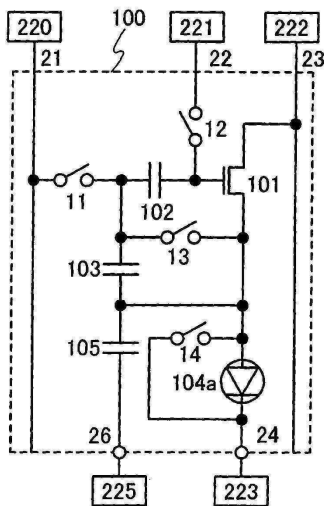
(B)



(C)

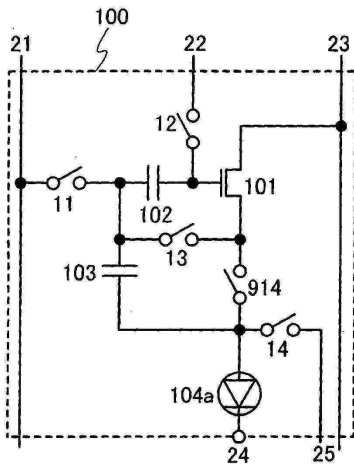


(D)

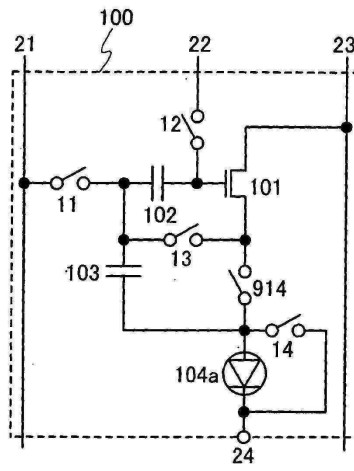


도면46

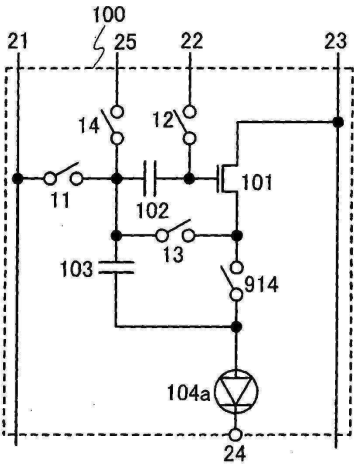
(A)



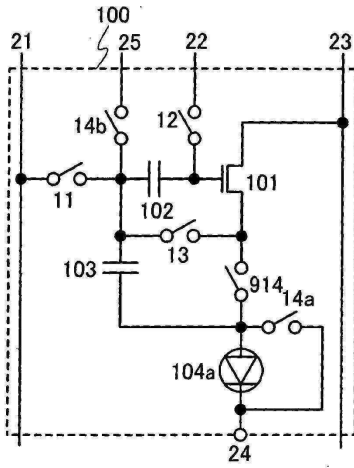
(B)



(C)

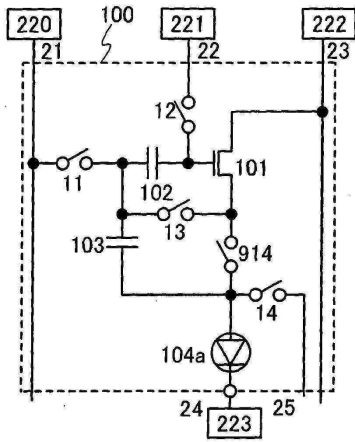


(D)

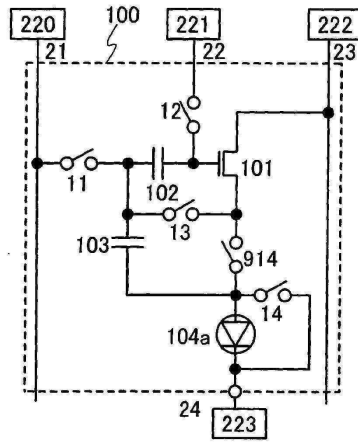


도면47

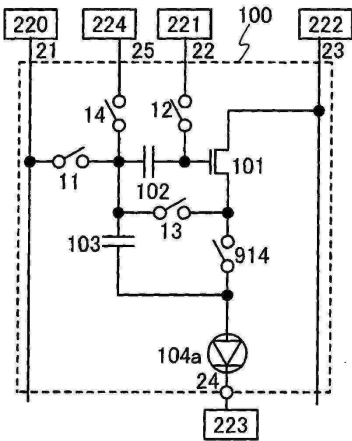
(A)



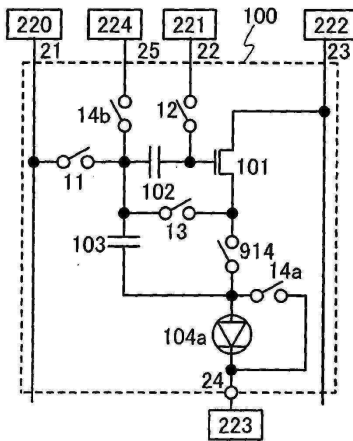
(B)



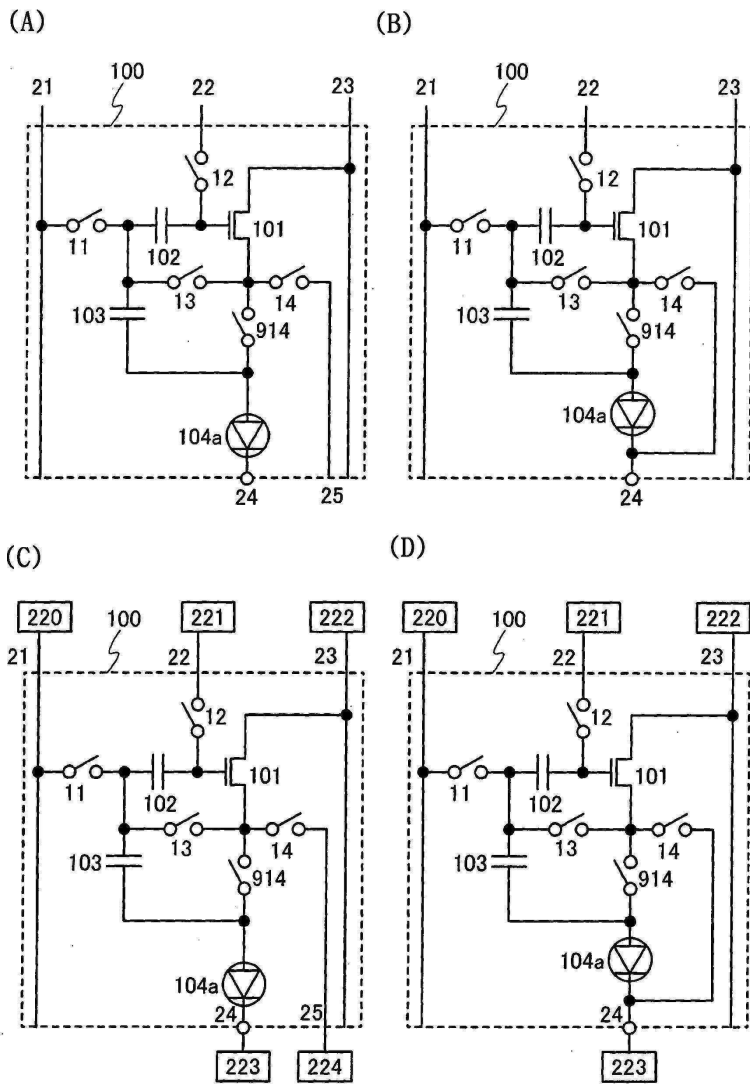
(C)



(D)

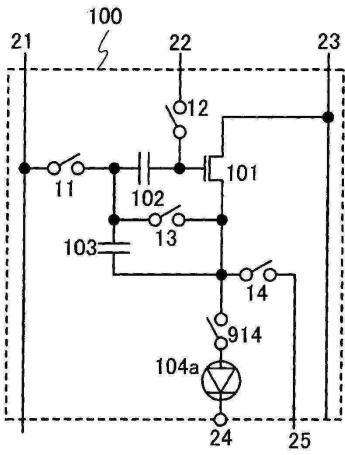


도면48

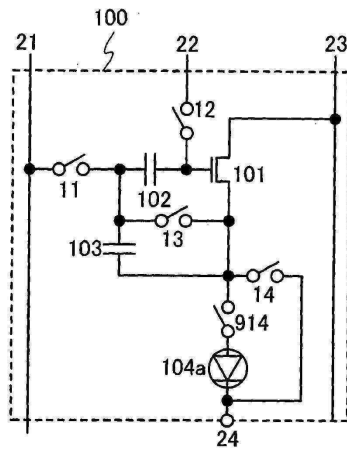


도면49

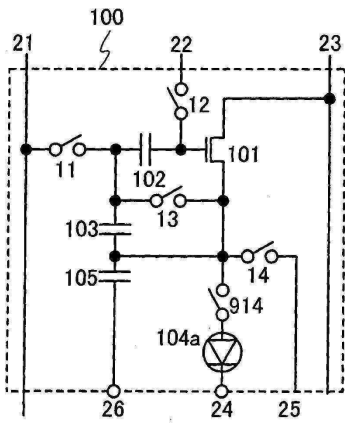
(A)



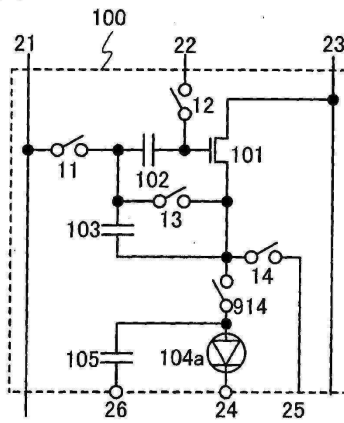
(B)



(C)

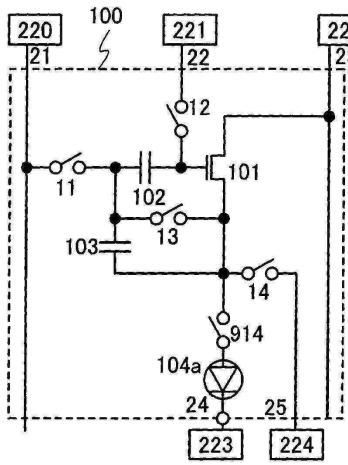


(D)

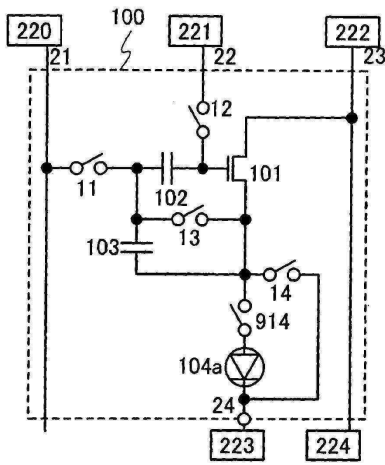


도면50

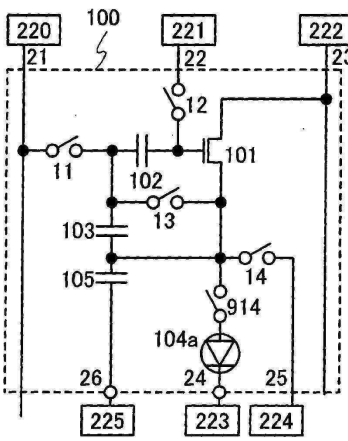
(A)



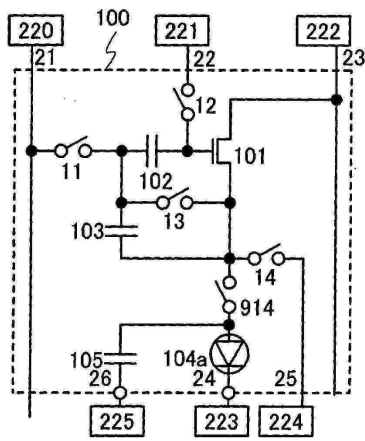
(B)



(C)

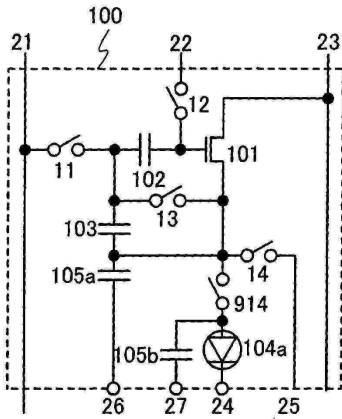


(D)

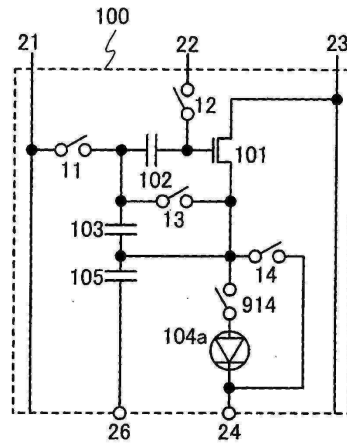


도면51

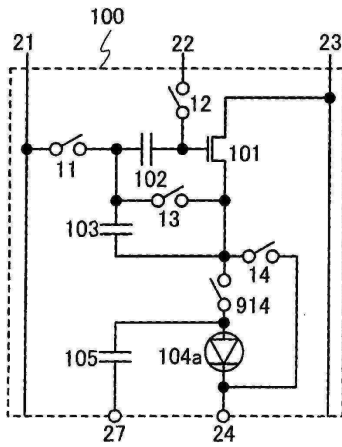
(A)



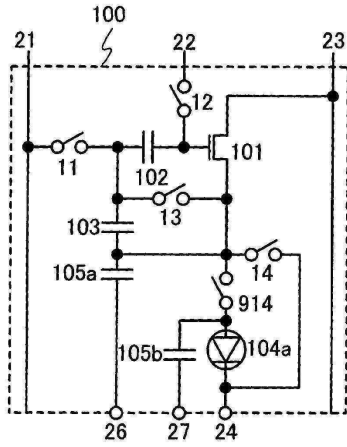
(B)



(C)

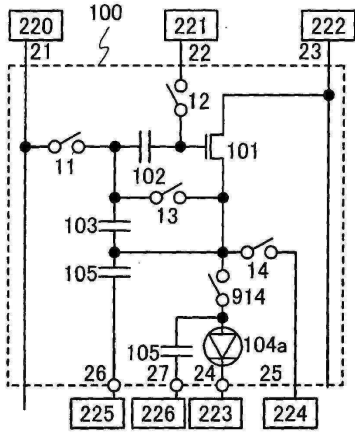


(D)

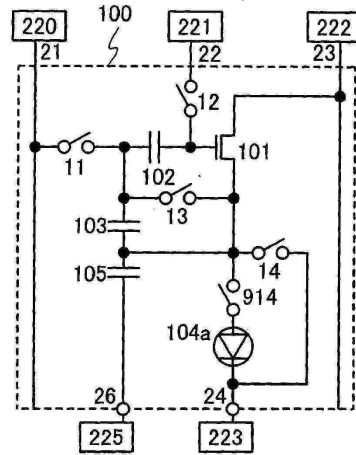


도면52

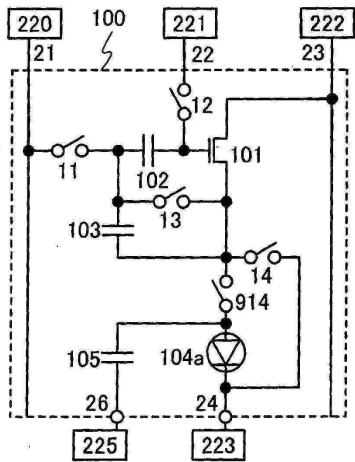
(A)



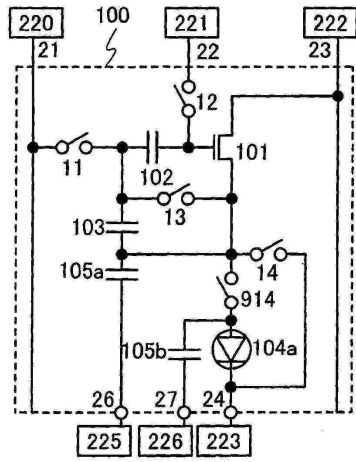
(B)



(C)

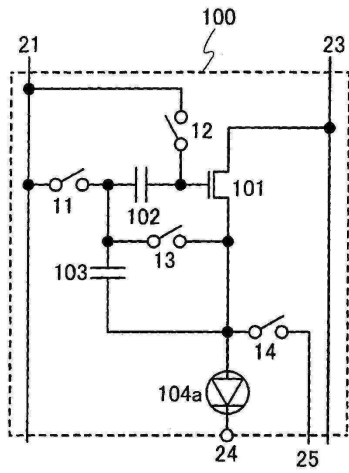


(D)

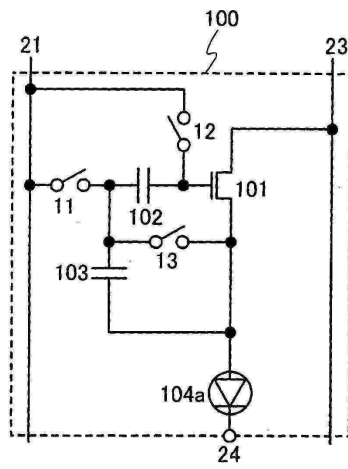


도면53

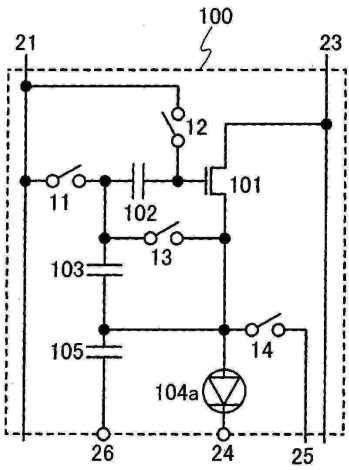
(A)



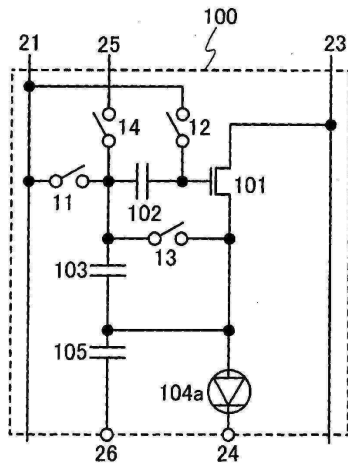
(B)



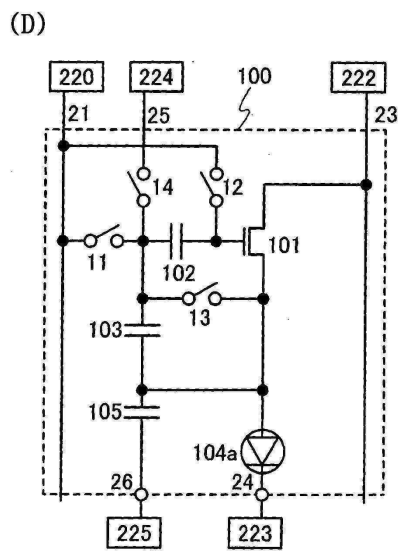
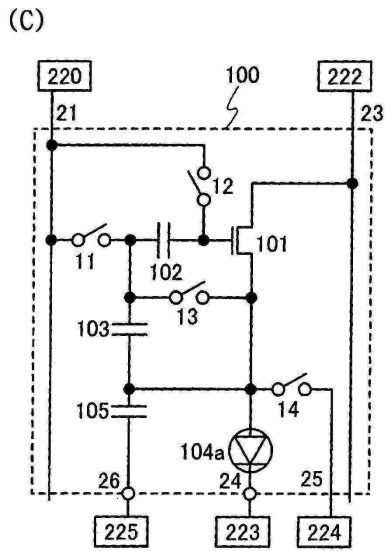
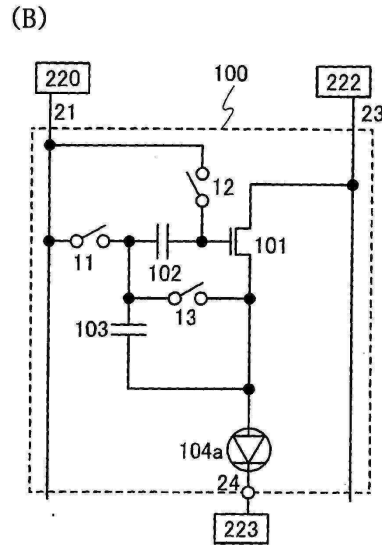
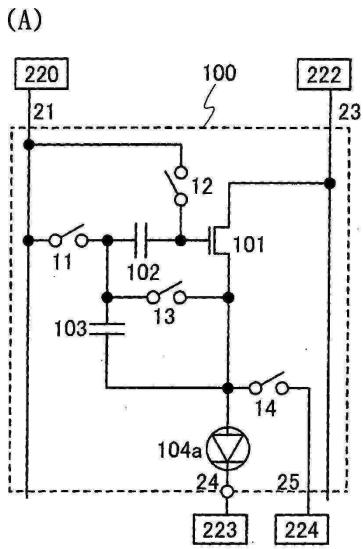
(C)



(D)

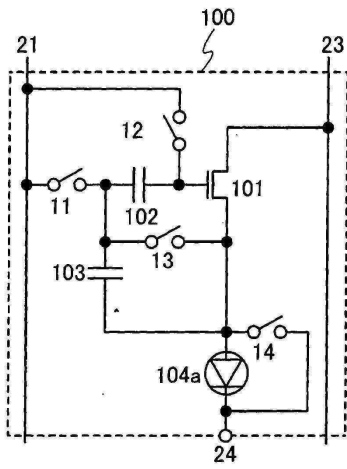


도면54

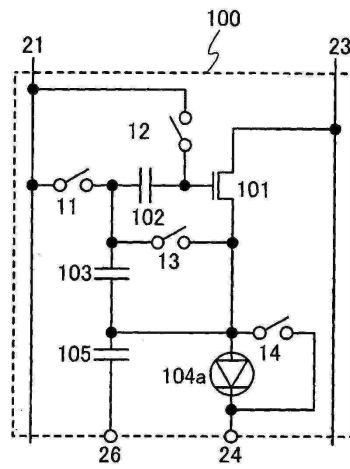


도면55

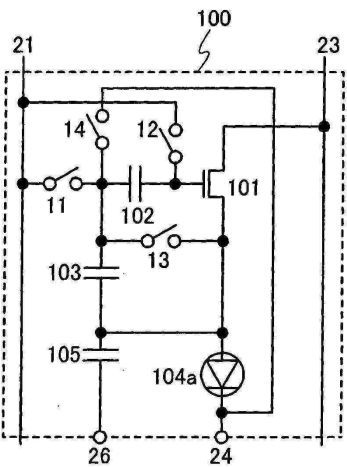
(A)



(B)

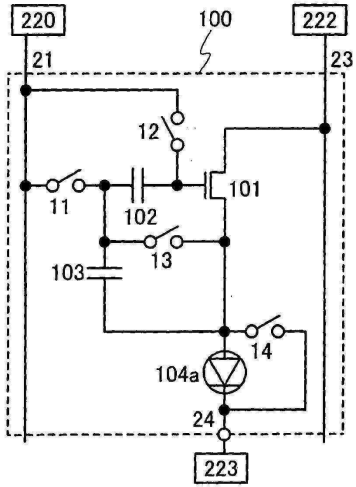


(C)

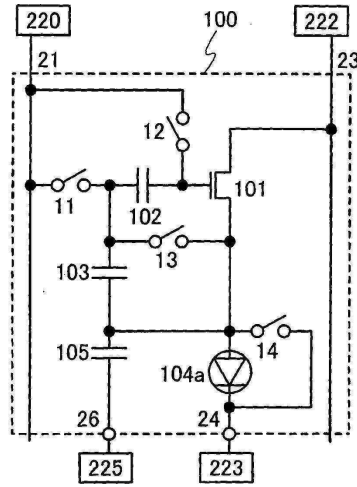


도면56

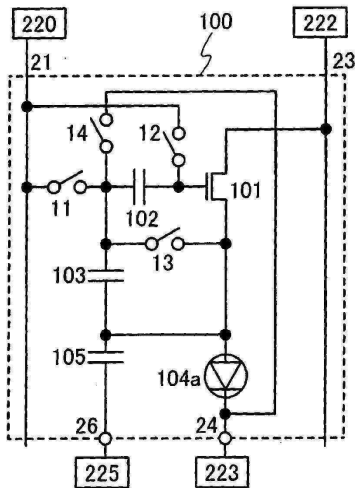
(A)



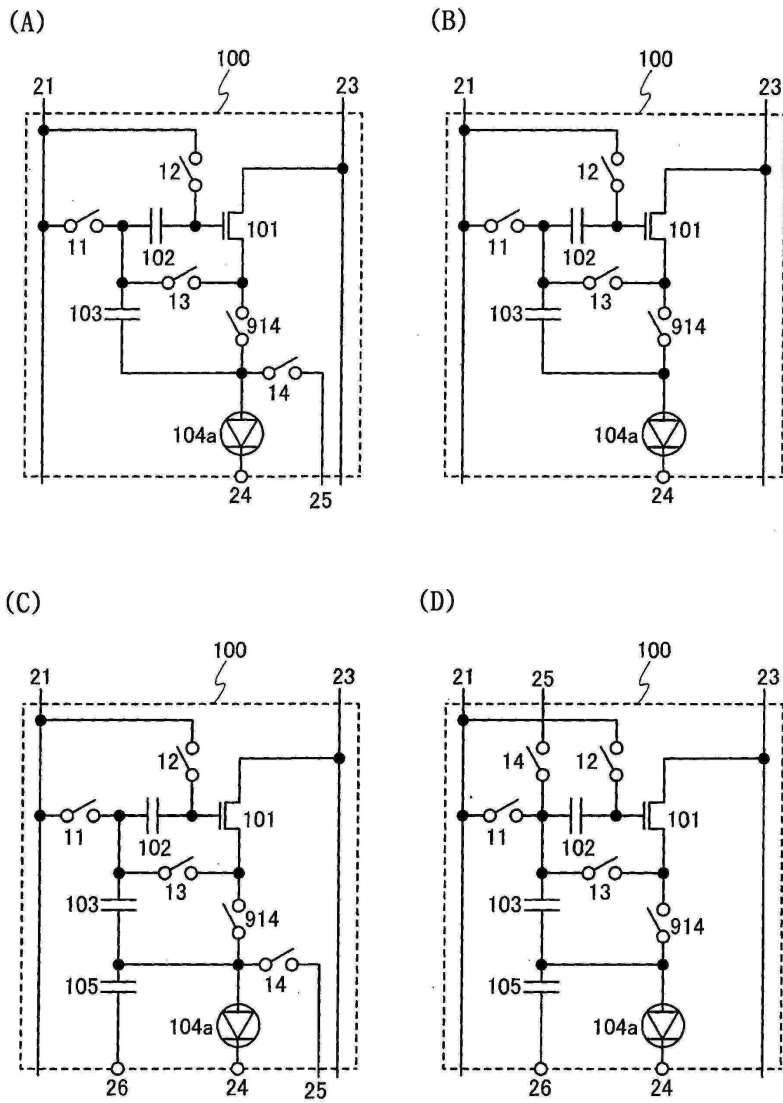
(B)



(C)

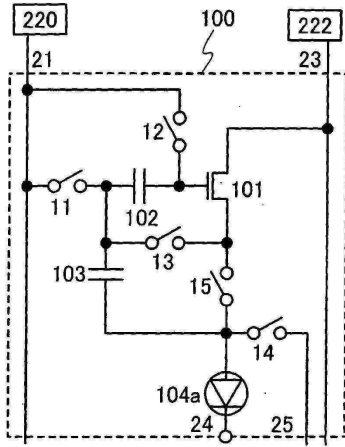


도면57

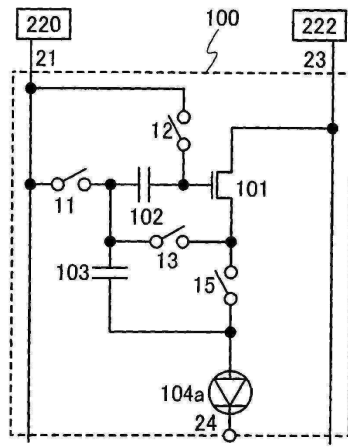


도면58

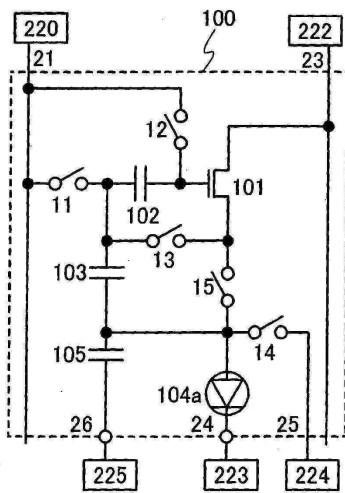
(A)



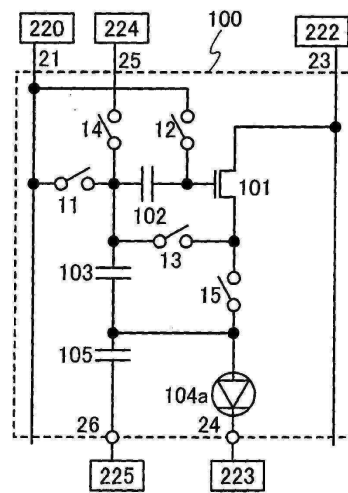
(B)



(C)

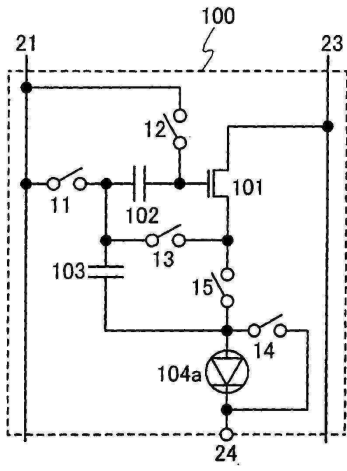


(D)

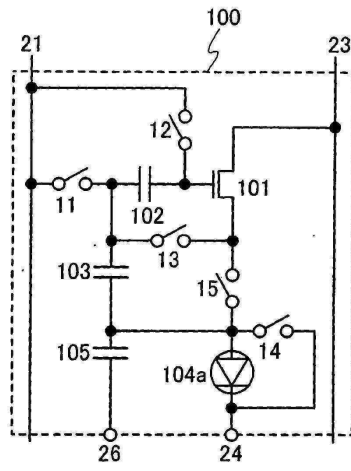


도면59

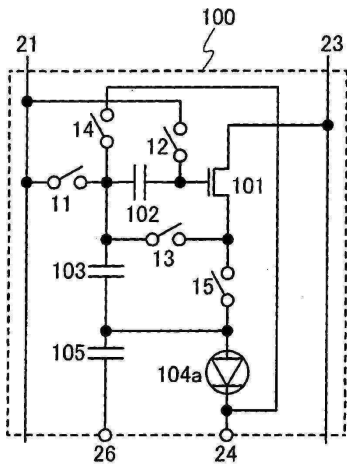
(A)



(B)

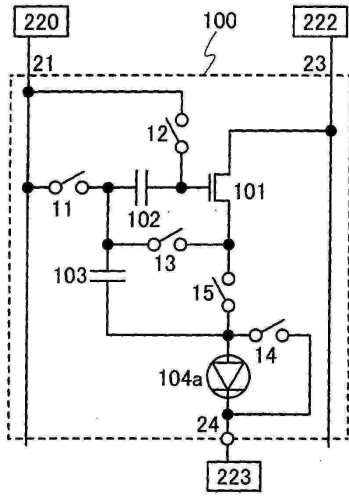


(C)

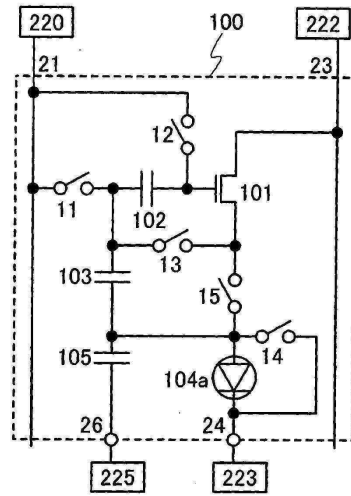


도면60

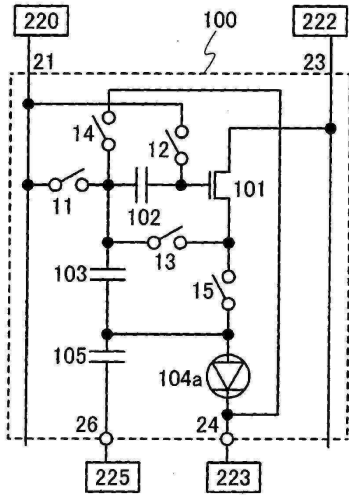
(A)



(B)

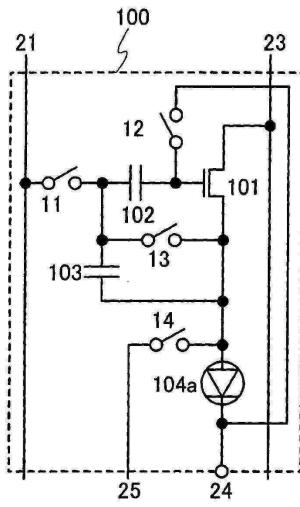


(C)

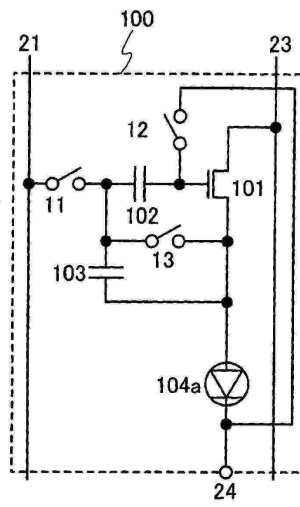


도면61

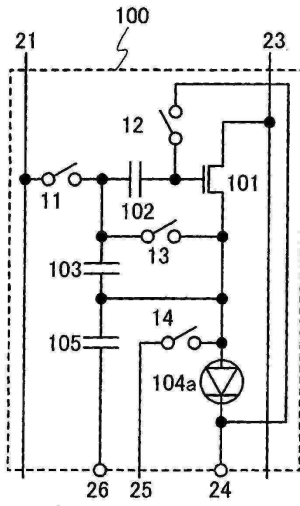
(A)



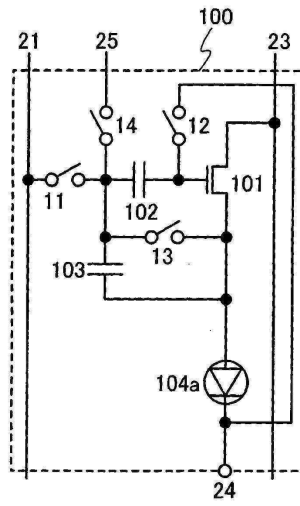
(B)



(C)

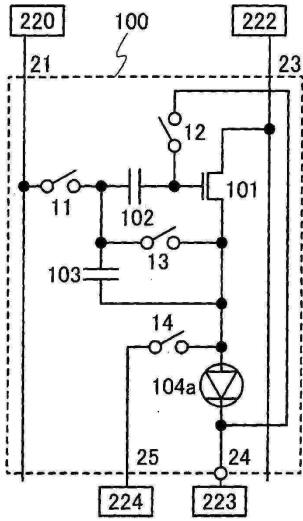


(D)

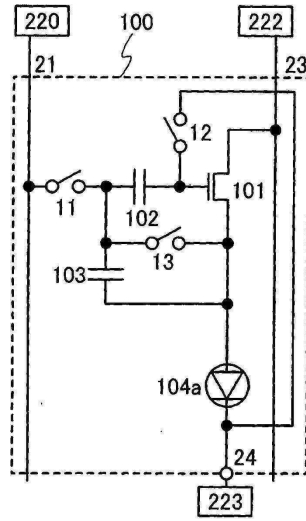


도면62

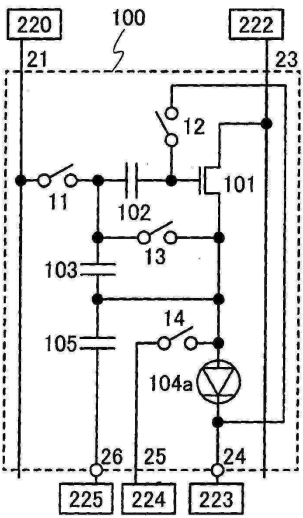
(A)



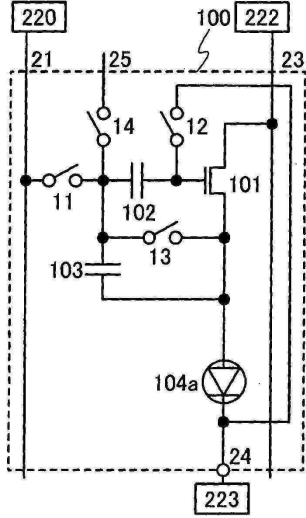
(B)



(C)

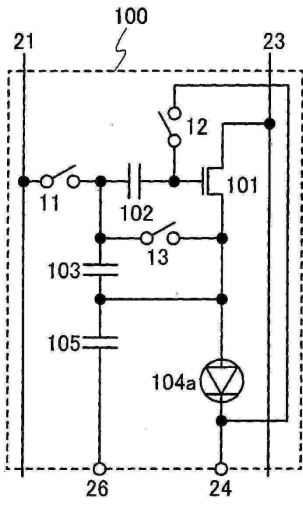


(D)

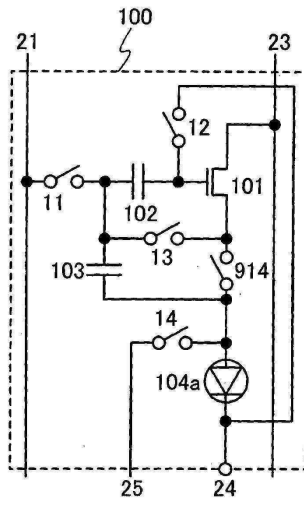


도면63

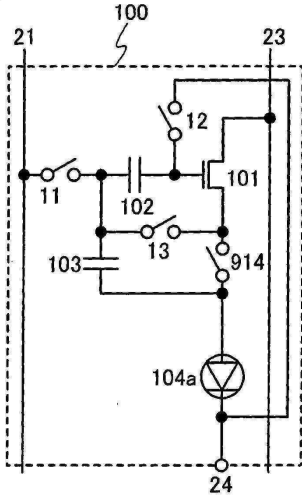
(A)



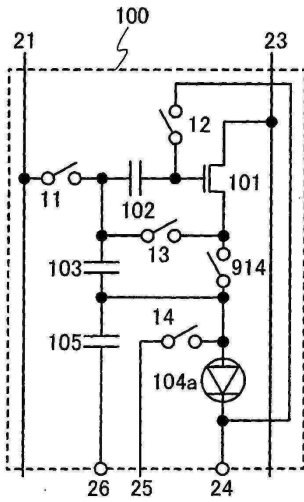
(B)



(C)

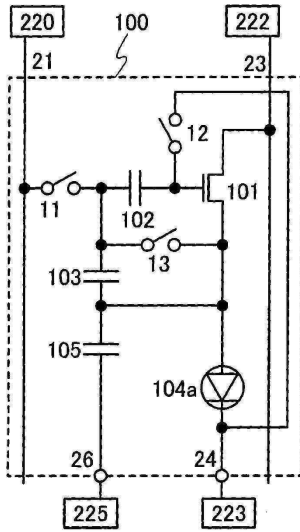


(D)

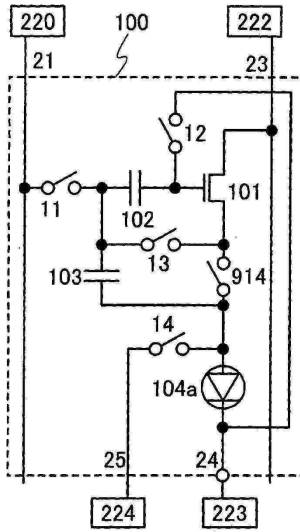


도면64

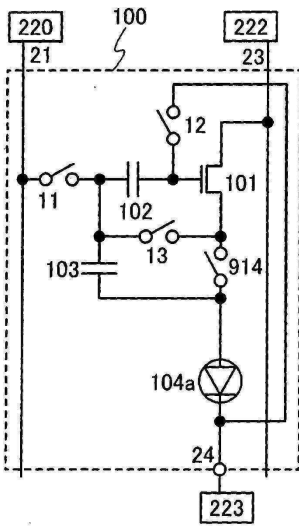
(A)



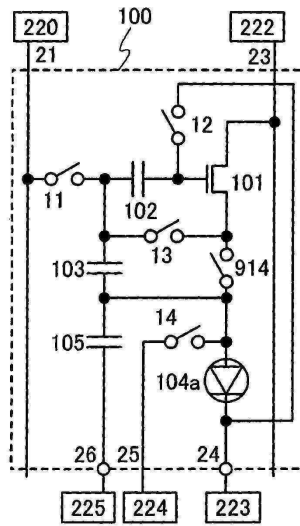
(B)



(C)

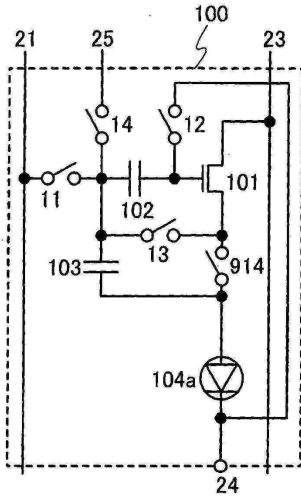


(D)

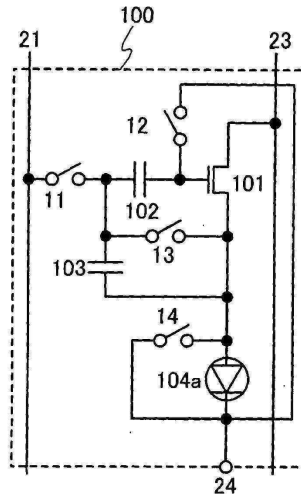


도면65

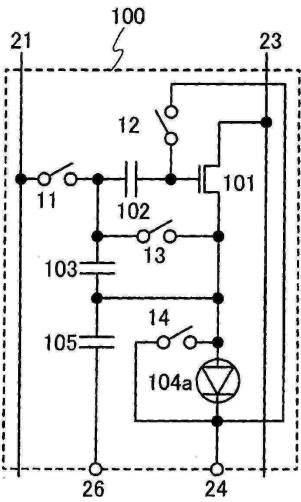
(A)



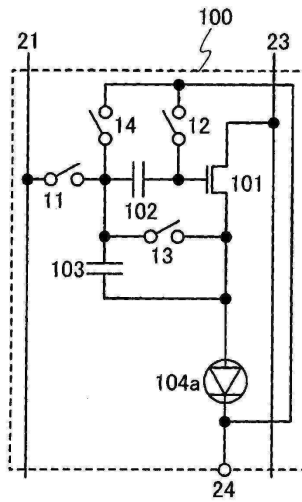
(B)



(C)

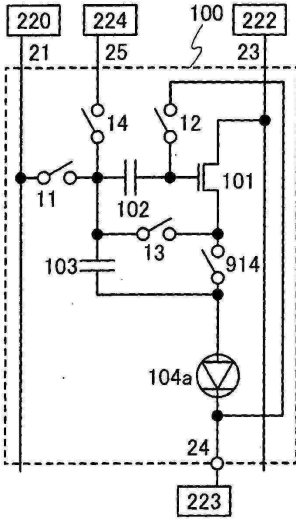


(D)

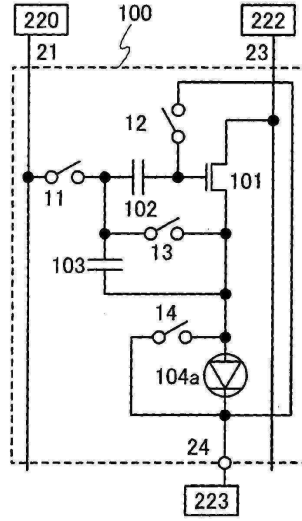


도면66

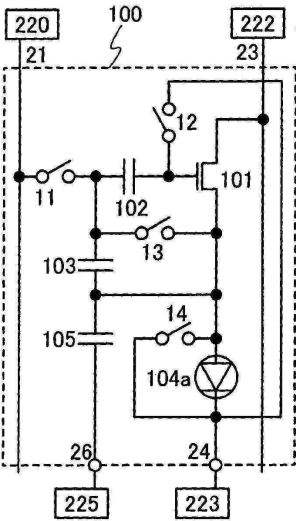
(A)



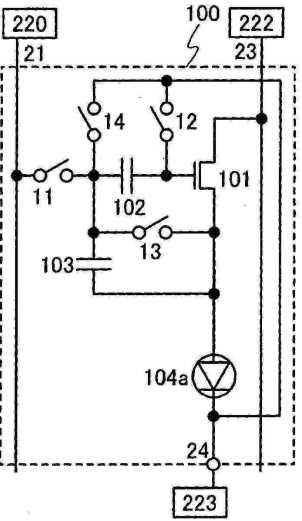
(B)



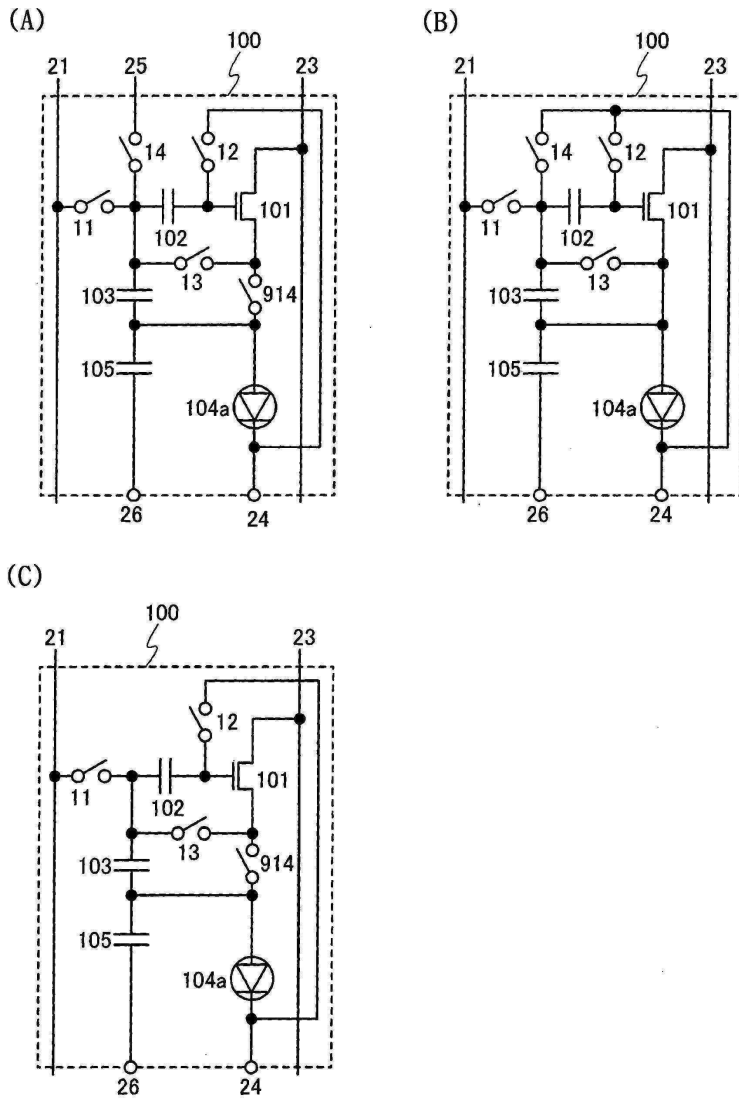
(C)



(D)

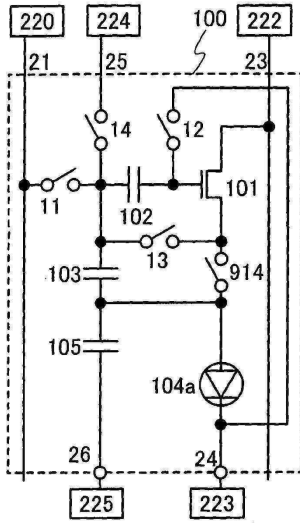


도면67

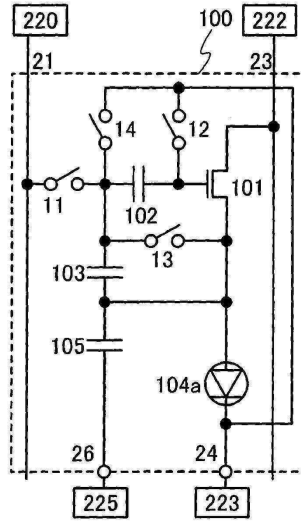


도면68

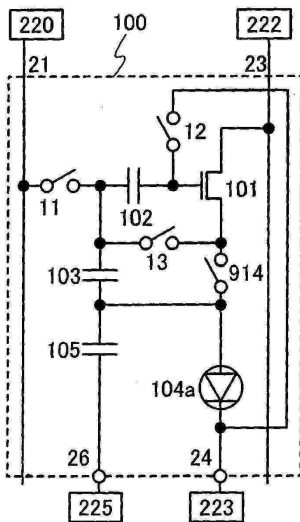
(A)



(B)

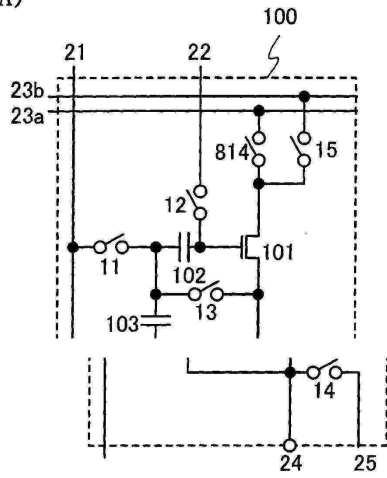


(C)

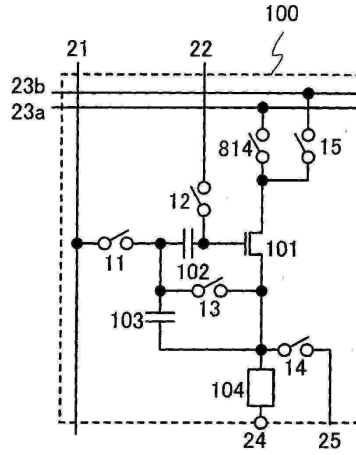


도면69

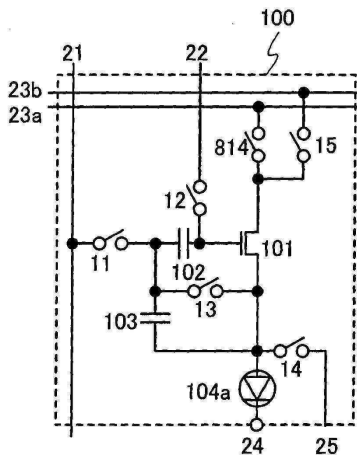
(A)



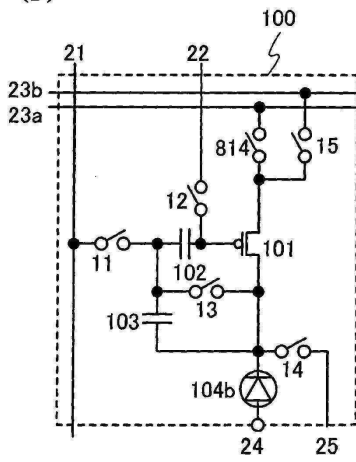
(B)



(C)

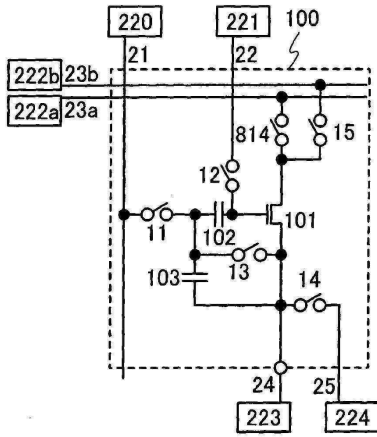


(D)

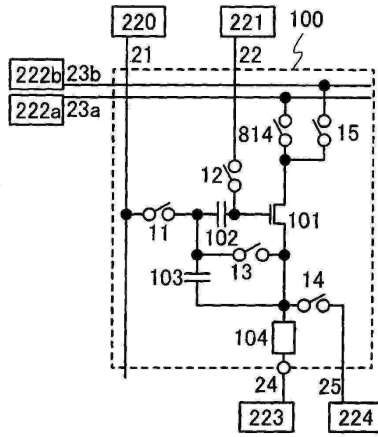


도면70

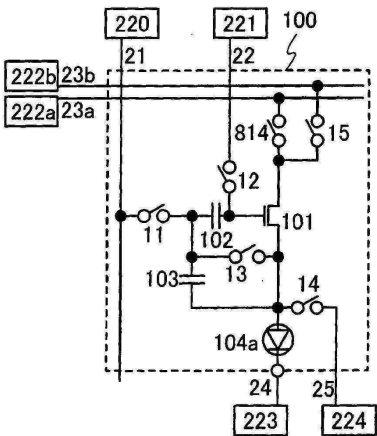
(A)



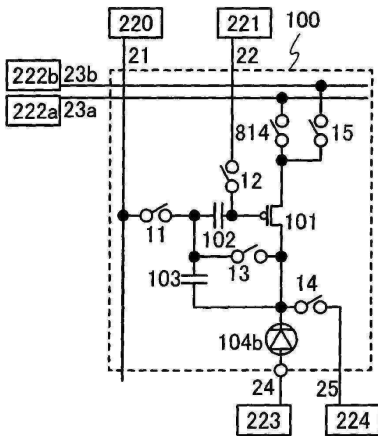
(B)



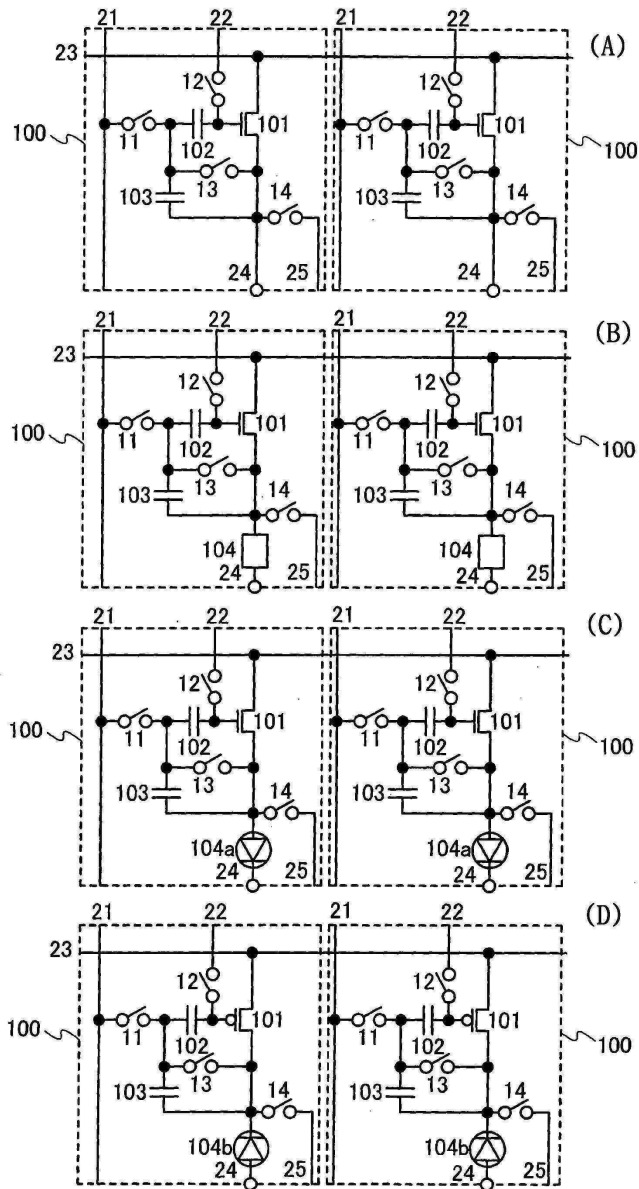
(C)



(D)

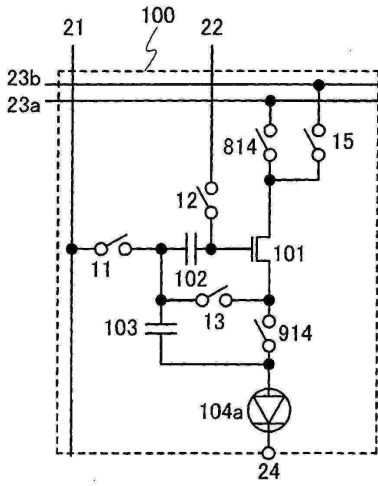


도면71

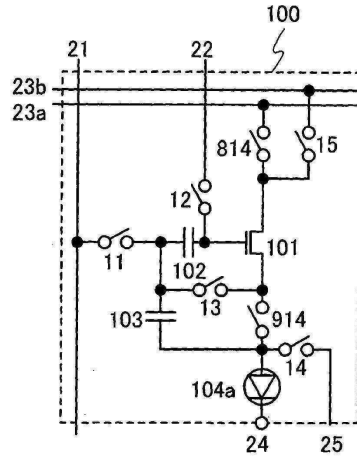


도면73

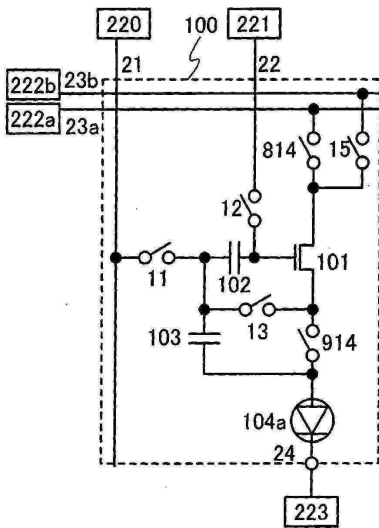
(A)



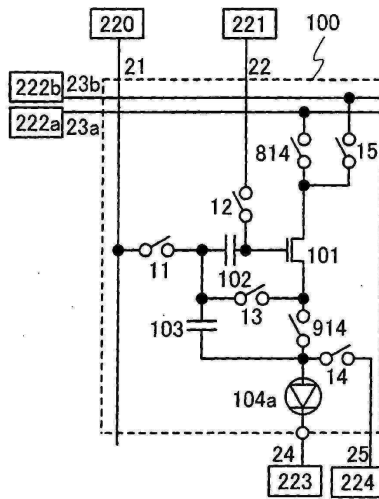
(B)



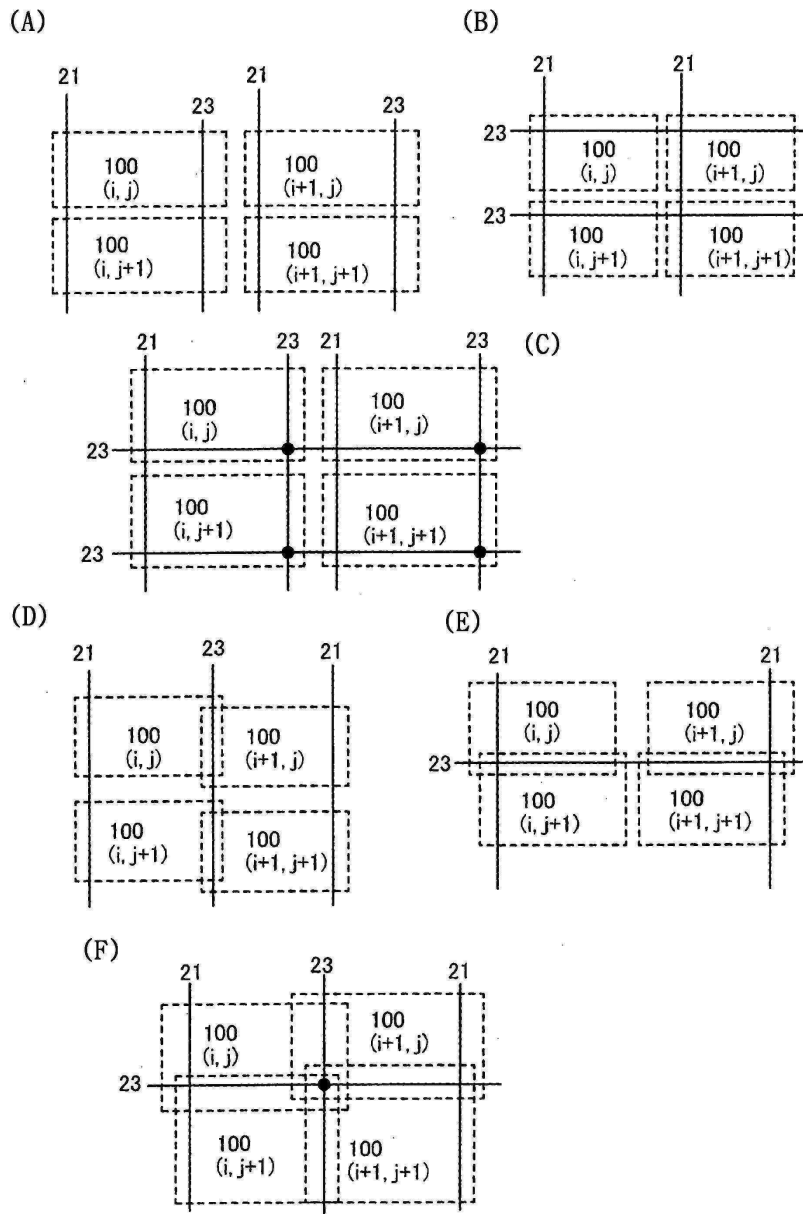
(C)



(D)

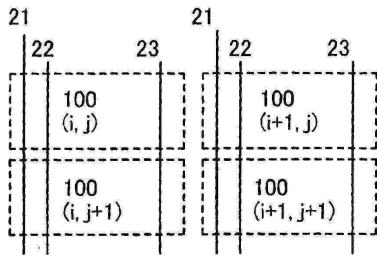


도면74

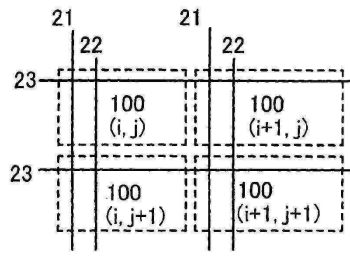


도면75

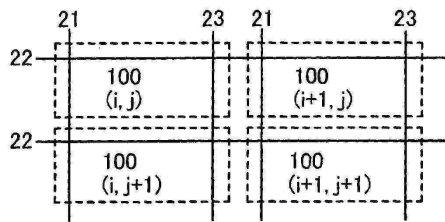
(A)



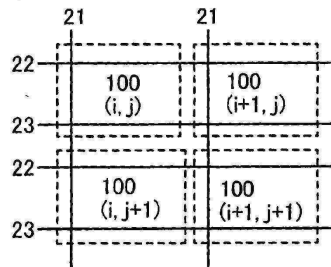
(B)



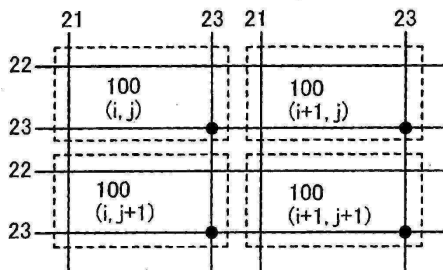
(C)



(D)

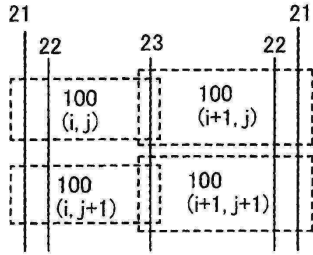


(E)

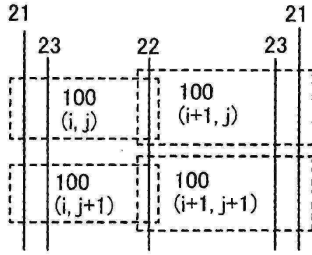


도면76

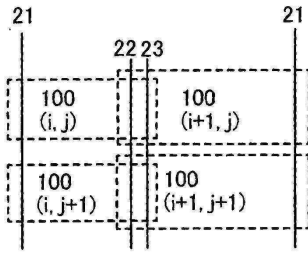
(A)



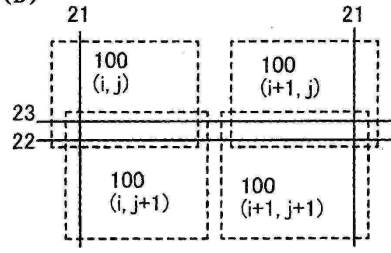
(B)



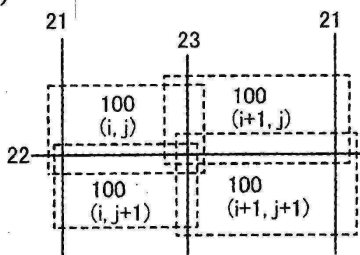
(C)



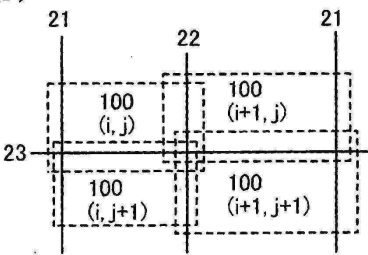
(D)



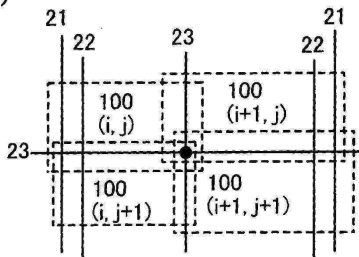
(E)



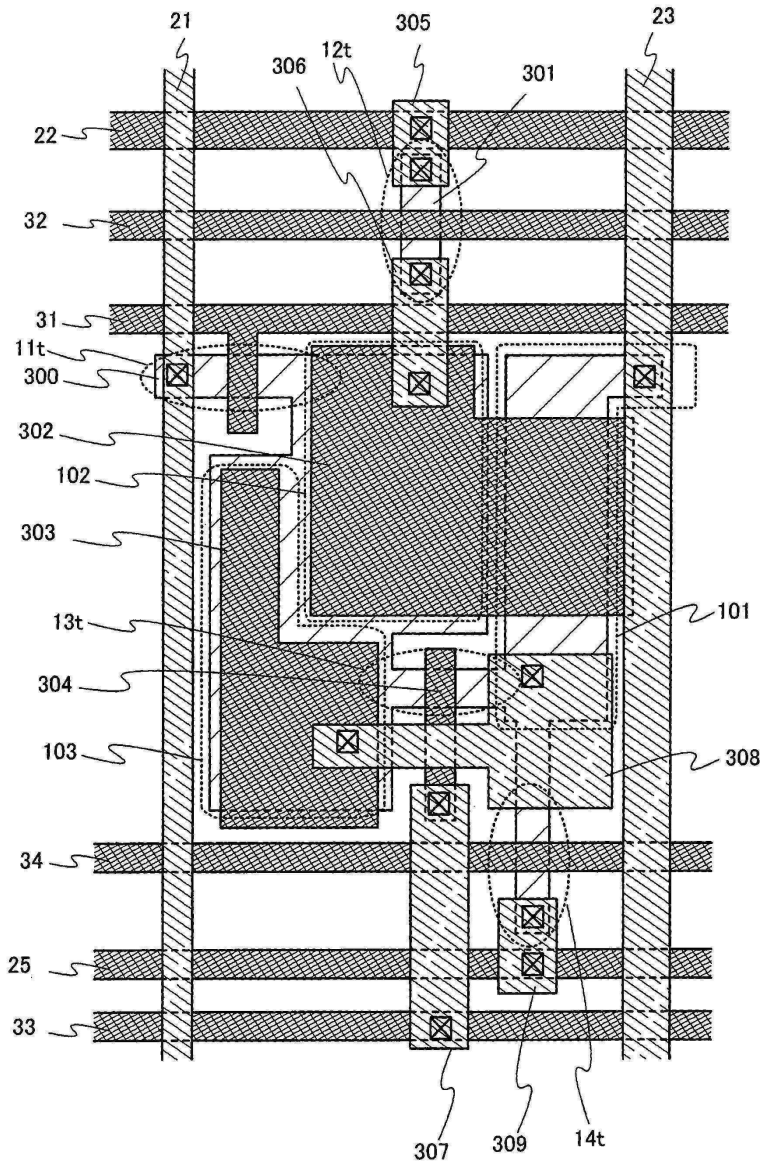
(F)



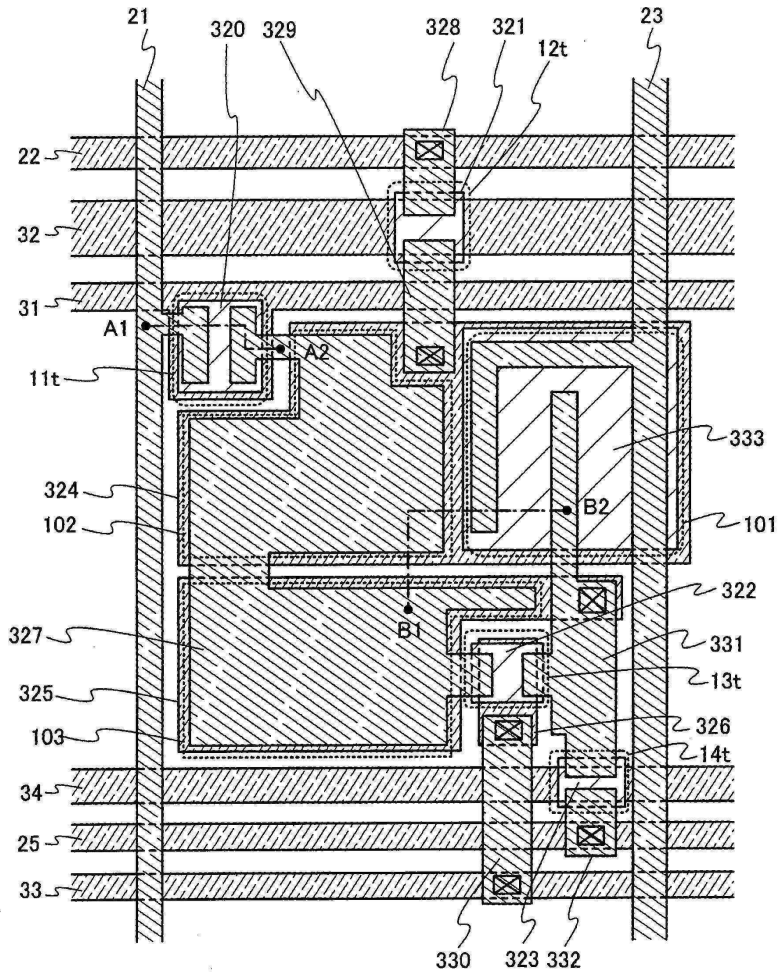
(G)



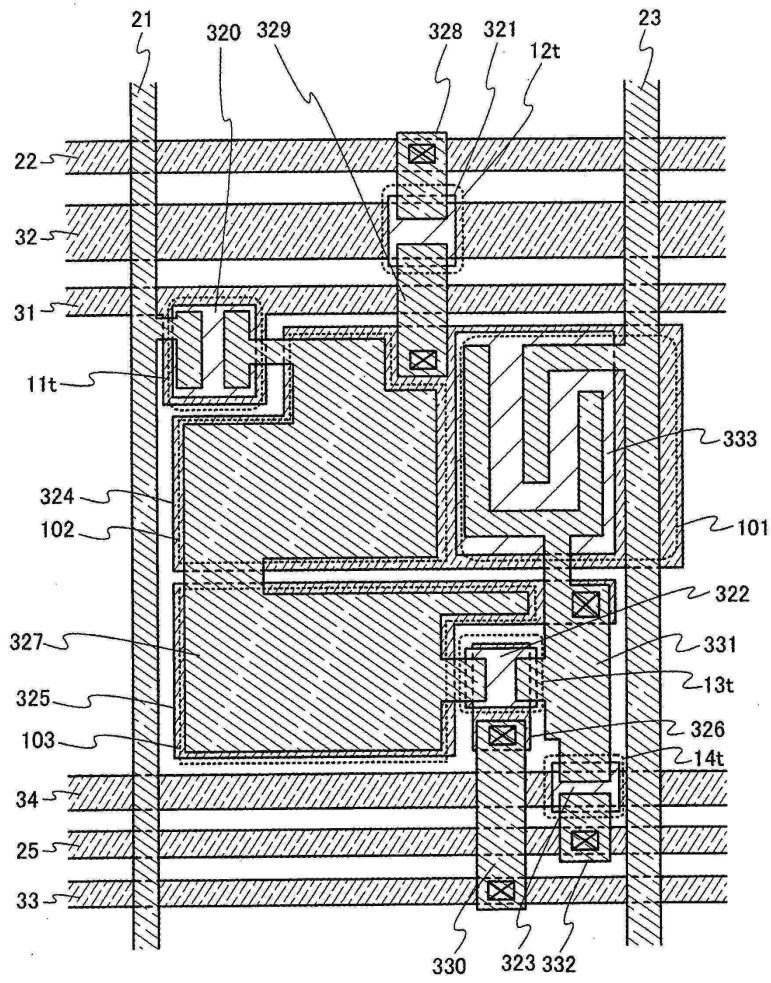
도면77



도면78

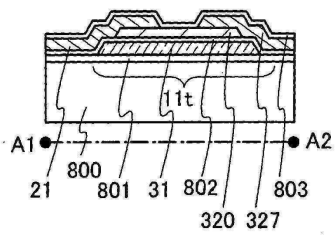


도면79

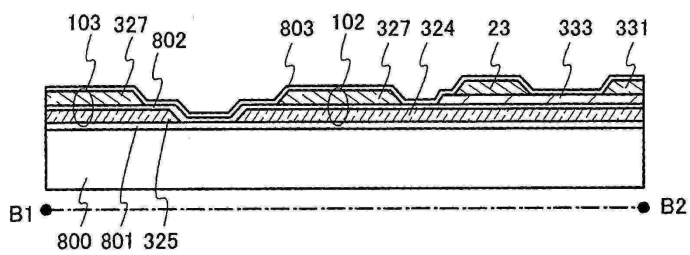


도면80

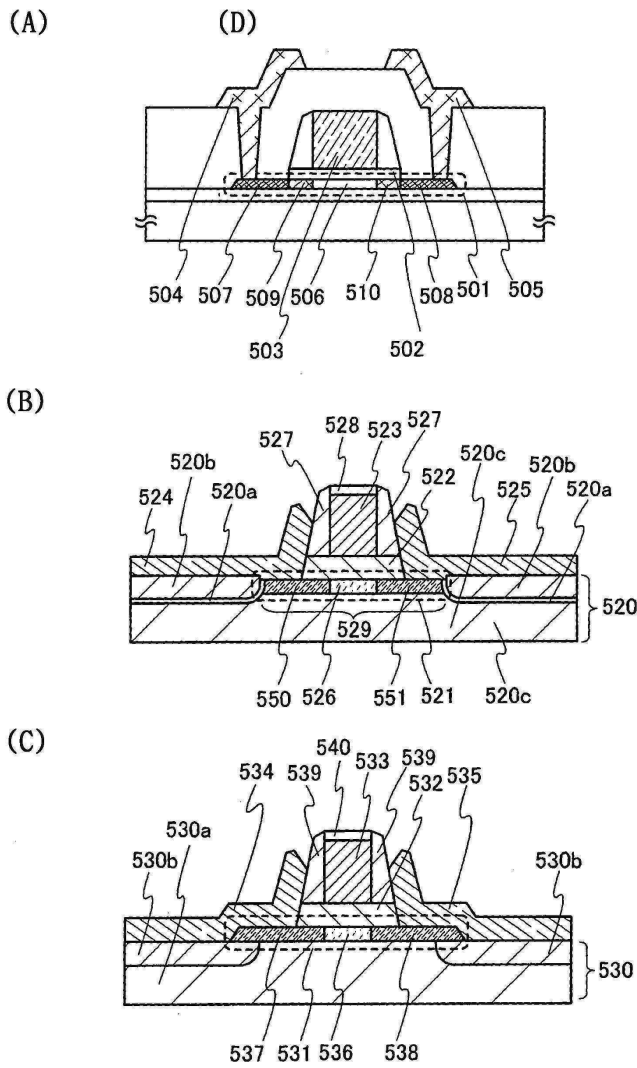
(A)



(B)

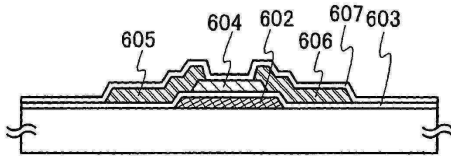


도면81

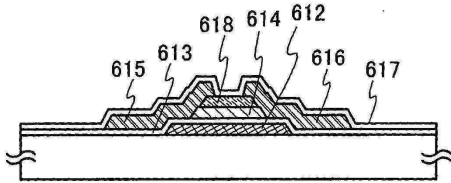


도면82

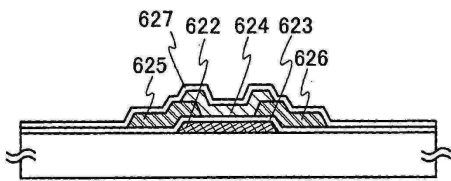
(A)



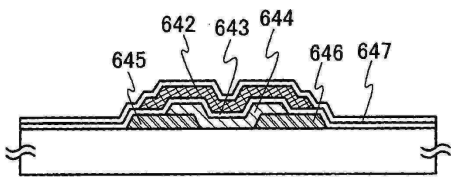
(B)



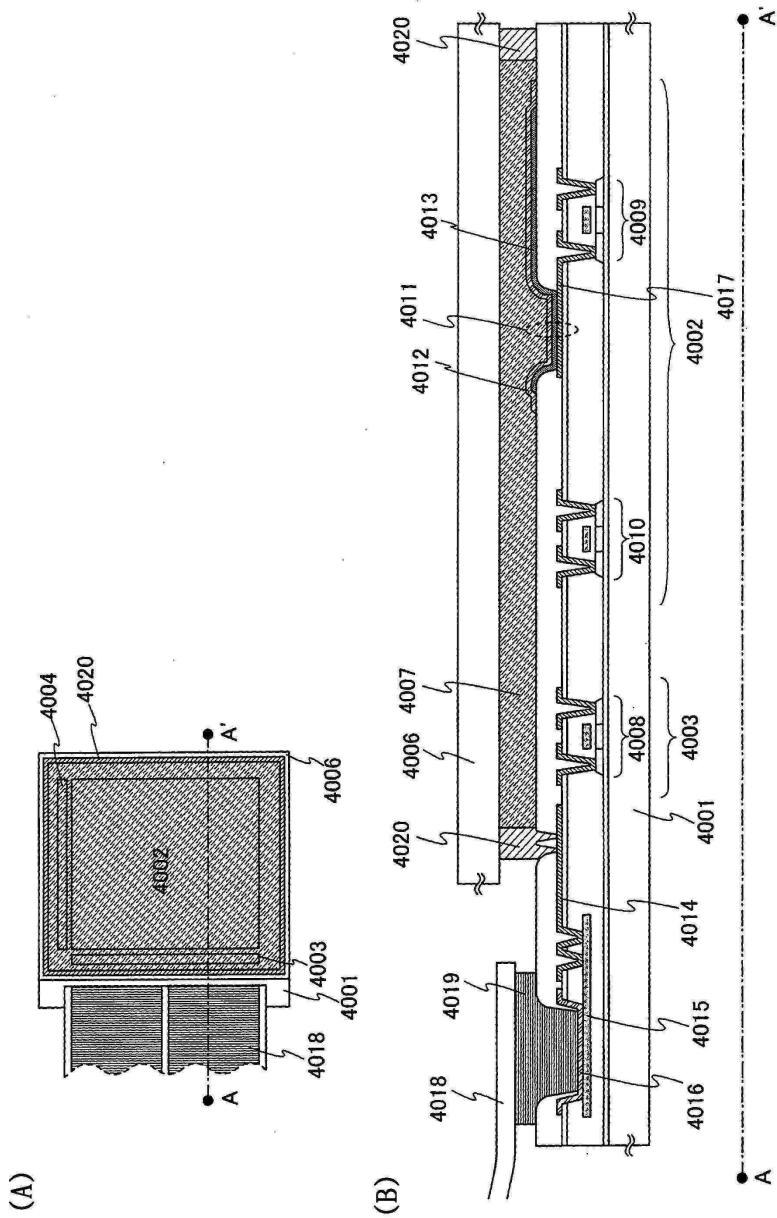
(C)



(D)

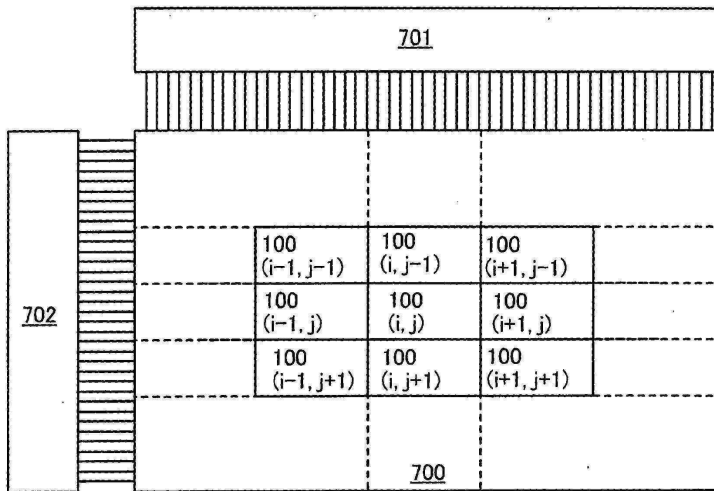


도면83

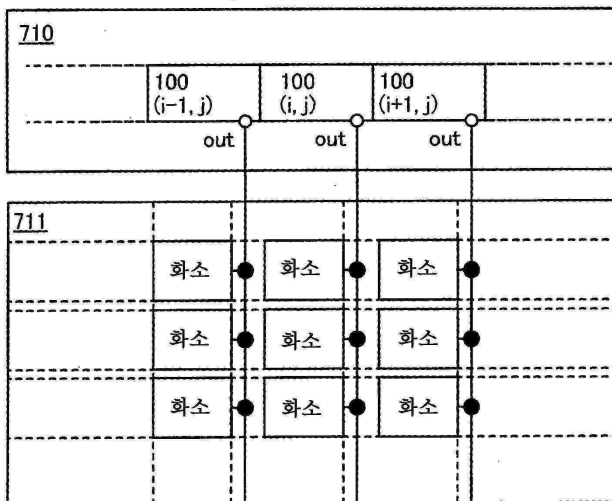


도면84

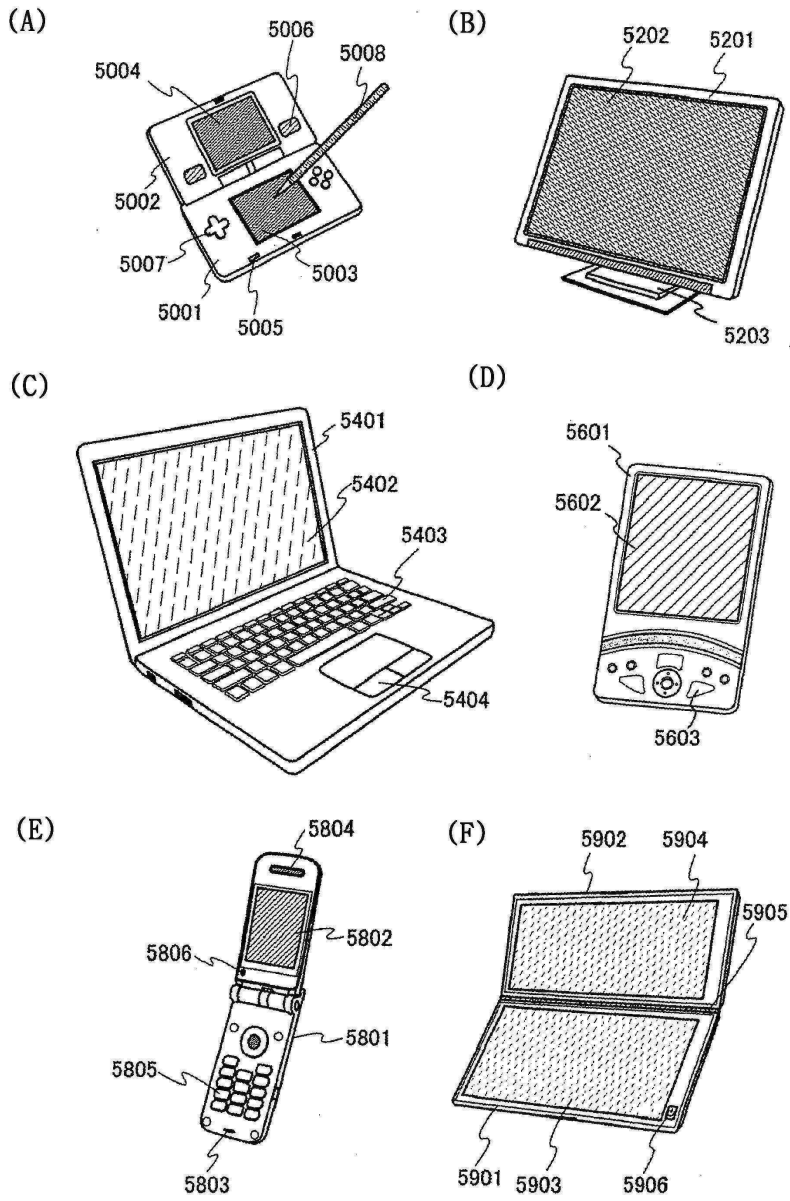
(A)



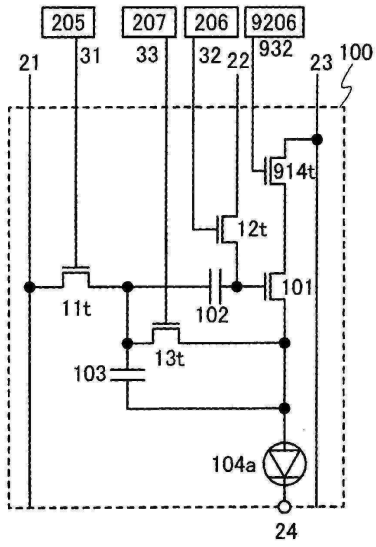
(B)



도면85

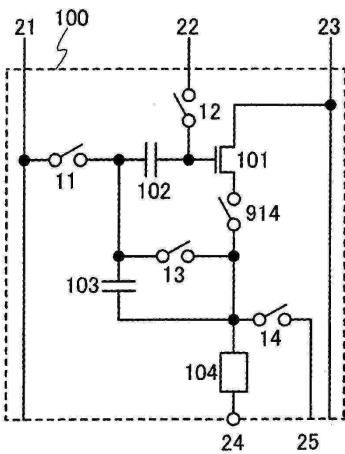


도면86

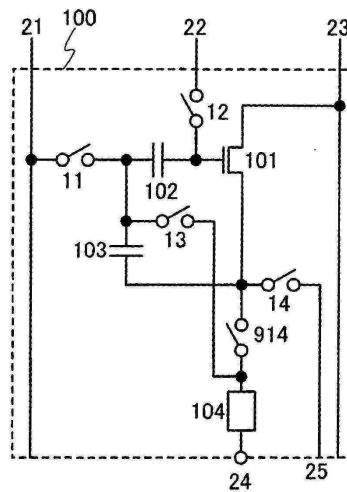


도면87

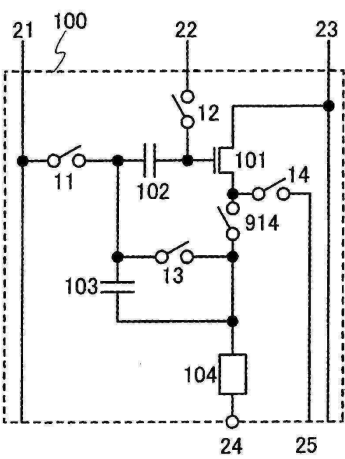
(A)



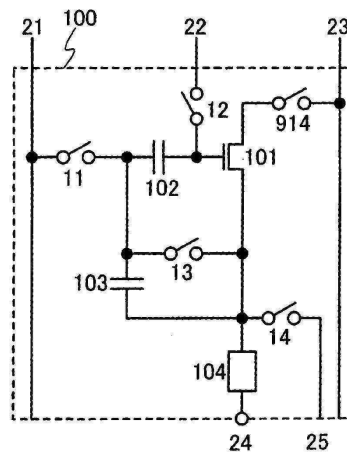
(B)



(C)

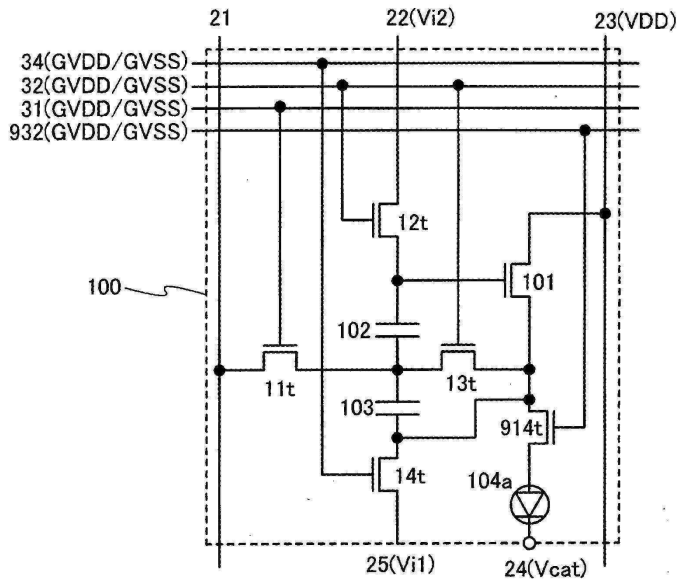


(D)

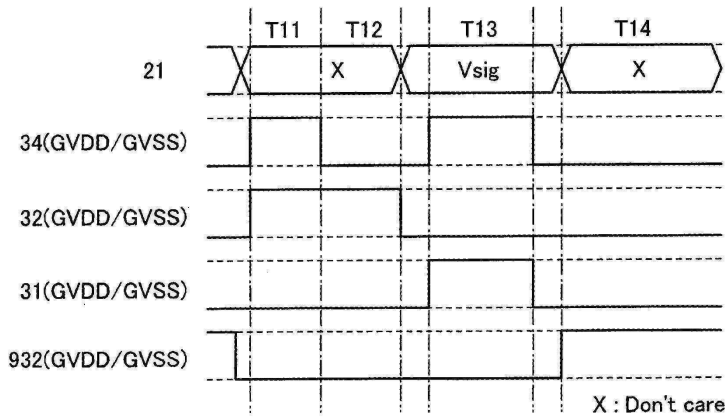


도면88

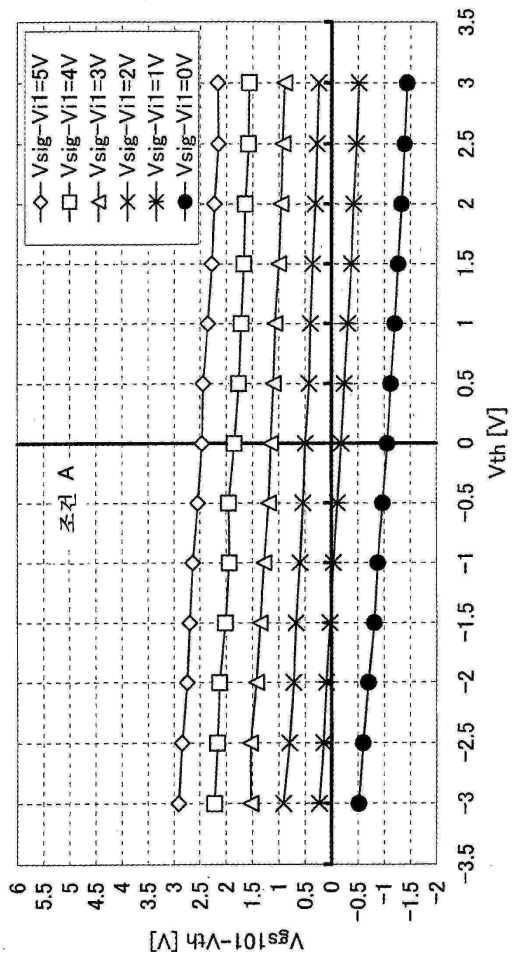
(A)



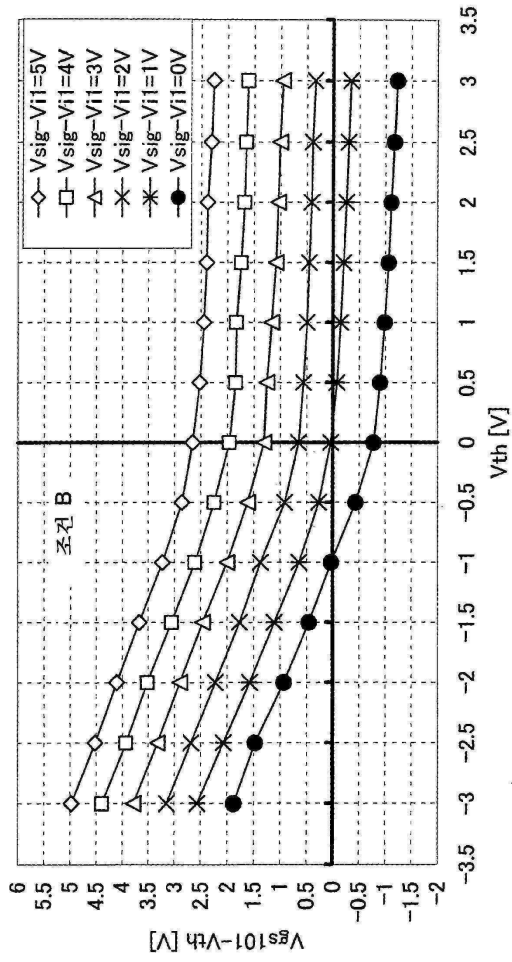
(B)



도면89



도면90



도면91

