

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-229905

(P2014-229905A)

(43) 公開日 平成26年12月8日 (2014. 12. 8)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 7 1	5 F 0 8 3
H O 1 L 29/788 (2006.01)	H O 1 L 27/10 4 3 4	5 F 1 0 1
H O 1 L 29/792 (2006.01)		
H O 1 L 21/8247 (2006.01)		
H O 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 14 O L 外国語出願 (全 66 頁)

(21) 出願番号	特願2014-103455 (P2014-103455)	(71) 出願人	591060898
(22) 出願日	平成26年5月19日 (2014. 5. 19)		アイメック
(31) 優先権主張番号	13169160.2		I M E C
(32) 優先日	平成25年5月24日 (2013. 5. 24)		ベルギー、ペー ー 3 0 0 1 ルーヴァン、カ
(33) 優先権主張国	欧州特許庁 (EP)		ペルドリーフ 7 5 番
(31) 優先権主張番号	13186665.9	(74) 代理人	100101454
(32) 優先日	平成25年9月30日 (2013. 9. 30)		弁理士 山田 卓二
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100100479
			弁理士 竹内 三喜夫
		(74) 代理人	100112911
			弁理士 中野 晴夫

最終頁に続く

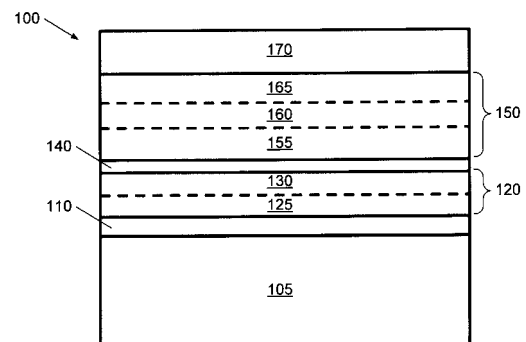
(54) 【発明の名称】 不揮発性メモリ半導体デバイスおよびその製造方法

(57) 【要約】 (修正有)

【課題】 デバイスのプログラム飽和に影響しない不揮発性メモリデバイスを提供する。

【解決手段】 トンネル誘電体層 1 1 0 と、第 1 の底部層 1 2 5 と第 2 の上部金属層 1 3 0 とを有するハイブリッドフローティングゲート構造 1 2 0 と、第 1 界面層 1 4 0 と、少なくとも第 1 層 1 5 5、第 2 層 1 6 0、および第 3 層 1 6 5 を含むインターゲート誘電体構造 1 5 0 と、コントロールゲート構造 1 7 0 とを含む。第 1 層 1 5 5 と第 3 層 1 6 5 は、それらに挟まれた第 2 層 1 6 0 より高い k 値を有する誘電体材料を含む。第 1 界面層 1 4 0 は、第 1 界面層 1 4 0 を横切る電位降下が所定の値より低くなるような膜厚を有する、高い k 値の誘電体材料を含む。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

不揮発性メモリデバイス（100、100'）であって、
半導体基板（105）と、
基板（105）の上に形成されたトンネル誘電体層（110）と、
トンネル誘電体層（110）の上に形成されたフローティングゲート構造（120）であって、少なくとも第1の下部層（125）と第2の上部金属層（130）とを有するハイブリッドフローティングゲート構造を含むフローティングゲート構造（120）と、
フローティングゲート構造（120）の上に形成された少なくとも第1界面層（140）と、

10

第1界面層（140）の上に形成されたインターゲート誘電体構造（150）と、
インターゲート誘電体構造（150）の上に形成されたコントロールゲート構造（170）と、を含み、

インターゲート誘電体構造（150）は、少なくとも第1層（155）、第2層（160）、および第3層（165）を含み、第1層（155）は第1界面層（150）の上に形成されてコントロールゲート構造（170）は第3層（165）の上に形成され、第1層（155）と第3層（165）は、それらに挟まれた第2層（160）より高いk値を有し、

第1界面層（140）は、第1界面層を横切る電位降下が所定の値より低くなるような膜厚を有する、高いk値の材料を含む不揮発性メモリデバイス。

20

【請求項 2】

第1界面層（140）は、フローティングゲート構造（120）の隣接する第2層（130）の金属元素を含む請求項1に記載の不揮発性メモリデバイス。

【請求項 3】

インターゲート誘電体構造（150）の第1層（155）および第3層（165）は、アルミン酸ハフニウム層を含む請求項1または2に記載の不揮発性メモリデバイス。

【請求項 4】

インターゲート誘電体構造（150）の第2層（160）は、酸化アルミニウム層と酸化シリコン層の1つを含む請求項1～3のいずれか1項に記載の不揮発性メモリデバイス。

30

【請求項 5】

第1界面層（140）は、インターゲート誘電体構造（150）の第1層（155）より高いk値の誘電体材料を含む請求項1～4のいずれか1項に記載の不揮発性メモリデバイス。

【請求項 6】

更に、インターゲート誘電体構造（150）とコントロールゲート構造（170）との間に配置された第2界面層（180）を含む請求項1～5のいずれか1項に記載の不揮発性メモリデバイス。

【請求項 7】

第2界面層（180）は、インターゲート誘電体構造（150）の第3層（165）より高いk値の誘電体材料を含む請求項6に記載の不揮発性メモリデバイス。

40

【請求項 8】

第2界面層（180）は、隣接するコントロールゲート構造（170）の金属元素を含む請求項6または7に記載の不揮発性メモリデバイス。

【請求項 9】

第1界面層（140）および第2界面層（180）のそれぞれは、1nmより小さい膜厚を有する請求項6～8のいずれか1項に記載の不揮発性メモリデバイス。

【請求項 10】

第1界面層（140）および第2界面層（180）のそれぞれは、0.1nmから0.7nmの範囲内の膜厚を有する請求項9に記載の不揮発性メモリデバイス。

50

【請求項 11】

請求項 1～10 のいずれか 1 項にかかる不揮発性メモリデバイスの製造方法であって、

- a) 半導体基板の上にトンネル誘電体層を形成する工程と、
- b) トンネル誘電体層の上にフローティングゲート構造を形成する工程と、
- c) フローティングゲート構造の上に第 1 界面層を形成する工程と、
- d) 第 1 界面層の上にインターゲート誘電体構造を形成する工程と、
- e) インターゲート誘電体構造の上にコントロールゲート構造を形成する工程と、を含み、

工程 d) は、更に、

d 1) 少なくとも第 1 層、第 2 層、および第 3 層としてインターゲート誘電体構造を形成する工程と、 10

d 2) 第 1 層および第 3 層は high-k 誘電体材料を含み、第 2 層は第 1 層および第 3 層より低い k 値を有する誘電体材料を含むように、第 1 層、第 2 層、および第 3 層のそれぞれの材料を選択する工程と、を含み、

工程 c) は、第 1 界面層の材料が、high-k 誘電体材料になるように選択する工程を含み、

工程 b) は、更に、

b 1) 第 1 下部層を形成する工程と、

b 2) 第 2 上部金属層を形成する工程と、を含む不揮発性メモリデバイスの製造方法。

【請求項 12】

工程 c) は、インターゲート誘電体構造 (150) の第 1 層 (155) を形成する一部として、第 1 界面層 (140) を形成する工程を含む請求項 11 に記載の製造方法。 20

【請求項 13】

更に、工程 e) の前に、工程 f) インターゲート誘電体構造 (150) の上に第 2 界面層 (180) を形成する工程を含む請求項 11 または 12 に記載の製造方法。

【請求項 14】

工程 f) は、インターゲート誘電体構造 (150) の第 3 層 (165) を形成する一部として、第 2 界面層 (180) を形成する工程を含む請求項 13 に記載の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、不揮発性半導体メモリデバイスおよびそのようなデバイスの製造方法に関する。

【背景技術】

【0002】

多層フローティングゲート不揮発性メモリデバイスは、US-A-2009/140317 に記載されている。そのようなデバイスでは、フローティングゲートは、異なる導電性または半導体材料で形成される少なくとも 2 つの層を含む。所定の膜厚の中間誘電体層が、フローティングゲートの少なくとも二つの層を分離するのに使用され、2 つの分離された層の間で直接トンネル電流を可能にする。 40

【0003】

プレーナーフローティングゲートセルを準備する場合、プログラム飽和 (program saturation) が決定的要因となる。サブ 20 nm デバイスでは、望まないフリンジングキャパシタンスが得られ、これによりセルとセルの間の干渉やコントロールゲート連結比 (coupling ratio) の喪失が起きる。

【0004】

フローティングゲート不揮発性メモリデバイスを用いた NAND フラッシュセルは、非常に短いピッチのため、コントロールゲートがフローティングゲートの周囲を覆わない完全に平坦な構造が必要となる。この完全に平坦な構造の必要性は、結合比の大きな低下となり、この結果、プログラミングウインドウのサイズが小さくなる。このサイズの小型化 50

は、シリコン (S i) フローティングゲートの上に高い仕事関数の金属が形成されたハイブリッドフローティングゲートを用いることにより部分的に回復できる。そのような構造は、プログラミング中にインターゲート誘電体を通るリークを制限し、それゆえに、より大きなプログラミングウインドウを可能にする。そのような多結晶 S i 層の上にチタン窒化物 (T i N) 金属層を含むフローティングゲートを有するハイブリッドフローティングゲートセルは、例えば、IEEE Electron Device Letters Vol.33, no.3, March 2012, page 333-335 の中の、P. Blomme らによる、"Hybrid floating gate cell for sub-20-nm N AND flash memory technology"に記載されている。

【0005】

この参考文献では、選択されたインターゲート誘電体は、アルミニウム酸化物 (Al_2O_3) であり、k 値は約 8 であった。しかしながら、カップリング比を大きくし、更なる電圧の低下を可能にするために、より高い k のインターゲート誘電体が必要とされる。電荷損失と、プログラミング動作中にインターゲート誘電体を電荷が通ることによるプログラム飽和を避けるために、インターゲート誘電体はまた、低いリークを有する必要がある。この目的を達成するために、high-k/low-k 材料の組み合わせが、プログラム中にフローティングゲート側でトンネル距離を増加させることで、インターゲート誘電体を通る電荷の流れを低減する。

【0006】

US-B-7989871 は、基板上に積み上げられるような順に配置された基板、トンネル誘電体、フローティングゲート、界面層、インターゲート誘電体、およびコントロールゲートを含む不揮発性メモリデバイスの具体例を示す。多くの材料の組み合わせが、それらのデバイスについて層の膜厚とともに記載されている。

【発明の概要】

【0007】

デバイスのプログラム飽和が影響されないような改良されたデバイス特性を有する不揮発性メモリデバイスを提供することが本発明の目的である。

【0008】

本発明の 1 つの形態では、不揮発性メモリデバイスであって、
基板と、
基板の上に形成されたトンネル誘電体層と、
トンネル誘電体層の上に形成されたフローティングゲート構造と、
フローティングゲート構造の上に形成された少なくとも第 1 界面層と、
第 1 界面層の上に形成されたインターゲート誘電体構造と、
インターゲート誘電体構造の上に形成されたコントロールゲート構造と、を含み、
インターゲート誘電体構造は、少なくとも第 1 層、第 2 層、および第 3 層を含み、第 1 層は第 1 界面層の上に形成されてコントロールゲート構造は第 3 層の上に形成され、第 1 層と第 3 層は、それらに挟まれた第 2 層より高い k 値を有し、
第 1 界面層は、第 1 界面層を横切る電位降下が所定の値より低くなるような膜厚を有する高い k 値の材料を含む、不揮発性メモリデバイスを提供する。

【0009】

フローティングゲートとインターゲート誘電体構造との間の、特別に設計された high-k 第 1 界面層と共に、3 層のインターゲート誘電体構造を提供することにより、従来技術のデバイスに関連する問題を有することなく、プレーナー不揮発性メモリデバイスにおいて、カップリング比が最適化できる。

【0010】

好適には、フローティングゲート構造は、少なくとも第 1 の下部層と第 2 の上部金属層とを有するハイブリッドフローティングゲート構造を含む。

【0011】

1 の具体例では、インターゲート誘電体構造の第 1 層および第 3 層は、アルミン酸ハフニウム層を含んでも良い。インターゲート誘電体構造の第 2 層は、酸化アルミニウム層と

酸化シリコン層の1つを含んでも良い。酸化アルミニウム層はアニールされて結晶層を形成しても良いし、またはアモルファス層を含んでも良い。

【0012】

当然のことながら、high-k/low-k/high-k層のスタックを含むインターゲート誘電体構造を有することにより、high-k層は、フローティングゲート構造とコントロールゲート構造との双方に存在する。

【0013】

第1界面層は、好適には、インターゲート誘電体構造の第1層より高いk値の誘電体材料を含む。それは、隣接するフローティングゲート構造の第2層の金属元素を含んでも良い。

10

【0014】

有利には、第1界面層は電氣的に透明で、不揮発性メモリデバイスのプログラム飽和に影響しない。

【0015】

更に、第2界面層は、インターゲート誘電体構造とコントロールゲート構造との間に配置するように形成されても良い。第2界面層は、好適には、インターゲート誘電体構造の第3層より高いk値の誘電体材料を含む。それは、隣接するコントロールゲート構造の金属元素を含んでも良い。

【0016】

第1界面層および第2界面層のそれぞれは、1nmより小さい膜厚を有することが好ましい。第1界面層および第2界面層のそれぞれの膜厚は、0.1nmから0.7nmの範囲内でも良い。

20

【0017】

不揮発性メモリデバイスの面する面積(facing area)は増加し、カップリング比の低下が無いことが、本発明の具体例の長所である。

【0018】

本発明の他の形態では、先の請求項のいずれかにかかる不揮発性メモリデバイスの製造方法が提供され、この方法は、

- a) 半導体基板の上にトンネル誘電体層を形成する工程と、
- b) トンネル誘電体層の上にフローティングゲート構造を形成する工程と、
- c) フローティングゲート構造の上に第1界面層を形成する工程と、
- d) 界面層の上にインターゲート誘電体構造を形成する工程と、
- e) インターゲート誘電体構造の上にコントロールゲート構造を形成する工程と、を含み、

30

工程d)は、更に、

d1) 少なくとも第1層、第2層、および第3層としてインターゲート誘電体構造を形成する工程と、

d2) 第1層および第3層は、high-k誘電体材料を含み、第2層は、第1層および第3層より低いk値を有する誘電体材料を含むように、第1層、第2層、および第3層のそれぞれの材料を選択する工程と、を含み、

40

工程c)は、第1界面層の材料が、high-k誘電体材料になるように選択する工程を含む。

【0019】

工程c)は、インターゲート誘電体構造の第1層を形成する一部として、第1界面層を形成する工程を含んでも良い。代わりに、第1界面層は、異なるプロセスで分離して堆積されても良い。

【0020】

この方法は、更に、工程e)の前に、工程f) インターゲート誘電体構造の上に第2界面層を形成する工程を含んでも良い。

【0021】

50

工程 f) は、インターゲート誘電体構造の第 3 層を形成する一部として、第 2 界面層を形成する工程を含んでも良い。代わりに、第 2 界面層は、異なるプロセスで分離して堆積されても良い。

【図面の簡単な説明】

【0022】

本発明をより良く理解するために、例示の方法で、以下の添付図面について触れる。

【0023】

【図 1】インターゲート誘電体構造または 3 層を含むスタックを有する本発明にかかる不揮発性メモリデバイスの 1 つの具体例の模式図である。

【図 2】図 1 と類似であるが、インターゲート誘電体構造またはスタックと、コントロールゲートとの間に追加の界面層を含む。

【図 3】界面層を有さない不揮発性メモリデバイスのエネルギーバンドダイアグラムの模式図である。

【図 4】図 3 の、フローティングゲート構造とインターゲート誘電体構造との間の界面領域の拡大図である。

【図 5】本発明にかかる不揮発性メモリデバイスのエネルギーバンドダイアグラムの模式図である。

【図 6】図 5 の、フローティングゲート構造とインターゲート誘電体構造との間の界面領域の拡大図である。

【図 7】図 5 の、インターゲート誘電体構造とコントロールゲート構造との間の界面領域の拡大図である。

【図 8】低い k の界面層を有する不揮発性メモリデバイスのエネルギーバンドダイアグラムの模式図である。

【図 9】図 8 の、フローティングゲート構造とインターゲート誘電体構造との間の界面領域の拡大図である。

【図 10】シリコン／窒化チタン (Si/TiN) ハイブリッドフローティングゲートと、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO_2)、またはアルミン酸ハフニウム (HfAlO) を含むインターゲート誘電体構造とを備えたキャパシタのプログラム／消去特性を示すグラフである。

【図 11】プログラミング動作中の、 $\text{high-}k/\text{low-}k$ を有するインターゲート誘電体構造のバンドダイアグラムを示す。

【図 12】プログラミング動作中の、 $\text{high-}k/\text{low-}k$ を有するインターゲート誘電体構造のバンドダイアグラムを示す。

【図 13】窒化チタン電極の間に挟まれた全等価酸化膜厚が 6.5 nm のインターゲート誘電体スタックを通る Fowler-Nordheim トンネル電流シミュレーションのグラフである。

【図 14】3 層インターゲート誘電体スタックの、徐々に増加するステップパルスのプログラム／消去特性を示すグラフである。

【図 15】酸化アルミニウムと比較した、異なるインターゲート誘電体スタックの、徐々に増加するステップパルスのプログラム／消去特性を示すグラフである。

【図 16】125 °C の加熱温度における、図 15 のインターゲート誘電体スタックの、対応する保持特性を示すグラフである。

【図 17】異なる膜厚の組み合わせを有する例示的インターゲートスタックのキャパシタの、徐々に増加するステップパルスのプログラム／消去特性を示すグラフである。

【図 18】減少した膜厚を備えた、図 10 の例示的なインターゲートスタックを有するキャパシタの、125 °C における保持を示すグラフである。

【図 19】インターゲートスタックの 2 つのタイプの層の、サイクル耐久特性を示すグラフである。

【図 20】フローティングゲート構造とインターゲート誘電体構造またはスタックとの間、および／またはインターゲート誘電体構造とコントロールゲート構造との間に、異なる

10

20

30

40

50

界面層を有する構造の、徐々に増加するステップパルスのプログラム／消去特性の間の比較を示すグラフである。

【発明の開示】

【0024】

本発明は、特定の具体例とともに、所定の図面を参照しながら記載されるが、発明がこれに限定されるものではない。記載された図面は単に模式的であり、限定的では無い。図面において、図示目的で、いくつかの要素の大きさは誇張されて、縮尺通りではない。

【0025】

ここで使用される「上の」、「下の」、「上」、「下」、「縦の」、および「横の」のような用語は、図面中に記載された具体例の方向をいい、特定の構造に限定することを意図するものではない。

10

【0026】

ここで使用される「H/A/H」（または「HAH」）の用語は特定のインターゲート誘電体（IGD）スタックまたは構造をいい、ここでHはアルミン酸ハフニウム（HfAlO）を表し、Aは酸化アルミニウム（Al₂O₃）を表す。一般に、「A」層は、堆積後のアニール（PDA）で1000℃の温度に晒される。H/A/H IGD構造またはスタックは、このように、HfAlO層の間に挟まれたアニールされたAl₂O₃層を含む。

【0027】

ここで使用される「HaH」の用語は、特定のIGDスタックまたは構造をいい、ここでHはHfAlOを表し、AはAl₂O₃を表す。一般に、「A」層はPDAには晒されず、アモルファス状態である。HaH IGD構造またはスタックは、このように2つのHfAlO層に挟まれたアモルファスAl₂O₃の層を含む。

20

【0028】

ここで使用される「H/O/H」（または「HOH」）の用語は、特定のIGDスタックまたは構造をいい、ここでHはHfAlOを表し、Oは酸化シリコン（SiO₂）を表す。H/O/H IGD構造またはスタックは、このようにHfAlO層の間に挟まれたSiO₂層を含む。

【0029】

ここで使用される「A/H/A」（または「AHA」）は、特定のIGDスタックまたは構造をいい、ここでAはAl₂O₃を表し、HはHfAlOを示す。AHA IGD構造またはスタックは、このように2つのアニールされたAl₂O₃層の間に挟まれたHfAlO層を含む。

30

【0030】

ここで使用される「AHa」、「aHA」、または「aHa」の用語は、特定のIGDスタックまたは構造をいい、ここでAはPDA Al₂O₃を表し、aはアモルファスAl₂O₃を表し、HはHfAlOを表す。この場合、HfAlO層は、1つのアモルファスと1つのアニールされたAl₂O₃層の間、または2つのアモルファスAl₂O₃層の間に挟まれる。

【0031】

ここで使用される「high-k誘電体」または「high-k材料」は、SiO₂の誘電率より高い、すなわちk>3.9の誘電率kを有する誘電体材料をいう。high-k誘電体材料は、SiO₂に比較して、ずっと薄いSiO₂層で得られるのと同じ実効容量を得るために、より大きな物理的膜厚を可能にする。

40

【0032】

ここで使用される「Low-k誘電体」または「Low-k材料」は、SiO₂の誘電率と同じかそれより小さい、すなわちk≤3.9の誘電率kを有する誘電体材料をいう。

【0033】

ここで使用される「k値」は、誘電体材料の誘電率をいい、高いまたは低いk値を有する誘電体材料をそれぞれ呼ぶ場合には、高いk値または低いk値と表しても良い。

50

【0034】

ここで使用される「より高いk値」および「より低いk値」の用語は、特定のk値を有する他の材料と比較した場合の相対的なk値をいう。

【0035】

ここで使用される「モノレイヤ (monolayer)」は、表面上に堆積された、原子または分子の、単層の、最密層 (closely packed layer) をいう。「数モノレイヤ (a few monolayer)」の用語は、表面上に一緒に堆積された、いくつかのモノレイヤをいう。

【0036】

最初に図1を参照すると、本発明の1つの具体例にかかる不揮発性メモリ (NVM) デバイス100が示されている。NVM100は、その上にトンネル誘電体層110が形成された半導体基板105を含む。フローティングゲート (FG) 構造120は、トンネル誘電体層110の上に形成される。FG構造120は、底部層125と上部金属層130とを含む。第1境界面140は、FG構造120の上部金属層130の上に形成される。第1界面層140は、所定のk値と所定の膜厚とを有する第1high-k誘電体材料を含む。

10

【0037】

インターゲート誘電体 (IGD) 構造は、第1界面層140の上に形成される。IGD構造150は、第1界面層140の上に形成された第1層155、第1層155の上に形成された第2層160、および第2層155の上に形成された第3層165を含む。第2層155は、第1層155と第3層165との間に効果的に挟まれる。第2層160は、例えばSiO₂層である第1層155および第3層165の誘電体材料より低いk値を有する誘電体材料を含む。コントロールゲート (CG) 構造170は、IGD構造150の上に形成される。

20

【0038】

第1界面層140と、IGD構造150中の層155、160、165は、それらのk値と膜厚が注意深く選択されて、NVMデバイス100のための適切なバンドギャップを提供する。異なる層のk値は、それらのバンドギャップに相互に関連し、k値が高いほどバンドギャップは小さくなる。

【0039】

さらに、第1界面層140は、NVM100のプログラム飽和に影響しないように、電氣的に透明でなければならない。この点において、第1界面層140の膜厚は、数モノレイヤより大きくてはいけなく、そのk値は高く、即ち3.9より大きくなければならない。

30

【0040】

第1界面層140の調整は、IGD構造150の第1 (high-k) 層155の堆積を注意深く調整することで可能となる。例えば、もし、IGD構造150の第1層155がHfAlOを含む場合、第1界面層を形成するための、原子層堆積 (ALD) プロセスはAl₂O₃サイクルから始める (および／または終わる) 必要がある。この特別のプロセスにより、酸化ハフニウム (HfO₂) の存在により、欠陥のない界面層が形成され、高品質のhigh-k界面層が形成される。

40

【0041】

1つの具体例では、チタン (Ti) がAl₂O₃中に相互拡散することにより、Al₂O₃は、アルミニウム-チタン-酸化物 (Al-Ti-O) の形成を促進する。一方、HfO₂は、Al₂O₃に比較して、窒化チタン (TiN) 中への酸素の内部拡散 (in-diffusion) を促進する傾向にある。この酸素の内部拡散は、HfO₂中への窒素 (N) の滑らかな外部拡散 (out-diffusion) とともに進む。

【0042】

例えばSiO₂を含むような、low-kベースの界面層が双方のフローティングゲートとして形成され、コントロールゲートは金属層により形成されることが、本発明の長所である。

50

【0043】

FG構造120とIGD構造150の第1層155との間の界面層140での電位降下が0.5 eVより小さいことが、本発明の長所である。これは、フローティングゲート金属の仕事関数、即ちFDG構造120の上部金属層130の仕事関数を大きくすることにより達成される。

【0044】

1つの具体例では、IGD構造150の第1層155を形成するためのALDプロセス中、または少なくとも第1サイクルにより、第1界面層140が堆積されても良い。この具体例では、第1界面層140はこのように、IGD構造150の形成とともに、ALDチャンバ中で、その場形成される。

【0045】

代わりに、他の具体例では、第1界面層140は、IGD構造の形成前に形成されても良い。この具体例では、第1界面層は、このように、IGD構造150の堆積プロセスとは分離された、または他の堆積プロセスで形成される。

【0046】

上述のように、IGD構造150は、high-k/low-k/high-k層のスタックを含み、これは、FG構造120とCG構造170の双方の側にhigh-kが存在することを意味する。CG構造の下第3のhigh-k層165は、消去飽和の問題を解決する。FG構造120の上、より特別には第1界面層140の上、第1high-k層155は、プログラム飽和の問題を解決する。

【0047】

FG構造120とIGD構造150との間に第1界面層140を組み合わせることは、10 nmテクノロジノードを超える程度まで、不揮発性メモリデバイスを平坦化できるために必要である。FG構造120と接続されたlow-k層が無いハイブリッドフローティングゲート(HFG)を含むプレーナー不揮発性メモリデバイスのために、1に等しい面積ファクター(AF)が目的とされる。

【0048】

本発明の更なる具体例では、不揮発性メモリデバイスは、さらに、第2界面層を含んでも良い。そのようなデバイスは図2に示される。

【0049】

図2では、IGD構造150の上部または第3層165と、CG構造170との間に配置された第2界面層180を有する以外は、図1に示されたNVMデバイス100と同一のNVMデバイス100'が示される。第2界面層180は、第2の所定のk値と第2の所定の膜厚とを有する第2high-k誘電体材料を含む。

【0050】

上述のように、本発明のキーは、それぞれの界面層140、180のk値と膜厚の慎重な選択にある。第1および第2の所定のk値は、IGD構造150に隣接する層より高くなる必要がある、換言すれば、第1界面層140のhigh-k値は、IGD構造150の第1層155のk値より高くなければならず、および第2界面層180のhigh-k値は、IGD構造150の第3層165のhigh-k値より高くなければならない。

【0051】

上述のように、異なる層(界面層とIGD構造層の双方)のk値は、それらの層のバンドギャップに対応し、k値が高いほどバンドギャップは小さくなる。

【0052】

さらに、第1界面層140および第2界面層180の双方は、その一部を形成するNVM100'のプログラム飽和に影響しないように、電氣的に透明でなければならない。それゆえに、それぞれの界面層の膜厚は、数モノレイヤより厚くてはならず、それぞれの界面層のk値は高くなければならない。

【0053】

1つの具体例では、第2界面層180は、IGD構造150の第3層165を形成する

10

20

30

40

50

ためにA L Dプロセス中、または少なくとも最後のサイクルにより堆積しても良い。第2界面層180は、このように、I G D構造150を形成しながら、A L Dチャンバ中でその場形成される。

【0054】

図2に示すように、N V Mデバイス100'の形成では、それゆえに、界面層140、180の双方が、I G D構造150を形成するためのA L Dプロセスの一部として形成されても良い。この場合、第1界面層140は、第1層155の形成の一部として形成され、第2界面層180は、第3層165の一部として形成される。これは、N V MデバイスをA L Dチャンバから取り除くことなく、条件を慎重にコントロールできるという利点を有する。

10

【0055】

代わりに、他の具体例では、第1および／または第2の界面層は、分離して、または他の堆積プロセスで形成されても良い。この具体例では、界面層140、180は、I G D構造150の形成前および／または後に形成されても良い。

【0056】

図3は、界面層は無いが、上述のような3層I G D構造を有するN V Mデバイスの、デバイスの下から上への断面、即ち基板からコントロールゲートへのエネルギーバンドダイアグラムを模式的に表す。上述のN V Mデバイス100、100'の層に対応する構成要素は、同じように参照される。上方の線「V」は、価電子帯 E_v に対応し、N V Mデバイス中の正孔のポテンシャルエネルギーのプロファイルを表す。下方の線「C」は、伝導帯 E_c に対応し、電子のポテンシャルエネルギーのプロファイルを表す。図示したように、F G構造120とI G D構造150中の間に界面領域200がある。界面領域200中の線「V」の拡大図を図4に示す。これは、界面層が無い場合、電位降下の無いような理想的な理論的状况を示す。しかしながら、実際、そのような配置は現実的ではない。

20

【0057】

図5は、図3と類似しているが、図2に示された具体例にかかる、第1界面層140と第2界面層180とを有する不揮発性メモリデバイスのエネルギーバンドダイアグラムを示す。上述のように、線「V」と「C」は、それぞれ価電子帯 E_v と伝導帯 E_c を示し、それらは、それぞれ正孔と電子のエネルギープロファイルである。F G構造120とI G D構造150との間の第1界面領域210は、第1界面層140を含み、I G D構造150とC G構造170との間の第2界面領域220は、第2界面層180を含む。第1界面領域200中の線「V」の拡大図を図6に示す。同様に、第2界面領域220中の線「V」の拡大図が、図7に示される。

30

【0058】

図6から、F G構造120とI G D構造150との間に、h i g h - k 界面誘電体層を用いることにより、小さな電圧降下が明らかに見られる。電圧降下は、0.5 e Vより小さくあるべきで、それはF G構造120とI G D構造150との間に、I G D構造150の第1層155より高いk値を有するh i g h - k 界面誘電体層を用いる場合である。

【0059】

当然のことながら、図5および図6に示される界面領域210は、図1に示される本発明の具体例にも適用可能である。

40

【0060】

図7は、I G D構造150とC G構造170との間に、h i g h - k 界面誘電体層を用いることにより得られた小さな電圧降下を示す。

【0061】

図8は、図5と類似しているが、例えば $S i O_2$ ($k=0$) のようなl o w - k 界面層140を有するF G構造を曾根得たN V Mデバイスのエネルギーバンドダイアグラムの模式図を示す。上述のように、ポテンシャルエネルギーのプロファイルは、正孔（線「V」）と電子（線「C」）を表す。界面領域210'、220'は、図9に、界面領域210'の拡大図が示される。ここで、図5、6と比較した場合、I G D構造150のエネルギ

50

バリアが大きく減少していることが分かる。これは、界面層 140 を横切る電圧／エネルギーの低下のためである。プログラム飽和がより低いプログラミング電圧条件に達し、これにより、より k が高い界面層 140 を有する NVM デバイスのプログラミングウインドウに比較してプログラミングウインドウが狭くなるため、これは好ましく無い。

【0062】

図 3～9 に示される全てのエネルギーバンドダイアグラムに対して、以下の値が使用される。

【0063】

トンネル誘電体層 110 中の電界 E_{td} は、典型的には 8 mV/cm と 15 mV/cm との間の範囲を有する。第 1 界面層の物理的膜厚 t (IL) は 0.5 nm である。界面層の比誘電率 k (IL) は 50 である。

10

【0064】

本発明の 1 の具体例では、界面層 140、180 のそれぞれにおける電位降下が 0.5 eV より低くなるように、第 1 界面層 140 の第 1 の所定膜厚、第 2 界面層 180 の第 2 の所定膜厚、第 1 界面層 140 の high- k 誘電体材料の第 1 の高い k 値、第 2 界面層 180 の high- k 誘電体材料の第 2 の高い k 値、の少なくとも 1 つが選択される。

【0065】

加えて、第 1 および／または第 2 の界面層のそれぞれの第 1 および／または第 2 の所定の膜厚は、 1 nm より小さい、特に、それぞれの界面層 140、180 は、数モノレイヤのみを含み、特に約 0.1 nm から 0.7 nm の範囲の膜厚を有する。

20

【0066】

本発明の他の具体例では、第 1 および第 2 の界面層 140、180 は、IGD 構造 150 の第 1 層 155 および第 3 層 156 のそれぞれで、互いに異なる high- k 誘電体材料を含む。

【0067】

第 1 および第 2 の界面層 140、180 は、以下の材料： Al_2O_3 、 HfO_2 、 HfAlO_x 、酸化ジルコニウム (ZrO_2)、酸化バリウム (BaO)、ニ酸化チタン (TiO_2)、チタニウムアルミニウム酸化物 (TiAlO)、酸化スカンジウム (Sc_2O_3)、酸化ガドリニウム (Gd_2O_3)、酸化イットリウム (Y_2O_3)、酸化ランタン (La_2O_3)、全ての希土類酸化物 ($(\text{Ba}, \text{Sr}), (\text{Ti}, \text{Zr})\text{O}$ 等、から選

30

【0068】

加えて、それぞれの界面層は、関連金属層からの金属元素を含んでも良く、例えば、第 1 界面層は FG 構造 120 の第 2 金属層 130 の金属元素を含んでも良く、第 2 界面層 180 は CG 構造 170 の金属元素を含んでも良い。

【0069】

本発明の具体例では、FG 構造 120 の上部金属層 130 は、例えば、 TiN 、窒化タantal (TaN)、ルテニウム (Ru)、酸化ルテニウム (RuO_x)、ルテニウムタantal ($\text{Ru}_x\text{Ta}_{1-x}$)、チタンタantalアルミニウム窒化物 ($(\text{Ti}, \text{Ta})\text{AlN}$)、チタンアルミニウムハフニウム窒化物 ($(\text{Ti}, \text{Al}, \text{Hf})\text{N}$)、白金 (Pt)、イリジウム (Ir)、酸化イリジウム (IrO_x)、タングステン (W)、炭化ハフニウム (HfC)、炭化タantal (TaC)、炭化アルミニウム (AlC)、窒化ニオブ (NbN)、モリブデン (Mo)、酸化モリブデン (MoO_x)、酸窒化モリブデン (MoO_xN_y)、パラジウム (Pd)、コバルト (Co)、ニッケル (Ni) を含んでも良い。

40

【0070】

本発明にかかる例示的な NVM デバイスは、 Si 半導体基板上に SiO_2 トンネル誘電体層を含む。少なくとも上部 TiN 金属層を有する FG 構造は、 SiO_2 トンネル誘電体層の上に形成される。酸化アルミニウム (Al_xO_y) を含む第 1 界面層は、FG 構造の上部金属層の上に形成される。IGD 構造は、少なくとも Al_xO_y 含有界面層の上の第 1 HfAlO 層、第 3 HfAlO 層、および第 1 HfAlO 層と第 3 HfAlO 層との間

50

に挟まれた SiO_2 または Al_2O_3 の第2層を含み、界面層の上に形成される。そのように形成された IGD 構造は、HOH および HAH（または HaH）構造のそれぞれを含む。CG 構造は、IGD 構造の上に形成される。第1界面層は、隣接する第1 HfAlO 層より高い k 値を有する。

【0071】

上述のように、他の例示的 NVM デバイスでは、 Al_xO_y を含む第2界面層は、IGD 構造の第3 HfAlO 層と CG 構造との間に存在する。第2界面層は、隣接する第3 HfAlO 層より高い k 値を有する。

【0072】

本発明は、また、NVM デバイスを形成するための例示的な方法に関する。この方法は、半導体基板上にトンネル誘電体層を形成する工程と、少なくとも上部 TiN 金属層を有する FG 構造を、トンネル誘電体層の上に形成する工程と、所定の第1膜厚と所定の第1 k 値を有する high-k 誘電体材料を含む第1界面層を、上部金属層の上に形成する工程と、少なくとも第1界面層の上の第1層と、第3層と、第1層と第3層との間に挟まれて、第1層と第3層の誘電体材料より低い k 値を有する誘電体材料を含む第2層とを含む IGD 構造を界面層の上に形成する工程と、IGD 構造の上に CG 構造を形成する工程とを含む。

【0073】

上述のように、第2界面層は、また、IGD 構造の第3層と、CG 構造との間に形成されても良い。

【0074】

TiN 金属層が FG 構造の上部金属層として使用される特定の例では、上部金属層と IGD 構造の第1層との間に形成された界面層は、Ti-O 系層を含んでも良い。 TiO_2 は、（多形体に依存して）80 より大きな k 値を有する。しかしながら、IGD 構造の第1層の誘電体元素との反応／相互拡散もより、界面層は、その k 値を低減するいくつかの欠陥を含む。しかしながら、k 値は、IGD 構造の第1層の k 値より小さくはならない。

【0075】

TiN について上述したが、当然のことながら、金属層として他の金属を使用することができる。

【0076】

1 の例では、IGD 構造は、キャパシタの流れの中で、ALD により堆積された3つのフィルム層を含む。8.5 nm のその場スチーム形成 (in-situ steam generation: ISSG) された SiO_2 トンネル酸化物の上に、HFG（即ち、例えば 5 nm TiN の上部層を有する 2 nm Si の下部層のような、上部金属層を有する FG 構造）が物理気相堆積 (PVD) で堆積されて、その後にはパターニングされる。IGD 堆積とアニールの後、CG 構造は、10 nm PVD-TiN と、それに続く、720 °C で堆積されて、850 °C で活性化された 75 nm の poly-Si から形成され、これは最も低い熱バジェットを既定する。 Al_2O_3 IGD 構造を用いて、1000 °C、1 分の、窒素 (N_2) 中でのポスト堆積アニール (PDA) の後に、最良の結果が得られた。これは参照 IGD 構造として使用され、様々な high-k IGD 単層やスタック: HfO_2 、 HfAlO 、 Al_2O_3 - HfAlO - Al_2O_3 (AHA)、 HfAlO - Al_2O_3 - HfAlO (HaH、HaH)、 HfAlO - SiO_2 - HfAlO (HOH) と比較される。

【0077】

IGD 構造として使用される、例えば、 Al_2O_3 、 HfO_2 、 HfAlO 単層のような異なる high-k 誘電体材料は、異なる性質を有する。プログラムおよび消去特性は、大きさの増加する正（負）のパルスを用いた後に、フラットバンド電圧 (V_{fb}) のシフト ($V_{fb}-V_{fb0}$) を測定することで評価された。この手続きは、インクリメンタルステップパルスプログラミング (incremental step pulse programming: ISPP) またはインクリメンタルステップパルスイレーシング (incremental step pulse erasing: ISPE) と呼ばれる。パルス時間は、プログラミングに対して 100 μs 、消去に対

して1msであった。IGD構造を通る無視できる程度の電流とともに、HFG構造中に電荷が注入されることにより、 $(V_{fb}-V_{fb0})$ が引き起こされる限り、図9に示すように、特性は、ISPPとISPEのスロープにより示された1:1の関係を有する。

【0078】

図10では、 Al_2O_3 、 HfO_2 、および $HfAlO$ 層のための結果が、黒い丸、四角、および三角で示される。それらの結果は、 Al_2O_3 については線300、310で、 HfO_2 については線320、330、 $HfAlO$ については線340、350で表される。 Al_2O_3 および HfO_2 のISPPスロープは線360で表され、 $HfAlO$ のISPPスロープは線370で表される。図示しないが、当然のことながら同様のスロープが、ISPEでも描かれる。

10

【0079】

しかしながら、より大きな V_{fb} では、IGD構造を通る電流は重要となり、IGD構造中の電荷トラップに繋がる。これは、 V_{fb} シフトがよりゆっくり増加し、ISPPまたはISPEスロープは1:1より低くなる飽和レジームに対応する。このレジームでは電荷がIGD構造に注入されるため、信頼性に影響することが考えられ、スロープが平坦になる前の最大 V_{fb} シフトとして、有用なメモリウインドウが考慮されるべきである。

【0080】

単層 Al_2O_3 IGD構造の場合（黒い丸）、メモリウインドウは、それゆえに、図10に示すように、 $\pm 4V$ である。信頼性や、プログラムされたレベルの分布が良好に分離されるようにする障害マージンを考慮すると12Vは必要となるマルチレベル動作にとっては、これは低すぎる。

20

【0081】

単層 $HfAlO$ IGD構造の場合（黒い三角）、典型的には19程度である高い k 値を有する $HfAlO$ のために、プログラム／消去電圧はより低い。メモリウインドウは若干良好で、飽和前において $\pm 5V$ である。

【0082】

単層 HfO_2 IGD構造の場合（黒い四角）、飽和が非常に早く起き、直ぐにブレイクダウンする。これは、HFG構造中の TiN 層との界面が貧弱でその層を通る大きなリークのためであり、そしてマイクロクリスタル（単斜晶系）構造のためであり、そして850℃での高温活性化アニールにより双方は拡大される。そのような熱バジェットは、セルの集積の観点からは避けるのが困難であり、IGD構造またはスタックで、 HfO_2 を単独で使用するようになる。

30

【0083】

TiN とのより良好な界面を示すには、より低い結晶性および高い k 値の $HfAlO$ がIGD構造にふさわしいが、ウインドウはなおも限定される。 Al_2O_3 と同様の値の高い電圧を犠牲して、等価酸化膜厚（EOT）を増加させることにより、ウインドウは更に広くできるが、すべてのセルの寸法縮小のために有害な、非実現的に厚いIGD構造と成る。

【0084】

IGDリークを制限し、これにより大きすぎるIGD膜厚なしに飽和レジームを遅らすための解決方法は、 $high-k/low-k$ 材料の好ましい組み合わせを使用することである。 HfO_2 の貧弱な特性を考慮すると、 $HfAlO$ は $high-k$ 層（約19）として選択され、 Al_2O_3 は $low-k$ 層（約9）として選択される。図11と図12のそれぞれに示された $low-k/high-k/low-k$ および $high-k/low-k/high-k$ の双方の形態について、3層IGD構造で、期待されるリーク特性を比較するために、Fowler-Nordheimトンネリング（FNT）シミュレーションが使用された。

40

【0085】

図11および図12では、シミュレーションされたエネルギーバンドダイアグラムが、2つの形態について、IGD構造を通る断面で示される。図11では、 $high-k/low-k$

50

low-k/high-k形態の領域が400、410、420でそれぞれ示され、図12では、low-k/high-k/low-k形態の領域が、450、460、470で示される。シミュレーションされた、IGD構造またはスタックを通るエネルギー/電圧特性は、図11に430で表すように、注入界面にhigh-k層(HfAlO)を有することで、リーク電流を低減することを示す。これは、増加したトンネル距離による。一方、注入界面に配置されたより低いバンドギャップ層(Al_2O_3)である、図12に480で表されたlow-kは、この層が非常に薄い場合、注入電流の増加を示す。これは、("VARIOT: a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory device", IEEE Electron Device Letters, Vol. 24, Issue 2, pages 99-101, February 2003, B. Govoreanuらの文献名で記載されるように) variot効果がIGD構造を通る注入を推進するからである。この場合、第1および最後の Al_2O_3 層は十分な膜厚であることが必要であるが、その場合でさえも、単層 Al_2O_3 IGD構造に比較して、小さな利点が期待された。

10

【0086】

図13は、TiN電極の間に挟まれた6.5nm全EOTのIGD構造を通る電流シミュレーションの結果を示す。シミュレーションパラメータは以下の通りである。即ち、HfAlO層は、TiNに対して2.45eVのバリアを備えたk値19を有し、 Al_2O_3 は、TiNに対して2.85eVのバリアを備えたk値9を有する。3つの3層IGD構造、即ち、線500で表された10nm/5nm/10nmの層膜厚を有するHaH(黒い丸)、線510で表された5nm/10nm/5nmの層膜厚を有するAHa(黒い三角)、線520で表された3nm/18nm/3nmの層膜厚を有するAHa(黒い逆三角)が、線530で表された単層 Al_2O_3 15nm構造(黒い四角)と比較された。

20

【0087】

HfAlO/ Al_2O_3 /HfAlO(Al_2O_3 +1000°C PDAを有するHAH)、HfAlO/ Al_2O_3 /HfAlO(Al_2O_3 PDA無しのHAH)、および Al_2O_3 /HfAlO/ Al_2O_3 (Al_2O_3 +1000°C PDAと、 Al_2O_3 PDA無しの双方を有するAhaの様々なスタックが、以下の表1にかかるIGD構造として堆積された。異なる層の膜厚は、単層17nm Al_2O_3 参照のEOTに合うように選択された。

【0088】

30

【表1】

IGD	層タイプ	膜厚 (nm)	PDA 細部 (°C)
Al_2O_3	AHa	5	1000
HfAlO		10	800
Al_2O_3		5	-
HfAlO	HaH	10	800
Al_2O_3		5	-
HfAlO		10	800
HfAlO	HAH	10	800
Al_2O_3		5	1000
HfAlO		10	800

40

【0089】

表1の3つのIGD構造について、界面は、HFG構造のTiNとCG構造との間と同様に、HfAlO層と Al_2O_3 層との間に明確に定義された。HfAlO層は、800°CのPDAプロセス中の収縮により約8nm膜厚となった。

【0090】

図14は、単層 Al_2O_3 IGD参照構造と比較した、3層構造またはスタックのISP PおよびISPE特性を示す。 Al_2O_3 IGD参照構造は、線600(黒い四角)で

50

表され、A h a 構造は線 6 1 0（黒い丸）で表され、H a H 構造は線 6 2 0（白い三角）で表され、そして H A H 構造は線 6 3 0（黒い三角）で表される。

【0091】

実験結果は、シミュレーションを裏付ける。A l ₂ O₃ I G D 参照構造に対して、プログラム／消去（P／E）ウインドウの大きな改良が得られた。そのような構造の低いリークにより、飽和が起きる前に、1：1の I S P P スロープレジームは 9 V のプログラムされた V f b シフトまで拡張される。全体の P／E ウインドウは、H a H 構造中のように、中央の A l ₂ O₃ がアモルファス（P D A 無し）に保たれた場合に、18 V まで大きくできる。一方、A H a 構造では利点が制限される。A l ₂ O₃ I G D 参照構造に対して、僅かに改良される。なぜならば、スタックの A l ₂ O₃ 層は十分に薄く作製されてバリオット効果（variot effect）を避け、中央の H f A l O 層は I G D リークの減少を助けるからである。

【0092】

h i g h - k / l o w - k / h i g h - k 形態は、H a H スタックと類似した E O T を目指す、S i O₂ を中央層とした、H f A l O - S i O₂ - H f A l O（H O H）でも得られる。明確に規定された H f A l O と S i O₂ との間の界面が観察された。

【0093】

図 1 5 と図 1 6 は、I S P P および I S P E（図 1 5）と保持力（図 1 6）に関して、異なるスタックの基準を示す。図 1 5 では、（線 7 0 0 と 7 1 0 で表される）H O H 構造の I S P P と I S P E 特性は、（線 7 2 0 および 7 3 0 で表される）単層 A l ₂ O₃ と比較した場合、1：1 スロープレジームの拡張を可能とし、これにより他の材料を用いた様々な h i g h - k / l o w - k / h i g h - k 層 I G D 構造を確認する。しかしながら、H O H スタックの E O T が（線 7 4 0 および 7 5 0 で表される）H a H 構造と類似していても、早くブレイクする傾向にあり、これにより、H a H 構造に比較してより限定されたウインドウとなる。（線 7 6 0 および 7 7 0 で表される）H A H 構造が、比較のために示される。

【0094】

図 1 6 では、図 1 5 の線と同様に、線に数字を付したが、数字の頭が「7」の代わりに「8」になっている。H A H の場合（中央 A l ₂ O₃ 後に 1 0 0 0 °C P D A）を除いて、保持力試験は、125 °C 程度のベーク温度で無視可能な電荷損失を示した。この高い温度が底部 H f A l O 層の多すぎる結晶が引き起こし、この結果わずかに保持特性が劣化するものと考えられる。

【0095】

ありうる H a H 構造またはスタックを同定することで、膜厚の小型化が調査された。結果が図 1 7 に示される。それぞれの H a H 構造またはスタックに対して、試験された膜厚および E O T が、比較参照番号と共に以下の図 2 に示される。

【0096】

【表 2】

膜厚 (nm)			EOT (nm)	参照番号
H	a	H		
8	5	8	6.6	900, 910
8	5	4	5.3	920, 930
4	5	4	4.5	940, 950
6	4	4	4.7	960, 970

【0097】

もちろん、プログラム電圧の小型化のために、より良好なカップリングが必要である（I G D 構造のより低い E O T）。加えて、狭いピッチのアレイに集積された場合、漏れ磁場（fringing field）の問題に対して、スタックの物理的膜厚は厚くなりすぎるべきでない。P／E ウインドウが対称（±9 V）で、マルチレベル動作は、電荷の 3 つの正レベル

(プログラミング用)と、1つの負レベル(消去用)とを使用するため、上部HfAlO層は安全により薄くできる。なぜならば、それは主に消去動作(消去中のCG構造からの電子注入へのバリア)に影響し、一方、プログラミング動作(プログラミング中のIGD構造を通りぬける電流)に影響するため、底部HfAlO層の膜厚はもっと臨界的である。

【0098】

HaHIGD構造は、約1Vのプログラムウインドウの損失と、約2Vの消去ウインドウの損失と、P/E電圧の1Vの利得、より合理的な17nmの全物理的膜厚とともに、8nm/5nm/4nmまで小型化できることが見出された。(同じ材料に対して、より低いEOTは世路低いP/Eウインドウとなるが)より低いEOTを有しているにもかかわらず、このHaH構造またはスタックは、参照Al₂O₃単層よりずっと広いP/Eウインドウを形成することは重要である。一方、底部HfAlO層の膜厚を低減することによるHaH構造の更なる小型化は、より小さなP/Eウインドウをもたらす。なぜならば、IGD構造はの場合ずっと小さな全EOTを有するからである。

【0099】

図18は、そのようなHaH構造またはスタックの小型化されたバージョンが、1250℃まで非常に良好な保持力を有することを示す。膜厚10nm/5nm/10nmを有する構造の保持力の結果は、線1000および1010で示され、膜厚10nm/5nm/5nmを有する構造は、線1020および1030で示される。比較のために、AlO構造の結果も線1040および1050で示される。

【0100】

図19は、3つの異なるIGD構造またはスタックについて、P/Eサイクル耐久性を示す。10nm/5nm/10nmの膜厚を有するHaH構造は、線1100および1110で表され、10nm/5nm/5nmの膜厚を有する類似の構図は、線1120および1130で表される。5nm/5nm/5nmの膜厚を有するHOH構造が、また、比較のために線1140、1150で示される。広いP/Eウインドウにおいても、1000P/Eサイクルまでシフトが観察されない。もちろん、1:1ISPPおよびISPESロープレジームでデバイスが動作し、IGD構造中では非常に限られたトラップが考えられる。

【0101】

高い仕事関数(WF)の金属をSiの上に有するHFGと組み合わせることで、high-k/low-k/high-k材料からなる3層IGD構造は、プレーナーNANDフラッシュデバイス中の広いP/Eウインドウを可能にするために非常に有望である。誘電体材料の品質は、しかしながら、デバイス性能を落とすIGDリークを避けるために、注意深く制御されなければならない。HfAlOの良好なモフォロジー特性と、TiNとの良好な安定性のために、HfAlO-Al₂O₃-HfAlOスタックが、Si/TiNHFGの上のIGD構造として成功して使用されてきて、良好な保持性と耐久性とともに、非常に広いプログラム/消去ウインドウを実行してきた。

【0102】

図20は、異なる界面層を有する構造についての、電圧シフト/プログラミング電圧特性の間の比較を示す。(蝶々で表される)線1210は、2つのlow-k界面領域を有する構造の特徴を表し、(三角で表される)線1220は、FG構造とIGD構造との間に単一high-k界面層を有する構造のための特徴を示し、(逆三角で表される)線1230は、2つのhigh-k界面層を有する構造の特徴を示す。構造中に少なくとも1つのhigh-k界面層が存在することは、使用されるより高いプログラミング電圧を可能にすることが明確に分かる。

【0103】

例示的な具体例が、図面中の図を参照しながら記載された。ここで記載された具体例や図は、限定的というよりむしろ例示的であると考えられる。加えて、当然のことながら、本発明は上述の材料に限定されるものではなく、他の好適な材料が、3層IGD構造を形

成するために、特に、H a H I G D構造の特徴と類似または同様の特徴を有する構造を形成するために使用されても良い。

【0104】

加えて、H a H I G D構造は、図1および図2を参照しながら上で述べたような本発明の具体例でも使用することができる。図2の第2界面層180の存在は、電氣的に透明で高いk値を有するように形成され、H a H I G D構造を有するNVMデバイスの性能を損ねない

【0105】

特定の例は、H a H I G D構造に対して記載されたが、特別な応用や要求されるP/Eウインドウに依存して、H A HおよびH O H I G D構造を使用しても良い。H O H構造は寄生バリオット効果を有するが、H A HおよびH O H I G D構造の双方は、良好なP/Eウインドウを提供する。

【0106】

H A HおよびH O H I G T D構造を用いて、上述のように、プレーナーNVMデバイスを10nmセルまで小型化できることが示された。より高いWF金属FGを用いることで、WFの変化がプログラミング飽和特性に強い正の影響を与えるために、プログラミングウインドウはが改良される。

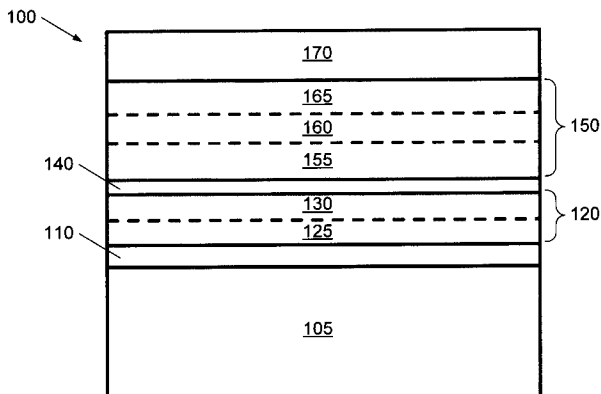
【0107】

当然のことながら、I G D構造は上に列挙した好適な材料から形成しても良いが、H f A l O、S i O₂およびA l₂O₃が特に有利であることが見出された。

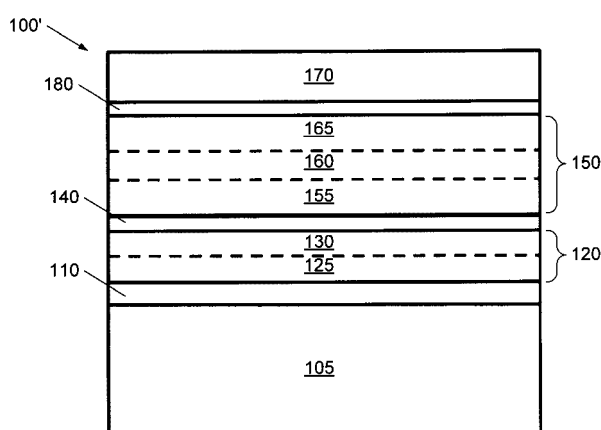
10

20

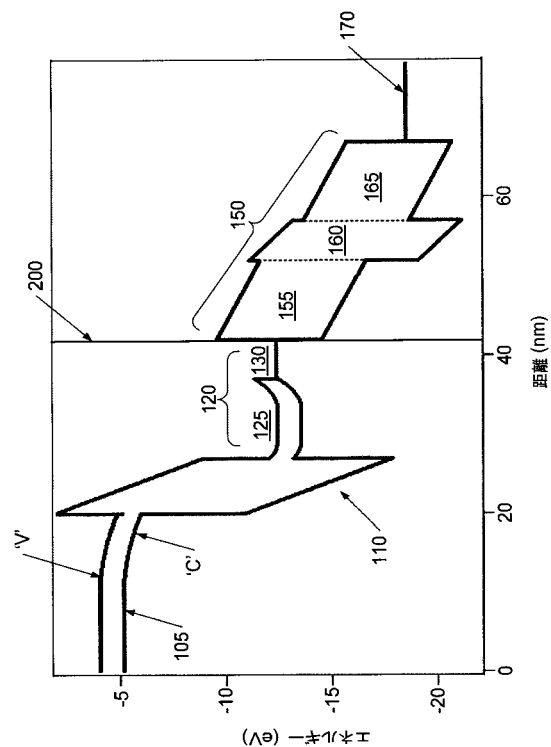
【図1】



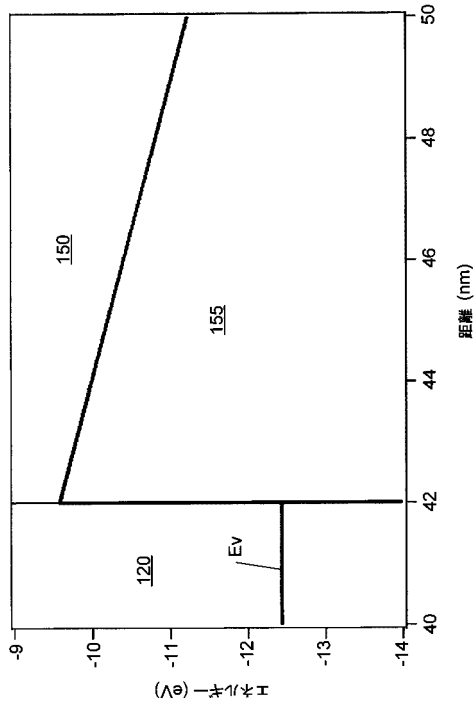
【図2】



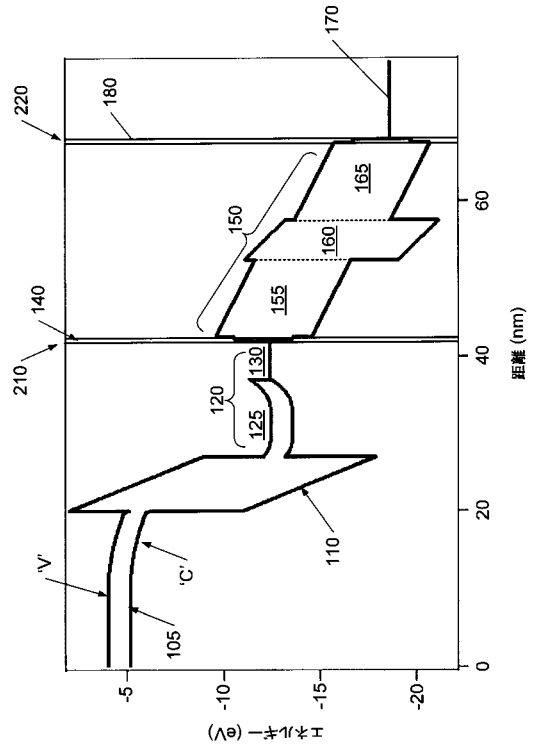
【図3】



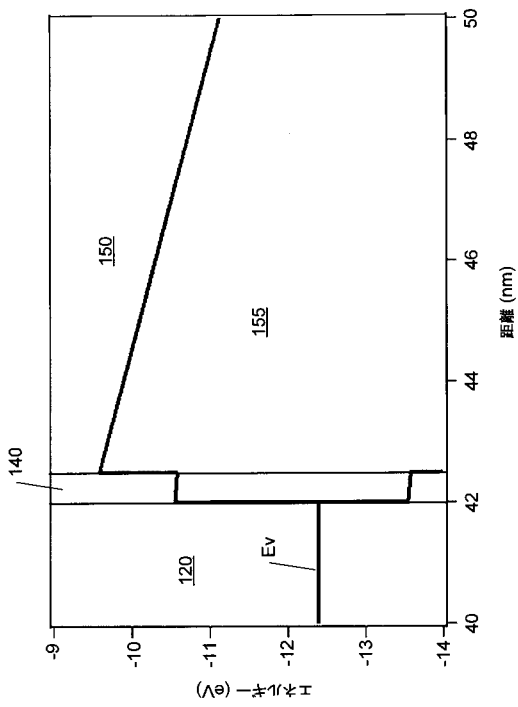
【図 4】



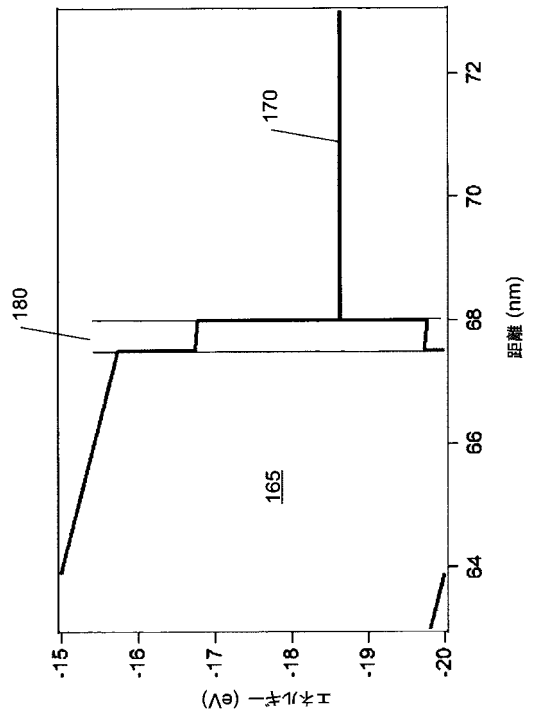
【図 5】



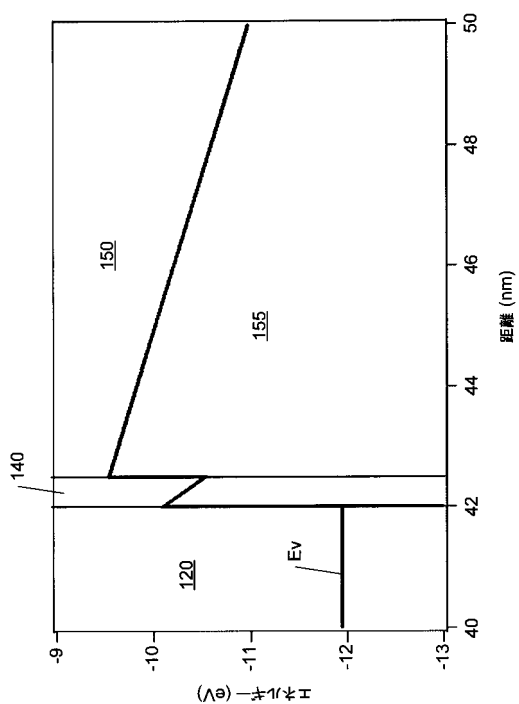
【図 6】



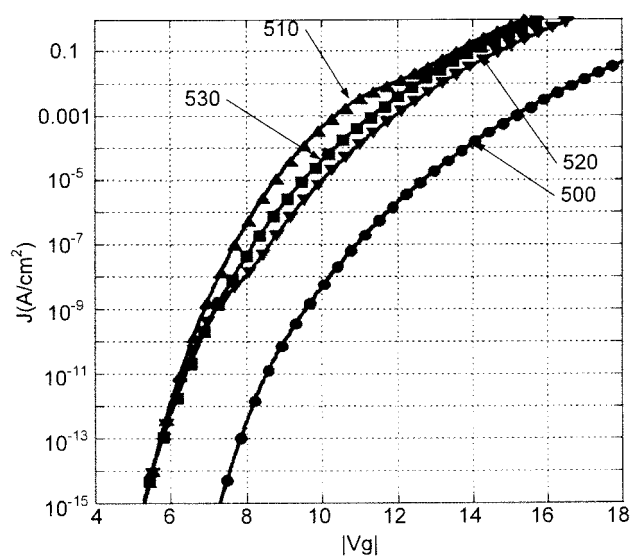
【図 7】



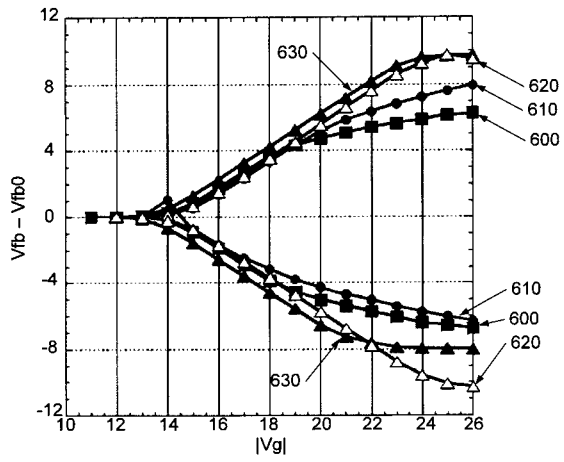
【図 9】



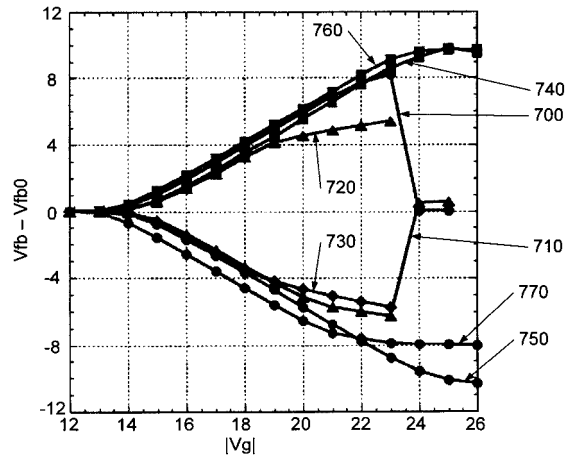
【 図 1 3 】



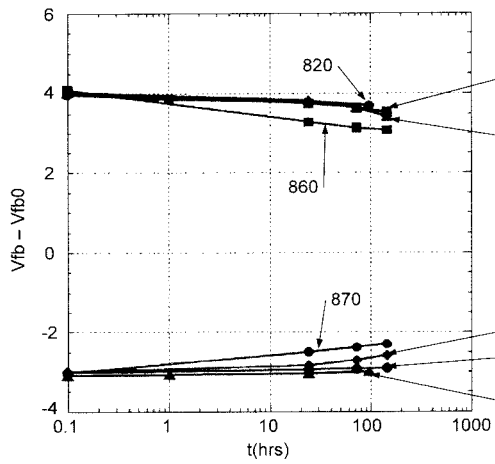
【図 14】



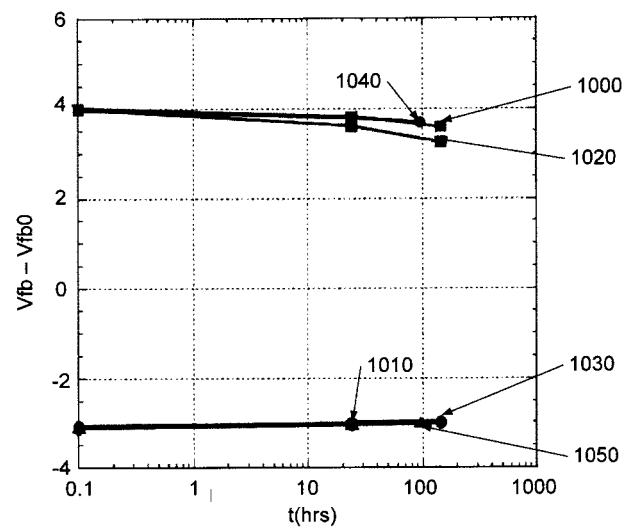
【図 15】



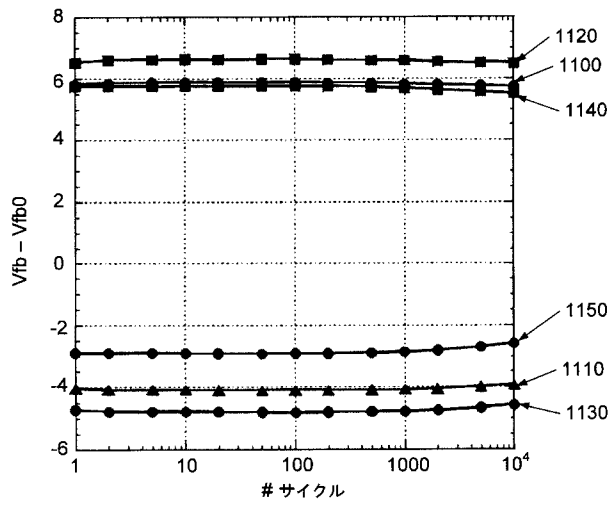
【図 16】



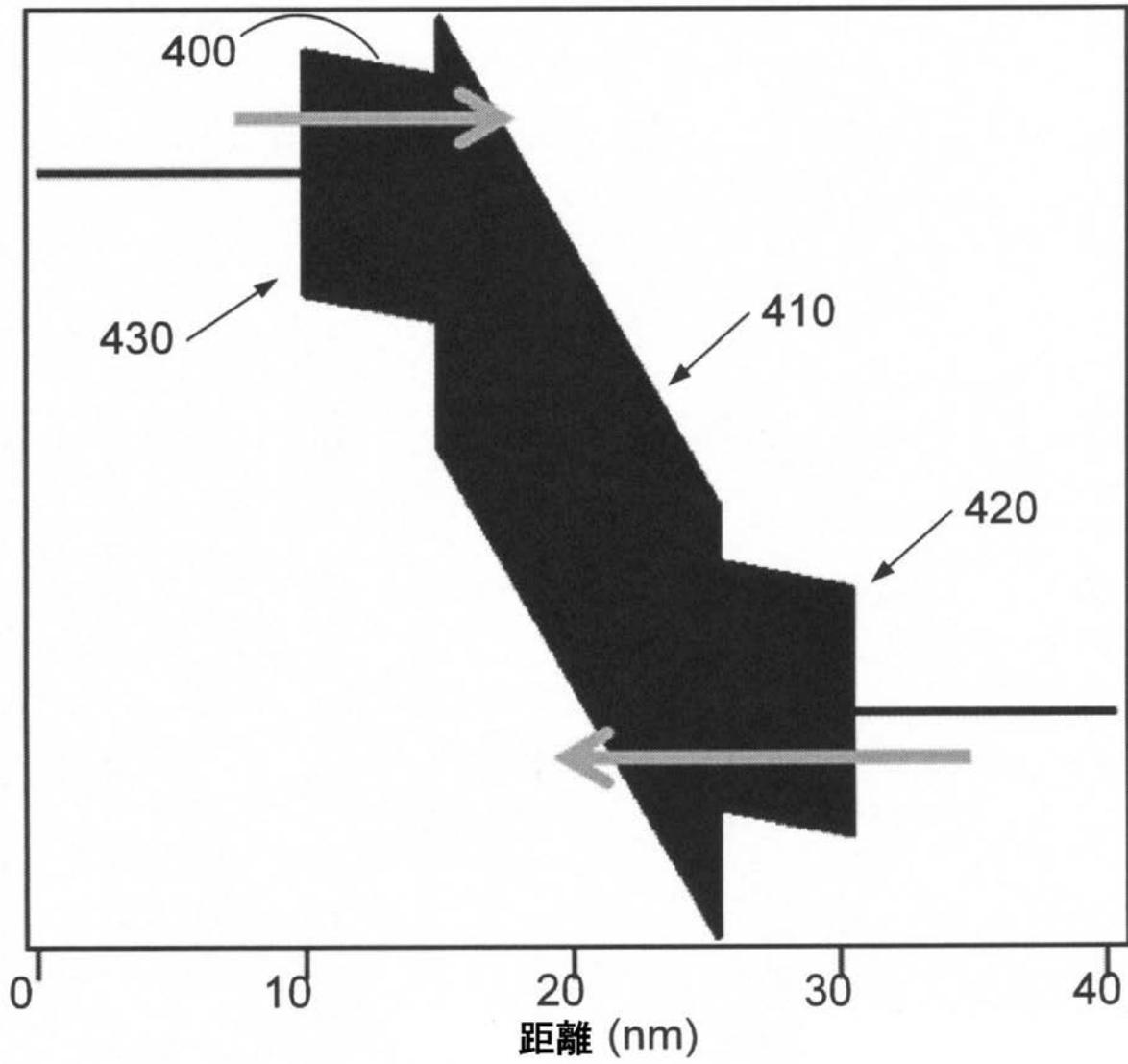
【図 18】



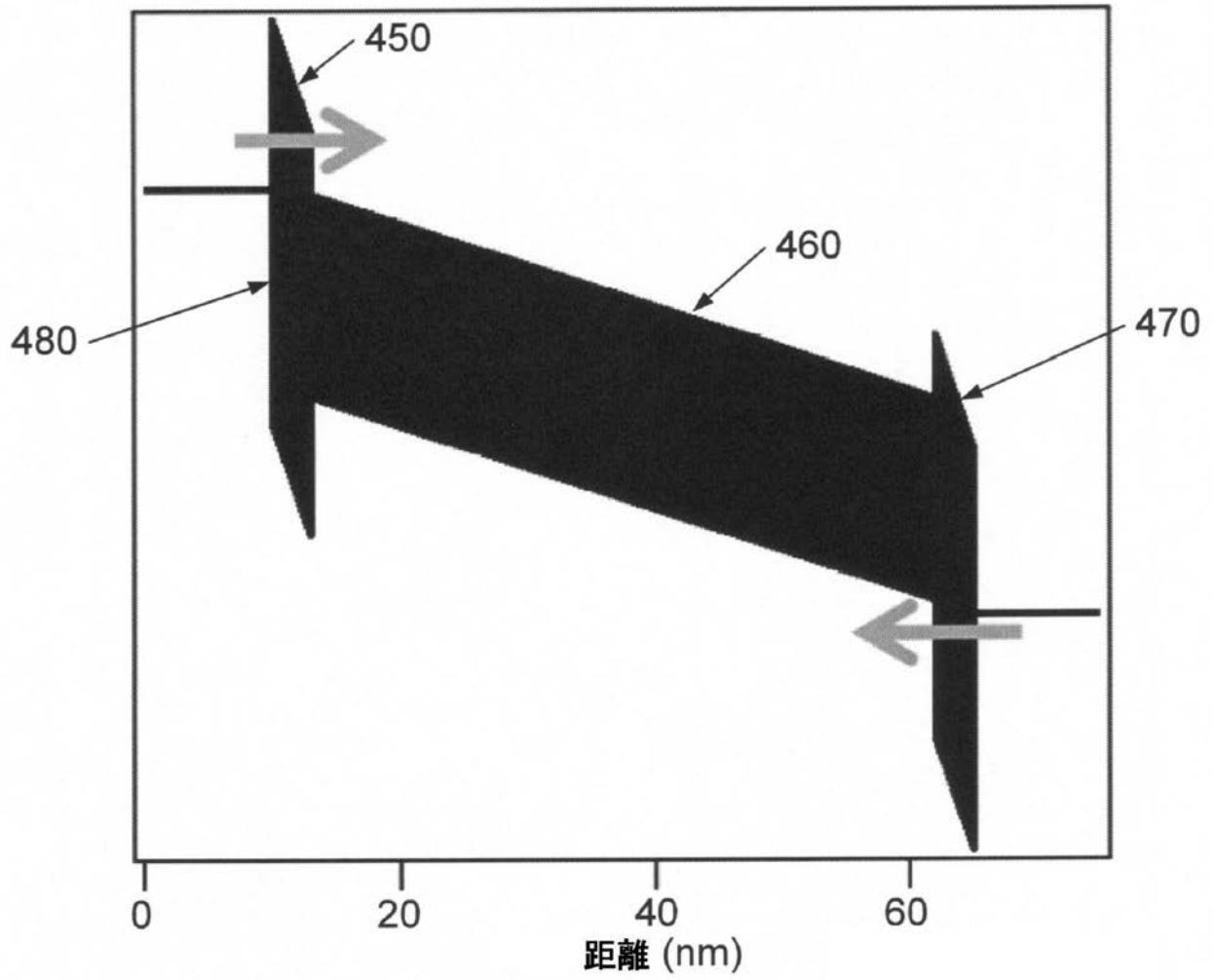
【図 19】



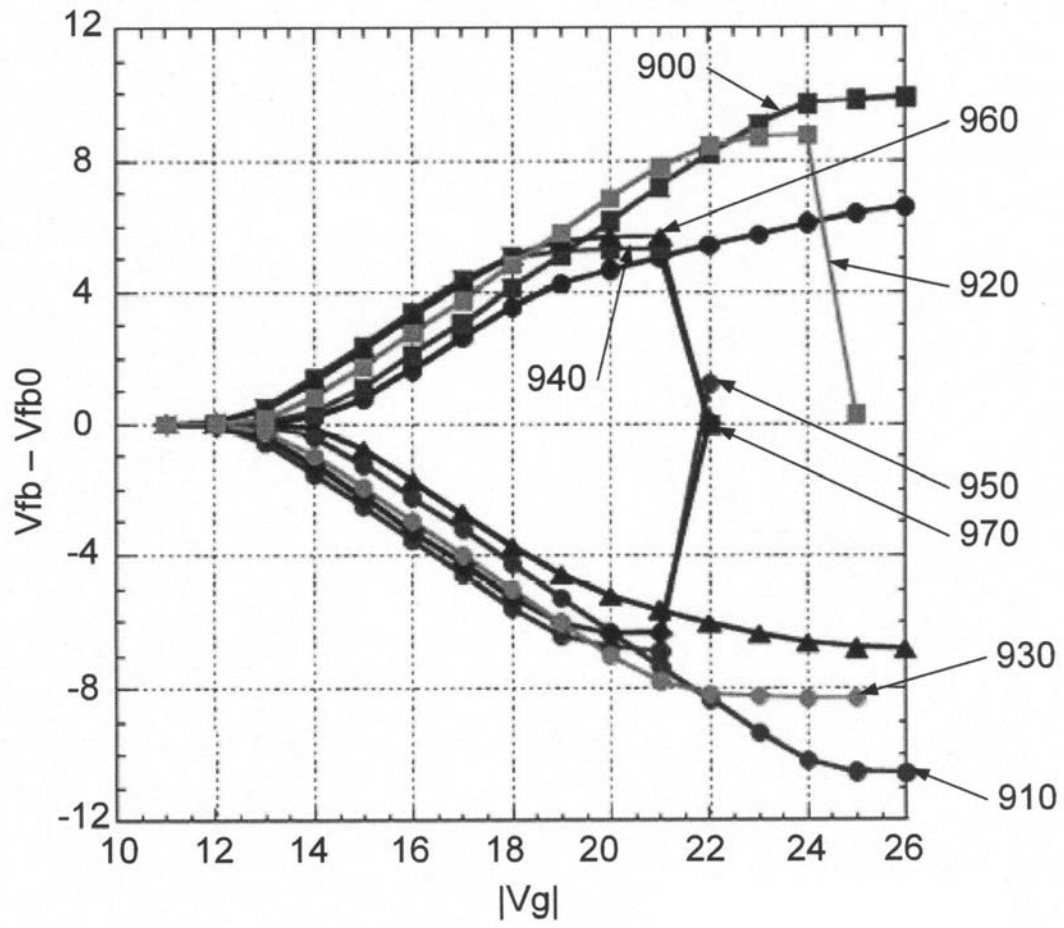
【図 1 1】



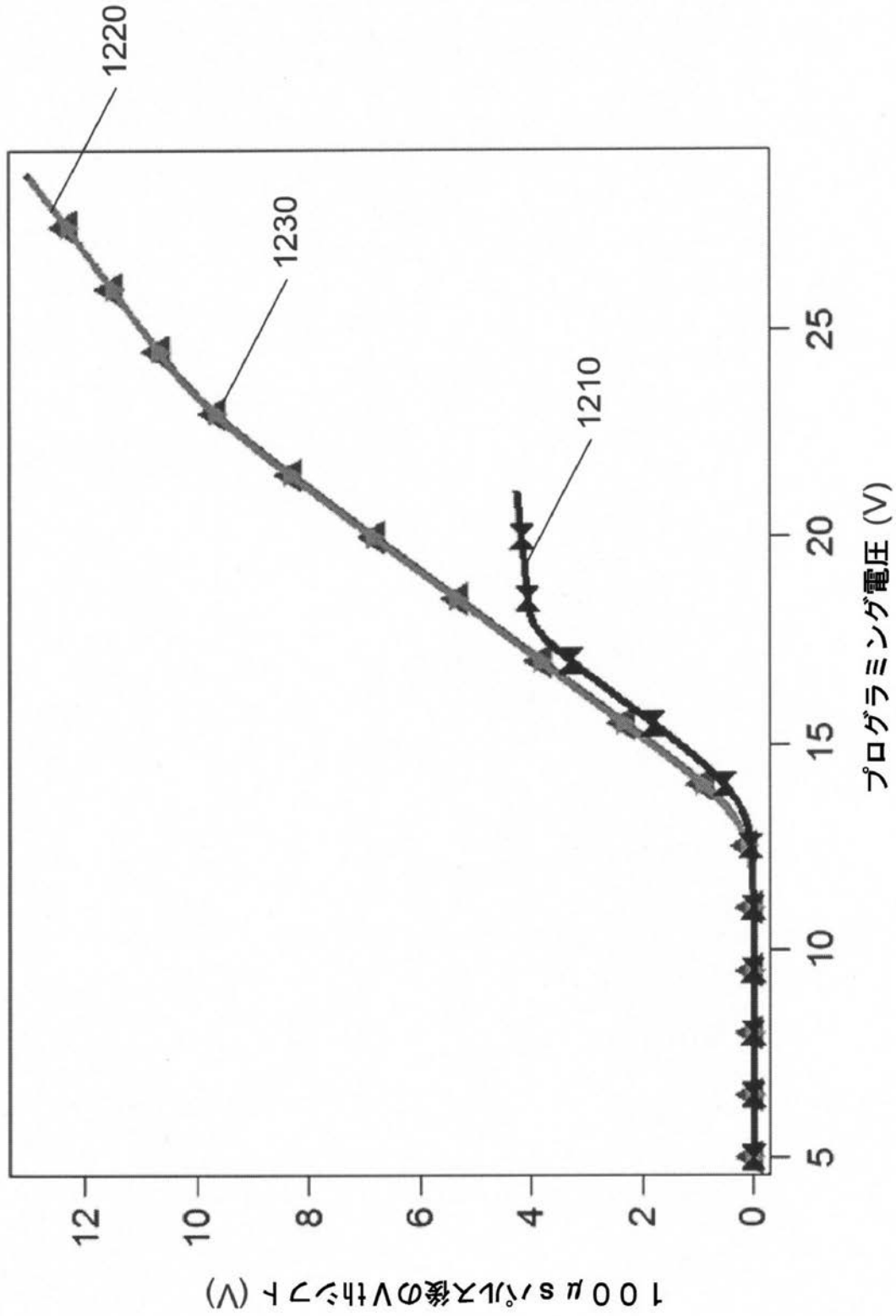
【図 1 2】



【図 17】



【図 20】



フロントページの続き

(72)発明者 フディット・グロリア・リソニ・レイエス

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック内

(72)発明者 ローラン・ブルイユ

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック内

(72)発明者 ピーテル・ブロム

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック内

(72)発明者 ヤン・ファン・ハウト

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック内

F ターム(参考) 5F083 EP04 EP23 EP45 EP55 EP56 ER03 ER09 ER14 ER19 GA06

GA09 GA22 JA03 JA14 JA38 JA39 JA40 JA43 PR12

5F101 BA19 BA26 BA36 BB05 BC02 BD02 BH04

NON-VOLATILE MEMORY SEMICONDUCTOR DEVICES AND METHOD FOR MAKING THEREOF

Field of the disclosure

5 The present disclosure relates to non-volatile semiconductor memory devices and a method of making such devices.

Background of the disclosure

10 Multiple layer floating gate non-volatile memory devices are described in US-A-2009/0140317. In such devices, the floating gate comprises at least two layers constructed in different conductive or semiconductive materials. An intermediate dielectric layer of a predetermined thickness is used to separate at least two of the layers of floating gate to enable a direct tunnelling current between the two separated
15 layers.

 When implementing planar floating gate cells, program saturation becomes a determining factor. For sub-20nm devices, unwanted fringing capacitances can be obtained which lead to cell-to-cell interference and loss of control gate coupling ratio.

20 NAND flash cell scaling using floating gate non-volatile memory devices requires a fully planar architecture where the control gate is no longer wrapped around the floating gate due to too tight a pitch. This requirement for a fully planar architecture results in a strong reduction of the coupling ratio with a resulting drop in the size of the programming window.
25 This drop in size can partially be recovered by using a hybrid floating gate where a high work-function metal is formed on top of the silicon (Si) floating gate. Such a structure limits the leakage through the inter-gate dielectric during programming, and therefore enables a larger programming window. Such a hybrid floating gate cell with a floating gate comprising a titanium

nitride (TiN) metal layer on a poly-Si layer is disclosed, for example, in IEEE Electron Device Letters Vol.33, no.3, March 2012, pages 333-335 by P. Blomme et al. "Hybrid floating gate cell for sub-20-nm NAND flash memory technology". In this reference, the inter-gate dielectric of choice was
5 aluminium oxide (Al_2O_3), a material with a k-value of about 8. However, a higher k inter-gate dielectric is still required in order to increase the coupling ratio and allow further voltage scaling. The inter-gate dielectric also needs to have low leakage in order to avoid charge loss and program saturation which is due to charge passing through the inter-gate dielectric during the
10 programming operation. To this end, a high-k/low-k materials combination can reduce the charge flow through the inter-gate dielectric by increasing the tunnelling distance at the floating gate side during programming.

US-B-7989871 describes embodiments of non-volatile memory devices which comprise a substrate, a tunnel dielectric, a floating gate, an
15 interfacial layer, an inter-gate dielectric and a control gate arranged as layers in ascending order on the substrate. Various combinations of materials are disclosed for these devices together with layer thicknesses.

Summary of the disclosure

20 It is an object of the present disclosure to provide a non-volatile memory device with improved device characteristics such that program saturation of the device is not affected.

In accordance with one aspect of the present disclosure, there is provided a non-volatile memory device comprising:-

- 25
- a substrate;
 - a tunnel dielectric layer formed on the substrate;
 - a floating gate structure formed on the tunnel dielectric layer;
 - at least a first interfacial layer formed on the floating gate structure;

an inter-gate dielectric structure formed on the first interfacial layer; and

a control gate structure formed on the inter-gate dielectric structure;

5 characterised in that the inter-gate dielectric structure comprises at least a first layer, a second layer and a third layer, the first layer being formed on the first interfacial layer and the control gate structure being formed on the third layer, the first and third layers having a higher k-value than the second layer which is sandwiched therebetween;

10 and in that the first interfacial layer comprises a high k-value material having a thickness such that the potential drop across the first interfacial layer is below a predetermined value.

By providing a three-layer inter-gate dielectric structure together with a specifically designed high-k first interfacial layer between the floating gate and the inter-gate dielectric structure, the coupling ratio can be optimised in a planar non-volatile memory device without having the problems associated with prior art devices.

15 Preferably, the floating gate structure comprises a hybrid floating gate structure having at least a first lower layer and a second upper metal layer.

20 In one embodiment, the first and third layers of the inter-gate dielectric structure may comprise hafnium aluminate layers. The second layer of the inter-gate dielectric structure may comprise one of: an aluminium oxide layer and a silicon oxide layer. The aluminium oxide layer may be annealed to provide a crystalline layer or it may comprise an amorphous layer.

25 It will be appreciated that by having an inter-gate dielectric structure comprising a stack of high-k/low-k/high-k layers, a high-k layer is present at both the floating gate structure and the control gate structure.

The first interfacial layer preferably comprises a higher k-value dielectric material than the first layer of the inter-gate dielectric structure. It may comprise metal elements of the adjacent second layer of the floating gate structure.

5 Advantageously, the first interfacial layer is electrically transparent so as not to affect the program saturation of the non-volatile memory device.

 Additionally, a second interfacial layer may be provided which is located between the inter-gate dielectric structure and the control gate
10 structure. The second interfacial layer preferably comprises a higher k-value dielectric material than the third layer of the inter-gate dielectric structure. It may comprise metal elements of the adjacent control gate structure.

 It is preferred that each of the first and second interfacial layers has a thickness of less than 1nm. The thickness of each of the first and
15 second interfacial layers may be in the range from 0.1nm to 0.7nm.

 It is an advantage of embodiments of the present disclosure that the facing area of the non-volatile memory device is increased and without deterioration in the coupling ratio.

 In accordance with another aspect of the present disclosure,
20 there is provided a method of manufacturing a non-volatile memory device according to any one of the preceding claims, the method comprising the steps of:

- a) forming a tunnel dielectric layer on a semiconductor substrate;
- 25 b) forming a floating gate structure on the tunnel dielectric layer;
- c) forming a first interfacial layer on of the floating gate structure;

5

d) forming an inter-gate dielectric structure on the interfacial layer; and

e) forming a control gate structure on the inter-gate dielectric structure;

5 characterised in that step d) further comprises the steps of:-

d1) forming the inter-gate dielectric structure as at least a first layer, a second layer, and a third layer; and

d2) selecting the materials for each of the first, second and third layers such that the first and third layers comprise a high-k dielectric material and the second layer comprises a dielectric material with a lower k-value than the first and third layers;

10 and in that step c) comprises selecting the material for the first interfacial layer to be a high-k dielectric material.

Step c) may comprise forming the first interfacial layer as a part of the formation of the first layer of the inter-gate dielectric structure. Alternatively, the first interfacial layer may be deposited separately in a different process.

The method may further comprise step f) forming a second interfacial layer on the inter-gate dielectric structure prior to step e).

20 Step f) may comprise forming the second interfacial layer as a part of the formation of the third layer of the inter-gate dielectric structure. Alternatively, the second interfacial layer may be deposited separately in a different process.

25 Brief description of the drawings

For a better understanding of the present invention, reference will now be made, by way of example, to the accompanying drawings in which:-

6

Figure 1 illustrates a schematic representation of one embodiment of a non-volatile semiconductor device in accordance with the present disclosure having an inter-gate dielectric structure or stack comprising three layers;

5 Figure 2 is similar to Figure 1 but includes an additional interfacial layer between the inter-gate dielectric structure or stack and the control gate;

Figure 3 illustrates a schematic representation of an energy band diagram for a non-volatile memory device without an interfacial layer;

10 Figure 4 illustrates an enlarged view of the interfacial region between the floating gate structure and the inter-gate dielectric structure of Figure 3;

Figure 5 illustrates a schematic representation of an energy band diagram for a non-volatile memory device in accordance with the present disclosure;

Figure 6 illustrates an enlarged view of the interfacial region between the floating gate structure and the inter-gate dielectric structure of Figure 5;

20 Figure 7 illustrates an enlarged view of the interfacial region between the inter-gate dielectric structure and the control gate structure of Figure 5;

Figure 8 illustrates a schematic representation of an energy band diagram for a non-volatile memory device having an interfacial layer having a lower-k;

25 Figure 9 illustrates an enlarged view of the interfacial region between the floating gate structure and the inter-gate dielectric structure of Figure 8;

Figure 10 is a graph illustrating program/erase characteristics of capacitors with silicon/titanium nitride (Si/TiN) hybrid floating gate and

inter-gate dielectric structures comprising aluminium oxide (Al_2O_3), hafnium oxide (HfO_2) or hafnium aluminate (HfAlO);

Figures 11 and 12 respectively illustrate band diagrams for inter-gate dielectric structures having high-k/low-k during a programming
5 operation;

Figure 13 is a graph of Fowler-Nordheim tunnelling current simulations through inter-gate dielectric stacks with 6.5nm total equivalent oxide thickness sandwiched between titanium nitride electrodes;

Figure 14 is a graph illustrating incremental step pulse
10 programming/erasing characteristics for three-layer inter-gate dielectric stacks;

Figure 15 is graph illustrating incremental step pulse programming/erasing characteristics of different inter-gate dielectric stacks compared to aluminium oxide;

Figure 16 is a graph illustrating the corresponding retention
15 characteristics for the inter-gate dielectric stacks of Figure 15 at a bake temperature of 125°C;

Figure 17 is a graph illustrating incremental step pulse programming/erasing characteristics of capacitors for an exemplary inter-
20 gate stack having different thickness combinations;

Figure 18 is a graph illustrating retention at 125°C of capacitors having the exemplary inter-gate stack of Figure 10 with reduced thickness;

Figure 19 is a graph illustrating cycling endurance characteristics of two types of inter-gate dielectric stacks; and

Figure 20 is a graph illustrating a comparison between
25 incremental step pulse programming/erasing characteristics for a structure having different interfacial layers between the floating gate structure and the inter-gate dielectric structure or stack and/or between the inter-gate dielectric structure and the control gate structure.

Description of the invention

The present invention will be described with respect to particular embodiments and with reference to certain drawings but the invention is not limited thereto. The drawings described are only schematic and are non-limiting. In the drawings, the size of some of the elements may be exaggerated and not drawn on scale for illustrative purposes.

The terms "upper", "lower", "top", "bottom", "vertical" and "horizontal" as used herein refer to the orientation of the embodiments illustrated in drawings and is not intended to be limiting to a specific configuration.

The term "H/A/H" (or "HAH") as used herein refers to a specific inter-gate dielectric (IGD) stack or structure in which H represents hafnium aluminate (HfAlO) and A represents aluminium oxide (Al_2O_3). Typically, the 'A' layer has been subjected to a temperature of 1000°C post deposition anneal (PDA). An H/A/H IGD structure or stack thus comprises a layer of annealed Al_2O_3 sandwiched in between two HfAlO layers.

The term "HaH" as used herein refers to a specific IGD stack or structure in which H represents HfAlO and A represents Al_2O_3 . Typically, the 'A' layer has not been subjected to PDA and is in its amorphous state. An HaH IGD structure or stack thus comprises a layer of amorphous Al_2O_3 sandwiched in between two HfAlO layers.

The term "H/O/H" (or "HOH") as used herein refers to a specific IGD stack or structure in which H represents HfAlO and O represents silicon oxide (SiO_2). An H/O/H IGD structure or stack comprises thus a layer of SiO_2 sandwiched in between two HfAlO layers.

The term "A/H/A" (or "AHA") as used herein refers to a specific IGD stack or structure in which A represents Al_2O_3 and H represents HfAlO.

An AHA IGD structure or stack thus comprises a layer of HfAlO sandwiched between two annealed Al_2O_3 layers.

The terms “AHa”, “aHA” or “aHa” as used herein refer to a specific IGD stack or structure in which A represents PDA Al_2O_3 , a
5 represents amorphous Al_2O_3 and H represents HfAlO. In this case, the layer of HfAlO is sandwiched between one amorphous and one annealed Al_2O_3 layer or two amorphous Al_2O_3 layers.

The terms “high-k dielectric” or “high-k material” as used herein refer to a dielectric material having a dielectric constant, k , which is higher
10 than the dielectric constant of SiO_2 , that is, $k > 3.9$. High-k dielectric materials allow for a larger physical thickness, when compared to SiO_2 , for obtaining the same effective capacitance as can be obtained with a much thinner SiO_2 layer.

The terms “low-k dielectric” or “low-k material” as used herein refer to a dielectric material having a dielectric constant, k , which is the same
15 or lower than the dielectric constant of SiO_2 , that is, $k \leq 3.9$.

The term “k-value” as used herein refers to the dielectric constant of the dielectric material, and can be expressed as a high k-value or a low k-value when referring respectively to dielectric materials having
20 high and low k-values.

The terms “higher k-value” and “lower k-value” as used herein refer to the relative k-values when compared to other materials having a specific k-value.

The term “monolayer” as used herein refers to a single, closely
25 packed layer of atoms or molecules deposited on a surface. The term “a few monolayers” refers to a few of these monolayers deposited together on the surface.

Referring initially to Figure 1, a non-volatile memory (NVM) device 100 in accordance with one embodiment of the present disclosure is

shown. The NVM 100 comprises a semiconductor substrate 105 on which is formed a tunnel dielectric layer 110. A floating gate (FG) structure 120 is formed on the tunnel dielectric layer 110. The FG structure 120 comprises a bottom layer 125 and a top metal layer 130. A first interfacial layer 140 on the top metal layer 130 of the FG structure 120. The first interfacial layer 140 comprises a first high-k dielectric material with a predetermined k value having a predetermined thickness. An inter-gate dielectric (IGD) structure 150 is formed on the first interfacial layer 140. The IGD structure 150 comprises a first layer 155 formed on the first interfacial layer 140, a second layer 160 formed on the first layer 155, and a third layer 165 formed on top of the second layer 155. The second layer 155 is effectively sandwiched in between the first layer 155 and the third layer 165. The second layer 160 comprises a dielectric material having a lower k-value than the dielectric material of the first and third layers 155, 165, for example, a layer of SiO₂. A control gate (CG) structure 170 is formed on the IGD structure 150.

The first interfacial layer 140 and the layers 155, 160, 165 in the IGD structure 150 are carefully chosen with respect to their k-values and thicknesses to provide an appropriate band gap for the NVM device 100. The k-value of the different layers correlates to the band gap thereof such that the higher the k-value, the smaller the band gap.

In addition, the first interfacial layer 140 needs to be electrically transparent so as not to affect the program saturation of the NVM 100. In this respect, the thickness of the first interfacial layer 140 should not be greater than a few monolayers and its k-value should be high, that is, greater than 3.9.

Tuning of the first interfacial layer 140 is possible by carefully tuning the deposition of the first (high-k) layer 155 of the IGD structure 150. For example, if the first layer 155 of the IGD structure 150 comprises HfAlO, the atomic layer deposition (ALD) process may starts (and/or end) with Al₂O₃

cycles in order to form the first interfacial layer. Due to this specific process, no defective interfacial layer is promoted due to the presence of hafnium oxide (HfO_2) and a good quality high-k interfacial layer is formed.

In one embodiment, Al_2O_3 promotes the formation of an aluminium-titanium-oxide (Al-Ti-O) interfacial layer due to inter-diffusion of titanium (Ti) into the Al_2O_3 . On the other hand, HfO_2 tends to have an enhanced oxygen in-diffusion into titanium nitride (TiN) as compared to Al_2O_3 . This oxygen in-diffusion goes together with a clear out-diffusion of nitrogen (N) into the HfO_2 .

It is an advantage of the present disclosure that no low-k based interfacial layer, for example, comprising SiO_2 , is formed as both floating gate and control gate are formed by a metal layer.

It is an advantage of present disclosure that the potential drop over the interfacial layer 140 between the FG structure 120 and the first layer 155 of the IGD structure 150 is smaller than 0.5eV. This is achieved by increasing the floating gate metal work-function, that is the work-function of the top metal layer 130 of the FG structure 120.

In one embodiment, the first interfacial layer 140 may be deposited during or by at least a first cycle of the ALD process for forming the first layer 155 of the IGD structure 150. In this embodiment, the first interfacial layer 140 is thus formed in-situ within the ALD chamber while forming the IGD structure 150.

Alternatively, in another embodiment, the first interfacial layer 140 may be formed before the formation of the IGD structure. In this embodiment, the first interfacial layer is thus formed in a separate or other deposition process than the deposition process for the IGD structure 150.

As described above, the IGD structure 150 comprises a stack of high-k/low-k/high-k layers which means that a high-k layer is present at sides of both the FG structure 120 and the CG structure 170. The third high-

k layer 165 under the CG structure resolves the problem of erase saturation. The first high-k layer 155 on the FG structure 120, more specifically on the first interfacial layer 140, resolves the problem of program saturation.

The combination of a first interfacial layer 140 in between the
5 FG structure 120 and the IGD structure 150 is necessary in order to be able to planarise non-volatile memory devices, and, as such, to extend these devices beyond the 10nm technology node. An area factor (AF) equal to 1 is targeted for planar non-volatile memory devices which comprise a hybrid floating gate (HFG) with no low-k layer in contact with the FG structure 120.

10 According to a further embodiment of the present disclosure, the non-volatile memory device may further comprise a second interfacial layer. Such a device is shown in Figure 2.

In Figure 2, a NVM device 100' is shown which is similar to the NVM device 100 shown in Figure 1 but with the addition of a second
15 interfacial layer 180 located between the top or third layer 165 of the IGD structure 150 and the CG structure 170. The second interfacial layer 180 comprises a second high-k dielectric material with a second predetermined k value and a second predetermined thickness.

As described above, the key to the present disclosure lies in
20 carefully choosing the k-value and the thickness of each of the interfacial layers 140, 180. The first and second predetermined k-values need to be higher than the neighbouring layer of the IGD structure 150. In other words, the high-k value of the first interfacial layer 140 must be higher than the k-value of the first layer 155 of the IGD structure 150, and, the high-k value of
25 the second interfacial layer 180 must be higher than the k-value of the third layer 165 of the IGD structure 150.

As described above, the k-value of the different layers (both interfacial layers and IGD structure layers) correlates to the band gap of these layers, and, the higher the k-value, the smaller the band gap.

In addition, both the first and second interfacial layers 140, 180 should be electrically transparent so as not to affect the program saturation of the NVM device 100' of which they form a part. Therefore, the thickness of each interfacial layer should be not higher than a few monolayers and the
5 k-value of each interfacial layer should be high.

In one embodiment, the second interfacial layer 180 may be deposited during or by at least a last cycle of the ALD process for forming the third layer 165 of the IGD structure 150. The second interfacial layer 180 is thus formed in-situ within the ALD chamber while forming the IGD
10 structure 150.

In the formation of the NVM device 100' as shown in Figure 2, both the interfacial layers 140, 180 may therefore be formed as part of the ALD process for forming the IGD structure 150. In this case, the first interfacial layer 140 is formed as part of the formation of the first layer 155
15 and the second interfacial layer 180 is formed as part of the third layer 165. This has the advantage that the conditions can be carefully controlled without having to remove the NVM device from the ALD chamber.

Alternatively, in another embodiment, the first and/or second interfacial layers may be formed in separate or other deposition processes.
20 In this embodiment, the interfacial layers 140, 180 may be formed before and/or after the formation of the IGD structure 150.

Figure 3 illustrates a schematic representation of the energy band diagram for a NVM device with no interfacial layers, but having a three-layer IGD structure as described above, taken through a bottom-up cross-section of the device, that is, from the substrate to the control gate.
25 Components which correspond to layers of the NVM devices 100, 100' described above are referenced the same. The upper line, 'V', corresponds to the valence band, E_v , and is indicative of the potential energy profile for holes within the NVM device. The lower line, 'C', corresponds to the

conduction band, E_c , and is indicative of the potential energy profile for electrons. As shown, there is an interface region 200 between the FG structure 120 and the IGD structure 150. An enlarged view of line 'V' within the interface region 200 is shown in Figure 4. This shows an ideal
5 theoretical situation as there is no potential drop present, since there is no interfacial layer. However, in practice, such an arrangement is not feasible.

Figure 5 is similar to Figure 3 but illustrates an energy band diagram for a non-volatile memory device with a first interfacial layer 140 and a second interfacial layer 180 according to the embodiment shown in
10 Figure 2. As before, lines 'V' and 'C' respectively indicate the valence band, E_v , and the conduction band, E_c , and their respective energy profiles for holes and for electrons. A first interface region 210 between the FG structure 120 and the IGD structure 150 includes the first interfacial layer 140 and a second interface region 220 between the IGD structure 150 and
15 the CG structure 170 includes the second interfacial layer 180. An enlarged view of line 'V' in the first interface region 210 is shown in Figure 6. Similarly, an enlarged view of line 'V' in the second interface region 220 is shown in Figure 7.

From Figure 6, it is clearly seen that a small voltage drop is
20 obtained by using a high-k interfacial dielectric layer in between the FG structure 120 and the IGD structure 150. The voltage drop should be smaller than 0.5eV and is indeed the case when using a high-k interfacial dielectric layer with a k-value higher than that of the first layer 155 of the IGD structure 150 in between the FG structure 120 and the IGD structure 150.

25 It will be appreciated that the interface region 210 shown in Figures 5 and 6 are also applicable to the embodiment of the present disclosure shown in Figure 1.

Figure 7 also shows that a small voltage drop is obtained by using a high-k interfacial dielectric layer in between the IGD structure 150 and the CG structure 170.

Figure 8 is similar to Figure 5 but illustrates a schematic representation of the energy band diagram for a NVM device with a FG structure 120 but with a lower-k interfacial layer 140, such as, for example, SiO₂ (where $k = 3.9$). As before, the potential energy profiles are shown for the holes (line 'V') and the electrons (line 'C'). Interface regions 210' and 220' are shown with an enlarged view of interface region 210' being shown in Figure 9. Here, it can be seen that the energy barrier of the IGD structure 150 is strongly reduced when compared to Figures 5 and 6. This is because of the voltage/energy drop across the interfacial layer 140. This is not preferred as program saturation will be reached at lower programming voltages conditions, meaning that the programming window will be smaller than the programming window of a NVM device having a higher-k interfacial layer 140.

For all energy band diagrams as shown in Figures 3 to 9, the following values are used:

E_{td} referring to the electric field in the tunnel dielectric layer 110 has a range typically between 8mV/cm and 15mV/cm. The physical thickness of the first interfacial layer $t(IL) = 0.5\text{nm}$. The relative permittivity of the interfacial layer $k(IL) = 50$.

In one embodiment of the present disclosure, at least one of the following is selected such that the voltage potential drop over each of the interfacial layers 140, 180 is lower than 0.5eV: the first predetermined thickness of the first interfacial layer 140; the second predetermined thickness of the second interfacial layer 180; the first high k-value of the high-k dielectric material of the first interfacial layer 140; the second high k-value of the high-k dielectric material of the second interfacial layer 180.

In addition, the first and/or second predetermined thickness of the respective first and/or second interfacial layer is less than 1nm. More preferably, each interfacial layer 140, 180 comprises only a few monolayers, typically having a thickness in the range from about 0.1nm to 0.7nm.

5 In another embodiment of the present disclosure, the first and second interfacial layers 140, 180 comprise a different high-k dielectric material to that of respective ones of the first and third layers 155, 165 of the IGD structure 150.

10 The first and second interfacial layers 140, 180 may comprise a material chosen from the following materials: Al_2O_3 , HfO_2 , HfAlO_x , zirconium oxide (ZrO_2), barium oxide (BaO), titanium dioxide (TiO_2), titanium aluminium oxide (TiAlO), scandium oxide (Sc_2O_3), gadolinium oxide (Gd_2O_3), yttrium oxide (Y_2O_3), lanthanum oxide (La_2O_3), all rare earth oxides, ((Ba, Sr), (Ti, Zr))O etc.

15 In addition, each interfacial layer may comprise metal elements from an associated metal layer, for example, the first interfacial layer may comprise metal elements of the second metal layer 130 of the FG structure 120 and the second interfacial layer 180 may comprise metal elements of the CG structure 170.

20 According to embodiments of the present disclosure, the top metal layer 130 of the FG structure 120 may comprise, for example, TiN, tantalum nitride (TaN), ruthenium (Ru), ruthenium oxide (RuO_x), ruthenium tantalum ($\text{Ru}_x\text{Ta}_{1-x}$), titanium tantalum aluminium nitride ((Ti, Ta)AlN), titanium aluminium hafnium nitride ((Ti, Al, Hf)N), platinum (Pt), iridium (Ir),
25 iridium oxide (IrO_x), tungsten (W), hafnium carbide (HfC), tantalum carbide (TaC), aluminium carbide (AlC), niobium nitride (NbN), molybdenum (Mo), molybdenum oxide (MoO_x), molybdenum oxide nitride (MoO_xN_y), palladium (Pd), cobalt (Co), nickel (Ni).

An exemplary NVM device according to the present disclosure comprises a SiO₂ tunnel dielectric layer on a Si semiconductor substrate. An FG structure, having at least a top TiN metal layer, is formed on the SiO₂ tunnel dielectric layer. A first interfacial layer, comprising an aluminium oxide (Al_xO_y), is formed on the top metal layer of the FG structure. An IGD structure comprising at least a first HfAlO layer on the Al_xO_y comprising interfacial layer, a third HfAlO layer and a SiO₂ or Al₂O₃ second layer sandwiched in between the first HfAlO and the third HfAlO layers and formed on the interfacial layer, the IGD structures so formed comprising HOH and HAH (or (HaH) structures respectively. A CG structure is formed on the IGD structure. The first interfacial layer has a higher k-value than that of first HfAlO layer to which it is adjacent.

As described above, in another exemplary NVM device, a second interfacial layer comprising Al_xO_y is present between the third HfAlO layer of the IGD structure and the CG structure. The second interfacial layer has a higher k-value than that of the third HfAlO layer to which it is adjacent.

The present disclosure also relates to an exemplary method for forming a NVM device. The method comprises providing a tunnel dielectric layer on a semiconductor substrate; providing a FG structure, having at least a top TiN metal layer, on the tunnel dielectric layer; providing a first interfacial layer on the top metal layer of the FG structure, the interfacial layer comprising a predetermined first thickness and a high-k dielectric material with a predetermined first k-value; providing an IGD structure on the interfacial layer, the IGD structure comprising at least a first layer on the first interfacial layer, a third layer and a second layer being sandwiched in between the first and the third layer; the second layer comprising a dielectric material with a lower k-value than the dielectric material of the first and the third layers; and providing a CG structure on the IGD structure.

As described above, a second interfacial layer may also be provided in between the third layer of the IGD structure and the CG structure.

In the specific example where a TiN metal layer is used for the top metal layer of the FG structure, the interfacial layer formed in between the metal layer and the first layer of the IGD structure may comprise a Ti-O based layer. TiO₂ may have a k-value greater than 80 (depending on the polymorph). However, due to the reaction/intermixing with the dielectric elements of the first layer of the IGD structure, the interfacial layer may comprise some defects which reduce its k-value. However, the k-value will not become less than the k-value of the first layer of the IGD structure.

Although TiN has been described above, it will be appreciated that other metals may be used for the metal layer.

In one example, the IGD structure comprises three film layers which were deposited by ALD in a capacitor flow. On an 8.5nm in-situ steam generated (ISSG) SiO₂ tunnel oxide, the HFG (that is, the FG structure with a top metal layer, for example, a lower layer of 2nm Si with a top layer of 5nm TiN) is deposited by physical vapour deposition (PVD) and patterned afterwards. After IGD deposition and anneal, the CG structure was made of 10nm PVD-TiN followed by 75nm poly-Si deposited at 720°C and activated at 850°C, which determines the lowest thermal budget. With an Al₂O₃ IGD structure, best results were obtained after a 1000°C, 1min post deposition anneal (PDA) in nitrogen (N₂). This is used as a reference IGD structure, and compared to various high-k IGD single layers or stacks: HfO₂, HfAlO, Al₂O₃-HfAlO-Al₂O₃ (AHA), HfAlO-Al₂O₃-HfAlO (HaH, HAH), HfAlO-SiO₂-HfAlO (HOH).

Different high-k dielectric materials, for example, Al₂O₃, HfO₂, HfAlO single layers, used as an IGD structure have different behaviours. The program and erase characteristics were evaluated by measuring the flat-band voltage (V_{fb}) shift (V_{fb} - V_{fb0}), after application of a positive (negative) pulse

with increasing amplitude. This procedure is referred as incremental step pulse programming (ISPP) or incremental step pulse erasing (ISPE). The pulse duration was 100 μ s for programming and 1ms for erasing. As long as the ($V_{fb} - V_{fb0}$) is caused by charge injected into the HFG structure with a negligible current passing through the IGD structure, the characteristics have a 1:1 relationship as shown by the ISPP and ISPE slopes as shown in Figure 9.

In Figure 10, the results for the Al_2O_3 , HfO_2 and $HfAlO$ layers are represented by solid circles, squares and triangles. These results are indicated as lines 300, 310 for Al_2O_3 , as lines 320, 330 for HfO_2 , and as lines 340, 350 for $HfAlO$. The ISPP slope for Al_2O_3 and HfO_2 is indicated by line 360 and the ISPP slope for $HfAlO$ is indicated as line 370. Although not shown, it will readily be appreciated that similar slopes can be drawn for the ISPE.

At larger V_{fb} shifts however, the current through the IGD structure starts to become significant, leading to charge trapping in the IGD structure. This corresponds to a saturation regime where the V_{fb} shift increases more slowly, with the ISPP or ISPE slope becoming lower than 1:1. Since charge is injected in the IGD structure in this regime, this is expected to cause reliability issues, so that the useful memory window should be considered as the maximum V_{fb} shift before the slope flattens.

In the case of a single layer Al_2O_3 IGD structure (solid circles), the memory window is therefore $\pm 4V$ as shown in Figure 10. This is too low for multi-level operation which would require as much as 12V to take into account reliability and disturb margins to keep the programmed levels distributions well separated.

In the case of a single layer $HfAlO$ IGD structure (solid triangles), the program/erase voltages are lower due to the $HfAlO$ having a

higher k-value, typically around 19. The memory window is also slightly better, $\pm 5V$ before saturation.

In the case of a single layer HfO_2 IGD structure (solid squares), saturation occurs very early and is quickly followed by breakdown. This is
5 due to huge leakage through the layer due to a poor interface with the TiN layer in HFG structure, and to the microcrystalline (monoclinic) structure, both enhanced by the high temperature activation annealing at $850^\circ C$. Such a thermal budget is difficult to avoid in view of cell integration, which compromises the use of HfO_2 alone in IGD structure or stack.

10 Showing a better interface with TiN, lower crystallinity and a high k-value, $HfAlO$ appears to be suitable for the IGD structure but the window is still limited. The window could be further enlarged by increasing the equivalent oxide thickness (EOT) at the expense of higher voltages to a similar value as Al_2O_3 , but that would also lead to impractically thick IGD
15 structure which is detrimental for cell dimensions scaling.

A solution for limiting the IGD leakage and thus delaying the saturation regime without too large IGD thickness is by using a suitable combination of high-k/low-k materials. Considering the poor characteristics of HfO_2 , $HfAlO$ was selected as a high k-layer (~ 19), and Al_2O_3 as low k-layer
20 (~ 9). Fowler-Nordheim Tunneling (FNT) simulations were used to compare the expected leakage characteristics in three layer IGD structures for both low-k/high-k/low-k and high-k/low-k/high-k configurations as shown in Figures 11 and 12 respectively.

In Figures 11 and 12, simulated energy band diagrams are
25 shown for a cross-section through the IGD structure for the two configurations. In Figure 11, areas of the high-k/low-k/high-k combination are indicated by 400, 410, 420 respectively, and, in Figure 12, areas of the low-k/high-k/low-k combination are indicated by 450, 460, 470. The

simulated energy/voltage characteristics through the IGD structures or stacks indicate that having the high-k layer (HfAlO) at the injecting interface, indicated as 430 in Figure 11, decreases the leakage current. This is due to the increased tunnelling distance. On the other hand, the low-k, larger band gap layer (Al_2O_3) placed at the injecting interface, indicated as 480 in Figure 12, shows increased injecting current when this layer is too thin, because of the variot effect promoting injection through the IGD structure (as described an article entitled "VARIOT: a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices", IEEE Electron Device Letters, Vol. 24, Issue 2, pages 99 to 101, February 2003, by B. Govoreanu et al.). In this case, the first and last Al_2O_3 layers need to be sufficiently thick, but even then, only a small benefit was expected when compared to single layer Al_2O_3 IGD structure.

Figure 13 illustrates the results of current simulation through IGD structures with 6.5nm total EOT sandwiched between TiN electrodes. The simulation parameters were as follows: HfAlO layer had a k-value of 19 with a barrier to TiN of 2.45eV and the Al_2O_3 had a k-value of 9 with a barrier to TiN of 2.85eV. Three three-layer IGD structures, namely, HaH with layer thicknesses of 10nm/5nm/10nm as indicated by line 500 (solid circles), AHa with layer thicknesses of 5nm/10nm/5nm as indicated by line 510 (solid triangles) and AHa with layer thicknesses of 3nm/18nm/3nm as indicated by line 520 (inverted solid triangles), were compared to a single layer AlO 15nm structure as indicated by line 530 (solid squares).

Various Stacks of HfAlO/ Al_2O_3 /HfAlO (HAH with Al_2O_3 + 1000°C PDA), HfAlO/ Al_2O_3 /HfAlO (HaH with no Al_2O_3 PDA) and Al_2O_3 /HfAlO/ Al_2O_3 (Aha with both Al_2O_3 + 1000°C PDA and Al_2O_3 with no PDA) were deposited as IGD structures according to Table 1 below. The thicknesses of different layers were chosen in order to match the EOT of single layer 17nm Al_2O_3 reference.

Table 1.

IGD	Layer type	Thickness (nm)	PDA details (°C)
Al ₂ O ₃	AHa	5	1000
HfAlO		10	800
Al ₂ O ₃		5	-
HfAlO	HaH	10	800
Al ₂ O ₃		5	-
HfAlO		10	800
HfAlO	HAH	10	800
Al ₂ O ₃		5	1000
HfAlO		10	800

For the three IGD structures in Table 1, interfaces were well-defined between the HfAlO and Al₂O₃ layers, as well as with the TiN from the HFG structure and the CG structure. The HfAlO layers appeared to be around 8nm thick due to contraction during the 800°C PDA process.

Figure 14 shows the ISPP and ISPE characteristics of the three-layer structures or stacks, compared to a single layer Al₂O₃ IGD reference structure. The Al₂O₃ IGD reference structure is indicated by line 600 (solid squares), the AHa structure by line 610 (solid circles), the HaH structure by line 620 (outlined triangles), and the HAH structure by line 630 (solid triangles).

The experimental results confirm the simulations. A huge improvement of the program/erase (P/E) window is obtained with respect to the Al₂O₃ IGD reference structure. Due to the low leakage of such a structure, the 1:1 ISPP slope regime is extended until a programmed V_{fb} shift of 9V, before saturation occurs. The total P/E window can be as large as 18V, the erase window becoming larger when the middle Al₂O₃ is kept amorphous (no PDA) as in the HaH structure. On the other hand, limited benefit is obtained from the AHa structure. A slight improvement with respect to the Al₂O₃ IGD reference structure is observed, because the Al₂O₃ layers of the stack were

made sufficiently thick to avoid the variot effect, and the HfAlO layer in the middle helps reducing the IGD leakage.

The high-k/low-k/high-k configuration can also be obtained with SiO₂ as middle layer, HfAlO-SiO₂-HfAlO (HOH), targeting similar EOT as the
5 HaH stacks. Well defined interfaces between HfAlO and SiO₂ were also observed.

Figures 15 and 16 illustrate benchmarking of the different stacks, in terms of ISPP and ISPE (Figure 15) and retention (Figure 16). In Figure 15, the ISPP and ISPE characteristics for a HOH structure (indicated
10 by lines 700 and 710) also allows the extension of the 1:1 slope regime when compared to a single layer Al₂O₃ (indicated by lines 720 and 730) thus confirming the validity of the high-k/low-k/high-k layered IGD structure with other materials. However, although the EOT of the HOH stack is similar to the HaH structure (indicated by lines 740 and 750), it tended to break earlier,
15 thus reaching a more limited window as compared to HaH structure. An HAH structure (indicated by lines 760 and 770) is also shown for comparison.

In Figure 16, the lines are numbered similarly to those of Figure 15 but with an '8' instead of a '7' on the front. The retention test showed negligible charge loss at bake temperatures as high as 125°C, except for the
20 HAH case (1000°C PDA after middle Al₂O₃). It is expected that this high temperature causes too much crystallization of the bottom HfAlO layer resulting in slightly degraded retention properties.

Having identified a possible HaH structure or stack, the thickness scalability was investigated. The results are shown in Figure 17.
25 The thicknesses and the EOT for each HaH structure or stack tested are shown in Table 2 below together with the relevant reference numbers.

Table 2.

Thickness (nm)			EOT (nm)	Reference numbers
H	a	H		
8	5	8	6.6	900, 910
8	5	4	5.3	920, 930
4	5	4	4.5	940, 950
6	4	4	4.7	960, 970

Indeed, for program voltage scaling, a better coupling is
 5 required (lower EOT of the IGD structure). In addition, the physical thickness
 of the stack should not be too large with respect to fringing field issues when
 integrated in tight pitch arrays. Since the P/E window is symmetrical ($\pm 9V$),
 and multi-level operation uses three positive levels of charge (for
 programming) and one negative level (for erasing), the top HfAlO layer can
 10 safely be made thinner because it mostly affects the erase operation (barrier
 towards electron injection from the CG structure during erasing), while the
 bottom HfAlO layer thickness is more critical since it affects the programming
 operation (current passing through the IGD structure during programming).

It has been determined that the HaH IGD structure can be
 15 scaled down to 8nm/5nm/4nm with about only 1V loss in program window
 and about 2V in erase window, but with a gain of 1V in P/E voltages, and a
 more reasonable total physical thickness of 17nm. It is important to note that
 this HaH structure or stack provides a much larger P/E window than a single
 Al_2O_3 layer reference (not shown), although it has a lower EOT (for identical
 20 materials, lower EOT leads to lower P/E window). On the other hand, scaling
 further the HaH structure by reducing the bottom HfAlO layer thickness brings
 too low P/E window, also because the IGD structure has too low total EOT in
 this case.

25

Figure 18 shows that a scaled down version of such an HaH structure or stack still shows very good retention up to 125°C. The retention results for a structure having thicknesses 10nm/5nm/10nm is shown at lines 1000 and 1010 and for a structure having thicknesses of 10nm/5nm/5nm is shown at lines 1020 and 1030. For comparison, the results for an AIO structure are also shown at lines 1040 and 1050.

Figure 19 shows P/E cycling endurance for three different IGD structures or stacks. An HaH structure having thicknesses of 10nm/5nm/10nm is shown at lines 1100 and 1110 and a similar structure but with thicknesses of 10nm/5nm/5nm is shown at lines 1120 and 1130. An HOH structure having thicknesses of 5nm/5nm/5nm is also shown at lines 1140, 1150 for comparison. Even at a large P/E window, no shift is observed up to 10,000 P/E cycles. Indeed, the devices operate in the 1:1 ISPP and ISPE slope regime, where very limited trapping in the IGD structure is expected.

Combined with a HFG featuring a high work-function (WF) metal on top of Si, a three-layer IGD structure made of high-k/low-k/high-k materials is very promising to enable a large P/E window in planar NAND flash device. The quality of the dielectric materials has to be carefully controlled, however, in order to avoid IGD leakage that would compromise the device performance. Due to the good morphological properties of HfAlO, and its good stability with TiN, a HfAlO-Al₂O₃-HfAlO stack has been successfully used as IGD structure on a Si/TiN HFG, demonstrating a very large Program/Erase window together with excellent retention and endurance.

Figure 20 illustrates a comparison between voltage shift/programming voltage characteristics for structures having different interfacial layers. Line 1210 (indicated by bow-ties) illustrates the characteristic for a structure having two low-k interfacial layers; line 1220 (indicated by triangles) illustrates the characteristic for a structure having a

single high-k interfacial layer between the FG structure and the IGD structure; and line 1230 (indicated by inverted triangles) illustrates the characteristic for a structure having two high-k interfacial layers. It can clearly be seen that the presence of at least one high-k interfacial layer
5 within the structure enables a higher programming voltage to be used.

Example embodiments are illustrated in referenced Figures of the drawings. It is intended that the embodiments and figures disclosed herein are to be considered illustrative rather than restrictive. In addition, it will be appreciated that the present disclosure is not limited to the materials
10 described above and that other suitable materials may be used for creating a three-layer IGD structure, and in particular, one with characteristics similar or identical to the characteristics of a HaH IGD structure.

In addition, the HaH IGD structure can be used in the embodiments of the present disclosure as described above with reference to
15 Figures 1 and 2. The presence of the second interfacial layer 180 in Figure 2, provided that it is electrically transparent and has a high k-value, does not detract from the performance of an NVM device having a HaH IGD structure.

Although specific examples are given above with respect to HaH IGD structures, it will be appreciated that, depending on the particular
20 application and the P/E windows required, HAH and HOH IGD structures can also be used. Both HAH and HOH structures provide good P/E windows although HOH structures may be subject to parasitic variot effects.

It has been shown that it is possible to scale planar NVM devices as described above down to 10nm cells using the HAH and HOH
25 IGD structures. By having a higher WF metal FG, the programming window can be improved as the change in WF has a strong positive effect on programming saturation performance.

It will be appreciated that IGD structures may be made from suitable materials listed above and that HfAlO , SiO_2 , and Al_2O_3 were found to be particularly advantageous.

CLAIMS:

1. A non-volatile memory device (100; 100') comprising:-
 - a semiconductor substrate (105);
 - 5 a tunnel dielectric layer (110) formed on the substrate (105);
 - a floating gate structure (120) formed on the tunnel dielectric layer (110); the floating gate structure (120) comprising a hybrid floating gate structure having at least a first lower layer (125) and a second upper metal layer (130).
 - 10 at least a first interfacial layer (140) formed on the floating gate structure (120);
 - an inter-gate dielectric structure (150) formed on the first interfacial layer (140); and
 - a control gate structure (170) formed on the inter-gate dielectric
 - 15 structure (150);
 - the inter-gate dielectric structure (150) comprising at least a first layer (155), a second layer (160) and a third layer (165), the first layer (155) being formed on the first interfacial layer (140) and the control gate structure (170) being formed on the third layer (165), the first and third layers (155, 165)
 - 20 having a higher k-value than the second layer (160) which is sandwiched there between;
 - and the first interfacial layer (140) comprising a high k-value material having a thickness such that the potential drop across the first interfacial layer is below a predetermined value.
 - 25
2. A non-volatile memory device according to claim 1, wherein the first interfacial layer (140) comprises metal elements of the adjacent second layer (130) of the floating gate structure (120).

3. A non-volatile memory device according to any one of the preceding claims, wherein the first and third layers (155, 165) of the inter-gate dielectric structure (150) comprise hafnium aluminate layers.
- 5 4. A non-volatile memory device according to any one of the preceding claims, wherein the second layer (160) of the inter-gate dielectric structure (150) comprises one of: an aluminium oxide layer and a silicon oxide layer.
- 10 5. A non-volatile memory device according to any one of the preceding claims, wherein the first interfacial layer (140) comprises a higher k-value dielectric material than the first layer (155) of the inter-gate dielectric structure (150).
- 15 6. A non-volatile memory device according to any one of the preceding claims, further comprising a second interfacial layer (180) located between the inter-gate dielectric structure (150) and the control gate structure (170).
- 20 7. A non-volatile memory device according to claim 6, wherein the second interfacial layer (180) comprises a higher k-value dielectric material than the third layer (165) of the inter-gate dielectric structure (150).
- 25 8. A non-volatile memory device according to any one of claims 6 to 7, wherein the second interfacial layer (180) comprises metal elements of the adjacent control gate structure (170).
9. A non-volatile memory device according to any one of claims 6 to 8, wherein each of the first and second interfacial layers (140, 180) has a thickness of less than 1nm.

10. A non-volatile memory device according to claim 9, wherein each of the first and second interfacial layers (140, 180) has a thickness in the range from 0.1nm to 0.7nm.
- 5 11. A method of manufacturing a non-volatile memory device according to any one of the preceding claims, the method comprising the steps of:
- a) forming a tunnel dielectric layer on a semiconductor substrate;
 - b) forming a floating gate structure on the tunnel dielectric layer;
 - c) forming a first interfacial layer on of the floating gate structure;
 - 10 d) forming an inter-gate dielectric structure on the first interfacial layer;
 - e) forming a control gate structure on the inter-gate dielectric structure;
- wherein
- 15 step d) further comprises the steps of:-
- d1) forming the inter-gate dielectric structure as at least a first layer, a second layer, and a third layer; and
 - d2) selecting the materials for each of the first, second and third layers such that the first and third layers comprise a high-k dielectric material
- 20 and the second layer comprises a dielectric material with a lower k-value than the first and third layers;
- and in that step c) comprises selecting the material for the first interfacial layer to be a high-k dielectric material;
- and
- 25 step b) further comprises the steps of:-
- b1) forming a first lower layer and
 - b2) forming a second upper metal layer.

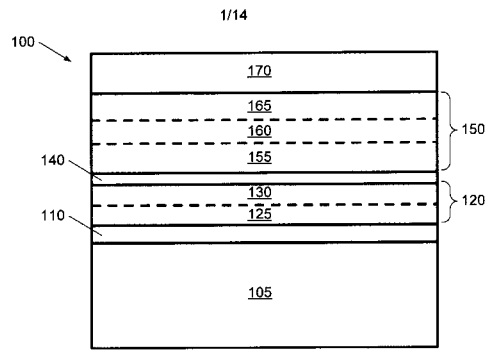
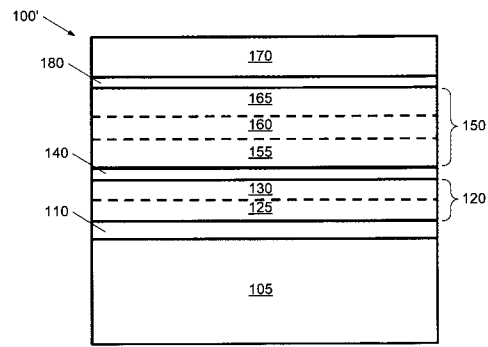
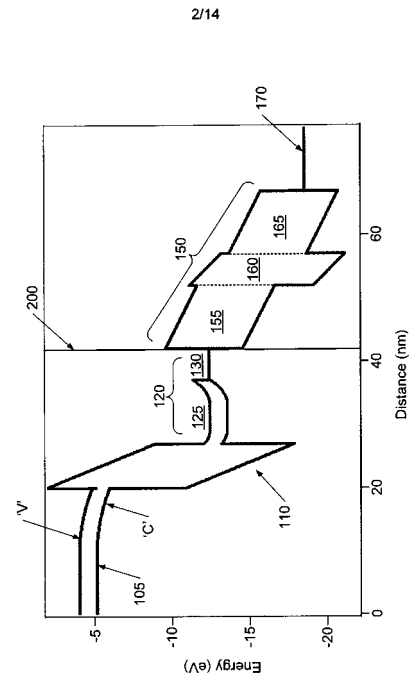
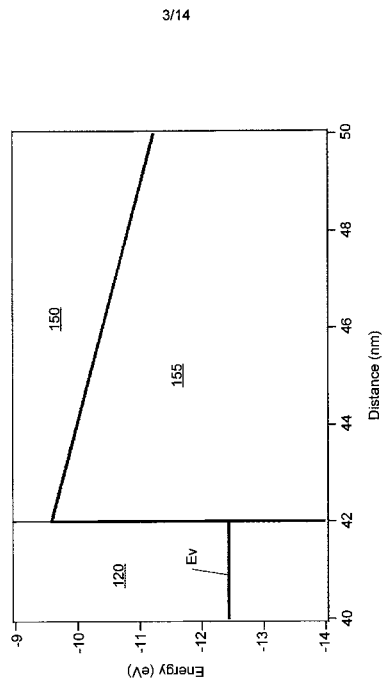
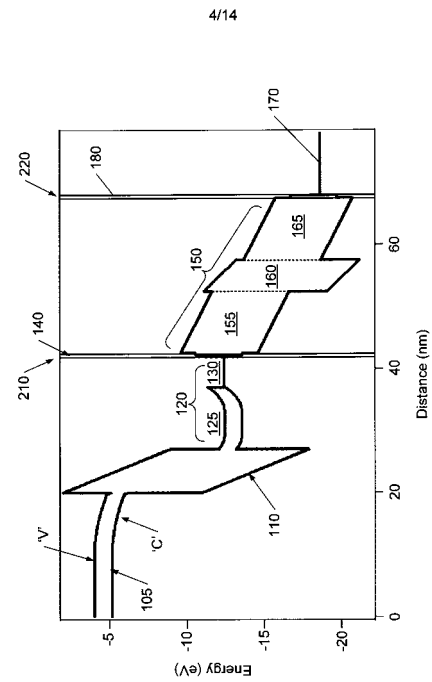
12. A method according to claim 11, wherein step c) comprises forming the first interfacial layer (140) as a part of the formation of the first layer (155) of the inter-gate dielectric structure (150).
- 5 13. A method according to claim 11 or 12, further comprising:-
step f) forming a second interfacial layer (180) on the inter-gate dielectric structure (150) prior to step e).
- 10 14. A method according to claim 13, wherein step f) comprises forming the second interfacial layer (180) as a part of the formation of the third layer (165) of the inter-gate dielectric structure (150).

ABSTRACT**NON-VOLATILE MEMORY SEMICONDUCTOR DEVICES AND A
METHOD FOR MAKING THEREOF**

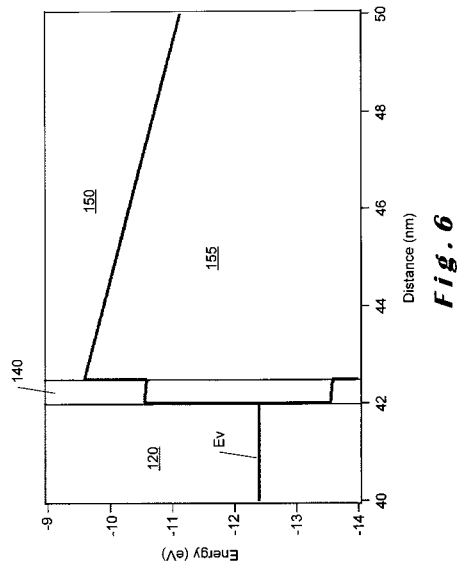
5

Described herein is a planar non-volatile memory device (100) having a specifically designed structure comprising a hybrid floating gate structure (120, 125, 130) separated from an inter-gate dielectric structure (150) by a first interfacial layer (140) which is designed to be electrically transparent so as not to affect the program saturation of the device. The inter-gate structure (150) comprises a stack of three layers (155, 160, 165) having a high-k/low-k/high-k configuration and the interfacial layer (140) has a higher k-value than its adjacent high-k layer (155) in the inter-gate dielectric structure (150). A method of making such a non-volatile memory device is also described.

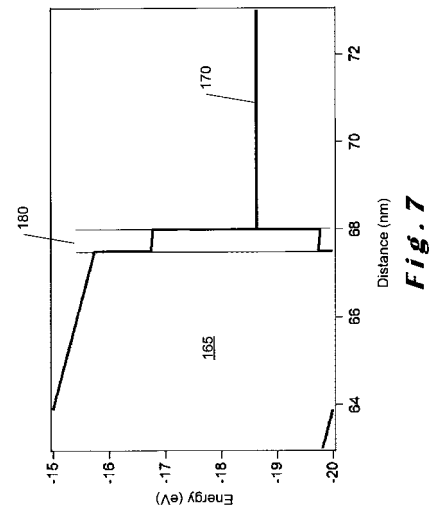
(Fig. 1)

**Fig. 1****Fig. 2****Fig. 3****Fig. 4****Fig. 5**

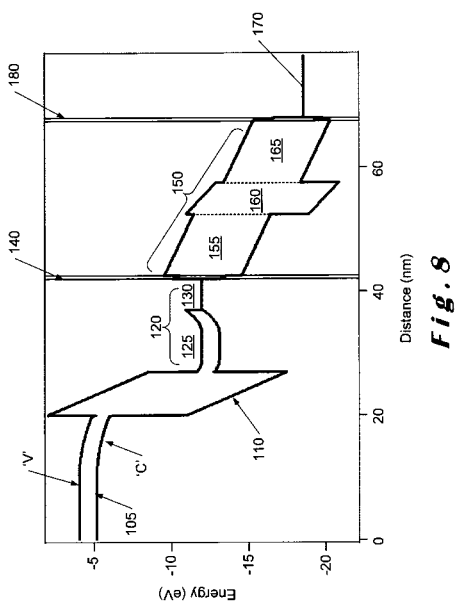
5/14



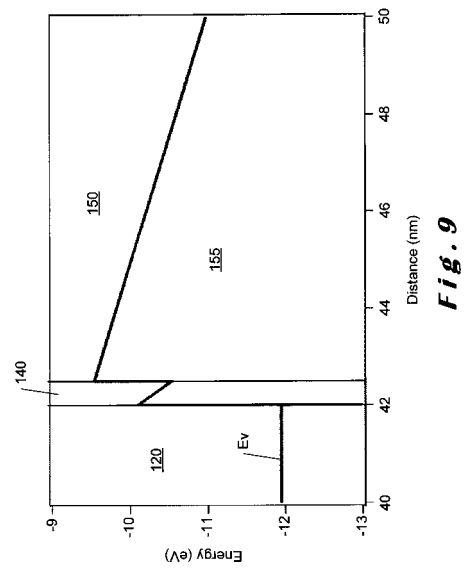
6/14

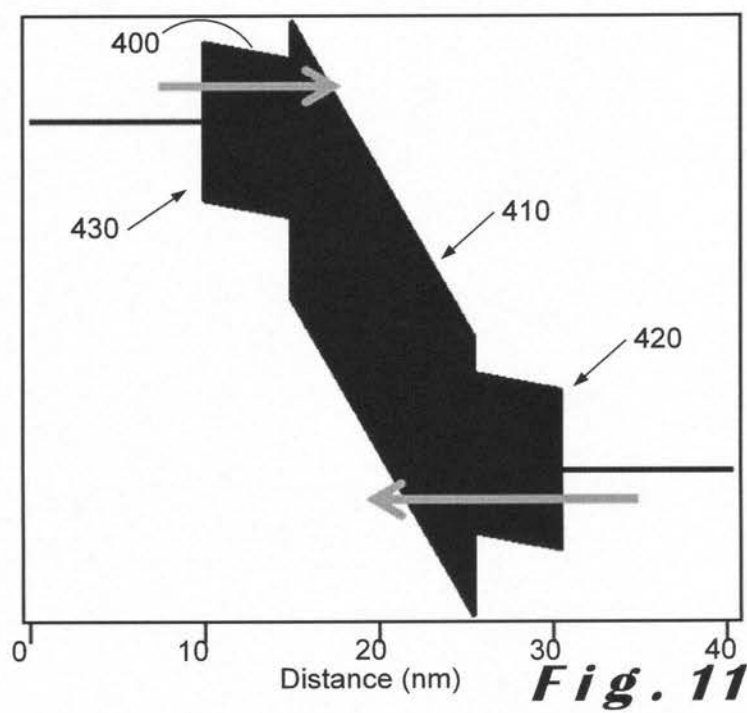
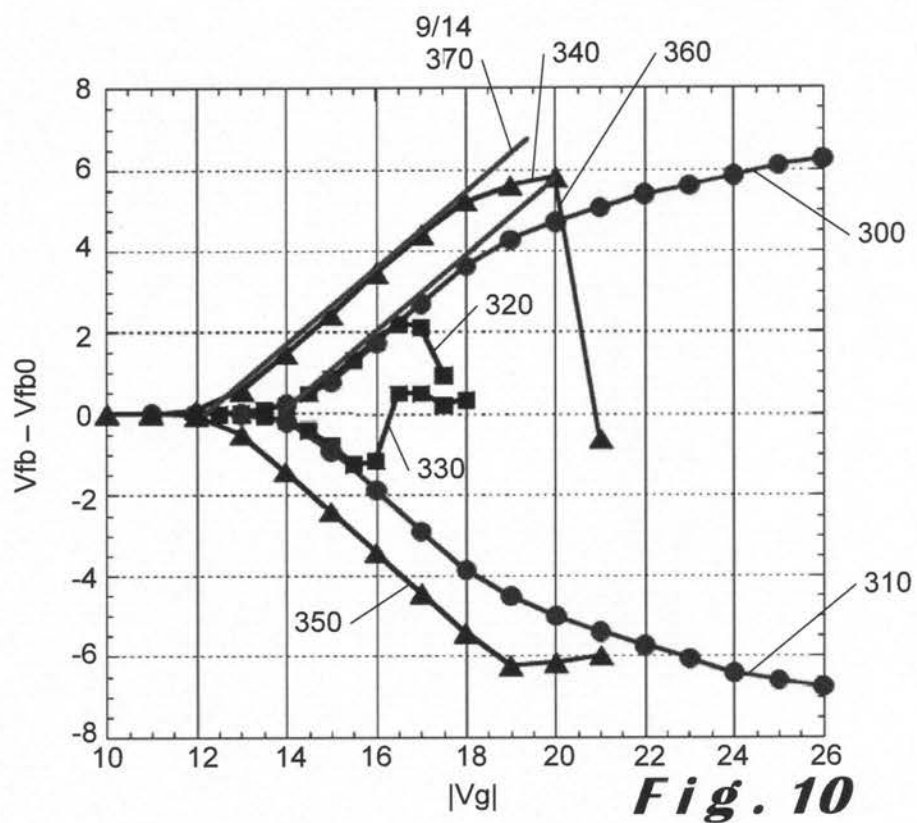


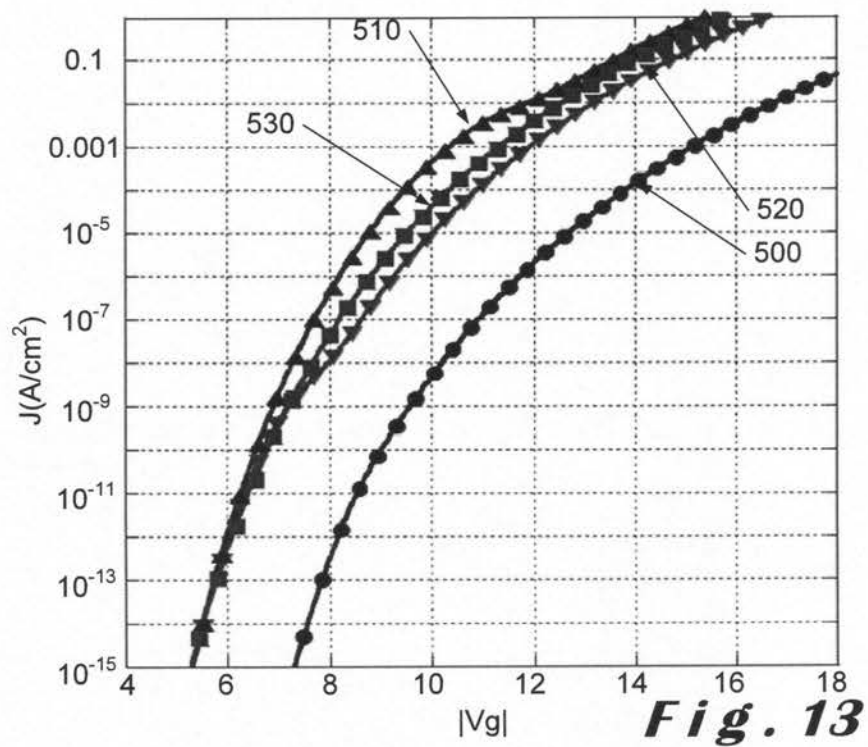
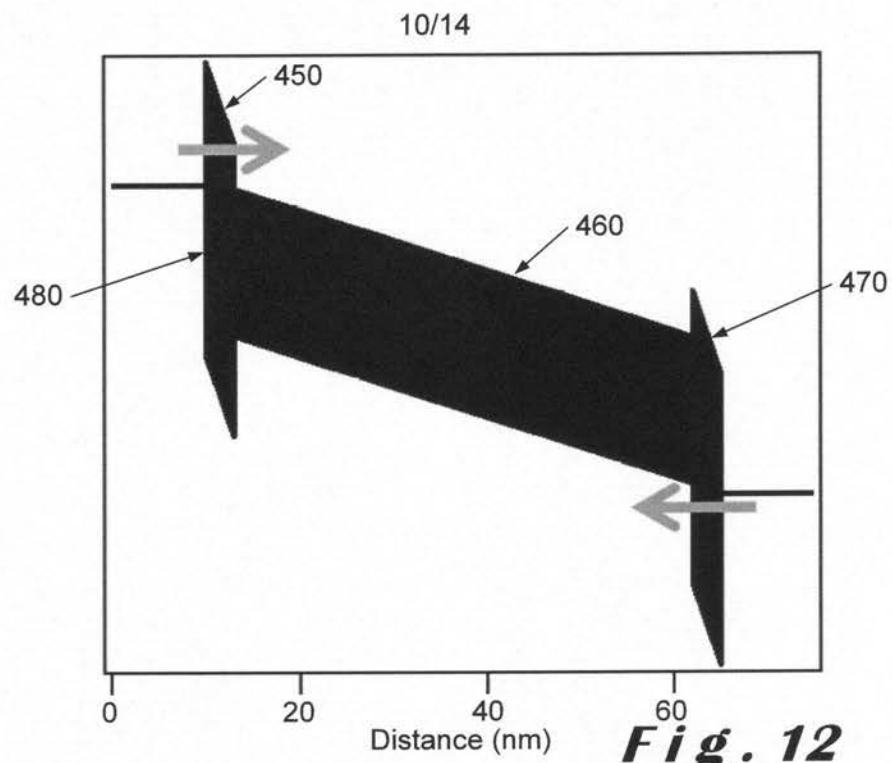
7/14

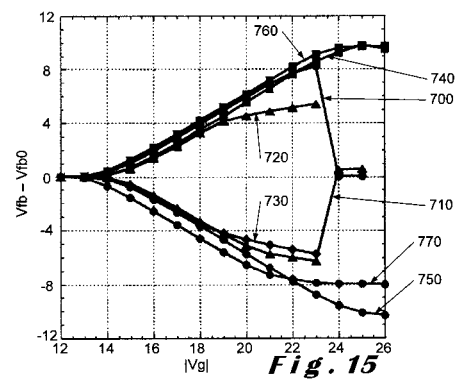
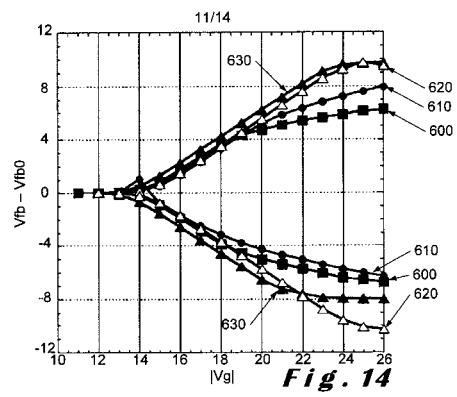


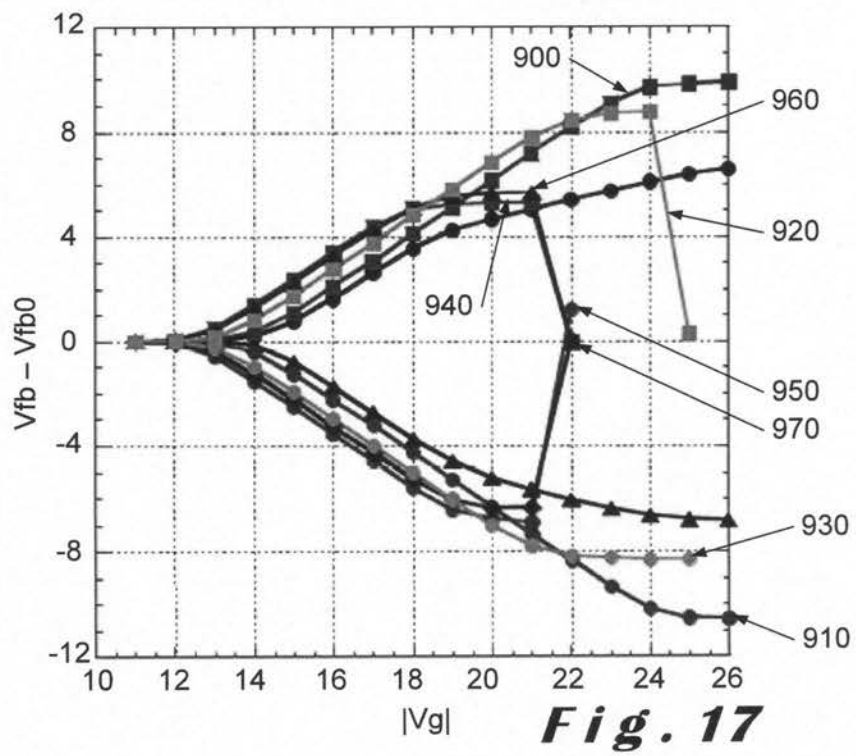
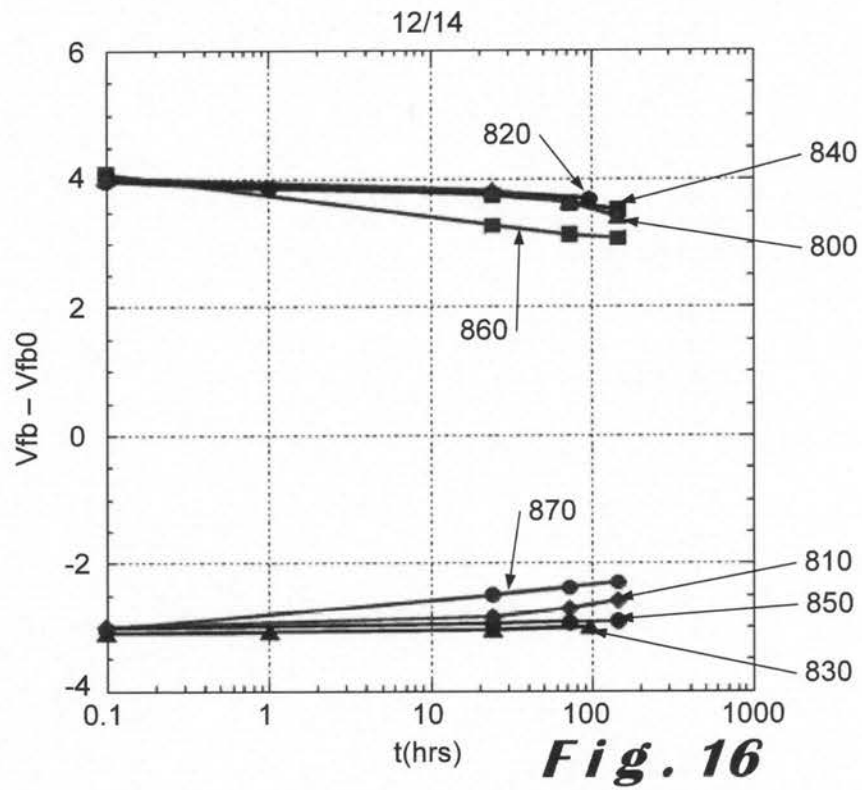
8/14

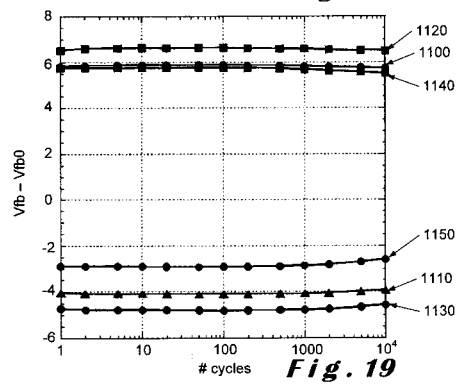
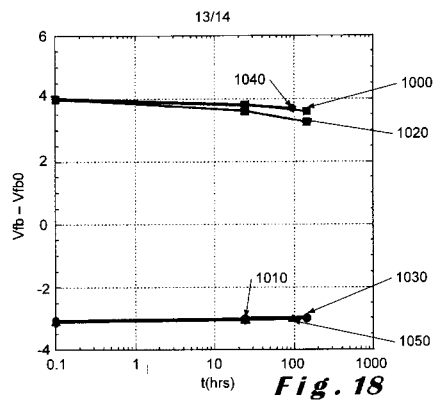




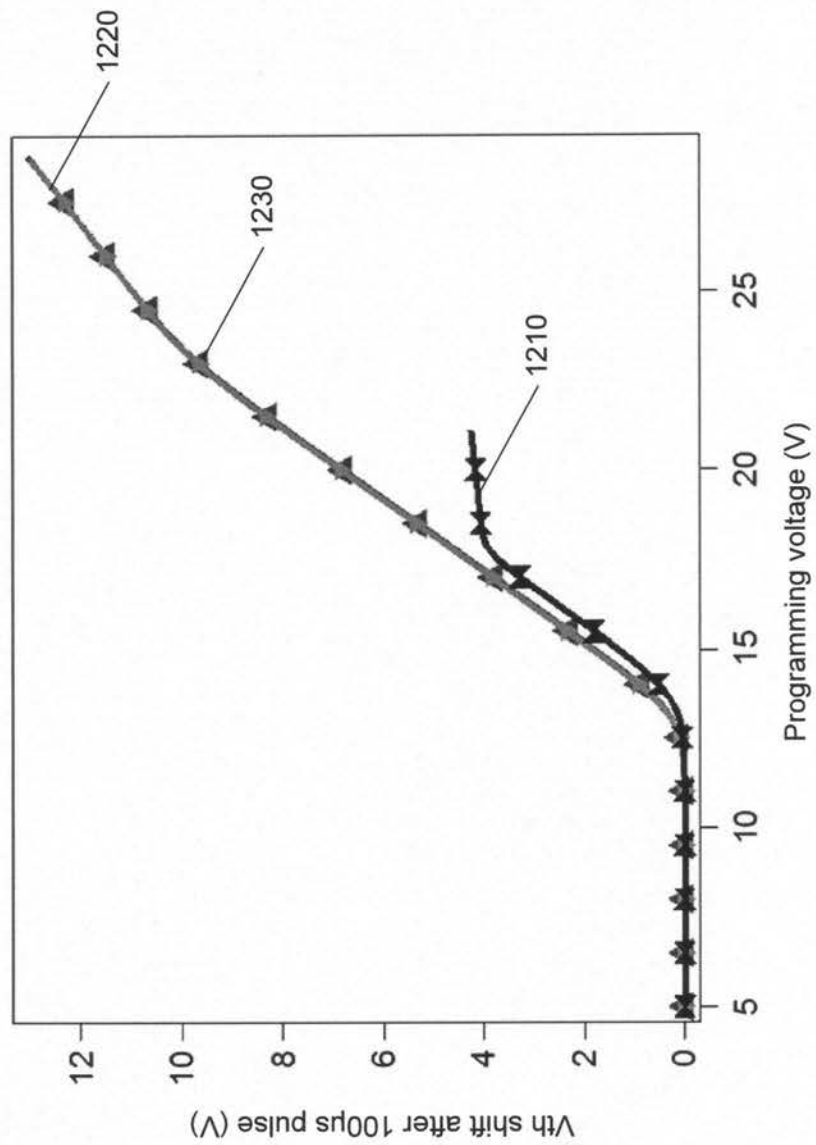








14/14

**Fig. 20**