

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-103724
(P2015-103724A)

(43) 公開日 平成27年6月4日(2015.6.4)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 C 5 F 0 3 8
 HO 1 L 27/04 (2006.01)

審査請求 未請求 請求項の数 7 O L (全 6 頁)

<p>(21) 出願番号 特願2013-244620 (P2013-244620) (22) 出願日 平成25年11月27日 (2013.11.27)</p>	<p>(71) 出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 (74) 代理人 100082175 弁理士 高田 守 (74) 代理人 100106150 弁理士 高橋 英樹 (74) 代理人 100148057 弁理士 久野 淑己 (72) 発明者 小川 喜之 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内 Fターム(参考) 5F038 AC05 AC09 AC15 DF02 EZ14 EZ15 EZ20</p>
--	---

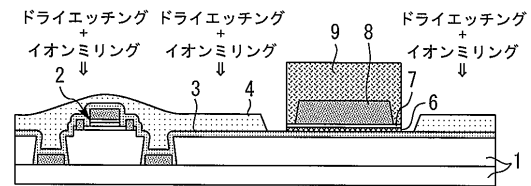
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 残渣を防ぎつつ、高品質のMIMキャパシタを得ることができる半導体装置の製造方法を得る。

【解決手段】 半導体基板 1 上に能動素子 2 を形成する。能動素子 2 を覆う樹脂膜 4 を形成する。樹脂膜 4 を形成した後に、半導体基板 1 上の全面に下地金属膜 6 と絶縁膜 7 を順に連続して形成する。絶縁膜 7 上に上地金属パターン 8 を形成する。上地金属パターン 8 を形成した後に、下地金属膜 6 と絶縁膜 7 をパターンニングしてMIMキャパシタ 10 を形成する。

【選択図】 図 7



【特許請求の範囲】

【請求項 1】

半導体基板上に能動素子を形成する工程と、
前記能動素子を覆う樹脂膜を形成する工程と、
前記樹脂膜を形成した後に、前記半導体基板上の全面に下地金属膜と絶縁膜を順に連続して形成する工程と、

前記絶縁膜上に上地金属パターンを形成する工程と、
前記上地金属パターンを形成した後に、前記下地金属膜と前記絶縁膜をパターンニングして M I M キャパシタを形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記 M I M キャパシタを形成した後に前記樹脂膜を除去する工程を更に備えることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記能動素子以外の領域において前記樹脂膜の一部を除去して開口部を形成する工程を更に備え、

前記開口部を形成した後に前記下地金属膜と前記絶縁膜を形成し、
前記開口部内において前記上地金属パターンを形成することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記絶縁膜を形成した後に、前記半導体基板上の全面に中間金属膜と中間絶縁膜を順に連続して形成する工程を更に備え、

前記中間絶縁膜上に前記上地金属パターンを形成し、
前記下地金属膜と前記絶縁膜と前記中間金属膜と前記中間絶縁膜をパターンニングして前記 M I M キャパシタとして積層 M I M キャパシタを形成することを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記 M I M キャパシタを前記樹脂膜上に形成し、
前記 M I M キャパシタの下方の前記樹脂膜を除去せずに残すことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 6】

前記 M I M キャパシタを形成した後に前記樹脂膜を除去せずに残すことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】

前記下地金属膜をメッキ給電層として用いてメッキ配線を形成する工程を更に備えることを特徴とする請求項 1 ~ 6 の何れか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1つの半導体基板上に能動素子と M I M (Metal-Insulator-Metal) キャパシタを集積した M M I C (Monolithic Microwave Integrated Circuit) の製造方法に関する。

【背景技術】

【0002】

M I M キャパシタを形成する際にリフトオフを用いずに下地金属膜と絶縁膜を連続して形成することで、高品質の M I M キャパシタを得ることができる(例えば、特許文献 1, 2 参照)。この製造方法を M M I C に適用する場合、能動素子と M I M キャパシタのどちらを先に形成するかで 2 通りの方法がある。

【先行技術文献】

【特許文献】

【0003】

10

20

30

40

50

【特許文献1】特開平10-65110号公報

【特許文献2】米国特許第3889476号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

能動素子を先に形成する場合、MIMキャパシタの下地金属膜と絶縁膜は基板上の全面に形成されるため、能動素子がそれらで覆われる。実際の能動素子は逆テーパのメサ形状やタブ形状、庇状の電極や絶縁膜やエピタキシャル層を有していて、陰になる部分が生じる。このため、MIMキャパシタ形成の最後に不要な下地金属膜と絶縁膜を除去する工程で、能動素子の陰になる部分に下地金属膜又は絶縁膜が残渣として残る。この残渣は、電气的特性上の寄生成分となり高周波特性を劣化させる要因となる。

10

【0005】

MIMキャパシタを先に形成する場合、能動素子が形成される場所は平面のままであるため、残渣を残すことなく不要な金属膜と絶縁膜を除去できる。しかし、MIMキャパシタによって生じた凹凸が、能動素子形成工程のレジスト塗布ムラの要因となり、パターン寸法バラツキの悪化やレイアウトの配置制約が生じる。これを回避するために予めMIMキャパシタを形成する場所を掘り込む方法もあるが、掘り込み部分側壁が逆テーパとなる方位では金属膜や絶縁膜が除去できずに残渣となってしまう。さらに工程が複雑となり、工数が多くなる。

【0006】

本発明は、上述のような課題を解決するためになされたもので、その目的は残渣を防ぎつつ、高品質のMIMキャパシタを得ることができる半導体装置の製造方法を得るものである。

20

【課題を解決するための手段】

【0007】

本発明に係る半導体装置の製造方法は、半導体基板上に能動素子を形成する工程と、前記能動素子を覆う樹脂膜を形成する工程と、前記樹脂膜を形成した後に、前記半導体基板の全面に下地金属膜と絶縁膜を順に連続して形成する工程と、前記絶縁膜上に上地金属パターンを形成する工程と、前記上地金属パターンを形成した後に、前記下地金属膜と前記絶縁膜をパターンニングしてMIMキャパシタを形成する工程とを備えることを特徴とする。

30

【発明の効果】

【0008】

本発明では、MIMキャパシタの形成前に能動素子を樹脂膜で覆って平坦化することで、後の下地金属膜と絶縁膜の除去工程において陰になる部分が無くなるため、残渣を防ぐことができる。また、下地金属膜と絶縁膜を連続して形成するため、高品質のMIMキャパシタを得ることができる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

40

【図2】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図3】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図4】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図5】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図6】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図7】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図8】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図9】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図10】比較例1に係る半導体装置の製造方法を示す断面図である。

【図11】比較例2に係る半導体装置の製造方法を示す断面図である。

50

【図12】本発明の実施の形態2に係る半導体装置の製造方法を示す断面図である。

【図13】本発明の実施の形態3に係る半導体装置の製造方法を示す断面図である。

【図14】本発明の実施の形態4に係る半導体装置の製造方法を示す断面図である。

【図15】本発明の実施の形態5に係る半導体装置の製造方法を示す断面図である。

【発明を実施するための形態】

【0010】

本発明の実施の形態に係る半導体装置の製造方法について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【0011】

実施の形態1

10

図1から図9は、本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。まず、図1に示すように、半導体基板1上に能動素子2を形成する。能動素子2を覆う保護膜3を半導体基板1上の全面に形成する。

【0012】

次に、図2に示すように、能動素子2を覆う感光性の樹脂膜4を半導体基板1上の全面に形成する。次に、図3に示すように、能動素子2以外の領域において樹脂膜4の一部を露光と現像によって除去して開口部5を形成する。

【0013】

次に、図4に示すように、半導体基板1上の全面に下地金属膜6と絶縁膜7を順に連続して形成する。下地金属膜6はスパッタにより形成する。次に、図5に示すように、開口部5内において絶縁膜7上に上地金属パターン8を転写とリフトオフによって形成する。次に、図6に示すように、MIM領域を決めるフォトレジスト9を転写で形成する。

20

【0014】

次に、図7に示すように、フォトレジスト9をマスクとして不要な絶縁膜7をドライエッチングで、不要な下地金属膜6をイオンミリングで除去する。このように下地金属膜6と絶縁膜7をパターンニングしてMIMキャパシタ10を形成する。

【0015】

最後に、図8に示すように、残っている樹脂膜4をアッシャで除去する。これにより、図9に示すように、能動素子2とMIMキャパシタ10が形成される。その後、コンタクトホール加工、真空蒸着による配線形成、メッキによる配線形成などを経て、各回路構成要素を結線してMMICが製造される。

30

【0016】

続いて本実施の形態の効果と比較例1, 2と比較して説明する。図10は、比較例1に係る半導体装置の製造方法を示す断面図である。比較例1では能動素子2を覆う樹脂膜4が無い。能動素子2は逆テーパ形状の陰になる部分を有するため、この部分に下地金属膜6又は絶縁膜7が残渣として残る。

【0017】

図11は、比較例2に係る半導体装置の製造方法を示す断面図である。比較例2はMIMキャパシタ10を先に形成するが、能動素子2の形成工程のレジスト塗布ムラ等を回避するために予めMIMキャパシタ10を形成する場所を掘り込む。しかし、掘り込み部分側壁が逆テーパとなる方位では下地金属膜6又は絶縁膜7が除去しきれずに残渣となってしまう。さらに工程が複雑となり、工数が多くなる。

40

【0018】

これに対して、本実施の形態では、MIMキャパシタ10の形成前に能動素子2を樹脂膜4で覆って平坦化することで、後の下地金属膜6と絶縁膜7の除去工程において陰になる部分が無くなるため、残渣を防ぐことができる。なお、開口部5において樹脂膜4の段差が生じるが、露光後パターンのプロファイルが順テーパとなる感光性ポリイミドのような樹脂膜4を用いることで陰になる部分の発生を防ぐことができる。

【0019】

また、リフトオフを挟まずに下地金属膜6と絶縁膜7を連続して形成するため、高品質

50

のMIMキャパシタ10を得ることができる。また、残っている樹脂膜4をアッシャで除去することで、樹脂膜4が能動素子2の寄生容量となるのを防ぐことができる。

【0020】

なお、本実施の形態はMIMキャパシタを有するMMIC全般に適用可能である。半導体基板1の材料はGaAs, GaN, InP等の全てが対象である。能動素子2はバイポーラトランジスタ, FET, pn接合ダイオード, ショットキーバリアダイオード等の全てが対象である。

【0021】

実施の形態2 .

図12は、本発明の実施の形態2に係る半導体装置の製造方法を示す断面図である。実施の形態1の工程に加えて、絶縁膜7を形成した後に、半導体基板1上の全面に中間金属膜11と中間絶縁膜12を順に連続して形成する。中間絶縁膜12上に上地金属パターン8を形成する。下地金属膜6と絶縁膜7と中間金属膜11と中間絶縁膜12をパターンニングしてMIMキャパシタ10として積層MIMキャパシタを形成する。これによりMIMキャパシタ10の容量値の高集積化も可能になる。

10

【0022】

実施の形態3 .

図13は、本発明の実施の形態3に係る半導体装置の製造方法を示す断面図である。MIMキャパシタ10が形成される領域の樹脂膜4を露光で除去しないで残しておき、その樹脂膜4上にMIMキャパシタ10を形成する。このMIMキャパシタ10の下方の樹脂膜4を除去せずに残す。これにより、MIMキャパシタ10が樹脂膜4で平坦化された面上に形成されるので、より異物の影響を受けなくなり、MIMキャパシタ10の信頼性が向上する。なお、露光を行わない場合は樹脂膜4が感光性である必要はない。

20

【0023】

実施の形態4 .

図14は、本発明の実施の形態4に係る半導体装置の製造方法を示す断面図である。MIMキャパシタ10を形成した後に樹脂膜4を除去せずに残す。この場合も樹脂膜4は感光性である必要はない。下地金属膜6のコンタクト部分又はMIMキャパシタ10そのものを樹脂膜4上に形成して樹脂膜4下の構造物と積層することができるので、MMICを高集積化できる。

30

【0024】

実施の形態5 .

図15は、本発明の実施の形態5に係る半導体装置の製造方法を示す断面図である。下地金属膜6をメッキ給電層として用いてメッキ配線13を形成する。これにより、MIMキャパシタ10形成後にメッキ給電層とメッキ配線を別途形成する場合に比べて、工程を省略することができる。

【0025】

なお、上記の実施の形態では下地金属膜6をスパッタで形成したが、これに限らず下地金属膜6を真空蒸着で形成してもよい。これにより下地金属膜6を容易に厚くすることができるため、MIMキャパシタ10の抵抗成分が軽減され、高周波での信号損失が改善される。

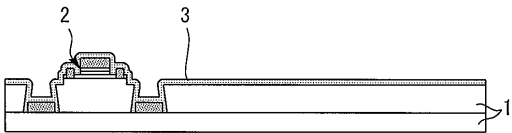
40

【符号の説明】

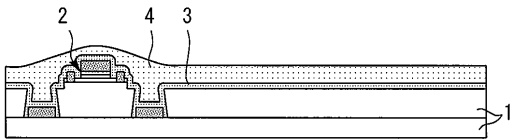
【0026】

1 半導体基板、2 能動素子、4 樹脂膜、5 開口部、6 下地金属膜、7 絶縁膜、8 上地金属パターン、10 MIMキャパシタ、11 中間金属膜、12 中間絶縁膜、13 メッキ配線

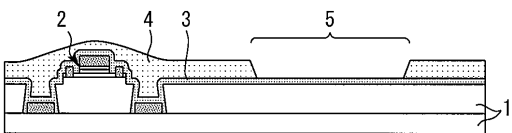
【図 1】



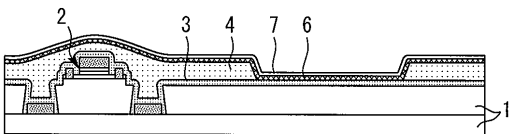
【図 2】



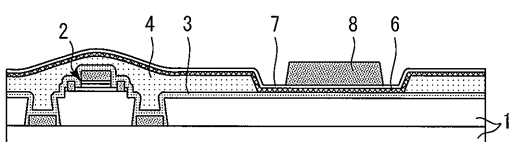
【図 3】



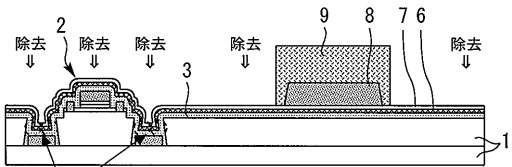
【図 4】



【図 5】

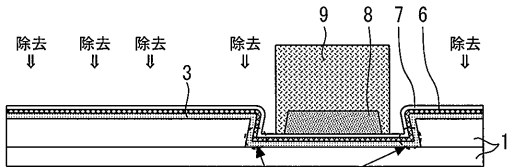


【図 10】



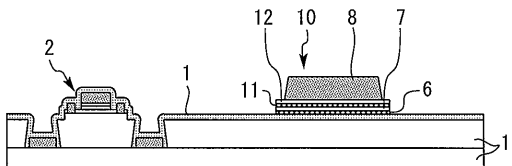
逆テーパ形状の影になる部分

【図 11】

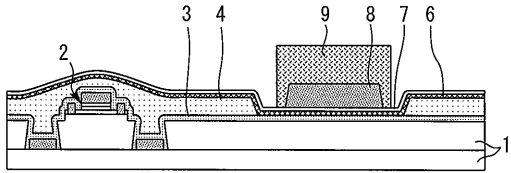


逆テーパ形状の影になる部分

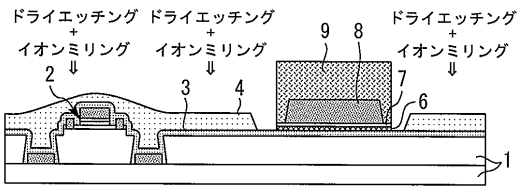
【図 12】



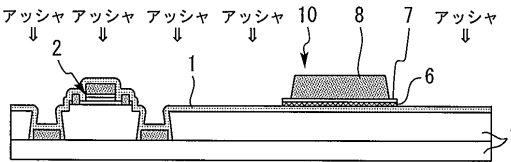
【図 6】



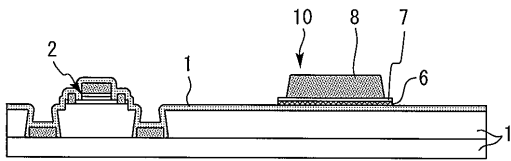
【図 7】



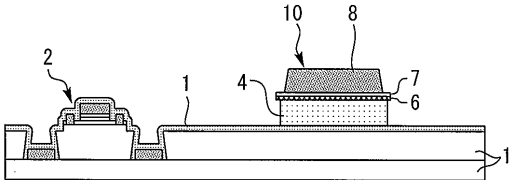
【図 8】



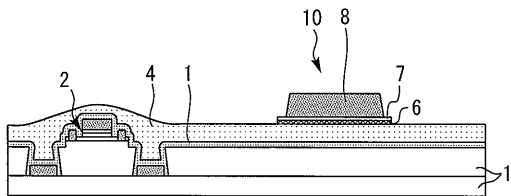
【図 9】



【図 13】



【図 14】



【図 15】

