

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月10日(10.08.2017)



(10) 国際公開番号

WO 2017/135244 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/369 (2011.01)
- (21) 国際出願番号: PCT/JP2017/003393
- (22) 国際出願日: 2017年1月31日(31.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-017483 2016年2月1日(01.02.2016) JP
- (71) 出願人: 株式会社ニコン(NIKON CORPORATION)
[JP/JP]; 〒1086290 東京都港区港南二丁目15番3号 Tokyo (JP).
- (72) 発明者: 成井 禎(NARUI Tadashi); 〒1086290 東京都港区港南二丁目15番3号 株式会社ニコン内 Tokyo (JP). 高木 徹(TAKAGI Toru); 〒1086290 東京都港区港南二丁目15番3号 株式会社ニコン内 Tokyo (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).

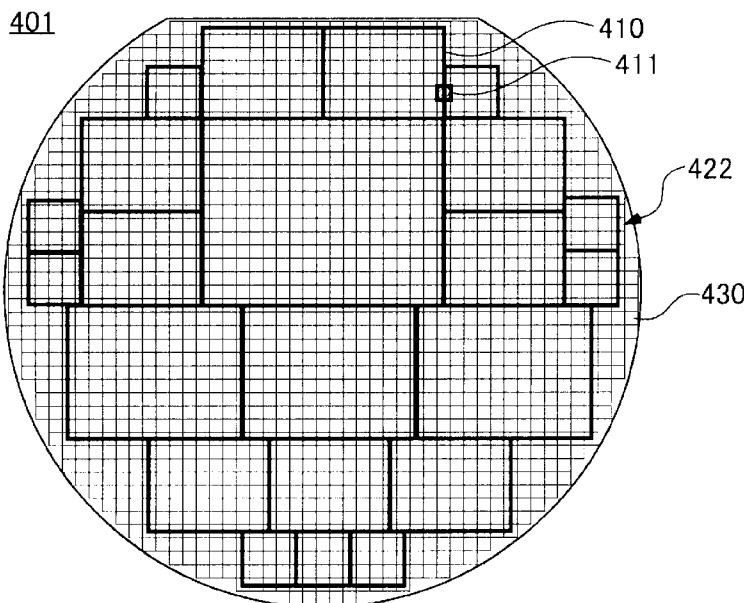
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: IMAGING ELEMENT MANUFACTURING METHOD, IMAGING ELEMENT, AND IMAGING DEVICE

(54) 発明の名称: 撮像素子の製造方法、撮像素子、および撮像装置



(57) Abstract: This imaging element manufacturing method involves: preparing a first substrate having multiple pixels arranged continuously in two dimensions; preparing a second substrate which comprises multiple circuit blocks electrically independent from one another and each having connection terminals leading to a power source and to a reference potential, each of said multiple circuit blocks comprising at least part of a circuit for reading out a signal from multiple pixels; laminating the first substrate and the second substrate and electrically bonding the multiple circuit blocks and the multiple pixels overlapping these; and, by cutting away at least one peripheral circuit block of said multiple circuit blocks and the pixels overlapping said peripheral circuit block, forming a laminate body comprising multiple pixels laminated on the at least one of the multiple circuit blocks.

(57) 要約: 撮像素子の製造方法であって、2次元的に連続して配列された複数の画素を有する第1基板を用意することと、それぞれが電源および基準電位への接続端子を有し、互いに電氣的に独立した複数の回路ブ

ロックを有し、当該複数の回路ブロックの各々が、複数の画素から信号を読み出す回路の少なくとも一部を有する第2基板を用意することと、第1基板および第2基板を積層して、複数の回路ブロックと、それに重なる複数の画素とを電氣的に結合することと、複数の回路ブロックの少なくともひとつの周囲の回路ブロックおよびそれに重なる画素を切断することにより、複数の回路ブロックの少なくともひとつに複数の画素が積層された積層体を形成することを含む。

WO 2017/135244 A1

明 細 書

発明の名称：撮像素子の製造方法、撮像素子、および撮像装置
技術分野

[0001] 本発明は、撮像素子の製造方法、撮像素子、および撮像装置に関する。

背景技術

[0002] 受光素子を有する基板と、読み出し回路を有する基板とを積層した構造の撮像素子がある（例えば、特許文献1参照）。

特許文献1 特開2010-225927号公報

解決しようとする課題

[0003] 画素数が異なる撮像素子を製造する場合、専用の画素および画素読み出し回路を設計し、それらに対応したマスクを用いて基板を作製するので、製造コストが高くなっていた。

一般的開示

[0004] 本発明の第1の態様においては、2次元的に連続して配列された複数の画素を有する第1基板を用意することと、それぞれが電源および基準電位への接続端子を有し、互いに電氣的に独立した複数の回路ブロックを有し、当該複数の回路ブロックの各々が、複数の画素から信号を読み出す回路の少なくとも一部を有する第2基板を用意することと、第1基板および第2基板を積層して、複数の回路ブロックと、それに重なる複数の画素とを電氣的に結合することと、複数の回路ブロックの少なくともひとつの周囲の回路ブロックおよびそれに重なる画素を切断することにより、複数の回路ブロックの少なくともひとつに複数の画素が積層された積層体を形成することを含む撮像素子の製造方法が提供される。

[0005] 本発明の第2の態様においては、2次元的に連続して配列された複数の画素を有する第1基板と、第1基板に積層され、それぞれの領域に対応して積層された複数の画素から信号を読み出す回路の少なくとも一部を含む複数の回路ブロックを有する第2基板とを備え、複数の回路ブロックは、それぞれ

が電源および基準電位への接続端子を有し、互いに電氣的に独立する撮像素子が提供される。

[0006] 本発明の第3の態様においては、上記の撮像素子を備える撮像装置が提供される。

[0007] 上記の発明の概要は、本発明の特徴の全てを列挙したものではない。これらの特徴群のサブコンビネーションもまた、発明となり得る。

図面の簡単な説明

[0008] [図1]第1基板110および第2基板120の模式的斜視図である。

[図2]画素ブロック210および回路ブロック220の模式図である。

[図3]第1基板110および第2基板120の積層前の状態を示す模式図である。

[図4]第1基板110および第2基板120を積層した状態を示す模式図である。

[図5]積層ブロック430のブロック図である。

[図6]画素セル217の構造を示す回路図である。

[図7]撮像素子421の切り出し位置を模式的に示す図である。

[図8]撮像素子422の切り出し位置を模式的に示す図である。

[図9]撮像素子423の模式的な分解斜視図である。

[図10]撮像素子423の断面図である。

[図11]撮像素子422の切り出し位置を模式的に示す図である。

[図12]撮像素子424の模式的な分解斜視図である。

[図13]撮像素子424の模式的な分解断面図である。

[図14]積層ブロック431のブロック図である。

[図15]積層ブロック432のブロック図である。

[図16]積層ブロック433のブロック図である。

[図17]積層ブロック430等の製造手順を例示する流れ図である。

[図18]単層基板402の模式図である。

[図19]単層基板402の使い方を例示する模式図である。

[図20]単層基板403の模式図である。

[図21]単層基板403の使い方を例示する模式図である。

[図22]撮像装置500のブロック図である。

発明を実施するための形態

[0009] 以下、発明の実施の形態を通じて本発明を説明する。以下の実施形態は請求の範囲に係る発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0010] 図1は、積層されて撮像素子をなす第1基板110および第2基板120の模式的斜視図である。図中上側に位置する第1基板110と、図中下側に位置する第2基板120とは、互いに略同寸の半導体基板である。ここでいう半導体基板とは、例えば、フォトリソグラフィにより素子、配線等が形成された半導体基板であり得る。

[0011] 第1基板110は、二次元的に配列された複数の画素ブロック210を有する。複数の画素ブロック210は、互いに同じ大きさを有すると共に、相互の間にダイシングライン等の間隙を設けることなく、互いに隣接して連続して配置されている。また、画素ブロック210は、第1基板110においてフォトリソグラフィにより加工できる領域全体に配される。なお、本実施形態では、第1基板110に複数の画素ブロック210を有しているが、後述するように、第1基板110に2次的に配列される複数の画素セル217を画素ブロック210で分けしない構成としてもよい。

[0012] 第2基板120は、二次元的に配列された複数の回路ブロック220を有する。複数の回路ブロック220は、互いに同じ大きさを有すると共に、互いに隣接して配置されている。回路ブロック220は、第2基板120においてフォトリソグラフィにより加工できる領域全体に配される。

[0013] 図2は、第1基板110の画素ブロック210と、第2基板120の回路ブロック220との対応関係を示す模式図である。第2基板120における回路ブロック220の各々は、第1基板110における画素ブロック210

の各々に対応した領域に配される。また、画素ブロック 210 および回路ブロック 220 は、互いに同じ大きさを有する。

[0014] 第 1 基板 110 において、画素ブロック 210 の各々は、二次元的に配列された複数の画素セル 217 を有する。複数の画素セル 217 の各々は、受光素子を含む。また、複数の画素ブロック 210 の各々には、予め決められた数の画素セル 217 が配される。このような第 1 基板 110 に配される画素ブロック 210 は、画素セル 217 のピッチが $1\ \mu\text{m}$ から数 μm 程度の場合に、例えば 100 個平方から 1000 個平方程度としてもよい。

[0015] なお、第 1 基板 110 において、画素ブロック 210 は、隣接する画素ブロック 210 と必ずしも密着していなくてもよいが、例えば、隣接する画素ブロック 210 の間でも、画素セル 217 のピッチが変わらない間隔としてもよい。この場合、第 1 基板 110 における画素セル 217 のピッチは全て等しくなるので、画素セル 217 間を接続する配線が第 2 基板 120 の回路ブロックに配置されて、画素セル 217 間を接続する配線がない構成、すなわち、各画素セル 217 が独立している構成であれば、第 1 基板 110 に画素ブロック 210 として区分けしなくてもよい。また、例えば、フォトリソグラフィにより画素ブロック 210 を形成する場合に、マスクが移動した後の露光の間隔程度の、ダイシングラインやスクライブラインほど広くはない間隙、例えば、数画素分程度の幅で画素ブロック 210 の間に間隙が生じてもよい。これにより、第 1 基板 110 をダイシングする場合に、当該間隙を含む領域を切ることにより、ダイシングにより破壊する画素の数を減らすことができる。

[0016] 第 2 基板 120 において、複数の回路ブロック 220 は、互いに同じ構成の回路を有する。回路ブロック 220 に配される回路は、対応する画素ブロック 210 に配された画素セル 217 の出力信号を読み出す読み出し回路の少なくとも一部を含む。

[0017] 図 3 は、第 1 基板 110 における画素ブロック 210 と、第 2 基板 120 における回路ブロック 220 との構造を、模式的に併せて示す断面図である

。図4は、第1基板110および第2基板120を積層した場合の電氣的接続を示す模式図である。第1基板110および第2基板120を位置合わせして対向させた場合は、画素ブロック210のそれぞれと、対応する回路ブロック220のそれぞれとが整列する。

[0018] 図示の例において、第1基板110は裏面照射型であり、図中下面に形成された回路層316を有する下地基板315は、裏面から薄化されている。薄化された下地基板315の図中上面には、カラーフィルタ317およびマイクロレンズアレイ318が順次積層されている。第1基板110において、画素ブロック210の図中両隣には、他の画素ブロック210が存在する。

[0019] この実施形態では、第1基板110と第2基板120とを積層した後に下地基板315が薄化される。しかしながら、積層前に予め下地基板315を薄膜化した後、第1基板110と第2基板120の積層を行う手順にしてもよい。また、第1基板110に実装する画素セル217は、裏面照射型に限られるわけではない。例えば、表面入射型でTSV（貫通ビア）を使って回路基板に接続しても良い。

[0020] 図中下側に位置する第2基板120は、図中上面に、接続パッド321、322、323、324を有する。接続パッド321、322、323、324は、第1基板110の接続パッド311、312、313、314に対向する位置に配される。また、第2基板120は、複数のTSV325（through-silicon via）および図中下面に配された複数のバンプ326を有する。なお、第2基板120の上面には、フォトリソグラフィにより形成された回路が設けられているが、図示は省略している。

[0021] TSV325は、第2基板120を厚さ方向に貫通して、第2基板120の表裏を電氣的に結合する。バンプ326は、TSV325を介して、第2基板120の図中上面の回路を外部に接続する場合に使用される。

[0022] なお、回路ブロック220の図中両隣にも、他の回路ブロック220が存在する。複数の回路ブロック220は互いに同じ構造を有する。このため、

図中には、隣接する回路ブロック 220 の接続パッド 324、321 が見えている。

[0023] 第1基板110の回路層316は、画素ブロック210の一部を構成する。画素ブロック210は、回路層316の図中下面に複数の接続パッド311、312、313、314を有する。第2基板120の回路層328は、回路ブロック220の一部を構成する。回路ブロック220は、回路層328の図中上面に複数の接続パッド321、322、323、324を有する。

[0024] 第1基板110および第2基板120が互いに積層された場合、第1基板110の接続パッド311、312、313、314と、第2基板120の接続パッド321、322、323、324は互いに接触して電氣的に結合される。これにより、接続パッド311、312、321、322を通じて、選択信号TXおよび電源電圧 V_{DD} が第2基板120から第1基板110に供給される。また、出力信号OUTが、接続パッド313、323を通じて第1基板110から第2基板120に出力される。更に、接続パッド314、324を通じて第1基板110および第2基板120の基準電位GNDが共通化され、画素ブロック210および回路ブロック220は一体的な撮像素子を形成する。

[0025] なお、第1基板110が、画素ブロック210で分けられることなく全面に画素セル217が配列されている場合、各々の画素セル217に接続パッド311、312、313、314が設けられる。さらに、これらに対応して第2基板120の接続パッド321、322、323、324も画素セル217の数だけ設けられる。これにより、各々の画素セル217の間を跨ぐ配線がないので、第1基板110は、任意の画素セル217自体を切断しても、それに隣接する画素セル217は正常に動作する。すなわち、第1基板110は、画素ブロック210を設定しなくても、回路ブロック220の外周に合わせて任意の画素セル217を切断すれば、切り出された撮像素子における画素セル217が正常に動作する。

- [0026] 図5は、積層ブロック430の電氣的構造を示すブロック図である。積層ブロック430は、第1基板110および第2基板120が積層された場合に、互いに電氣的に結合された単一の画素ブロック210および単一の回路ブロック220により形成される。積層ブロック430は、複数の画素セル217を含む画素ブロック210と、垂直選択回路222、出力回路226、水平選択回路227、およびクロック源／電源221を有する。
- [0027] 画素セル217は、フォトダイオード等の光電変換素子を含み、入射した入射光の強度に応じた電氣信号を回路ブロック220へ出力する。
- [0028] 垂直選択回路222は、マトリックス状に配された画素セル217の行毎に共通線により接続される。出力回路226および水平選択回路227は、垂直選択回路222に接続された辺と異なる一辺に接続される。
- [0029] 垂直選択回路222はシフトレジスタを含み、接続された複数の駆動線を順次選択して、選択した駆動線に画素セル217を駆動するパルス信号を供給する。これにより、画素セル217が行単位で順次選択走査される。
- [0030] 出力回路226は、二重相関サンプリング回路、負荷トランジスタ、列選択トランジスタ等を含み、画素セル217に対して列毎に接続される。水平選択回路227は、例えばシフトレジスタにより形成され、出力回路226における列選択トランジスタに接続される。水平選択回路227は、出力回路226の列選択トランジスタを順次駆動することにより、出力回路226を通じて画素セル217を列毎に順次選択走査する。
- [0031] 垂直選択回路222により選択駆動された行において、水平選択回路227により選択駆動された画素セル217は、受光素子により浮遊拡散層等の容量素子に蓄積された電荷に応じた信号を出力回路226に出力する。出力回路226は、二重相関サンプリングによりパターンノイズの影響を除去した上で、画素セル217への入射光強度に対応した信号を、積層ブロック430の外部へ送り出す。
- [0032] 図6は、積層ブロック430における画素セル217のひとつを取り出して示す回路図である。画素セル217の各々は、受光素子211、リセット

トランジスタ 212、転送トランジスタ 213、容量素子 214、および増幅トランジスタ 215 を有する。

[0033] 画素セル 217 は、第 2 基板 120 から受けた選択信号 TX により、受光素子 211 が受けた光量に応じた電荷を容量素子 214 に蓄積する。また、蓄積した電荷に応じた電流が、出力信号 OUT として第 2 基板に供給される。また、画素セル 217 は、電源からの電源電圧 V_{DD} をも第 2 基板 120 から供給される。

[0034] 図 7 は、積層基板 401 の模式的平面図である。積層基板 401 は、第 1 基板 110 および第 2 基板 120 を積層して形成される。

[0035] 図示の例では、積層基板 401 において、画素ブロック 210 の境界が、第 1 基板 110 を透かして現れている。なお、積層基板 401 においては、画素ブロック 210 のひとつと、対応する回路ブロック 220 のひとつとが積層されたものを積層ブロック 430 と呼ぶ。

[0036] 積層ブロック 430 は、積層基板 401 の略全面を埋めつくしているが、図中に太い切り出し線 410 で示すように、積層基板 401 において、少なくともひとつの積層ブロック 430 を含む領域の外側を切断することにより、第 1 基板 110 の一部と第 2 基板 120 の一部との積層体である撮像素子 421 を切り出すことができる。

[0037] 例えば、100 個平方の画素を含む $1\text{ }\mu\text{m}$ 平方の画素セル 217 をそれぞれ含む積層ブロック 430 を有する積層基板 401 から、縦 30 個、横 40 個の積層ブロック 430 を含む撮像素子 421 を切り出した場合、画素数は 1200 万画素となる。例えば、ブロックの中央を切り出したとして、撮像素子 421 のチップサイズは、 $3.1\text{ mm} \times 4.1\text{ mm}$ 程度となる。なお、図 7 に示した例では、切り出される複数の撮像素子 421 が、互いに同じ面積を有する。よって、個々の撮像素子 421 に含まれる積層ブロック 430 の数は互いに等しく、撮像素子 421 の解像度も互いに等しい。

[0038] ここで、積層基板 401 から積層ブロック 430 を少なくともひとつ含む撮像素子 421 を切り出す場合は、当該積層ブロック 430 の外周に沿って

配され、積層ブロック４３０を囲む積層ブロック４１１、即ち、当該積層ブロック４１１を形成する画素ブロック２１０自体および回路ブロック２２０自体を切断する。これにより、切断された積層ブロック４１１は積層ブロック４３０として機能しなくなるが、切り出し線４１０の内側に位置する積層ブロック４３０の各々は、切断した積層ブロック４１１とは電氣的に独立しているため、撮像素子４２１の一部として確実に動作する。このように、積層基板４０１は、任意の位置から任意の大きさの撮像素子４２１を切り出すことができる。

[0039] 上記のように、撮像素子４２１を切り出すべく積層基板４０１を切断する場合に、画素ブロック２１０自体および回路ブロック２２０自体を含む積層ブロック４１１を切断することにより、当該積層ブロック４１１に隣接する他の積層ブロック４３０の機能を保全できる。また、切り出された撮像素子４２１に含まれる積層ブロック４３０の各々は、画素ブロック２１０と回路ブロック２２０とを有して、それぞれが積層ブロック４３０として機能する。よって、複数の積層ブロック４３０を並列に制御する制御部を用いることにより、それぞれが撮像素子として動作する複数の積層ブロック４３０を含む撮像素子４２１を、恰も単一の撮像素子として使用できる。

[0040] なお、切り出し線４１０上の積層ブロック４１１を切断する場合に、隣接する積層ブロック４３０を損傷しないという趣旨に鑑みて、積層ブロック４１１の幅は、撮像素子４２１を切り出す工具の切り代よりも広くしてもよい。あるいは、積層ブロック４１１の幅よりも切り代が狭い方法または工具で撮像素子４２１を切り出してもよい。具体的には、レーザダイシング装置、ステルスダイシング装置、プラズマエッチング装置、ウォータレーザ装置等を使用できる。

[0041] また、第１基板１１０は、画素となる受光素子等を形成した後に、更に、配線層、カラーフィルタ、およびマイクロレンズ等の部材を形成する。ここで、ダイシングにより切断する位置が予め判っていれば、配線層、カラーフィルタ、およびマイクロレンズ等を形成する工程の少なくともひとつにおい

て、専用のマスクを用いることもできる。これにより、周辺部の光線を効率よく入射させるために、周辺画素のマイクロレンズ、カラーフィルタ、配線の開口の位置を変えるスケーリングが可能となる。

[0042] よって、ダイシングにより第1基板110を切断する位置は、配線層、カラーフィルタ、およびマイクロレンズ等の部材の形成に先立って決定してもよい。言い換えれば、画素が形成された第1基板110は異なるダイシングパターンに対応することができるので、第1基板110を用意しておけば、画素を含む積層半導体装置の製造過程を短縮できる。

[0043] 更に、ダイシングの段階よりも前に、第1基板110に対して、補正に使う黒基準出力のためのオプティカルブラック画素を、配線層、黒のカラーフィルタ、RGBのカラーフィルタ等で遮光する段階も実行してもよい。これにより、画素の周囲にオフセット補正用の画素を配して、オフセット補正ができる素子を製造できる。

[0044] また更に、ダイシングよりも前に配線層を形成することにより、配線材料を用いて、決定したダイシングパターンを第1基板110に描いても良い。これにより、ダイシングの段階における作業効率を向上させることができる。

[0045] また、第1基板110および第2基板120を積層した積層基板401において、各基板に形成された画素ブロック210および回路ブロック220のいずれの境界もが第1基板110および第2基板120の外面に露出しない状態になる場合がある。このような場合は、積層基板401を、赤外線で照明することにより、積層基板401の外側から、切断すべき画素ブロック210自体または切断すべき回路ブロック220自体を、第1基板110または第2基板120を通して確認できる。

[0046] 図8は、積層基板401から切り出す他の撮像素子422の切り出し位置を模式的に示す図である。積層基板401においては、個々の積層ブロック430が、それぞれ撮像素子として独立して動作できるので、ひとつの積層基板401から、互いに異なる数の積層ブロック430を含む様々な形状お

よび大きさの撮像素子422を切り出してもよい。これにより、少量多品種の撮像素子を製造する場合に、撮像素子422の仕様毎にマスクを作成しなくてもよく、開発時間を短縮できる。なお、切り出す撮像素子422は、互いに同じ大きさまたは仕様のものを含んでもよく、さらに、1枚の積層基板401から、すべてが同じ仕様の撮像素子422を切り出しても良いことは勿論である。

[0047] 例えば、ひとつの画素ブロック210が、1 μ mの画素ピッチで配された画素セル217を、100個 $\times$ 100個含む上記の例では、積層基板401からは、0.1mm単位で、積層基板401から切り出す撮像素子422の大きさを選ぶことができる。また、切り出す撮像素子422には、数十個から数千個程度の画素ブロック210を含ませることができるので、撮像素子としての解像度も広い範囲で選択できる。

[0048] さらに、画素ブロック210を単位として、撮像素子422としての画面サイズを任意に設定できるので、16:9、3:2、1:1等の、プロファイルが異なる撮像素子422を1枚の積層基板401から製造することもできる。更に、カメラ用、スマートフォン用、顕微鏡用、監視用など、用途の異なる撮像素子422を1枚の積層基板401から切り出すことができる。

[0049] 図9は、撮像素子423の模式的な分解斜視図である。図示の撮像素子423において、図3に示した第1基板110および第2基板120の断面図と共通の要素には同じ参照番号を付して重複する説明を省く。

[0050] 切り出し線410において切り出された撮像素子423は、境界420により隔てられた複数の画素ブロック210と、複数の回路ブロック220とを含む。ここで、複数の画素ブロック210および複数の回路ブロック220の最外周は、切断された積層ブロック411の残滓により包囲されている。切断された積層ブロック411の残滓は、他の電気回路から電氣的に独立しており、それ自体は積層ブロック430として動作しないが、隣接する画素ブロック210または回路ブロック220と同じ構造の一部を有する。

[0051] これにより、撮像素子423においては、動作する画素セル217のうち

、最外周に位置する画素セル 2 1 7 の更に外側に、動作しない画素セル 2 1 7 が配される。従って、撮像素子 4 2 3 の最外周で動作する画素セル 2 1 7 が切断によって変形することがない。さらに、外側のパターンがそれより内側のパターンと異なると、露光する際にパターンの違いの影響で形状が歪むことがあるが、撮像素子 4 2 3 は、画素セル 2 1 7 が同じパターンで並んでいることにより、露光時における画素の形状の均一性が保たれる。また、外側に動作しない画素セル 2 1 7 がある事によって、撮像素子での乱反射による光量の不均一性を減少させることで、最外周で動作する画素セル 2 1 7 と、撮像素子 4 2 3 の中央の画素セル 2 1 7 との入射光を受光する条件の相違を低減させることができる。よって、撮像素子 4 2 3 は、隅々まで画質の均一性が保たれる。

[0052] 図中に斜線を施した周縁部分は、積層基板 4 0 1 から撮像素子 4 2 3 を切り出す場合に切断された積層ブロック 4 1 1 の残滓である。この部分は、隣接する切断されていない画素ブロック 2 1 0 または回路ブロック 2 2 0 の、積層ブロック 4 1 1 と反対側と同じ構造の部分を含む。

[0053] 図 1 0 は、撮像素子 4 2 3 の模式的断面図である。図示の撮像素子 4 2 3 においては、撮像素子 4 2 3 に残った、切断された積層ブロック 4 1 1 の残滓が導体層 3 3 0 により被覆されている。また、導体層 3 3 0 は、接地等の基準電位に接続されている。なお、電位はプリント基板等から供給されてもよい。さらに、導体層 3 3 0 は第 1 基板 1 1 0 と同電位でも良く、電氣的にオープンとしても良い。また、第 1 基板 1 1 0 は切断された部分が導体層 3 3 0 と電氣的につながっており、切断された積層ブロック 4 1 1 はそれと同電位となることが望ましい。

[0054] 積層基板 4 0 1 から切り出された撮像素子 4 2 3 においては、切断された画素ブロック 2 1 0 または回路ブロック 2 2 0 により外周面が形成される。このため、積層基板 4 0 1 から切り出されたままの状態では、画素ブロック 2 1 0 および回路ブロック 2 2 0 を形成する導体層等が、撮像素子 4 2 3 の側面に露出している。

[0055] そこで、上記のように、撮像素子423の側面を接地した導体層330を導電性接着材等で被覆することにより、撮像素子423の外周に残った素子、配線等が予期せぬ動作をすることが防止される。これにより、撮像素子423の基準電位が安定すると共に、撮像素子423の周囲が電磁波に対して遮蔽され、撮像素子423としての動作が安定する。また、導体層330に代えて、絶縁性の接着剤等で撮像素子423の側面を被覆して、露出したオープンにしてもよい。

[0056] 図11は、積層基板401における撮像素子422の他の切り出し位置を模式的に示す図である。多数の画素ブロック210および回路ブロック220をそれぞれ一枚の基板に形成して第1基板110および第2基板120を用意する過程では、各基板上に不良ブロック440が生じる場合がある。

[0057] そこで、積層基板401から撮像素子422を切り出す段階よりも前に画素ブロック210および回路ブロック220を個々に検査して不良ブロックを検出し、撮像素子422を切り出す段階の前に、不良ブロック440を避けた撮像素子422の切り出し位置を決定する段階を設けてもよい。これにより、撮像素子422の歩留りを向上させることができる。なお、条件が許せば、撮像素子422を切り出す場合に切断するブロックに不良ブロック440を当てることにより、積層基板401の利用効率を向上させることができる。

[0058] 図12は、また他の撮像素子424の模式的な分解斜視図である。撮像素子424は、第1基板110および第2基板120に第3基板130を加えた3層の基板を積層した積層基板から切り出して製造される。ただし、撮像素子424を製造する場合に使用される積層基板は、複数の画素ブロック210を有する第1基板110と、複数の回路ブロック220を有する第2基板120と、第2基板120における複数の回路ブロック220に相当する連続した大きな領域を有する第3基板130とを積層した積層基板から切り出される。

[0059] なお、図中に点線で示すように、撮像素子424も、第1基板110およ

び第2基板120の各層において、画素ブロック210または回路ブロック220と同じ構造物が繰り返された部分が、周縁部の境界420の外側に存在する。よって、撮像素子424の側面を、絶縁層か、接地に結合した導体層により被覆してもよい。

[0060] 図13は、撮像素子424の断面を示す分解図である。撮像素子424においては、第1基板110の下面に配された接続パッド311、312、313、314が、第2基板120の図中上面に配された接続パッド321、322、323、324に接することにより、第1基板110の画素ブロック210と、第2基板120の回路ブロック220とが電氣的に結合される。これにより、画素ブロック210および回路ブロック220の組み合わせ毎に、積層ブロック430が形成される。

[0061] 更に、撮像素子424においては、第2基板120におけるTSV325の下端が、第3基板130の図中上面に形成された接続パッド331に接することにより、第2基板120の回路ブロック220の各々が、第3基板130に電氣的に接続される。第3基板130は、複数の回路ブロック220に相当する連続した広い構造を有するので、それぞれが個別に動作する積層ブロック430を、第3基板に配した制御回路により統括して制御できる。

[0062] よって、撮像素子424においては、第3基板130に由来する制御回路が、第2基板120における複数の回路ブロック220を制御する。よって、撮像素子425は、撮像素子425全体を、積層ブロックに分割されていない単一の撮像素子であるかのように使用できる。

[0063] また、撮像素子424においては、1枚の第1基板110に形成された画素ブロック210を、第2基板120および第3基板の両方に設けた回路により駆動および制御する。よって、回路の規模を拡大して、画像処理等の機能を付加した撮像素子424とすることもできる。

[0064] なお、第3基板130は、それ自体を厚さ方向に貫通するTSV335と、TSV335の図中下端に設けられたバンプ336とを有する。これにより、第3基板130を含む撮像素子424は、外部と電氣的に接続して使用

できる。

[0065] 図14は、積層基板401から切り出して作製された積層ブロック431のブロック図である。他の図と共通の要素には同じ参照番号を付して重複する説明を省く。

[0066] 積層ブロック431は、第1基板110に、複数の画素セル217のうちのひとつを選択的に第2基板120に接続するMUX216（マルチプレクサ）を有する。これにより、画素セル217の数に対する第2基板120における回路の規模を削減して、積層ブロック431の構造を簡素化できる。

[0067] なお、積層ブロック431は、MUX216（マルチプレクサ）の出力に結合された読み出し回路223と、ADC225（アナログデジタルコンバータ）とを備える。これにより、積層ブロック431においては、出力回路226は、出力信号をデジタル処理できる。

[0068] 図15は、積層基板401から切り出して作成された積層ブロック432のブロック図である。図14に示した積層ブロック431と共通の要素には同じ参照番号を付して重複する説明を省く。

[0069] 積層ブロック432は、垂直選択回路222から出力された選択信号が、複数の読み出し回路に共通に供給されている。これにより、画素セル217の数に対する第2基板120における回路の規模を削減して、積層ブロック431の構造を簡素化できる。

[0070] 図16は、積層ブロック433のブロック図である。図中には、第1基板110に配された画素セル217が示されている。

[0071] 積層ブロック433は、複数の画素セル217の出力を受ける加算部218、219を備え、加算部219の出力が、第1基板110の出力信号OUTとして、第2基板120に出力される。これにより、積層ブロック433においては、加算部218、219を動作させることなく、複数の画素セル217に対してタイミングの異なる選択信号を供給して、複数の画素セル217を個別に画素として使用できる。

[0072] また、積層ブロック433においては、加算部218、219を個別にア

クティブにすることにより、２段階で、複数の画素セル２１７の出力を加算して出力することもできる。これにより、第１基板１１０における画素セル２１７の解像度を变化させることができるので、積層基板４０１から切り出す撮像素子４２２の大きさによる解像度の設定とは別に、積層ブロック４３３の解像度を变化させることができる。また、複数の画素セル２１７の出力を加算することにより、積層ブロック４３３としての受光感度を向上させることもできる。

[0073] 言い換えれば、積層基板４０１から任意の画素数、又は、任意のサイズに切り出せる事に加え、加算部を設ける事で、任意の画素数、かつ、任意のサイズに選択された撮像素子４２２を製造することができる。なお、セルのサイズは、例えば１μmなど小さく設定する事が望ましい。

[0074] また、加算部２１８、２１９を設ける場合は、 $N \times N$ 加算として、ブロックの画素数は以下であることが望ましい。すなわち、マトリックス状に配置された画素の一辺の画素数 N について、２～９、すなわち、２、３、４、５、６、７、８および９画素のいずれかの加算を想定し、これらのいずれか二つ以上を含む数の最少公倍数の倍数としてもよい。例えば２～６画素すべての加算を想定すればブロックは６０画素の倍数である。さらに９画素をできるようにするためには９０画素の倍数になる。これにより、端部も端数なく画素を効率よく使用して加算できる。なお、加算部２１８、２１９は、第１基板１１０ではなく、第２基板１２０や第３基板１３０に設けられていてもよく、撮像素子と接続する外部の基板に設けられてもよい。特に、第１基板１１０に画素ブロック２１０が設けられない構成の場合、それぞれの画素セル２１７が独立している必要があるため、加算部２１８、２１９は、第１基板１１０以外の基板に配置される。

[0075] 図１７は、上記の撮像素子のような積層ブロック４３０の製造手順を例示する流れ図である。積層ブロック４３０を製造する場合は、まず、第１基板１１０および第２基板１２０のような複数の基板が用意される（ステップＳ１０１）。

[0076] ステップS 1 0 1において、用意された基板が1枚目の基板であった場合は、当該基板を、積層装置等のひとつのステージに配置される（ステップS 1 0 2）。また、ステップS 1 0 1において、用意された基板が2枚目の基板であった場合は、当該基板が、1枚目の基板に対向する状態になるように配置される（ステップS 1 0 2）。

[0077] そして、例えば第1基板1 1 0である1枚目の基板と、例えば第2基板1 2 0である2枚目の基板とが積層され、積層基板4 0 1が形成される（ステップS 1 0 3）。ステップS 1 0 3において、積層基板4 0 1の形成過程は、2枚の基板の位置合わせおよび重ね合わせと、基板の接着とを含んでよい。基板の接着は、鏡面化平坦化した表面を接触させてもよいし、重ね合わせた基板を加熱および加圧してもよい。更に、接着剤、ハンダバンプ等をもちいて接着してもよい。

[0078] 次の段階においては、形成された積層基板4 0 1に対して、更に積層する基板が存在するか否かを調べる（ステップS 1 0 4）。更に積層する基板がある場合は（ステップS 1 0 4：Y E S）積層する基板が更に用意され（ステップS 1 0 1）、当該基板が、既存の積層基板4 0 1に対向するように配置される（ステップS 1 0 2）。そして、既存の積層基板4 0 1に対して、第3の基板が積層される（ステップS 1 0 3）。それ以降、更に積層する基板が存在しなくなるまで、ステップS 1 0 1からステップS 1 0 3までが繰り返される。

[0079] 一方、ステップS 1 0 4において更に積層する基板が存在しなかった場合（ステップS 1 0 4：N O）、積層基板4 0 1の領域毎に、積層基板4 0 1に形成された回路の良否が評価される（ステップS 1 0 5）。なお、基板の積層数が予め判っている場合は、ステップS 1 0 4における判断を省略して、ステップS 1 0 1からステップS 1 0 3を決まった回数繰り返した後に、ステップS 1 0 5を実行してもよい。

[0080] ステップS 1 0 5における評価は、第1基板1 1 0および第2基板1 2 0等の各々に形成された回路の個々の良否の他、積層基板4 0 1において接続

されたことにより形成された回路の良否も評価してよい。これにより、積層基板401における不良個所が検出される。なお、ステップS105における検出結果においては、最終的に得られる積層ブロック430に対する要求仕様に応じて検査精度および記録精度を変化させてもよい。また、個々の基板の評価等、評価の一部または全部を省略してもよい。

[0081] 次の段階においては、ステップS105における評価結果を参照して、積層基板401において積層ブロック430にする領域を決定する（ステップS106）。ここで、積層ブロック430にする領域は、不良個所が全く存在しない領域であってもよいし、予め定めた範囲で不良個所を含むものであってもよい。また、ここでは、積層ブロック430となる領域の広さに加えて、形成される積層ブロック430の形状、例えば縦横比を決定してもよい。更に、例えば、積層ブロック430から当初予定していたイメージセンサ積層基板401がとれない場合であっても、ラインセンサとしての積層ブロック430であればとることができる場合は、積層基板401の他の用途を進言するようにしてもよい。

[0082] 次の段階においては、積層基板401に対して付加要素を形成する（ステップS107）。ステップS107において形成する付加要素とは、例えば、積層基板401の表面に付加される配線層、ヒートシンク等の電氣的要素、カラーフィルタ、マイクロレンズアレイ等の光学的要素をいずれも含み得る。また、積層基板401が積層ブロック430になった場合に利用される他の回路チップ等を実装する段階を加えてもよい。

[0083] 次の段階においては、積層基板401から積層ブロック430が形成される（ステップS108）。積層ブロック430は、ステップS106において決定された領域の周囲において、積層基板401を切断することにより形成されてもよい。積層基板401の切断は、すでに説明した通り、さまざまな方法を適用できる。

[0084] ステップS108において積層基板401を形成する第1基板110および第2基板120の各々で、積層ブロック430となる領域の周囲に配され

た画素および回路ブロックが切断されることになる。よって、ステップS 106において積層ブロック430となる領域を決定する場合は、ステップS 105において不良であることが検出された領域に隣接するように決定してもよい。これにより、ステップS 108において積層ブロック430を形成する場合の切断により消尽される良質な画素または回路ブロックの数を抑制できる。

[0085] 次の段階においては、ステップS 108において積層基板401を切断することにより現れた形成された積層ブロック430の端面を処理する（ステップS 109）。既に説明した通り、ステップS 108においては、積層基板401における画素、回路ブロック等が切断される。このため、積層ブロック430の切断端面には、回路、配線等の一部が露出している場合がある。よって、不慮の短絡等を防止する目的で、積層ブロック430の切断端面を、絶縁材料、伝導材料等により被覆する処理をしてもよい。

[0086] また、切断端面の不陸による亀裂等を防止する目的で、積層ブロック430の切断端面を、樹脂、はんだ、ガラス等により保護してもよい。ただし、ステップS 109における積層ブロック430の切断端面の処理が不要な場合もある。そのような場合は、ステップS 109を省略してもよい。

[0087] 上記のような一連の手順は、複数の基板を位置合わせして積層する積層部と、積層部が形成した積層基板を切断する切断部とを含む製造装置により実行してもよい。また、複数の基板を位置合わせして積層する既存の基板積層装置と、積層された基板を切断できる既存の切断装置とをそれぞれ用いて実行してもよい。また、積層構造の撮像素子、例えば、裏面照射型イメージセンサの製造ラインに、積層部と切断部とを設けて、上記の手順を実行してもよい。なお、上記の製造手順は一例であり、これに限定されるものではない。

[0088] 図18は、単層基板402の模式図である。単層基板402は、基板の面方向に二次元的に配列された複数の撮像素子ユニット450を有する。撮像素子ユニット450のそれぞれは、画素セル領域461および読出回路領域

４６２を有する。

[0089] 撮像素子ユニット４５０の各々において、画素セル領域４６１は、単層基板４０２の面方向について二次元的に配列された複数の画素セル２１７を有する。画素セル２１７の各々は、受光素子を有して、入射光を光電変換する。

[0090] また、読出回路領域４６２は単層基板４０２の面方向について画素セル領域４６１の外側に、画素セル領域４６１を包囲して配される。読出回路領域４６２は、画素セル領域４６１から、入射光に対応した電気信号を読み出す。

[0091] 更に、撮像素子ユニット４５０の各々における画素セル領域４６１および読出回路領域４６２の各々は、図中水平方向の中央で分割された一对の撮像素子ブロック４６０を形成する。画素セル領域４６１および読出回路領域４６２の各々は、電源およびクラウンド等への接続端子を個別に有し、一对の撮像素子ブロック４６０相互の間で互いに独立して動作する。

[0092] 上記の単層基板４０２は、切り出し線４１０において撮像素子ユニット４５０単位で切り分けることにより、複数の撮像素子となる。更に、単層基板４０２は、撮像素子ブロック４６０の境界を含む領域を切り出した切片を、撮像素子ユニット４５０よりも小さな撮像素子として使用できる。

[0093] 図１９は、単層基板４０２を切り分ける場合のダイシングパターンの一例を示す模式図である。図示のように、切り分ける前の単層基板４０２を検査して画素セル領域４６１および読出回路領域４６２のいずれか一方に不良が検出された撮像素子ブロック４６０は、単層基板４０２を切り分ける場合に、不良ブロック４４０としてページされる。

[0094] しかしながら、ひとつの撮像素子ユニット４５０に含まれる撮像素子ブロック４６０のうち的一方が不良ブロック４４０であり、他方が正常であった場合は、正常な撮像素子ブロック４６０の側に撮像素子ブロック４６０の境界が含まれる切り出し線４１０において正常な撮像素子ブロック４６０を切り出すことにより、撮像素子ユニット４５０の半分を、大きさの異なる正常

な撮像素子として使用できる。これにより、単層基板 402 の利用効率を向上できる。

[0095] 図 20 は、他の単層基板 403 の模式図である。単層基板 403 は、次に説明する部分を除くと、図 18 および図 19 に示した単層基板 402 と同じ構造を有する。よって、共通の要素には同じ参照番号を付して重複する説明を省く。

[0096] 単層基板 403 は、撮像素子ユニット 450 の各々における画素セル領域 461 および読出回路領域 462 の各々が、図中水平方向および垂直方向の中央でそれぞれ分割されたて、撮像素子ユニット 450 の各々が、4 つの撮像素子ブロック 460 に分割されている点で、単層基板 402 と異なる構造を有する。撮像素子ブロック 460 を形成する画素セル領域 461 および読出回路領域 462 の各々は、電源およびクラウンド等への接続端子を個別に有し、他の撮像素子ブロック 460 に対して独立して動作する。

[0097] 上記の単層基板 403 は、切り出し線 410 において撮像素子ユニット 450 単位で切り分けることにより、複数の撮像素子となる。更に、単層基板 402 は、撮像素子ブロック 460 の境界を含む領域を切り出した切片を、撮像素子ユニット 450 よりも小さな撮像素子として使用できる。

[0098] 図 21 は、単層基板 403 を切り分ける場合のダイシングパターンの一例を示す模式図である。図示のように、切り分ける前の単層基板 403 を検査して画素セル領域 461 および読出回路領域 462 のいずれか一方に不良が検出された撮像素子ブロック 460 は、単層基板 402 を切り分ける場合に、不良ブロック 440 としてページされる。

[0099] このように、モノリシック構造においても、電氣的に互いに独立して動作する複数のブロックを設けることにより、ブロック単位でさまざまな大きさの撮像素子を切り出すことができる。また、1 枚の基板から切り出す撮像素子の大きさを互いに異ならせることにより、不良ブロックをページした場合の基板の利用効率を向上できる。

[0100] 図 22 は、積層ブロック 430～433 を有する撮像素子 100 を用いた

撮像装置５００のブロック図である。撮像装置５００は、撮像素子１００、システム制御部５０１、駆動部５０２、測光部５０３、ワークメモリ５０４、記録部５０５、表示部５０６、および主電源５０７を備える。また、撮像装置５００は、撮影光学系としての撮影レンズ５２０を備える。撮影レンズ５２０は、撮像装置５００に対して着脱できる交換式レンズであっても構わない。

[0101] 撮影レンズ５２０は、光軸ＯＡに沿って入射する被写体光束を撮像素子１００へ導く。撮影レンズ５２０は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。なお、図中では瞳近傍に配置された仮想的な１枚のレンズで当該撮影レンズ５２０を代表して表している。

[0102] 駆動部５０２は、システム制御部５０１からの指示に従って撮像素子１００のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路である。駆動部５０２は、撮像素子１００に対して電荷蓄積を実行させて画素信号を出力させる撮像素子制御部の機能を担うと言える。

[0103] 撮像素子１００は、画素信号をシステム制御部５０１の画像処理部５１１へ引き渡す。画像処理部５１１は、ワークメモリ５０４をワークスペースとして種々の画像処理を施し、画像データを生成する。例えば、ＪＰＥＧファイル形式の画像データを生成する場合は、ベイヤー配列で得られた信号からカラー映像信号を生成した後に圧縮処理を実行する。生成された画像データは、記録部５０５に記録されるとともに、表示信号に変換されて予め設定された時間の間、表示部５０６に表示される。主電源５０７は、撮像装置５００の各部に電力を供給する。主電源５０７の電力供給先には、撮像素子１００も含まれる。

[0104] 測光部５０３は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部５０３は、例えば１００万画素程度のＡＥセンサを含む。システム制御部５０１の演算部５１２は、測光部５０３の出力を受けてシーンの領域ごとの輝度を算出する。演算部５１２は、算出

した輝度分布に従ってシャッタ速度、絞り値、ISO感度を決定する。測光部503は撮像素子100で兼用してもよい。なお、演算部512は、撮像装置500を動作させるための各種演算も実行する。

[0105] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0106] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0107] 100、421、422、423、424、425 撮像素子、110 第1基板、120 第2基板、130 第3基板、210 画素ブロック、211 受光素子、212 リセットトランジスタ、213 転送トランジスタ、214 容量素子、215 増幅トランジスタ、216 MUX、217 画素セル、218、219 加算部、220 回路ブロック、221 クロック源／電源、222 垂直選択回路、223 読み出し回路、225 ADC、226 出力回路、227 水平選択回路、311、312、313、314、321、322、323、324、331 接続パッド、315 下地基板、316、328 回路層、317 カラーフィルタ、318 マイクロレンズアレイ、325、335 TSV、326、336 バンプ、330 導体層、401 積層基板、402、403 単層基板、410 切り出し線、411、430、431、432、433 積層ブロ

ック、４２０ 境界、４４０ 不良ブロック、４５０ 撮像素子ユニット、
４６０ 撮像素子ブロック、４６１ 画素セル領域、４６２ 読出回路領域
、５００ 撮像装置、５０１ システム制御部、５０２ 駆動部、５０３
測光部、５０４ ワークメモリ、５０５ 記録部、５０６ 表示部、５０７
主電源、５１１ 画像処理部、５１２ 演算部、５２０ 撮影レンズ

請求の範囲

- [請求項1] 2次元的に連続して配列された複数の画素を有する第1基板を用意することと、
- それぞれが電源および基準電位への接続端子を有し、互いに電氣的に独立した複数の回路ブロックを有し、当該複数の回路ブロックの各々が、前記複数の画素から信号を読み出す回路の少なくとも一部を有する第2基板を用意することと、
- 前記第1基板および前記第2基板を積層して、前記複数の回路ブロックと、それに重なる前記複数の画素とを電氣的に結合することと、
- 前記複数の回路ブロックの少なくともひとつの周囲の回路ブロックおよびそれに重なる画素を切断することにより、前記複数の回路ブロックの少なくともひとつに前記複数の画素が積層された積層体を形成することと
- を含む撮像素子の製造方法。
- [請求項2] 前記積層体を形成する際に、互いに異なる数の前記回路ブロックの周囲の回路ブロックおよびそれに重なる前記画素を切断することにより、前記回路ブロックの数が異なる複数の前記積層体を形成する請求項1に記載の撮像素子の製造方法。
- [請求項3] 前記積層体の切断面を覆って外部との電氣的接続を遮断する絶縁層を形成することを更に含む請求項1または2に記載の撮像素子の製造方法。
- [請求項4] 前記積層体の切断面を覆うとともに前記基準電位に電氣的に結合する導体層を形成することを更に含む請求項1または2に記載の撮像素子の製造方法。
- [請求項5] 前記複数の回路ブロックを制御する制御回路を有する第3基板を積層することを更に含む請求項1から4のいずれか一項に記載の撮像素子の製造方法。
- [請求項6] 前記第1基板と前記第2基板が積層された積層基板に対して、前記

複数の画素および前記複数の回路ブロックの各々の良否を判定することを更に含み、

前記積層体を形成する際に、不良と判定された前記画素及び前記回路ブロックを除外して、前記積層基板から前記積層体を形成する領域を決定する請求項 1 から 5 のいずれか一項に記載の撮像素子の製造方法。

[請求項7] 前記第 1 基板と前記第 2 基板が積層された積層基板に対して、前記積層体を形成する位置を決定することと、

前記積層基板の前記積層体を形成する位置に配線層、カラーフィルタ、およびマイクロレンズのうちの少なくともひとつの部材を形成することと

を更に含み、

前記少なくともひとつの部材が形成された前記積層基板から前記積層体を形成する請求項 1 から 6 のいずれか一項に記載の撮像素子の製造方法。

[請求項8] 2 次元的に連続して配列された複数の画素を有する第 1 基板と、

前記第 1 基板に積層され、それぞれの領域に対応して積層された前記複数の画素から信号を読み出す回路の少なくとも一部を含む複数の回路ブロックを有する第 2 基板と

を備え、

前記複数の回路ブロックは、それぞれが電源および基準電位への接続端子を有し、互いに電氣的に独立する撮像素子。

[請求項9] 前記第 1 基板は、外周縁部に、前記複数の回路ブロックの一部に相当する、外部から電氣的に独立した回路を有する請求項 8 に記載の撮像素子。

[請求項10] 前記複数の画素の一部の出力を加算する加算部を更に有する請求項 8 または 9 に記載の撮像素子。

[請求項11] 前記第 1 基板は、前記複数の回路ブロックに対応してそれぞれ積層

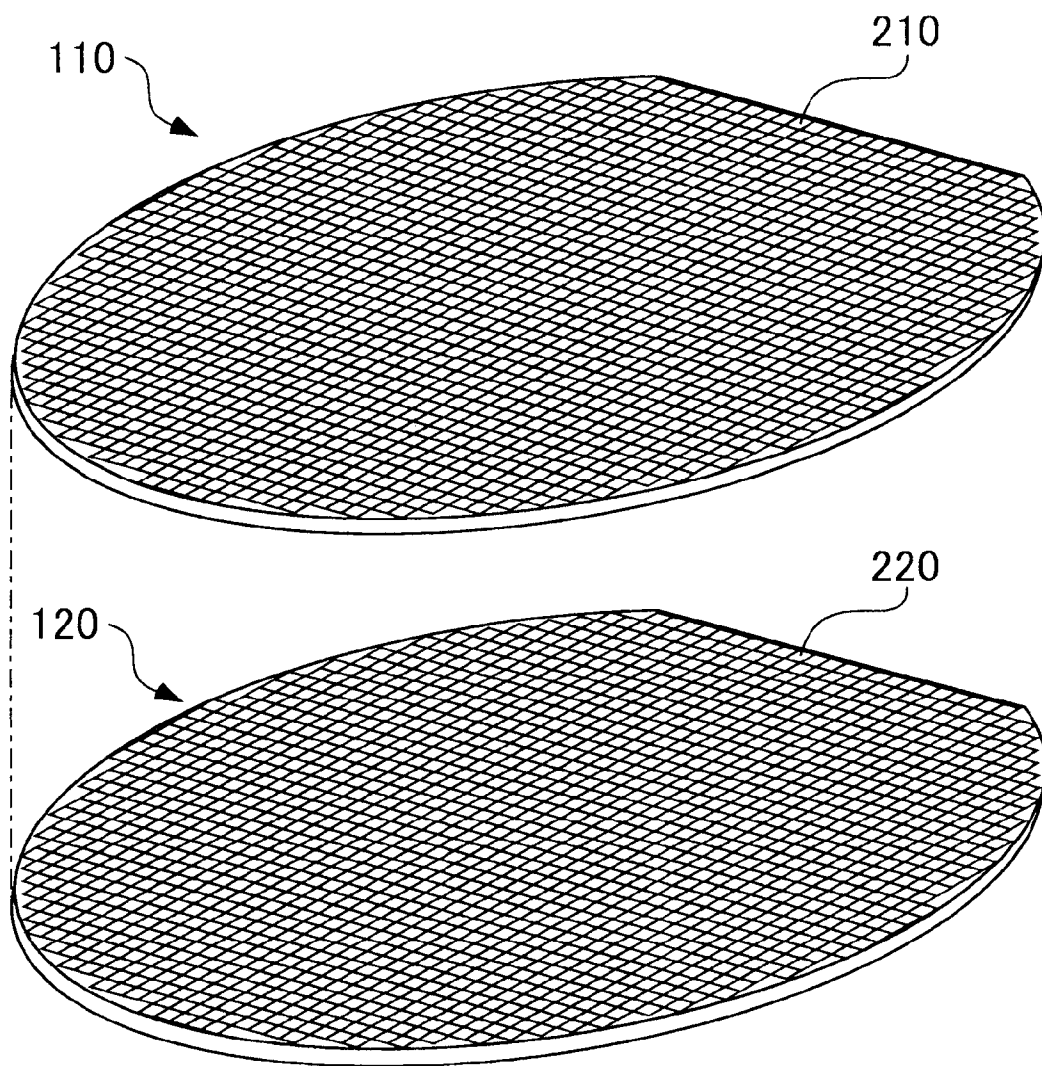
される複数の画素ブロックを有し、

前記複数の画素ブロックの各々がマトリックス状に配された前記複数の画素を有し、前記複数の画素の一辺の数 N が、 $N = 2 \sim 9$ の少なくとも2つを含む最少公倍数の倍数である請求項8から10のいずれか一項に記載の撮像素子。

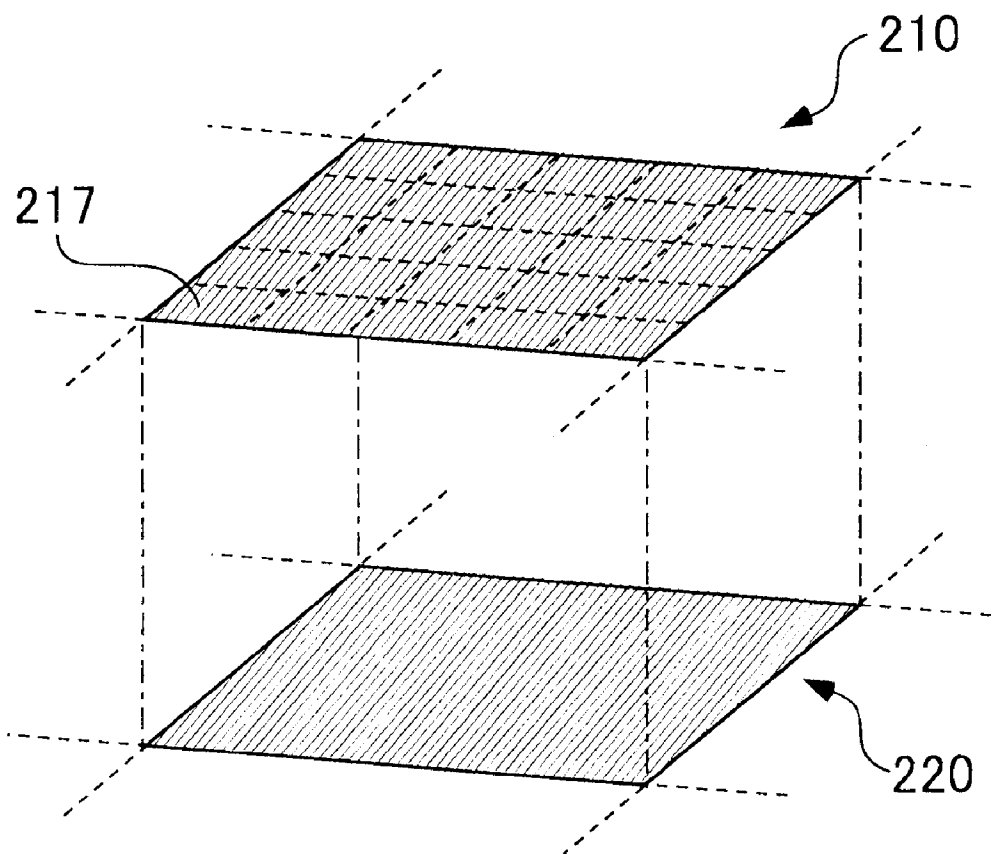
[請求項12] 前記複数の画素を駆動する駆動回路の少なくとも一部を有し、前記第1基板および前記第2基板に積層され、少なくとも前記第1基板に電氣的に結合された第3基板を更に備える請求項8から11のいずれか一項に記載の撮像素子。

[請求項13] 請求項8から12のいずれか一項に記載の撮像素子を備える撮像装置。

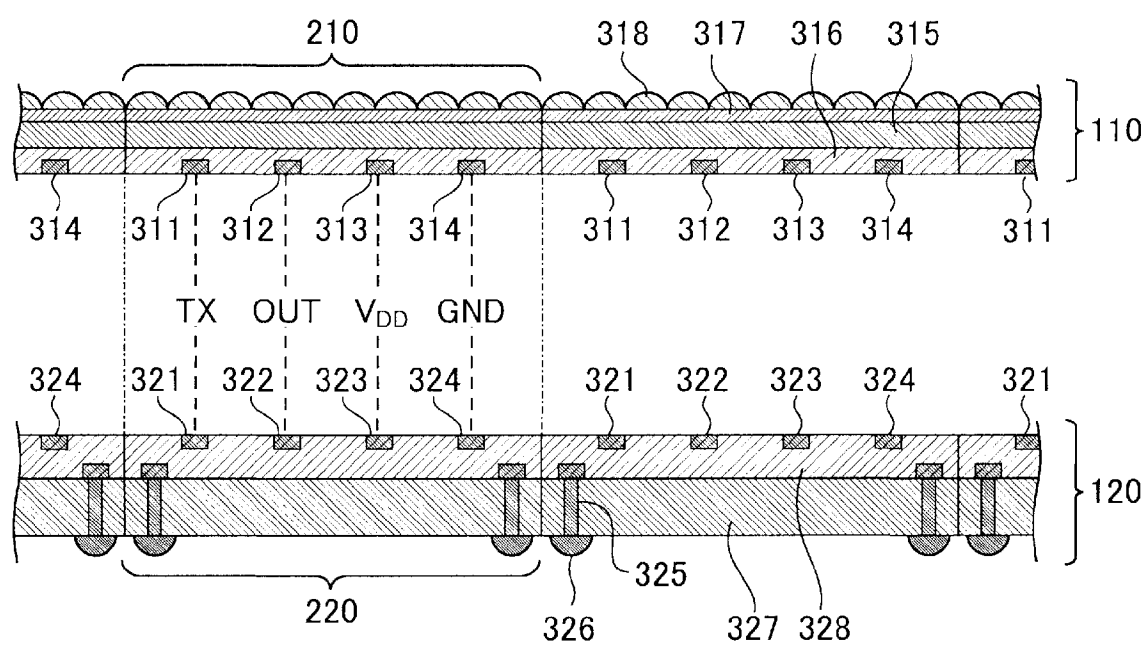
[図1]



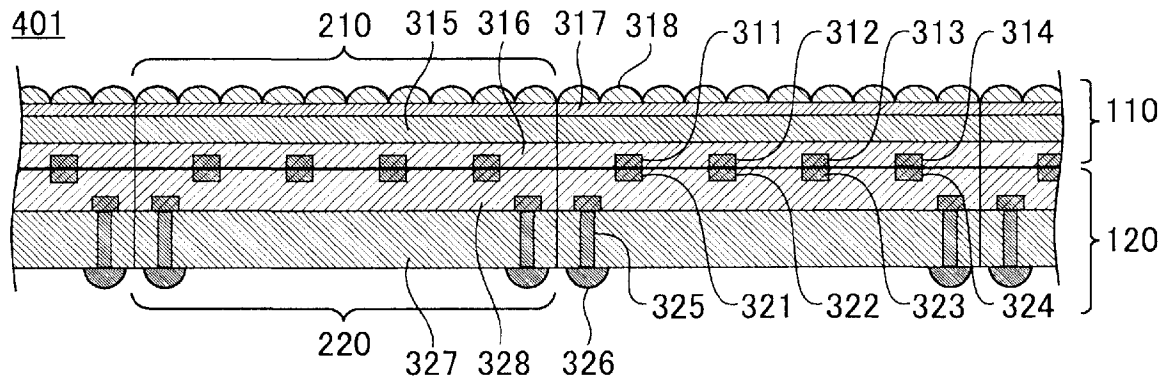
[図2]



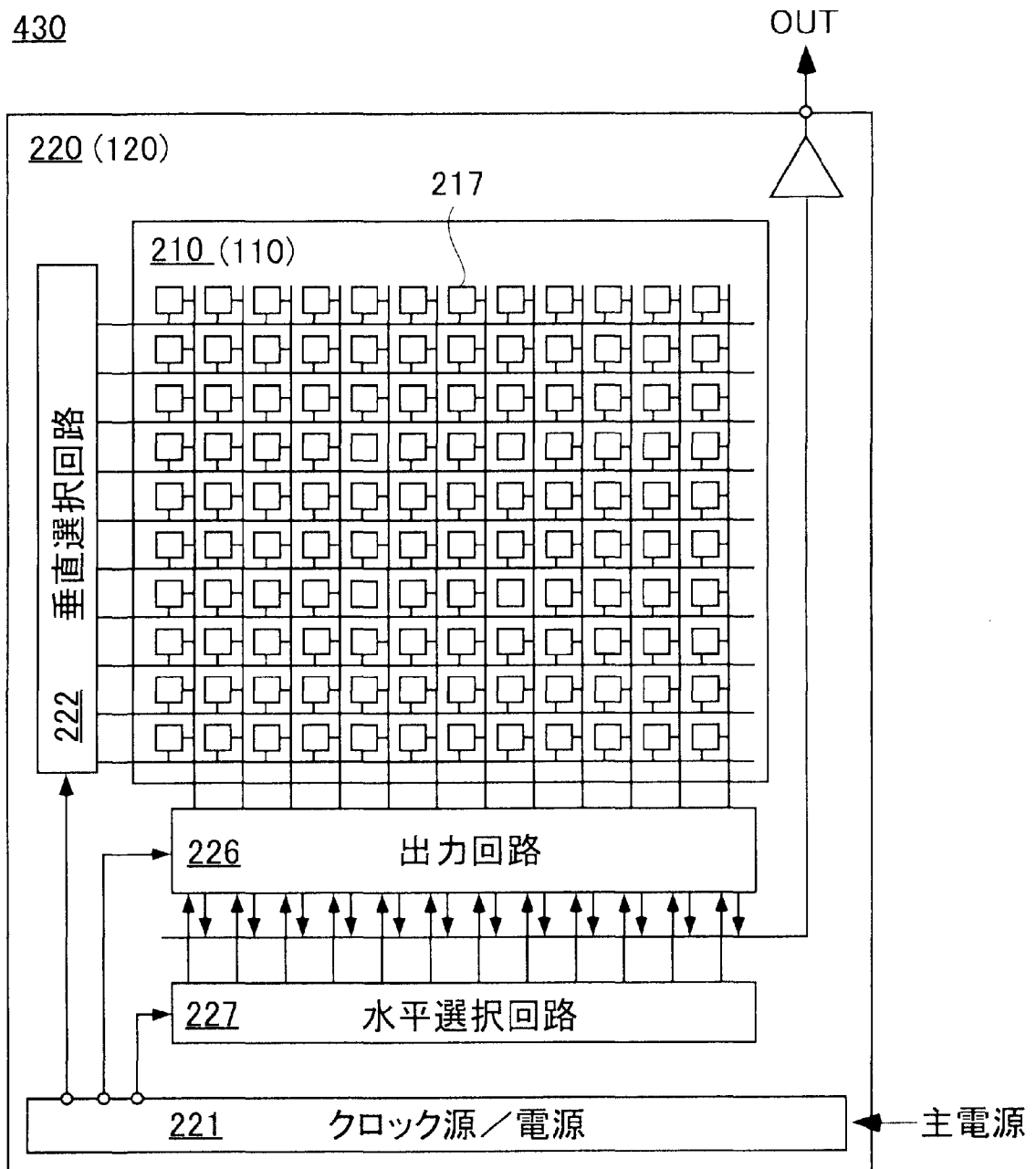
[図3]



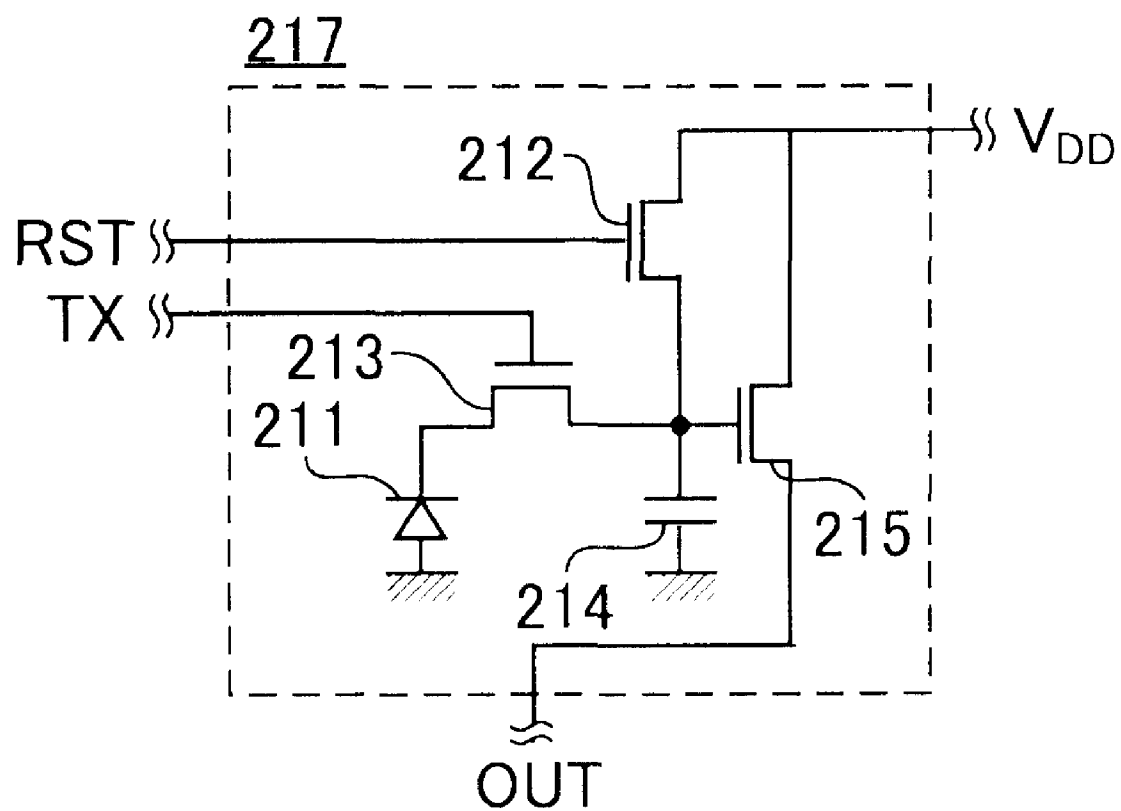
[図4]



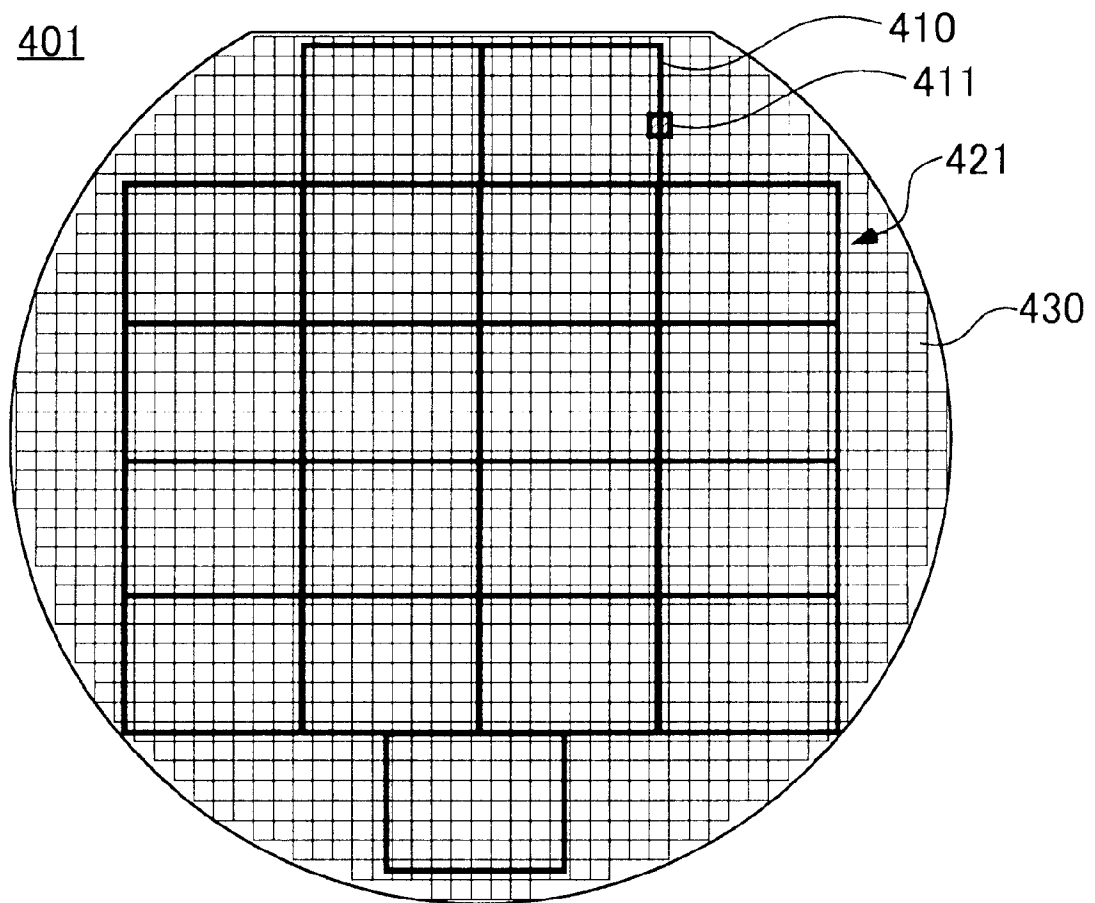
[図5]



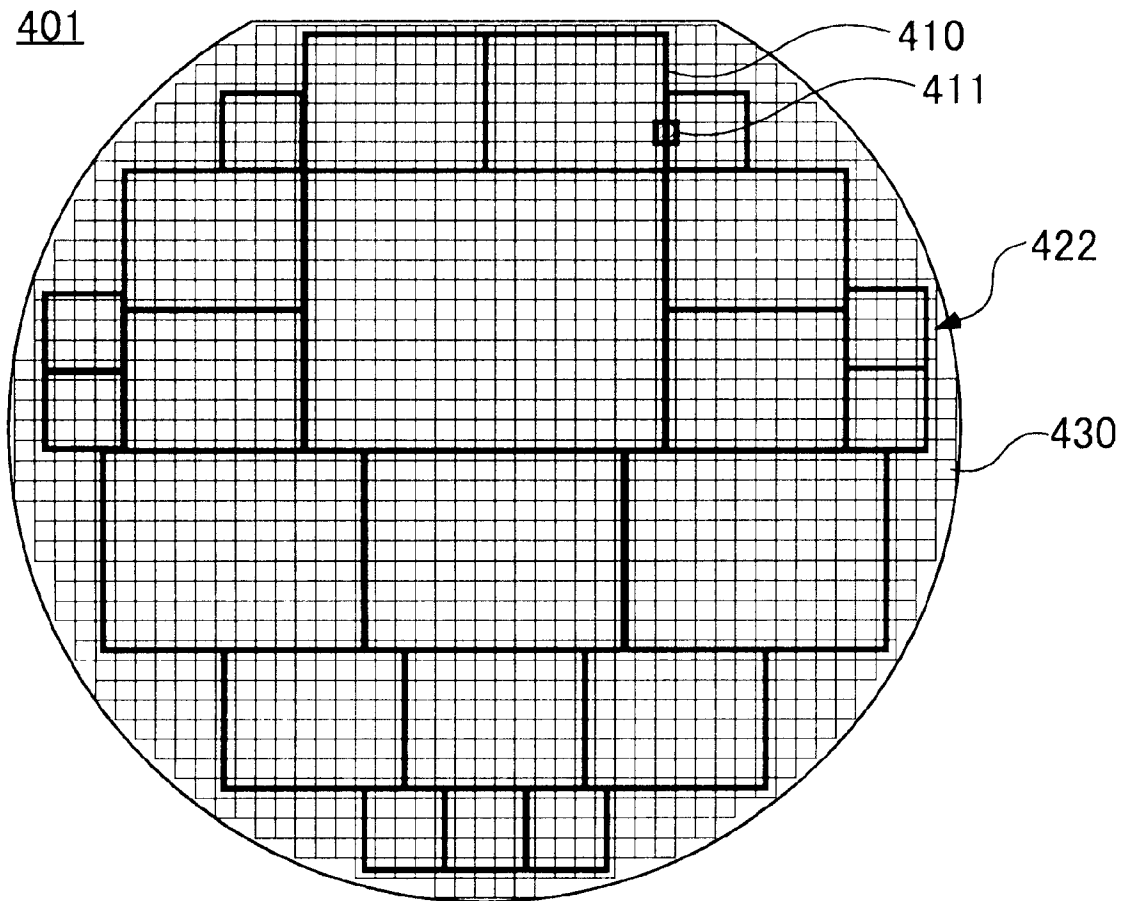
[図6]



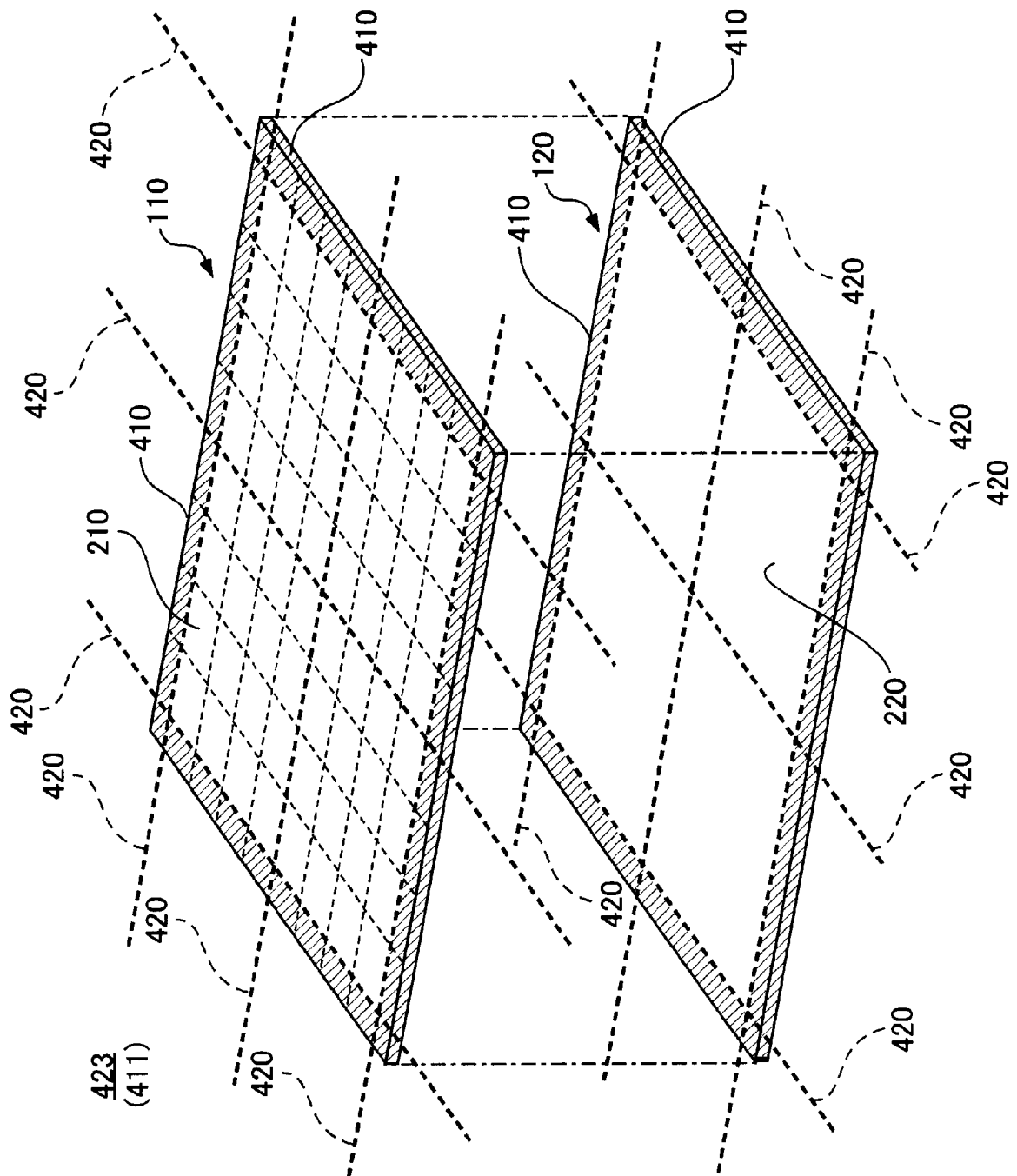
[図7]



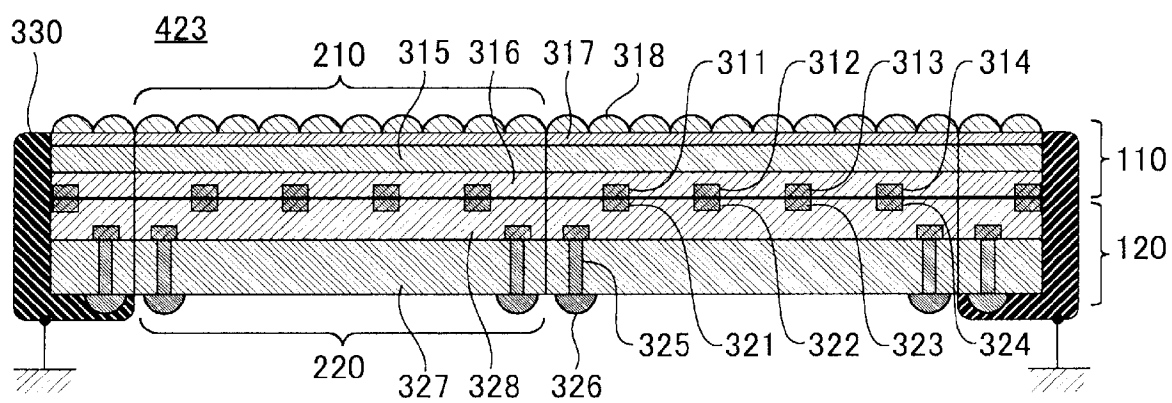
[図8]



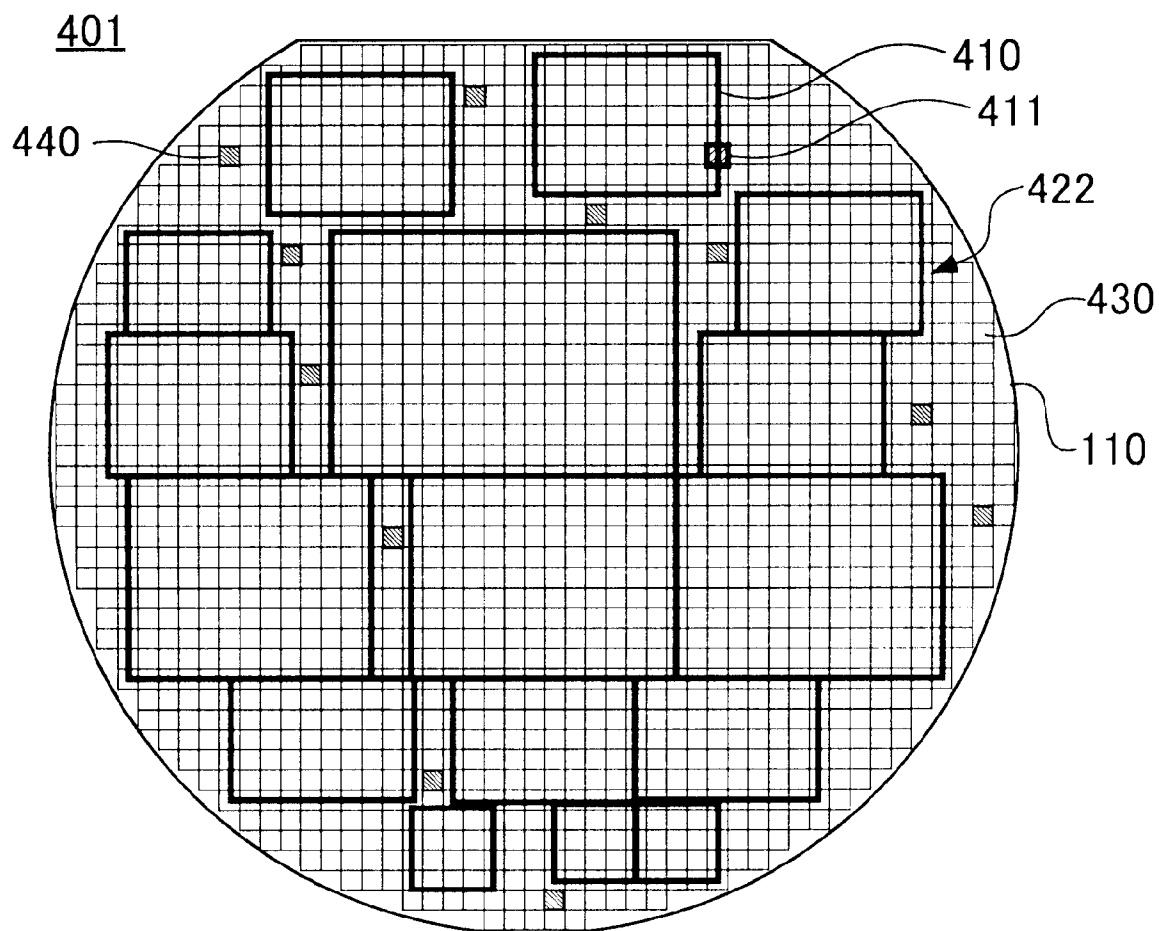
[図9]



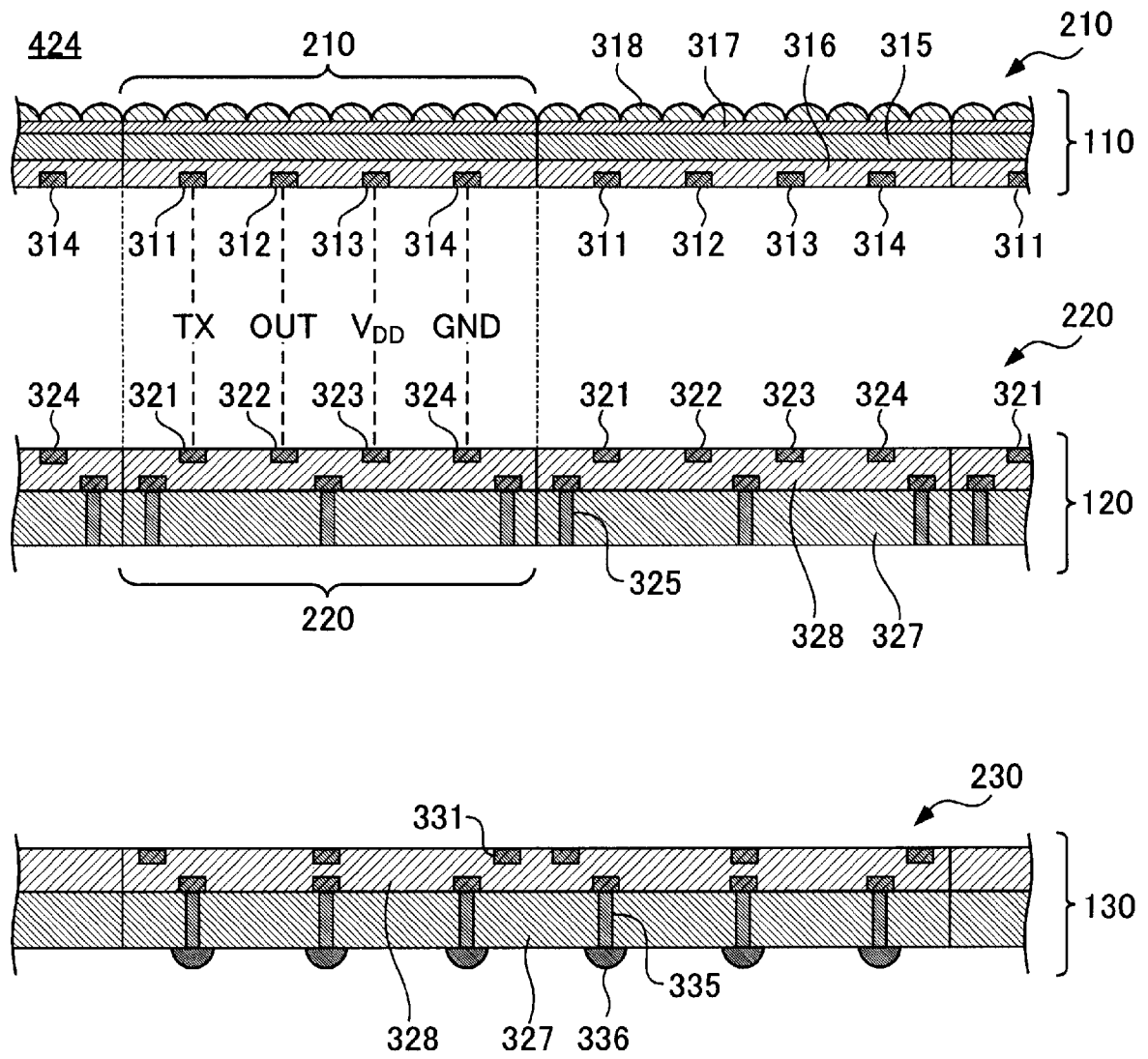
[図10]



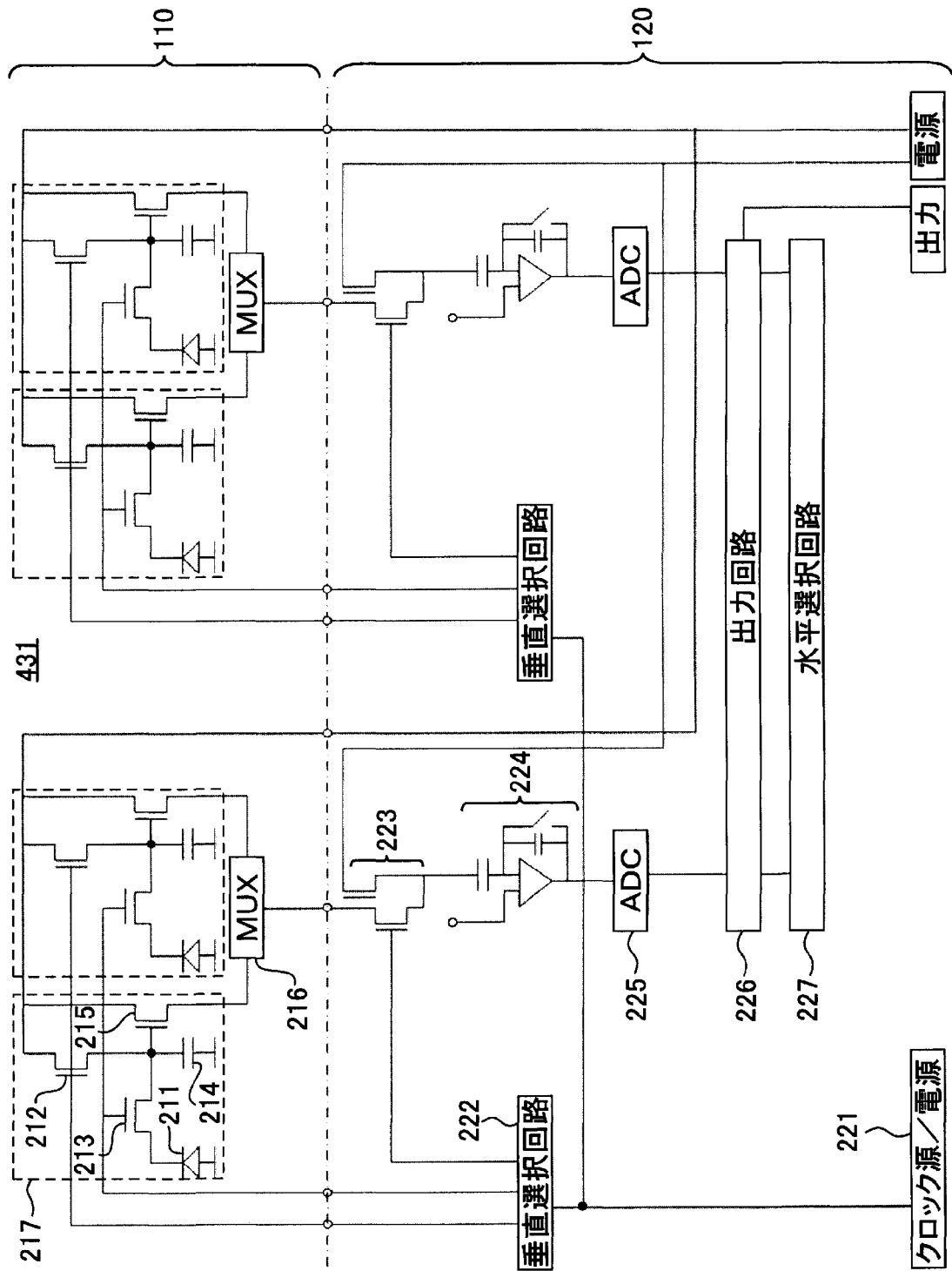
[図11]



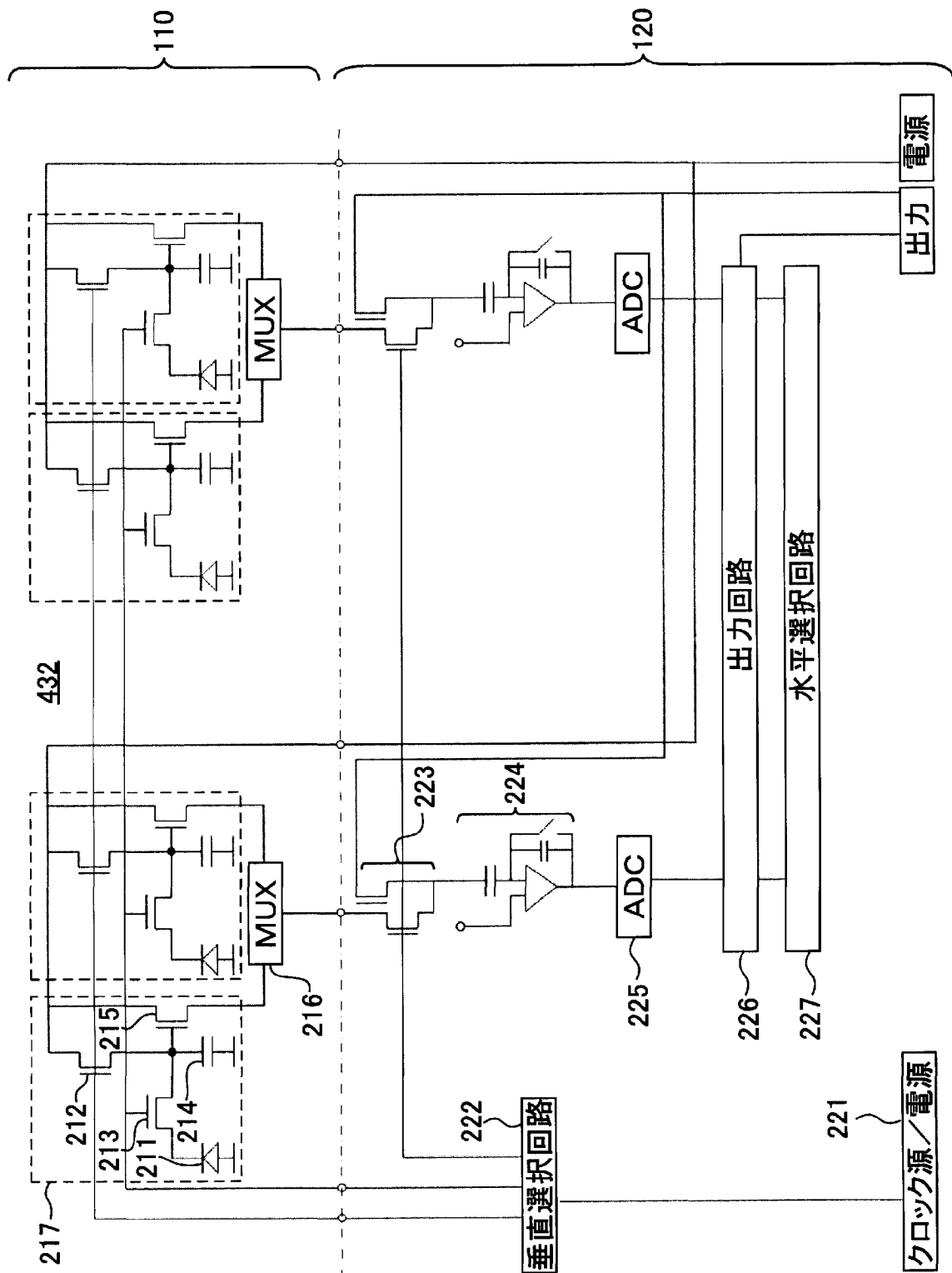
[図13]



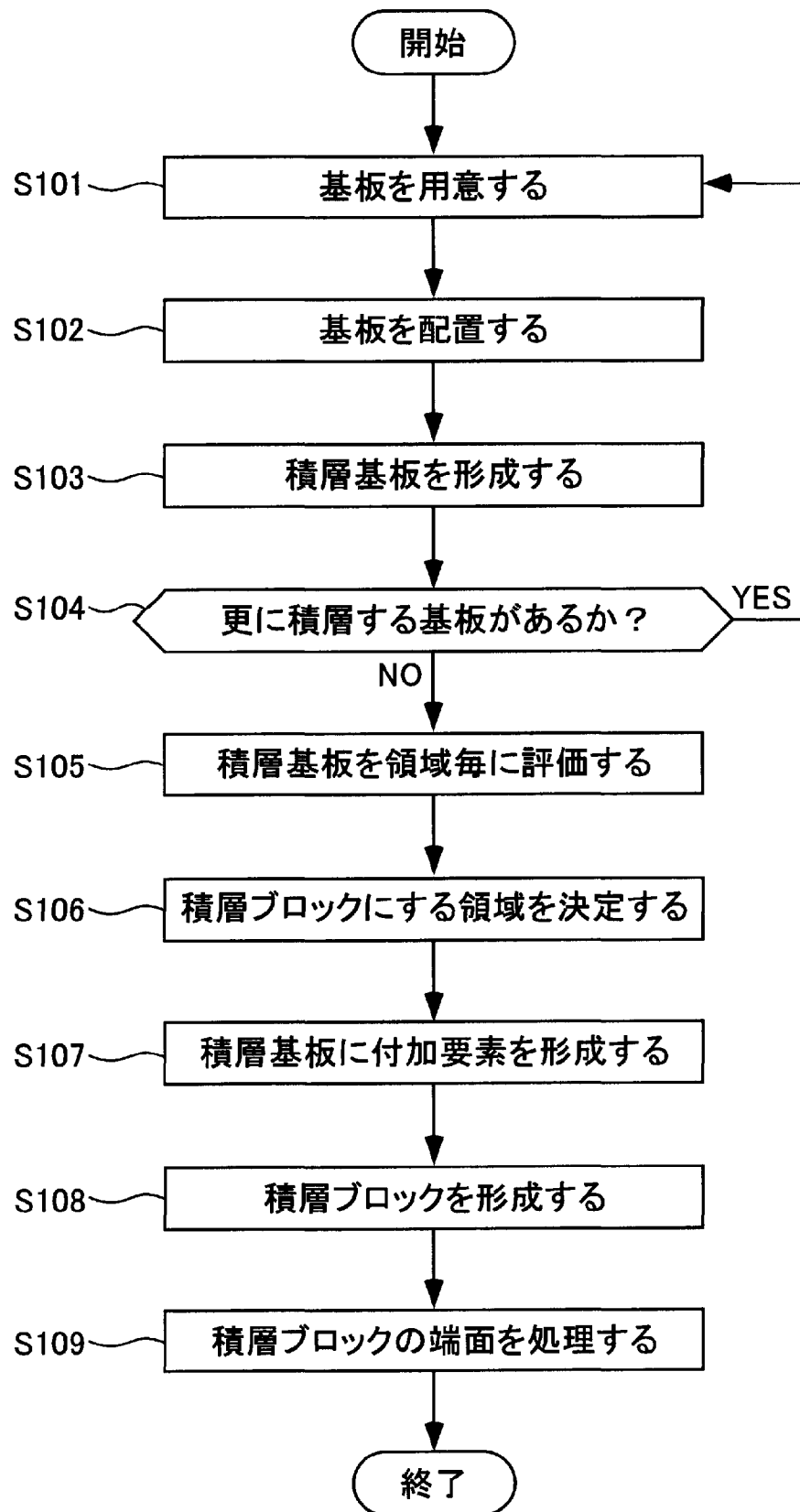
[図14]



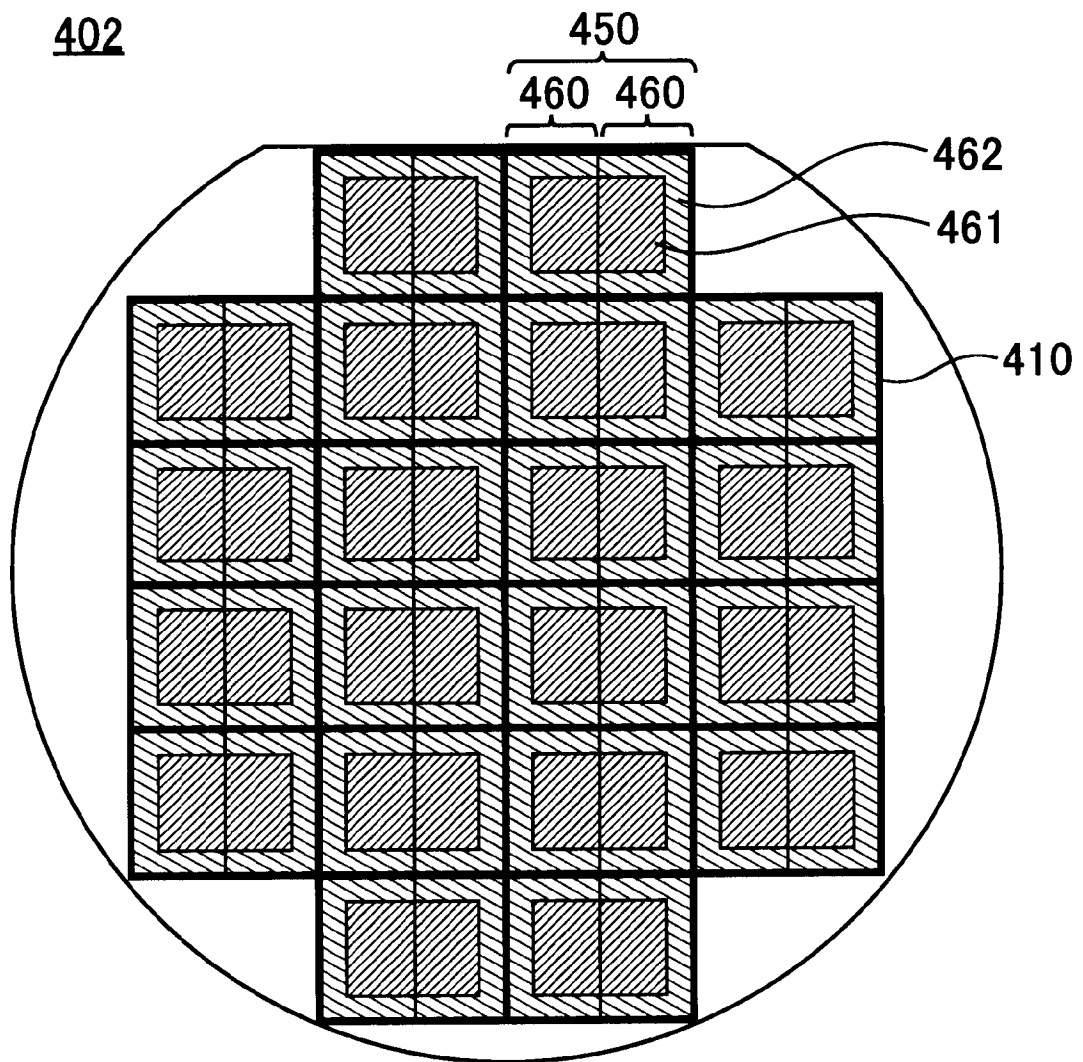
[図15]



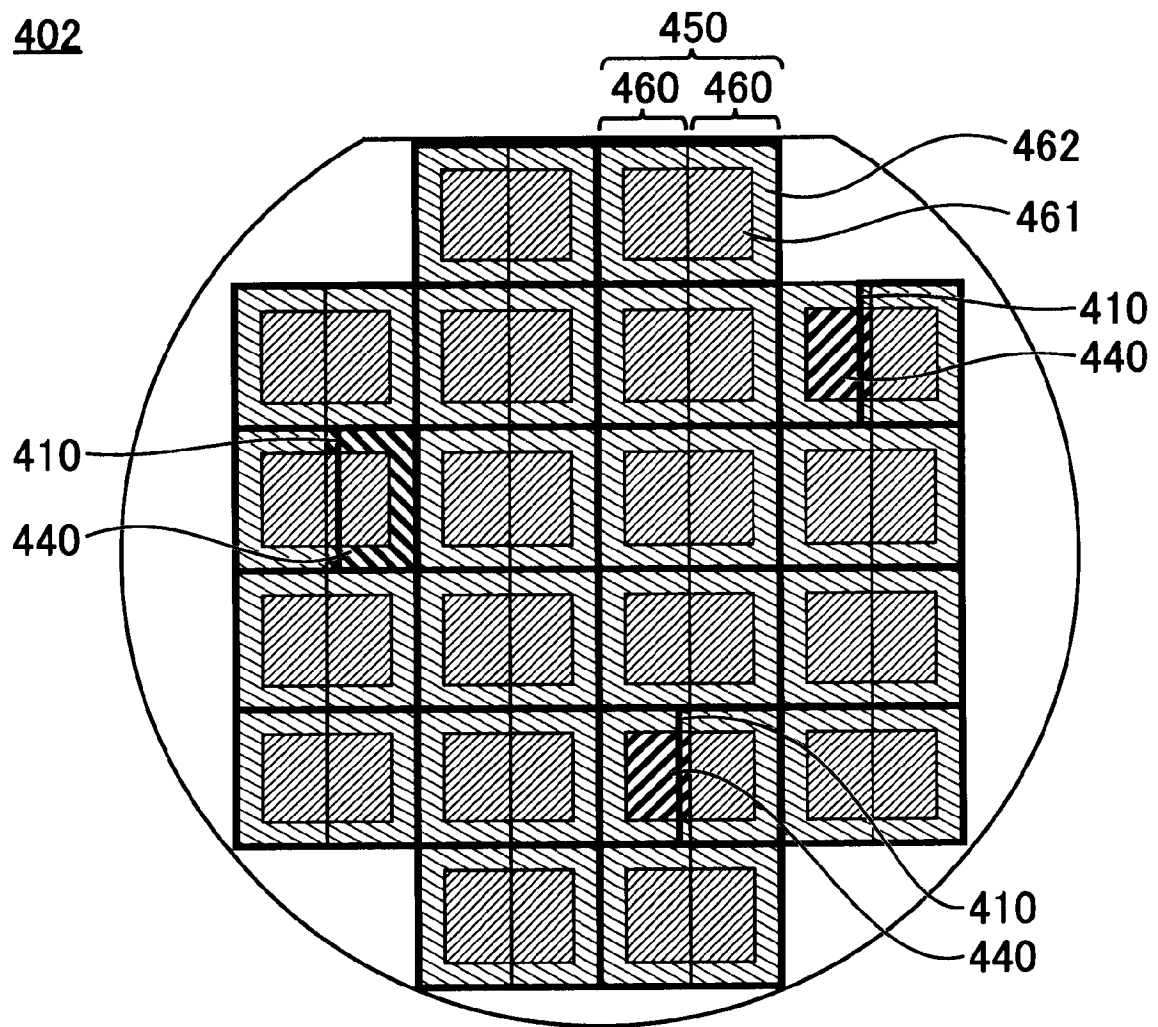
[図17]



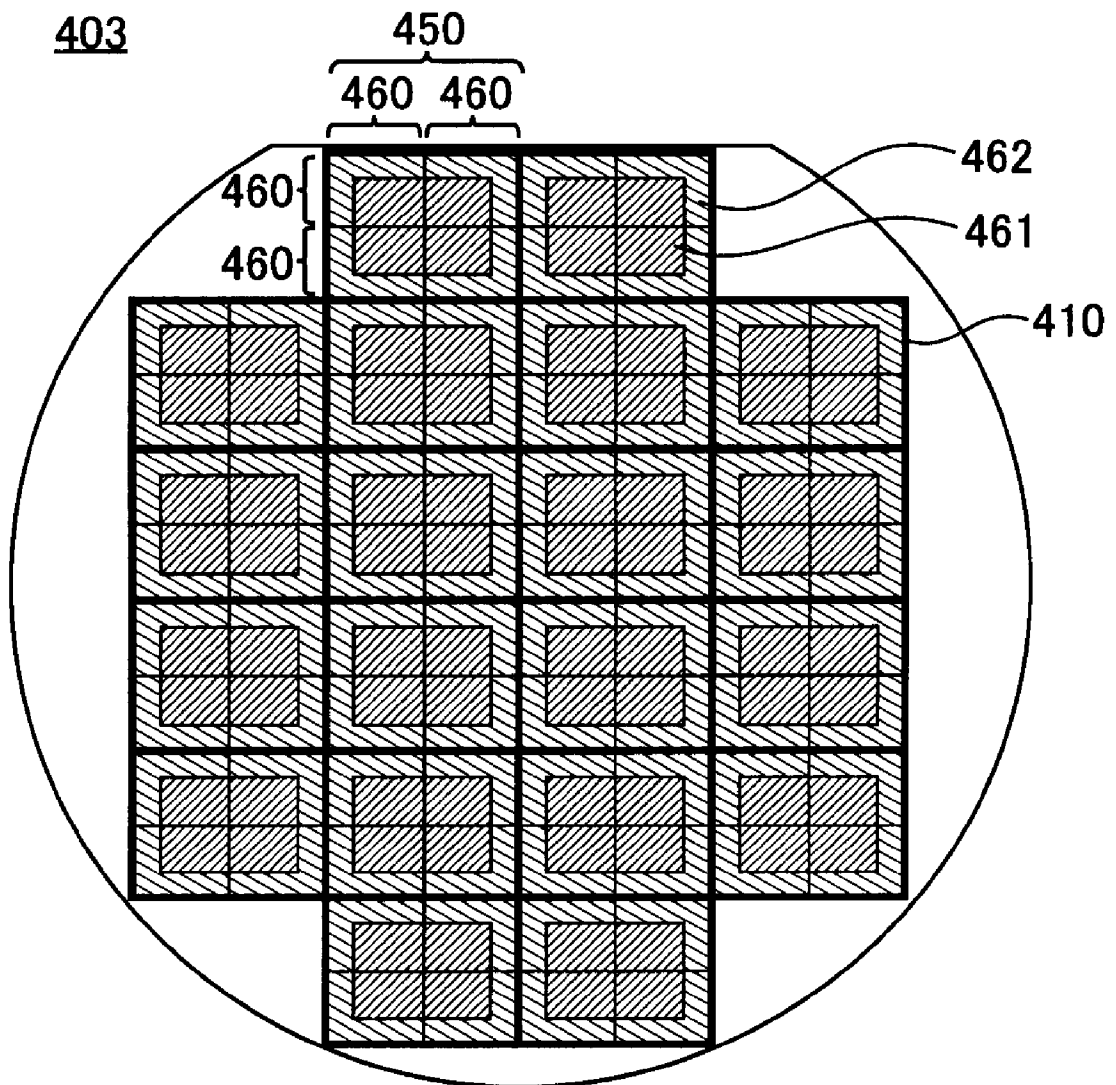
[図18]



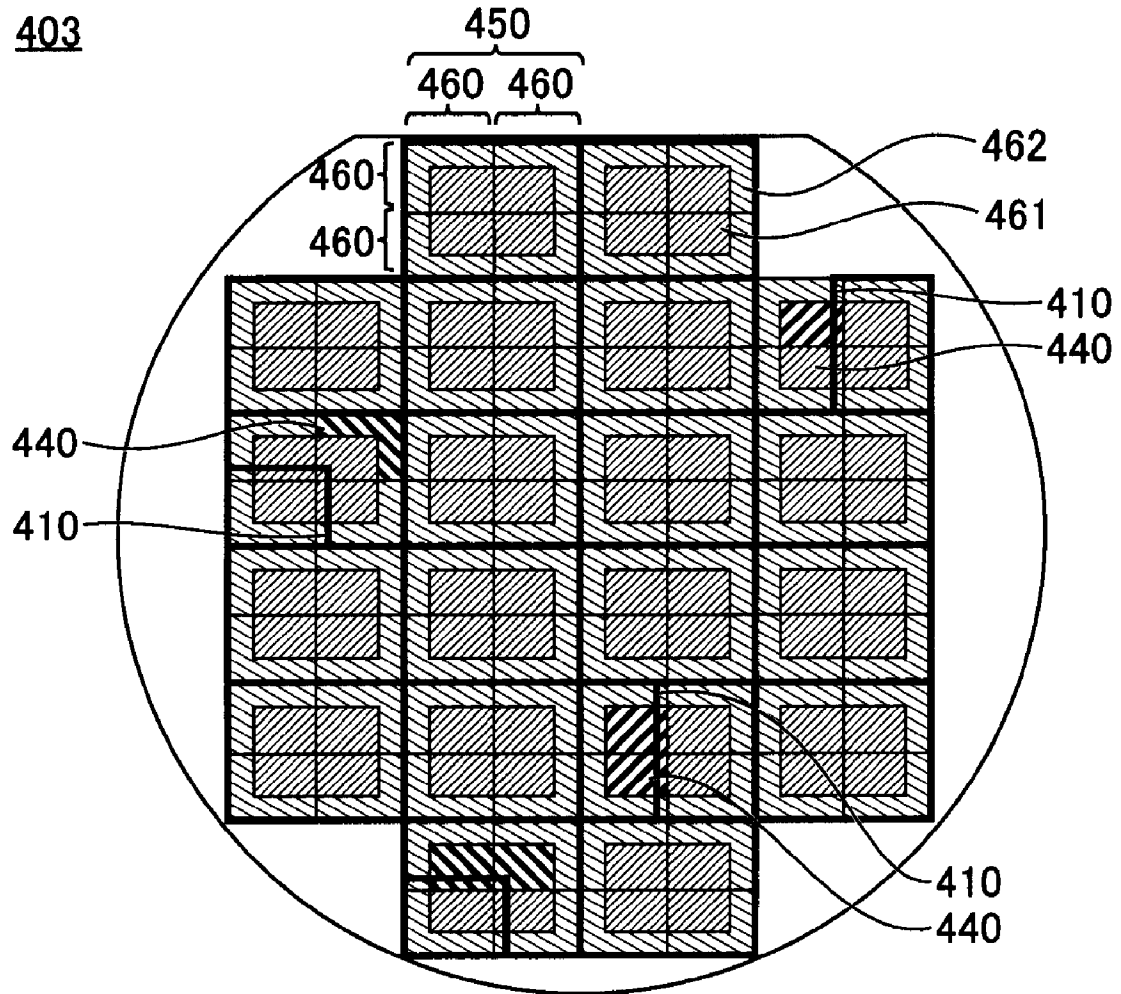
[図19]

402

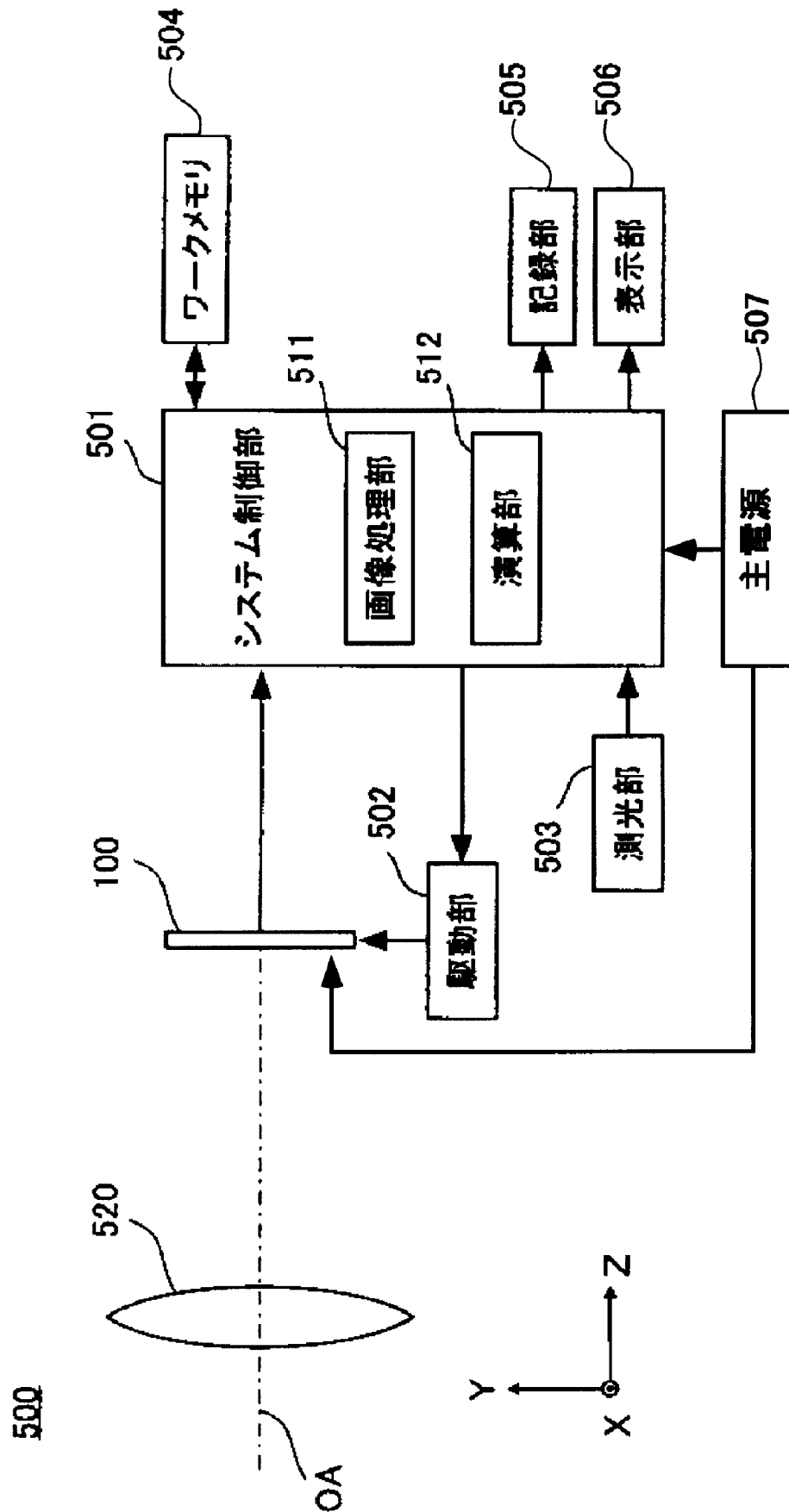
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/003393

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-30170 A (Makoto SHIZUKUISHI), 13 February 2014 (13.02.2014), paragraphs [0045] to [0049], [0072] to [0073], [0087], [0090], [0099]; fig. 1 to 2, 9 & US 2014/0240566 A1 paragraphs [0089] to [0091], [0111], [0117], [0121], [0135]; fig. 2 to 3, 10	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
23 March 2017 (23.03.17)

Date of mailing of the international search report
04 April 2017 (04.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/003393

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-169191 A (Takeharu ETO), 22 June 2001 (22.06.2001), paragraphs [0006], [0017] to [0019], [0025] to [0027], [0029], [0041] to [0043], [0046]; fig. 4, 9 to 10 & EP 1221814 A1 paragraphs [0006], [0017] to [0019], [0027] to [0029], [0031], [0044] to [0047], [0051]; fig. 4, 9 to 10 & US 7333146 B1 & WO 2001/026365 A1 & DE 60013622 T2	1-13
Y	JP 2010-40672 A (Oki Semiconductor Co., Ltd.), 18 February 2010 (18.02.2010), paragraphs [0028], [0055] to [0056]; fig. 15 & US 2010/0025710 A1 paragraphs [0066], [0100] to [0101]; fig. 15	3
Y	JP 2014-3069 A (Sumitomo Electric Industries, Ltd.), 09 January 2014 (09.01.2014), paragraphs [0003], [0018], [0027]; fig. 1 (Family: none)	4
A	JP 2012-34346 A (Canon Inc.), 16 February 2012 (16.02.2012), paragraphs [0036] to [0037]; fig. 9 & US 2012/0006993 A1 paragraphs [0047] to [0048]; fig. 9 & US 2013/0299678 A1	1-13
A	JP 2004-8406 A (Toshiba Corp.), 15 January 2004 (15.01.2004), paragraphs [0019] to [0022], [0030] to [0031]; fig. 2, 12 (Family: none)	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-30170 A（零石 誠） 2014.02.13, 段落[0045]-[0049], [0072]-[0073], [0087], [0090], [0099], 図1-2, 9 & US 2014/0240566 A1, 段落[0089]-[0091], [0111], [0117], [0121], [0135], 図2-3, 10	1-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23.03.2017

国際調査報告の発送日

04.04.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 肇

5 F

9847

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-169191 A (江藤 剛治) 2001.06.22, 段落[0006], [0017]-[0019], [0025]-[0027], [0029], [0041]-[0043], [0046], 図 4, 9-10 & EP 1221814 A1, 段落[0006], [0017]-[0019], [0027]-[0029], [0031], [0044]-[0047], [0051], 図 4, 9-10 & US 7333146 B1 & WO 2001/026365 A1 & DE 60013622 T2	1-13
Y	JP 2010-40672 A (OKI セミコンダクタ株式会社) 2010.02.18, 段落[0028], [0055]-[0056], 図 15 & US 2010/0025710 A1, 段落[0066], [0100]-[0101], 図 15	3
Y	JP 2014-3069 A (住友電気工業株式会社) 2014.01.09, 段落[0003], [0018], [0027], 図 1 (ファミリーなし)	4
A	JP 2012-34346 A (キヤノン株式会社) 2012.02.16, 段落[0036]-[0037], 図 9 & US 2012/0006993 A1, 段落[0047]-[0048], 図 9 & US 2013/0299678 A1	1-13
A	JP 2004-8406 A (株式会社東芝) 2004.01.15, 段落[0019]-[0022], [0030]-[0031], 図 2, 12 (ファミリーなし)	1-13