



(12)发明专利申请

(10)申请公布号 CN 109031824 A

(43)申请公布日 2018.12.18

(21)申请号 201810858393.8

(22)申请日 2018.07.31

(71)申请人 OPPO广东移动通信有限公司

地址 523860 广东省东莞市长安镇乌沙海
滨路18号

(72)发明人 杨乐

(74)专利代理机构 广州三环专利商标代理有限
公司 44202

代理人 郝传鑫 熊永强

(51) Int. Cl.

G02F 1/1362(2006.01)

G09G 3/36(2006.01)

G06K 9/00(2006.01)

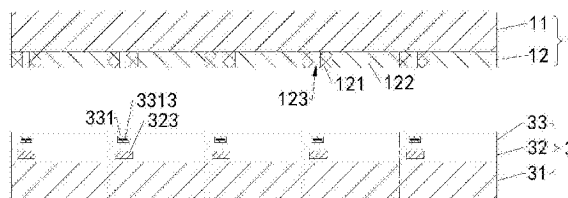
权利要求书2页 说明书9页 附图9页

(54)发明名称

阵列基板、显示屏及电子设备

(57)摘要

本申请公开一种阵列基板,包括第一基材及层叠设置于第一基材的显示电路层和识别电路层,显示电路层包括多条栅极线、多条数据线及多个薄膜晶体管,多条栅极线和多条数据线在第一基材上的投影形成多个子像素投影区域,多个薄膜晶体管在第一基材上的投影一一对应地落入多个子像素投影区域中,识别电路层包括多个光电传感器,多个光电传感器在第一基材上的投影落入不同的子像素投影区域中,光电传感器用于感应携带用户指纹信息的目标光线。上述阵列基板能够提高屏占比。本申请还公开一种显示屏及电子设备。



1. 一种阵列基板,其特征在於,包括第一基材及层叠设置於所述第一基材的显示电路层和识别电路层,所述显示电路层包括多条栅极线、多条数据线及多个薄膜晶体管,所述多条栅极线和所述多条数据线在所述第一基材上的投影形成多个子像素投影区域,所述多个薄膜晶体管在所述第一基材上的投影一一对应地落入所述多个子像素投影区域中,所述识别电路层包括多个光电传感器,所述多个光电传感器在所述第一基材上的投影落入不同的所述子像素投影区域中,所述光电传感器用于感应携带用户指纹信息的目标光线。

2. 如权利要求1所述的阵列基板,其特征在於,所述目标光线为可见光,所述显示电路层位于所述第一基材与所述识别电路层之间。

3. 如权利要求2所述的阵列基板,其特征在於,所述多个光电传感器在所述第一基材上的投影与所述多个薄膜晶体管在所述第一基材上的投影部分重叠。

4. 如权利要求2或3所述的阵列基板,其特征在於,各所述光电传感器包括依次层叠的阴极、光敏层及阳极,所述阴极位于所述光敏层朝向所述第一基材的一侧,所述阳极位于所述光敏层远离所述阴极的一侧,所述阳极采用透明导电材料。

5. 如权利要求4所述的阵列基板,其特征在於,所述阴极采用遮光导电材料,所述阴极在所述第一基材上的投影覆盖所述光敏层在所述第一基材上的投影。

6. 如权利要求5所述的阵列基板,其特征在於,所述识别电路层还包括多条输出导线,所述多条输出导线分别连接所述多个光电传感器的阴极,所述多条输出导线与所述多个光电传感器的阴极同层设置且采用相同材料;

所述多条输出导线在所述第一基材上的投影与所述多条数据线在所述第一基材上的投影部分重叠;

或者,所述多条输出导线在所述第一基材上的投影与所述多条栅极线在所述第一基材上的投影部分重叠。

7. 如权利要求4所述的阵列基板,其特征在於,所述阵列基板还包括多个像素电极,所述多个像素电极在所述第一基材上的投影一一对应地落入所述多个子像素投影区域中,所述多个像素电极一一对应地电连接所述多个薄膜晶体管,所述多个像素电极与所述多个光电传感器的阳极同层设置。

8. 如权利要求7所述的阵列基板,其特征在於,所述显示电路层还包括第一平坦层,所述第一平坦层位于所述多个薄膜晶体管远离所述第一基材的一侧,所述第一平坦层设有多个第一通孔,所述多个第一通孔一一对应地正对所述多个薄膜晶体管,所述多个像素电极一一对应地经所述多个第一通孔连接至所述多个薄膜晶体管。

9. 如权利要求8所述的阵列基板,其特征在於,所述多个光电传感器的阴极位于所述第一平坦层远离所述第一基材的一侧;

所述识别电路层还包括绝缘层,所述绝缘层位于所述第一平坦层远离所述第一基材的一侧且覆盖所述多个光电传感器的阴极,所述绝缘层上设有多个第二通孔和多个第三通孔,所述多个第二通孔一一对应地正对所述多个传感器的阴极,所述多个第三通孔一一对应地连通所述多个第一通孔;

所述多个光电传感器的光敏层一一对应地部分或全部填充于所述多个第二通孔中并接触所述多个光电传感器的阴极;

所述多个光电传感器的阳极位于所述绝缘层远离所述第一平坦层的一侧,且一一对应

地覆盖所述多个光电传感器的光敏层；

所述多个像素电极位于所述绝缘层远离所述第一平坦层的一侧，且一一对应地通过所述多个第三通孔和所述多个第一通孔连接至所述多个薄膜晶体管。

10. 如权利要求1所述的阵列基板，其特征在于，所述目标光线为可见光，所述多个光电传感器的光敏层在所述第一基材上的投影与所述多个薄膜晶体管在所述第一基材上的投影错位设置。

11. 如权利要求1所述的阵列基板，其特征在于，所述目标光线为不可见光，所述多个光电传感器在所述第一基材上的投影与所述多个薄膜晶体管在所述第一基材上的投影部分重叠。

12. 如权利要求11所述的阵列基板，其特征在于，所述显示电路层位于所述第一基材与所述识别电路层之间。

13. 如权利要求11或12所述的阵列基板，其特征在于，所述识别电路层还包括多条输出导线，所述多条输出导线一一对应地连接所述多个光电传感器的阴极，所述多条输出导线与所述多个光电传感器的阴极同层设置且采用相同材料；

所述多条输出导线在所述第一基材上的投影与所述多条栅极线或所述多条数据线中的一者在所述第一基材上的投影部分重叠。

14. 如权利要求11或12所述的阵列基板，其特征在于，所述显示电路层还包括多条输入导线，所述多条输入导线一一对应地连接所述多个光电传感器的阳极，所述多条输入导线与所述多个光电传感器的阳极同层设置且采用相同材料；

所述多条输入导线的材料与所述多条输出导线的材料相同；

所述多条输入导线在所述第一基材上的投影与所述多条栅极线或所述多条数据线中的另一者在所述第一基材上的投影部分重叠。

15. 一种显示屏，其特征在于，包括彩膜基板、液晶层及权利要求1至14中任意一项所述的阵列基板，所述液晶层位于所述彩膜基板与所述阵列基板之间。

16. 如权利要求15所述的显示屏，其特征在于，所述彩膜基板包括第二基材及设置于所述第二基材的色阻层，所述色阻层的黑色矩阵中设有多个透光小孔，所述目标光线为可见光，所述多个光电传感器的光敏层一一对应的正对所述多个透光小孔设置。

17. 如权利要求15所述的显示屏，其特征在于，所述彩膜基板包括第二基材及设置于所述第二基材的色阻层，所述目标光线为可见光，所述多个光电传感器的光敏层正对所述色阻层的彩色色阻块设置。

18. 如权利要求15所述的显示屏，其特征在于，所述彩膜基板包括第二基材及设置于所述第二基材的色阻层，所述目标光线为不可见光，所述多个光电传感器的光敏层正对所述色阻层的黑色矩阵设置。

19. 如权利要求15至18中任意一项所述的显示屏，其特征在于，所述显示屏还包括栅极驱动电路和数据驱动电路，所述多条栅极线电连接所述栅极驱动电路，所述多条数据线电连接所述数据驱动电路；所述多个光电传感器的一端电连接至所述栅极驱动电路，另一端电连接至所述数据驱动电路。

20. 一种电子设备，其特征在于，包括控制器和权利要求15至19中任意一项所述的显示屏，所述控制器电连接所述显示屏。

阵列基板、显示屏及电子设备

技术领域

[0001] 本申请涉及电子技术领域,尤其涉及一种阵列基板、一种显示屏及一种电子设备。

背景技术

[0002] 传统电子设备的指纹识别组件占据着电子设备非显示区的空间,使得电子设备的屏占比提高受限。而随着用户对电子设备的屏占比需求越来越高,如何减少指纹识别组件占据电子设备的非显示区的面积,以提高电子设备的屏占比成为需要解决的问题。

发明内容

[0003] 本申请所要解决的技术问题在于提供一种能够提高屏占比的阵列基板、显示屏及电子设备。

[0004] 本申请实施方式采用如下技术方案:

[0005] 一方面,提供一种阵列基板,包括第一基材及层叠设置于所述第一基材的显示电路层和识别电路层,所述显示电路层包括多条栅极线、多条数据线及多个薄膜晶体管,所述多条栅极线和所述多条数据线在所述第一基材上的投影形成多个子像素投影区域,所述多个薄膜晶体管在所述第一基材上的投影一一对应地落入所述多个子像素投影区域中,所述识别电路层包括多个光电传感器,所述多个光电传感器在所述第一基材上的投影落入不同的所述子像素投影区域中,所述光电传感器用于感应携带用户指纹信息的目标光线。

[0006] 另一方面,还提供一种显示屏,包括彩膜基板、液晶层及上述阵列基板,所述液晶层位于所述彩膜基板与所述阵列基板之间。

[0007] 再一方面,还提供一种电子设备,包括控制器和上述显示屏,所述控制器电连接所述显示屏。

[0008] 在本申请中,由于多个光电传感器在第一基材上的投影落入多个子像素投影区域中,多个光电传感器集成在多个子像素中,多个子像素位于显示屏的显示区中,因此由多个光电传感器所形成的指纹识别模组能够设于显示区中,指纹识别模组无需占用显示屏的非显示区空间,显示屏的非显示区相较于传统显示屏能够减小,显示屏的显示区相较于传统显示屏能够增加,从而提高了显示屏及应用显示屏的电子设备的屏占比。

附图说明

[0009] 为了更清楚地说明本申请的技术方案,下面将对实施方式中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施方式,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以如这些附图获得其他的附图。

[0010] 图1是本申请提供的一种电子设备的结构示意图;

[0011] 图2是图1所示电子设备的显示屏的结构示意图;

[0012] 图3是图2所示显示屏的阵列基板和彩膜基板在第一实施例中的结构示意图;

[0013] 图4是图3所示阵列基板的显示电路层和识别电路层在第一基材上的投影的示意

图；

- [0014] 图5是图4中一个子像素的部分结构的示意图；
- [0015] 图6是图2所示显示屏的部分电路在一种实施方式中的示意图；
- [0016] 图7是图2所示显示屏的部分电路在另一种实施方式中的示意图；
- [0017] 图8是图3所示阵列基板的部分结构在一种实施方式中的结构示意图；
- [0018] 图9是图3所示阵列基板的部分结构在另一种实施方式中的结构示意图；
- [0019] 图10是图2所示显示屏的阵列基板和彩膜基板在第二实施例中的结构示意图；
- [0020] 图11是图2所示显示屏的阵列基板和彩膜基板在第三实施例中的结构示意图；
- [0021] 图12是图11所示阵列基板的部分结构的结构示意图；
- [0022] 图13是图2所示显示屏的阵列基板和彩膜基板在第四实施例中的结构示意图；
- [0023] 图14是图13所示阵列基板的部分结构的结构示意图；
- [0024] 图15是图2所示显示屏的阵列基板和彩膜基板在第五实施例中的结构示意图；
- [0025] 图16是图15所示阵列基板的部分结构的结构示意图。

具体实施方式

- [0026] 下面结合附图,对本申请的实施例进行描述。
- [0027] 请参阅图1,图1是本申请提供的一种电子设备1000的结构示意图。
- [0028] 本申请电子设备1000可以是任何具备通信和存储功能的设备,例如:平板电脑、手机、电子阅读器、遥控器、个人计算机(Personal Computer,PC)、笔记本电脑、车载设备、网络电视、可穿戴设备等设备。
- [0029] 电子设备1000包括显示屏100和控制器200。控制器200电连接显示屏100。本申请中电连接包括电源连接和信号连接。电子设备1000还包括壳体300,显示屏100安装于壳体300,控制器200收容于壳体300内部。
- [0030] 请参阅图2,图2是图1所示电子设备1000的显示屏100的结构示意图。
- [0031] 显示屏100包括彩膜基板1、液晶层2及阵列基板3。彩膜基板1与阵列基板3相对设置。液晶层2位于彩膜基板1与阵列基板3之间。
- [0032] 显示屏100还包括背光模组4。背光模组4位于阵列基板3远离彩膜基板1的一侧。背光模组4用于提供背光光线。
- [0033] 显示屏100还可包括盖板5。盖板5位于彩膜基板1远离阵列基板3的一侧。盖板5能够为显示屏100内部器件提供保护作用。盖板5可以为玻璃盖板。
- [0034] 请一并参阅图3至图5,图3是图2所示显示屏100的阵列基板3和彩膜基板1在第一实施例中的结构示意图,图4是图3所示阵列基板3的显示电路层32和识别电路层33在第一基材31上的投影的示意图;图5是图4中一个子像素的部分结构的示意图。
- [0035] 阵列基板3包括第一基材31及层叠设置于第一基材31的显示电路层32和识别电路层33。显示电路层32和识别电路层33层叠于阵列基板3的同一侧。
- [0036] 显示电路层32包括多条栅极线321、多条数据线322及多个薄膜晶体管323。本申请中,“多条”的含义是两条或两条以上。多条栅极线321与多条数据线322交叉绝缘排布。多条栅极线321和多条数据线322在第一基材31上的投影形成多个子像素投影区域320。多个子像素投影区域320阵列排布。多个薄膜晶体管323在第一基材31上的投影一一对应地落入多

个子像素投影区域320中。

[0037] 识别电路层33包括多个光电传感器331。多个光电传感器331在第一基材31上的投影落入不同的子像素投影区域320中。光电传感器331用于感应携带用户指纹信息的目标光线。背光光线被用户手指反射后,能够形成目标光线。由于手指指纹纹路中的脊与谷的反射情况不同,因此通过分析目标光线的分布及光强,能够获得用户手指的指纹纹路,故而目标光线中携带有用户的指纹信息。光电传感器331感应到大小不同的光线时,发生光电效应并产生大小不同的电流,因此光电传感器331在感应到目标光线后,能够形成与目标光线相对应的电信号。控制器200通过分析电信号,能够获得对应的指纹图像,从而进行指纹识别。

[0038] 在本申请中,在第一基材31上的投影落入同一个子像素投影区域320中的部分阵列基板3、部分液晶层2及部分彩膜基板1共同形成一个子像素6。多个子像素6位于显示屏100的显示区内。子像素6能够用于显示画面。多个子像素6构成一个像素单元。例如,一个像素单元包括三个子像素6,三个子像素6分别用于显示红色(R)、绿色(G)及蓝色(B)画面。另一种实施例中,一个像素单元包括四个子像素6,四个子像素6分别用于显示红色(R)、绿色(G)、蓝色(B)及白色(W)画面,或者四个子像素6分别用于显示红色(R)、绿色(G)、蓝色(B)及黄色(Y)画面。

[0039] 各子像素6中均设有薄膜晶体管323。薄膜晶体管323的栅极3231连接对应的栅极线321。薄膜晶体管323的一端(源极或漏极)3232连接对应的数据线322。部分子像素6具有光电传感器331,这部分子像素6中的光电传感器331在第一基材31上的投影落入对应的子像素投影区域320中。一种实施例中,显示屏100的整个显示区域均能够感应指纹,指纹感应位置不受限制。其他实施例中,显示屏100的显示区域的某个或某些区块能够感应指纹。

[0040] 在本实施例中,由于多个光电传感器331在第一基材31上的投影落入多个子像素投影区域320中,多个光电传感器331集成在多个子像素6中,多个子像素6位于显示屏100的显示区中,因此由多个光电传感器331所形成的指纹识别模组能够设于显示区中,指纹识别模组无需占用显示屏100的非显示区空间,显示屏100的非显示区相较于传统显示屏能够减小,显示屏100的显示区相较于传统显示屏能够增加,从而提高了显示屏100及应用显示屏100的电子设备1000的屏占比。本申请中,电子设备1000和显示屏100的屏占比较大,甚至能够实现全屏显示。

[0041] 在本实施例中,由于多个光电传感器331集成在显示屏100的多个子像素6中,因此无需为电子设备1000的指纹识别模组进行额外的结构设计,也使得电子设备1000的整机组装更容易实现。

[0042] 可以理解的是,在其他实施例中,背光光线被用户手掌或虹膜反射后,也能形成目标光线。此时,多个光电传感器用于感应用户的手掌纹路或虹膜纹路,以使电子设备获取手掌纹路或虹膜纹路图像,从而实现掌纹识别或虹膜识别。

[0043] 其中,显示电路层32还包括多个像素电极324。一种实施方式中,彩膜基板1上设有公共电极(未图示),公共电极、液晶层2及多个像素电极324形成显示屏100的像素电容。另一种实施方式中,显示电路层32还包括公共电极(未图示),显示屏100通过平面转换(In-Plane Switching, IPS)技术实现液晶偏转。

[0044] 其中,识别电路层33还包括多条输入导线332,多条输入导线332一一对应地连接多个光电传感器331的阳极3311。识别电路层33还包括多条输出导线333,多条输出导线333

一一对应地连接多个光电传感器331的阴极3312。

[0045] 本申请中,光电传感器331所感应的目标光线可以为可见光或不可见光。光电传感器331的光敏层3313在接收到目标光线时,产生光电效应。

[0046] 一种实施例中,目标光线为可见光。光电传感器331的光敏层3313感应到可见光时发生光电效应。例如,光电传感器331的光敏层3313可采用富硅化合物,包括但不限于富硅氧化硅(SiO_x)、富硅氮化硅(SiNy)、富硅氮氧化硅(SiO_xNy)等。此时,背光模组4发出的背光光线为可见光。

[0047] 另一种实施例中,目标光线为不可见光。光电传感器331的光敏层3313感应到不可见光时发生光电效应。例如,目标光线可以为红外光、近红外光、紫外光或进紫外光。光电传感器331的光敏层3313的材料可以为硫化铅(PbS)等对红外线或近红外线具有特殊相应的材料,也可以为铟锡锌氧化物(ITZO)或铟镓锌氧化物(IGZO)等对紫外线或近紫外线具有响应的半导体材料。此时,背光模组4发出的背光光线包括可见光和不可见光。

[0048] 请参阅图6,图6是图2所示显示屏100的部分电路在一种实施方式中的示意图。

[0049] 显示屏100还包括栅极驱动电路7和数据驱动电路8。控制器200电连接栅极驱动电路7和数据驱动电路8。多条栅极线321电连接栅极驱动电路7。多条数据线322电连接数据驱动电路8。多个光电传感器331的一端电连接至栅极驱动电路7,另一端电连接至数据驱动电路8。多个光电传感器331的一端和另一端分别为阳极3311和阴极3312中的一者和另一者。

[0050] 栅极驱动电路7中包括第一显示驱动模块和第一识别驱动模块。第一显示驱动模块连接多条栅极线321,用于参与显示屏100的显示工作,第一识别驱动模块连接多个光电传感器331,用于参与显示屏100的指纹识别工作。数据驱动电路8中包括第二显示驱动模块和第二识别驱动模块。第二显示驱动模块连接多条数据线322,用于参与显示屏100的显示工作,第二识别驱动模块连接多个光电传感器331,用于参与显示屏100的指纹识别工作。

[0051] 在本实施例中,由于多个光电传感器331复用栅极驱动电路7和数据驱动电路8作为其驱动电路,因此减少了显示屏100的物料个数,简化了显示屏100的组装工序。

[0052] 其中,多个光电传感器331的阳极3311分别通过多条输入导线332连接至栅极驱动电路7。需要进行指纹识别时,可以依次打开多个光电传感器331,也可以同时打开多个光电传感器331。其他实施例中,多个光电传感器331的阳极3311也可以汇总到一根总线后连接至栅极驱动电路7。多个光电传感器331的阴极3312分别通过多条输出导线333连接至数据驱动电路8。

[0053] 其他实施方式中,与前述实施方式不同的是,光电传感器331的阳极3311连接至数据驱动电路8,多个光电传感器331的阴极3312连接至栅极驱动电路7。

[0054] 本申请中,可以在光电传感器331的阳极3311上加载脉冲信号,通过分析多个光电传感器331的阴极3312所输出的电信号的脉冲幅值的变化,获知目标光线的变化情况,从而形成用户的指纹图像。

[0055] 请参阅图7,图7是图2所示显示屏100的部分电路在另一种实施方式的示意图。

[0056] 本实施方式与前述实施方式不同的是,显示屏100还包括传感器驱动电路9。即,显示屏100还包括栅极驱动电路7、数据驱动电路8及传感器驱动电路9。多条栅极线321电连接栅极驱动电路7。多条数据线322电连接数据驱动电路8。多个光电传感器331电连接至传感器驱动电路9。传感器驱动电路9电连接控制器200。

[0057] 在本实施例中,由于显示屏100设置有独立的传感器驱动电路9,因此栅极驱动电路7及数据驱动电路8可采用传统设计,并且显示电路层32和识别电路层33均能够独立工作,使得显示屏100的工作方式更为多样化。

[0058] 请参阅图3,目标光线为可见光,显示电路层32位于第一基材31与识别电路层33之间。此时,识别电路层33更靠近用户手指,使得多个光电传感器331与用户手指的距离更近,从而提高指纹图像的成像质量,以获得更高的识别精度。同时,多个光电传感器331不会被显示电路层32中的线路和器件所遮挡,因此显示电路层32中线路和器件的排布更为灵活。

[0059] 其中,多个光电传感器331在第一基材31上的投影与多个薄膜晶体管323在第一基材31上的投影部分重叠。此时,多个光电传感器331与多个薄膜晶体管323大致重叠设置。多个光电传感器331与多个薄膜晶体管323能够复用阵列基板3的长度和宽度上的空间,从而提高显示屏100的开口率。

[0060] 其中,彩膜基板1包括第二基材11及设置于第二基材11的色阻层12。色阻层12包括黑色矩阵121和彩色色阻块122。色阻层12的黑色矩阵121中设有多个透光小孔123。多个光电传感器331的光敏层3313一一对应的正对多个透光小孔123设置。

[0061] 在本实施例中,目标光线能够穿过多个透光小孔123进入多个光电传感器331的光敏层3313,使得多个光电传感器331实现感应。多个光电传感器331能够位于黑色矩阵121下方,使得多个光电传感器331不会在彩色色阻块122所对应的区域内形成遮光区块,使得显示屏100具有较高的开口率。

[0062] 请参阅图8,图8是图3所示阵列基板3的部分结构在一种实施方式中的结构示意图。图8中主要示意出了一个薄膜晶体管323、一个光电传感器331及一个像素电极324的结构。

[0063] 各光电传感器331包括依次层叠的阴极3312、光敏层3313及阳极3311。阴极3312位于光敏层3313朝向第一基材31的一侧。阳极3311位于光敏层3313远离阴极3312的一侧。光电传感器331的阴极3312和阳极3311分别接触光电传感器331的光敏层3313相背的两表面。阳极3311采用透明导电材料。透明导电材料可以为但不限于氧化铟锡(Indium tin oxide, ITO)。

[0064] 在本实施例中,由于阳极3311采用透明导电材料,因此目标光线能够穿过阳极3311进入光敏层3313,使得光电传感器331感应目标光线。

[0065] 其中,阴极3312采用遮光导电材料。遮光导电材料包括但不限于金属,例如铜。阴极3312在第一基材31上的投影覆盖光敏层3313在第一基材31上的投影。光电传感器331的阴极3312可以作为遮光层,用以遮挡由背光模组4发出的背光光线,从而防止背光光线对光电传感器331的感应造成干扰。

[0066] 请一并参阅图4和图8,识别电路层33还包括多条输出导线333。多条输出导线333分别连接多个光电传感器331的阴极3312。多条输出导线333用于将多个光电传感器331所产生的电信号传输至对应的驱动电路。

[0067] 多条输出导线333与多个光电传感器331的阴极3312同层设置且采用相同材料。其中,多条输出导线333与多个光电传感器331的阴极3312可以通过同一道蚀刻工艺成形,以简化阵列基板3的加工工序,降低了阵列基板3的生产成本。

[0068] 本实施例中,多条输出导线333在第一基材31上的投影与多条数据线322在第一基

材31上的投影部分重叠。此时,多条输出导线333与多条数据线322复用阵列基板3在长度和宽度上的部分空间,有利于提高显示屏100的开口率。

[0069] 其他实施例中,多条输出导线333在第一基材31上的投影与多条栅极线321在第一基材31上的投影部分重叠。此时,多条输出导线333与多条栅极线321复用阵列基板3在长度和宽度上的部分空间,有利于提高显示屏100的开口率。

[0070] 请一并参阅图4和图8,阵列基板3还包括多个像素电极324。多个像素电极324在第一基材31上的投影一一对应地落入多个子像素投影区域320中。多个像素电极324一一对应地电连接多个薄膜晶体管323。

[0071] 换言之,各薄膜晶体管323的栅极3231 (Gate,G,也叫做门极)连接至栅极线321,薄膜晶体管323的第一端3232连接数据线322,薄膜晶体管323的第二端3233连接像素电极324。薄膜晶体管323的第一端3232和第二端3233分别连接薄膜晶体管323的半导体层3234的两端。

[0072] 一种实施例中,薄膜晶体管323的第一端3232为源极 (Source,S),薄膜晶体管323的第二端3233为漏极 (Drain,D)。另一种实施例中,薄膜晶体管323的第一端3232为漏极,薄膜晶体管323的第二端3233为源极。

[0073] 其中,多个像素电极324与多个光电传感器331的阳极3311同层设置。多个像素电极324与多个光电传感器331的阳极3311采用相同材料。多个像素电极324与多个光电传感器331可以通过同一道蚀刻工艺成形,以简化阵列基板3的加工工序,降低了阵列基板3的生产成本。

[0074] 其中,显示电路层32还包括第一平坦层325。第一平坦层325位于多个薄膜晶体管323远离第一基材31的一侧。第一平坦层325覆盖多个薄膜晶体管323及数据线322。第一平坦层325采用绝缘材料。第一平坦层325能够为识别电路层33提供良好的成型面,以提高识别电路层33的产品良率。

[0075] 第一平坦层325设有多个第一通孔3251。多个第一通孔3251一一对应地正对多个薄膜晶体管323 (的第二端3233)。光电传感器331的阴极3312、光敏层3313及阳极3311依次层叠在第一平坦层325远离第一基材31的一侧。阴极3312与阳极3311之间被光敏层3313所隔离。多个像素电极324位于第一平坦层325远离第一基材31的一侧。多个像素电极324一一对应地经多个第一通孔3251连接至多个薄膜晶体管323。

[0076] 其中,显示电路层32还包括覆盖薄膜晶体管323的栅极3231的栅极绝缘层326。栅极绝缘层326隔离覆盖薄膜晶体管323的栅极3231与半导体层3234。

[0077] 请参阅图9,图9是图3所示阵列基板3的部分结构在另一种实施方式中的结构示意图。图9中主要示意出了一个薄膜晶体管323、一个光电传感器331及一个像素电极324的结构。

[0078] 图9所示阵列基板3与图8所示阵列基板3的主要区别在于:

[0079] 识别电路层33还包括绝缘层334。

[0080] 多个光电传感器331的阴极3312位于第一平坦层325远离第一基材31的一侧。例如,可形成在第一平坦层325远离第一基材31的表面上。

[0081] 绝缘层334位于第一平坦层325远离第一基材31的一侧且覆盖多个光电传感器331的阴极3312。绝缘层334上设有多个第二通孔3341和多个第三通孔3342。多个第二通孔3341

一一对应地正对多个传感器的阴极3312。多个第三通孔3342一一对应地连通多个第一通孔3251。

[0082] 多个光电传感器331的光敏层3313一一对应地部分或全部填充于多个第二通孔3341中并接触多个光电传感器331的阴极3312。

[0083] 多个光电传感器331的阳极3311位于绝缘层334远离第一平坦层325的一侧，且一一对应地覆盖多个光电传感器331的光敏层3313。多个光电传感器331的阳极3311与光电传感器331的阴极3312被光电传感器331的光敏层3313及绝缘层334隔离开。

[0084] 多个像素电极324位于绝缘层334远离第一平坦层325的一侧，且一一对应地通过多个第三通孔3342和多个第一通孔3251连接至多个薄膜晶体管323。

[0085] 请参阅图10，图10是图2所示显示屏100的阵列基板3和彩膜基板1在第二实施例中的结构示意图。第二实施例的阵列基板3的电路结构可参阅第一实施例（参见图4至图7）。

[0086] 本实施例与第一实施例的主要区别在于：

[0087] 目标光线为可见光。多个光电传感器331的光敏层3313在第一基材31上的投影与多个薄膜晶体管323在第一基材31上的投影错位设置。在同一个子像素投影区域320中，光电传感器331与薄膜晶体管323的位置可以灵活设置。可选的，光电传感器331在第一基材31上的投影与薄膜晶体管323在第一基材31上的投影，分别占据子像素投影区域320四个角落中的各一个角落。例如，薄膜晶体管323位于左下角，光电传感器331可位于左上角、右上角或右下角。

[0088] 彩膜基板1包括第二基材11及设置于第二基材11的色阻层12。色阻层12包括黑色矩阵121和彩色色阻块122。多个光电传感器331的光敏层3313正对色阻层12的彩色色阻块122设置。目标光线能够穿过第二基材11和彩色色阻块122进入多个光电传感器331。多个薄膜晶体管323正对色阻层12的黑色矩阵121设置。黑色矩阵121遮挡多个薄膜晶体管323。

[0089] 其中，显示电路层32位于第一基材31与识别电路层33之间。此时，识别电路层33更靠近用户手指，使得多个光电传感器331与用户手指的距离更近，从而提高指纹图像的成像质量，以获得更高的识别精度。同时，多个光电传感器331不会被显示电路层32中的线路和器件所遮挡，因此显示电路层32中线路和器件的排布更为灵活。

[0090] 请一并参阅图11和图12，图11是图2所示显示屏100的阵列基板3和彩膜基板1在第三实施例中的结构示意图，图12是图11所示阵列基板3的部分结构的结构示意图。图12中主要示意出了一个薄膜晶体管323、一个光电传感器331及一个像素电极324的结构。第三实施例的阵列基板3的电路结构可参阅第一实施例（参见图4至图7）。

[0091] 本实施例与第二实施例的主要区别在于：识别电路层33位于第一基材31与显示电路层32之间。

[0092] 本实施例中，像素电极324与光电传感器331的阳极3311不再同层排布。像素电极324可设于显示电路层32远离识别电路层33的一侧。

[0093] 识别电路层33还包括第二平坦层335。第二平坦层335位于多个光电传感器331远离第一基材31的一侧。第二平坦层335覆盖多个光电传感器331。第二平坦层335采用绝缘材料。第二平坦层335能够为显示电路层32提供良好的成型面，以提高显示电路层32的产品良率。

[0094] 请一并参阅图13和图14，图13是图2所示显示屏100的阵列基板3和彩膜基板1在第

四实施例中的结构示意图,图14是图13所示阵列基板3的部分结构的结构示意图。图14中主要示意出了一个薄膜晶体管323和一个光电传感器331的结构。第四实施例的阵列基板3的电路结构可参阅第一实施例(参见图4至图7)。

[0095] 本实施例与第一实施例至第三实施例的主要区别在于:

[0096] 目标光线为不可见光。多个光电传感器331在第一基材31上的投影与多个薄膜晶体管323在第一基材31上的投影部分重叠。

[0097] 彩膜基板1包括第二基材11及设置于第二基材11的色阻层12。色阻层12包括黑色矩阵121和彩色色阻块122。黑色矩阵121允许特殊频段波长的光线通过,例如红外光、紫外光等。

[0098] 多个光电传感器331的光敏层3313正对色阻层12的黑色矩阵121设置。多个薄膜晶体管323正对色阻层12的黑色矩阵121设置。目标光线能够穿过黑色矩阵121进入多个光电传感器331。黑色矩阵121遮挡多个光电传感器331和多个薄膜晶体管323。

[0099] 请一并参阅图5和图14,显示电路层32位于第一基材31与识别电路层33之间。

[0100] 显示电路层32包括薄膜晶体管323的栅极3231、栅极绝缘层326、薄膜晶体管323的半导体层3234、薄膜晶体管323的第一端3232、薄膜晶体管323的第二端3233及第一平坦层325。显示电路层32还包括连接薄膜晶体管323的第一端3232的数据线322和连接薄膜晶体管323的栅极3231的栅极线321(图14未示出)。

[0101] 识别电路层33包括光电传感器331的阴极3312、光电传感器331的光敏层3313、光电传感器331的阳极3311。识别电路层33还包括多条输出导线333。多条输出导线333一一对应地连接多个光电传感器331的阴极3312。显示电路层32还包括多条输入导线332(图14未示出)。多条输入导线332一一对应地连接多个光电传感器331的阳极3311。

[0102] 其中,多条输出导线333与多个光电传感器331的阴极3312同层设置且采用相同材料。多条输出导线333与多个光电传感器331的阴极3312可通过同一道蚀刻工艺成形,以简化阵列基板3的加工工序,降低了阵列基板3的生产成本。

[0103] 其中,多条输出导线333在第一基材31上的投影与多条栅极线321或多条数据线322中的一者在第一基材31上的投影部分重叠。此时,多条栅极线321或多条数据线322中的一者和多条输出导线333复用了阵列基板3的长度和宽度上的空间,有利于提高显示屏100的开口率。本申请以多条输出导线333在第一基材31上的投影与多条数据线322在第一基材31上的投影部分重叠为例进行示意。

[0104] 其中,多条输入导线332与多个光电传感器331的阳极3311同层设置且采用相同材料。多条输入导线332与多个光电传感器331的阳极3311可通过同一道蚀刻工艺成形,以简化阵列基板3的加工工序,降低了阵列基板3的生产成本。

[0105] 其中,多条输入导线332的材料与多条输出导线333的材料相同。此时,制备识别电路层33所需的物料种类较少,有利于降低阵列基板3的成本。

[0106] 其中,多条输入导线332在第一基材31上的投影与多条栅极线321或多条数据线322中的另一者在第一基材31上的投影部分重叠。此时,多条栅极线321或多条数据线322中的另一者和多条输出导线333复用了阵列基板3的长度和宽度上的空间,有利于提高显示屏100的开口率。本申请以多条输入导线332在第一基材31上的投影与多条栅极线321在第一基材31上的投影部分重叠为例进行示意。

[0107] 请一并参阅图15和图16,图15是图2所示显示屏100的阵列基板3和彩膜基板1在第五实施例中的结构示意图,图16是图15所示阵列基板3的部分结构的结构示意图。图16中主要示意出了一个薄膜晶体管323、一个光电传感器331以及一个像素电极324的结构。第五实施例的阵列基板3的电路结构可参阅第一实施例(参见图4至图7)。

[0108] 本实施例与第四实施例的主要区别在于:

[0109] 识别电路层33位于第一基材31与显示电路层32之间。

[0110] 识别电路层33包括光电传感器331的阴极3312、光电传感器331的光敏层3313、光电传感器331的阳极3311及第二平坦层335。识别电路层33还包括多条输出导线333。多条输出导线333一一对应地连接多个光电传感器331的阴极3312。显示电路层32还包括多条输入导线(未示出)。多条输入导线332一一对应地连接多个光电传感器331的阳极3311。

[0111] 显示电路层32包括薄膜晶体管323的栅极3231、栅极绝缘层326、薄膜晶体管323的半导体层3234、薄膜晶体管323的第一端3232、薄膜晶体管323的第二端3233、第一平坦层325及像素电极324。显示电路层32还包括连接薄膜晶体管323的第一端3232的数据线322和连接薄膜晶体管323的栅极3231的栅极线(未示出)。

[0112] 本实施例中,光电传感器331正对薄膜晶体管323的半导体层3234的沟道区设置。其他位置关系参照前述实施例,此处不再赘述。

[0113] 以上对本申请实施例进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想;在不冲突的情况下,本申请的实施方式及实施方式中的特征可以相互组合;同时,对于本领域的一般技术人员,依据本申请的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本申请的限制。

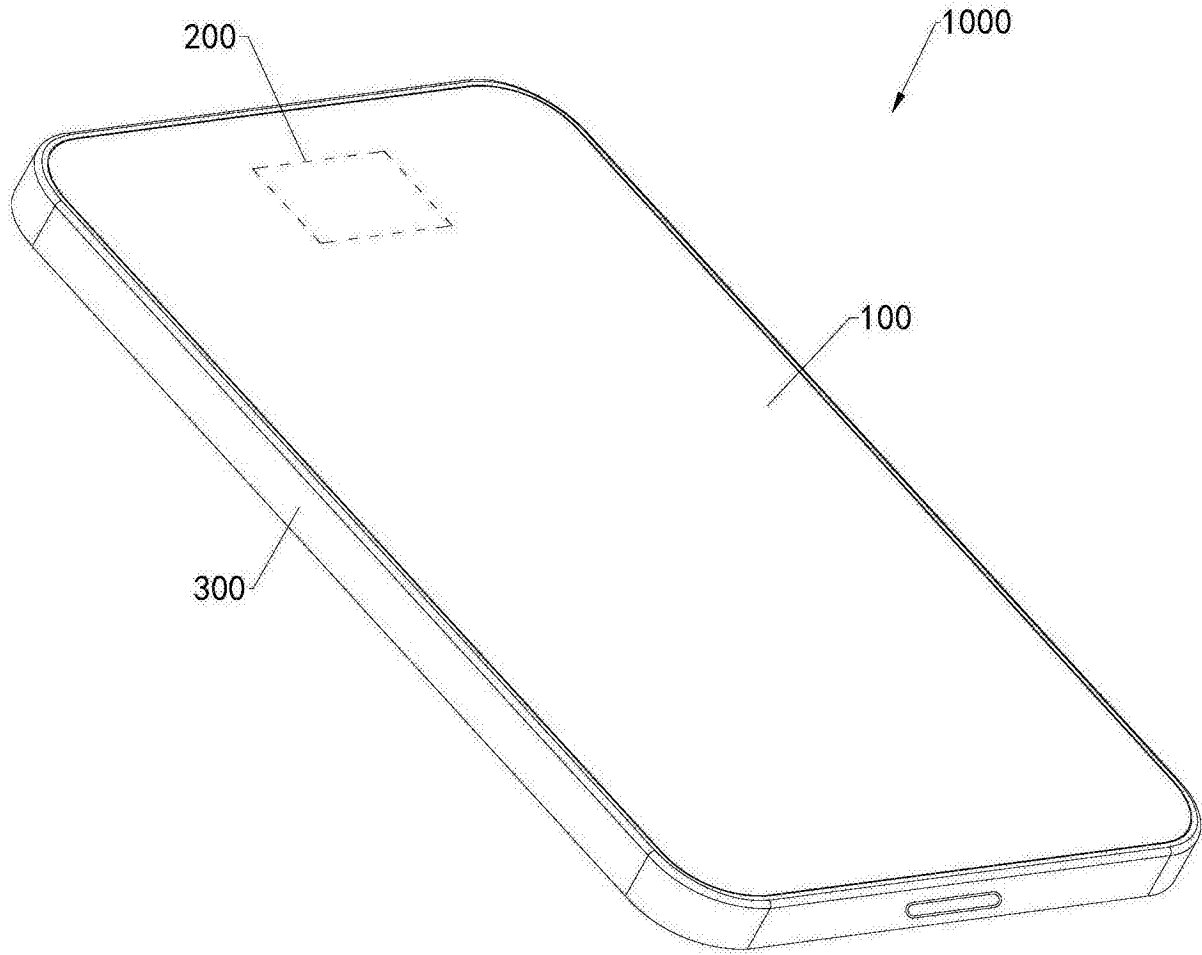


图1

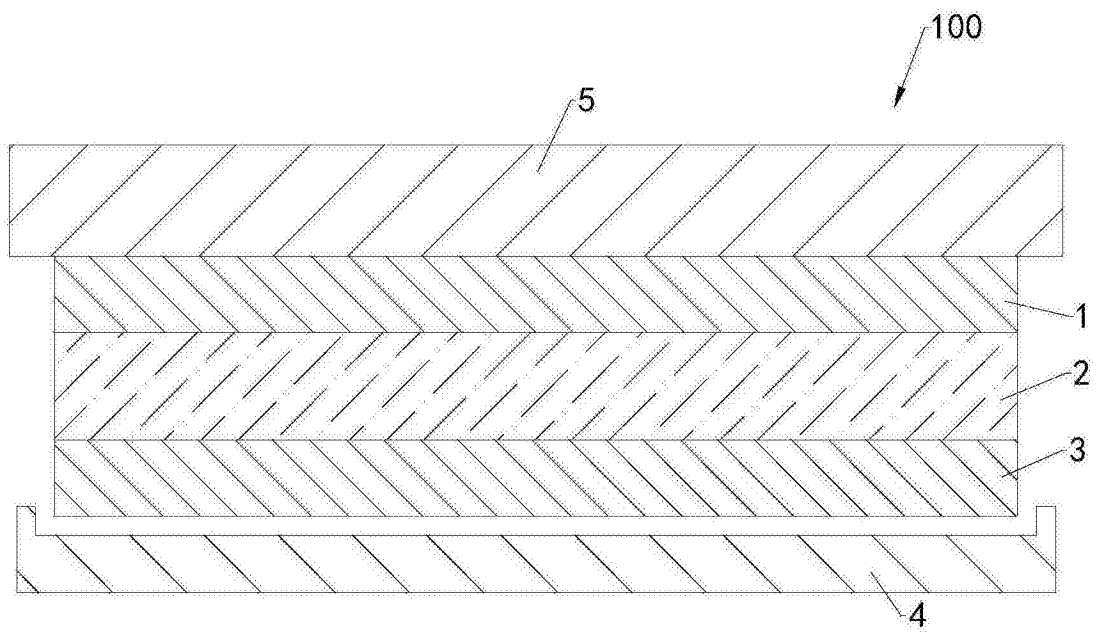


图2

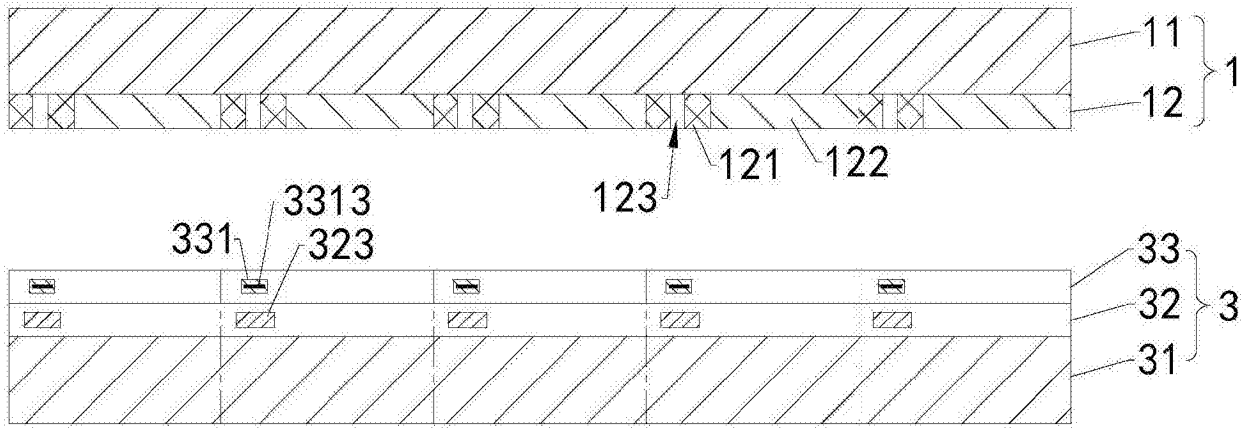


图3

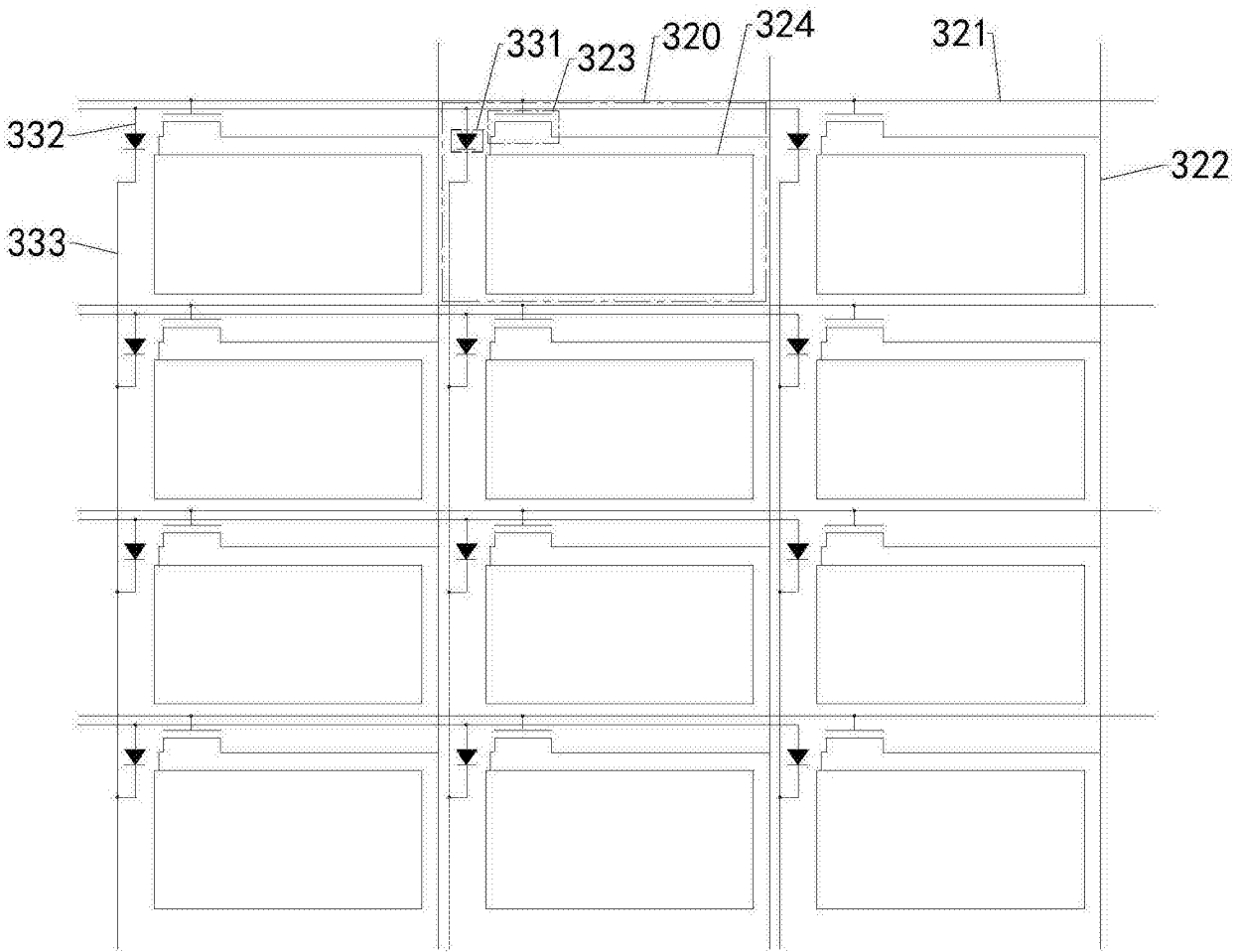


图4

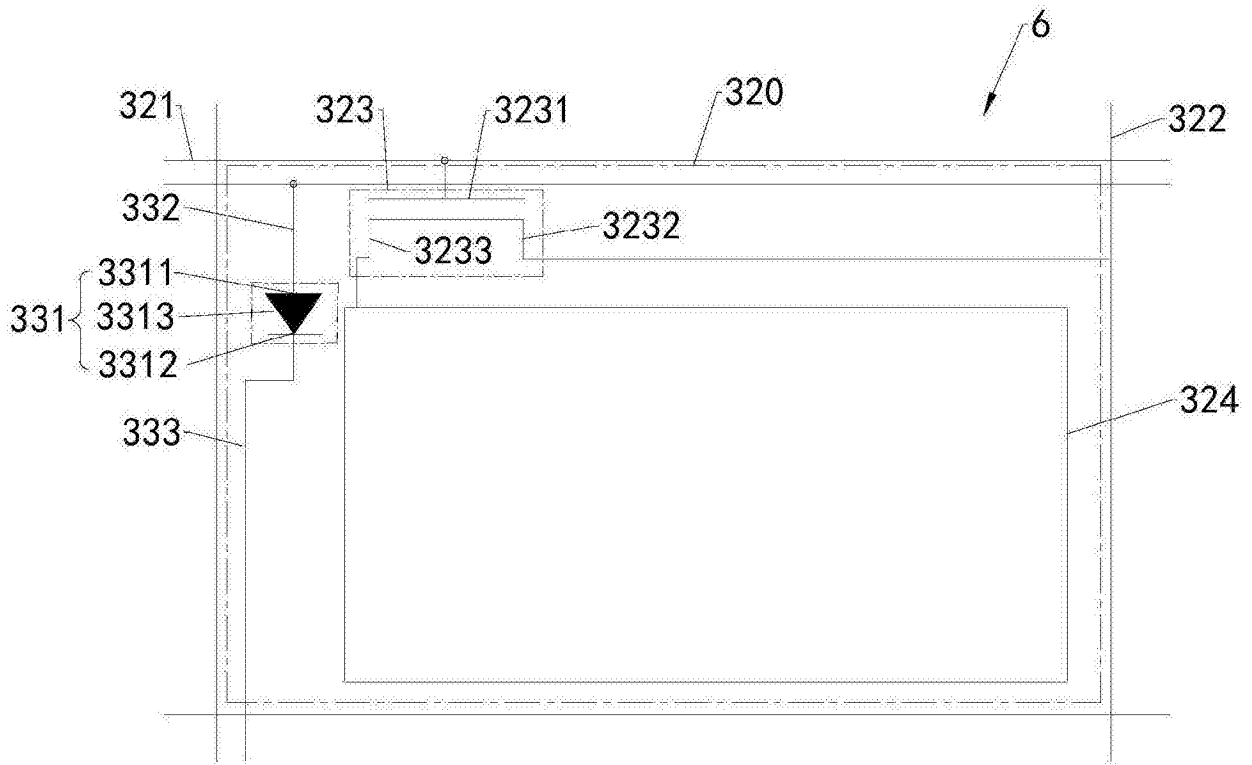


图5

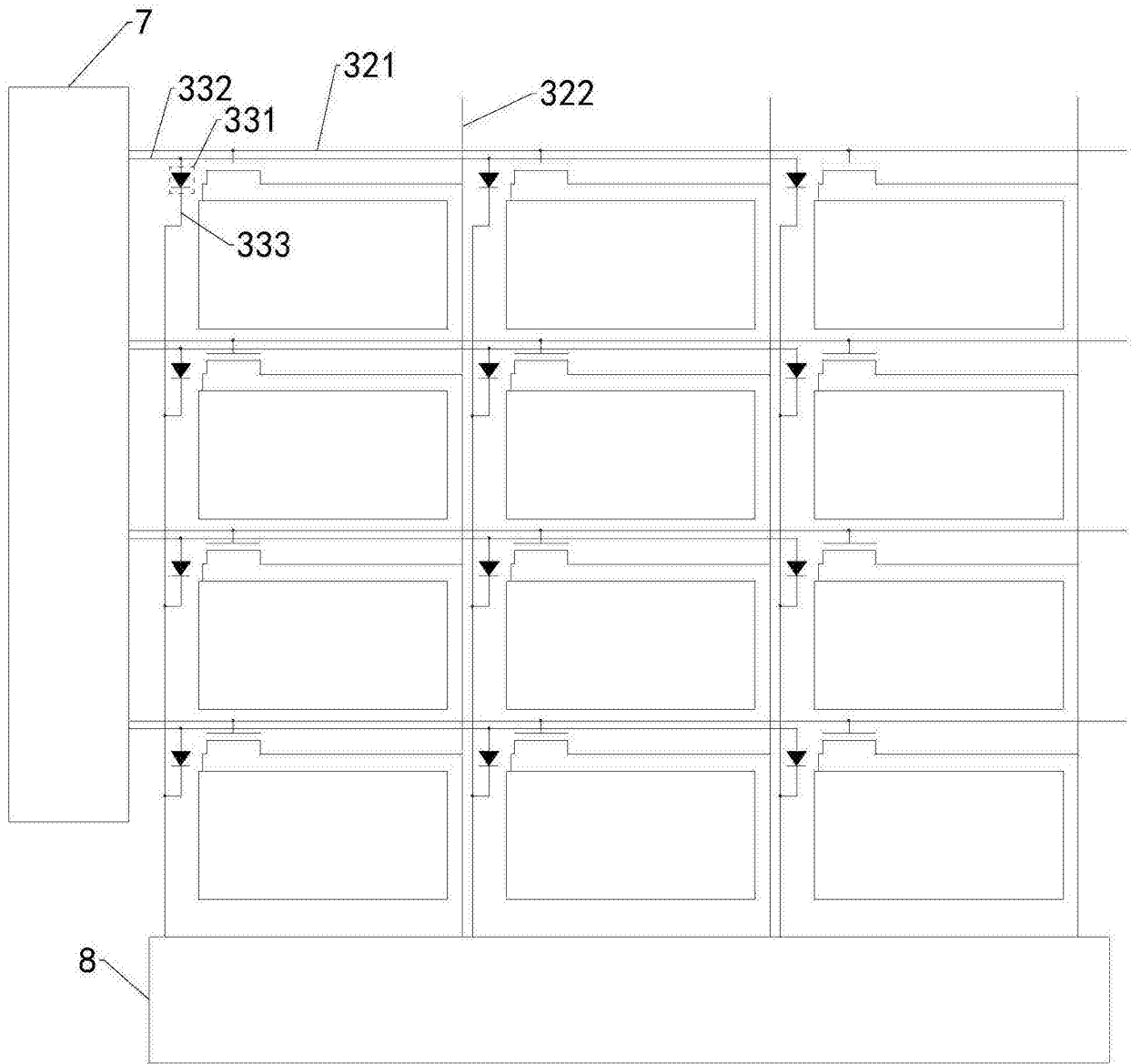


图6

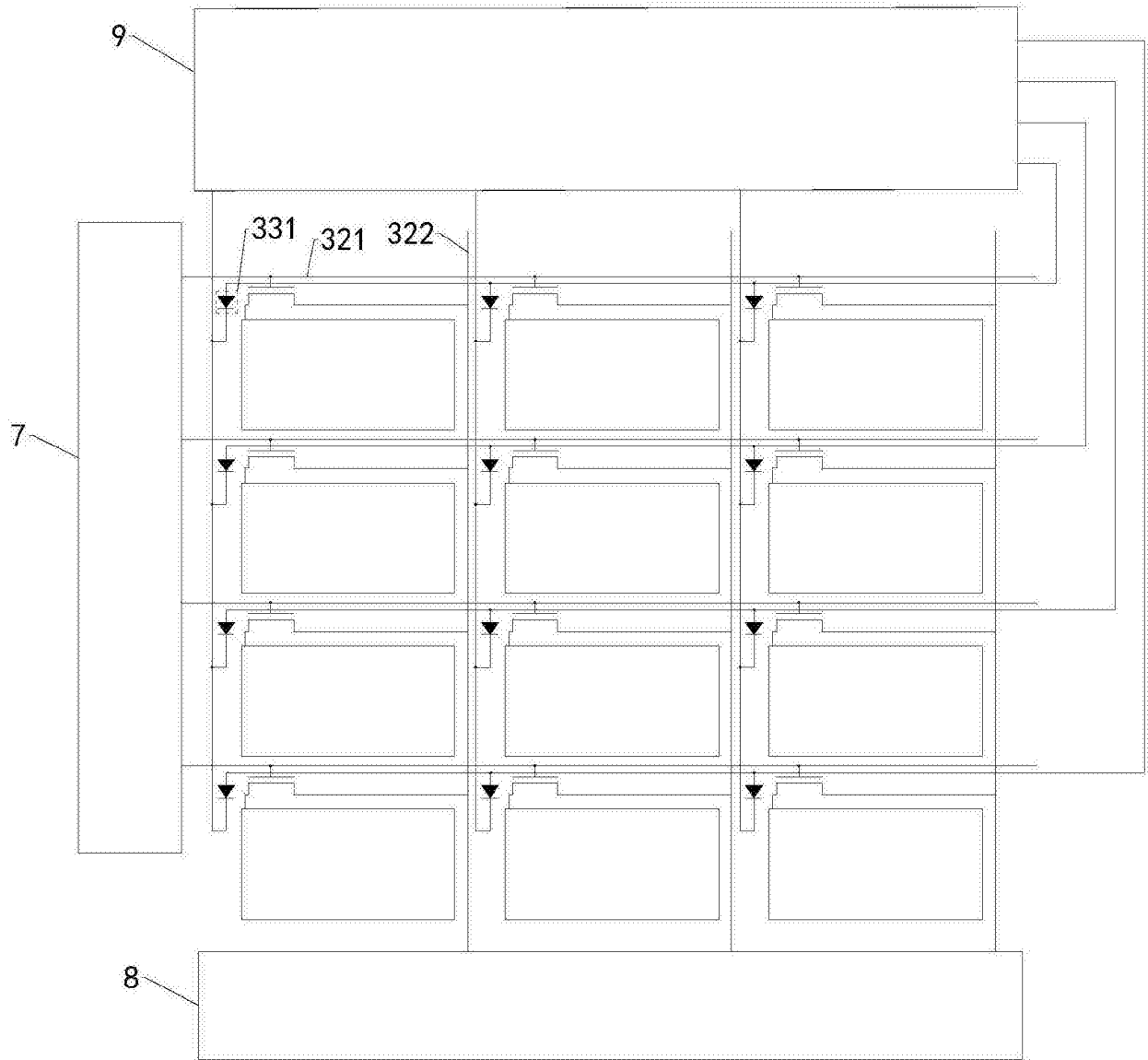


图7

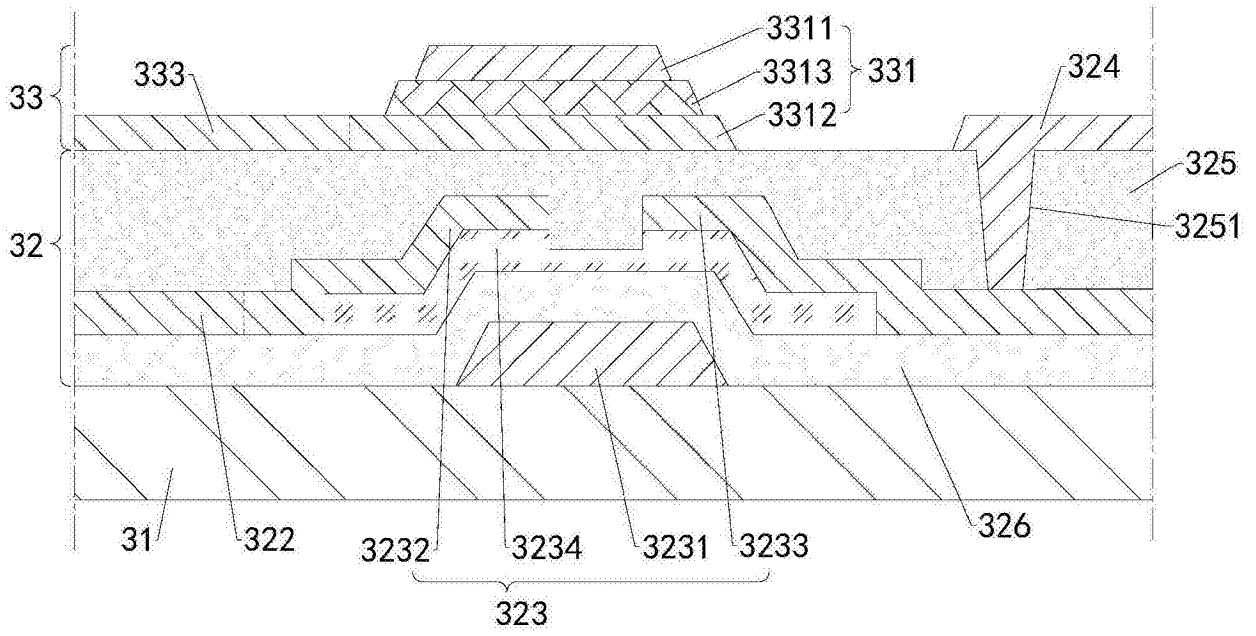


图8

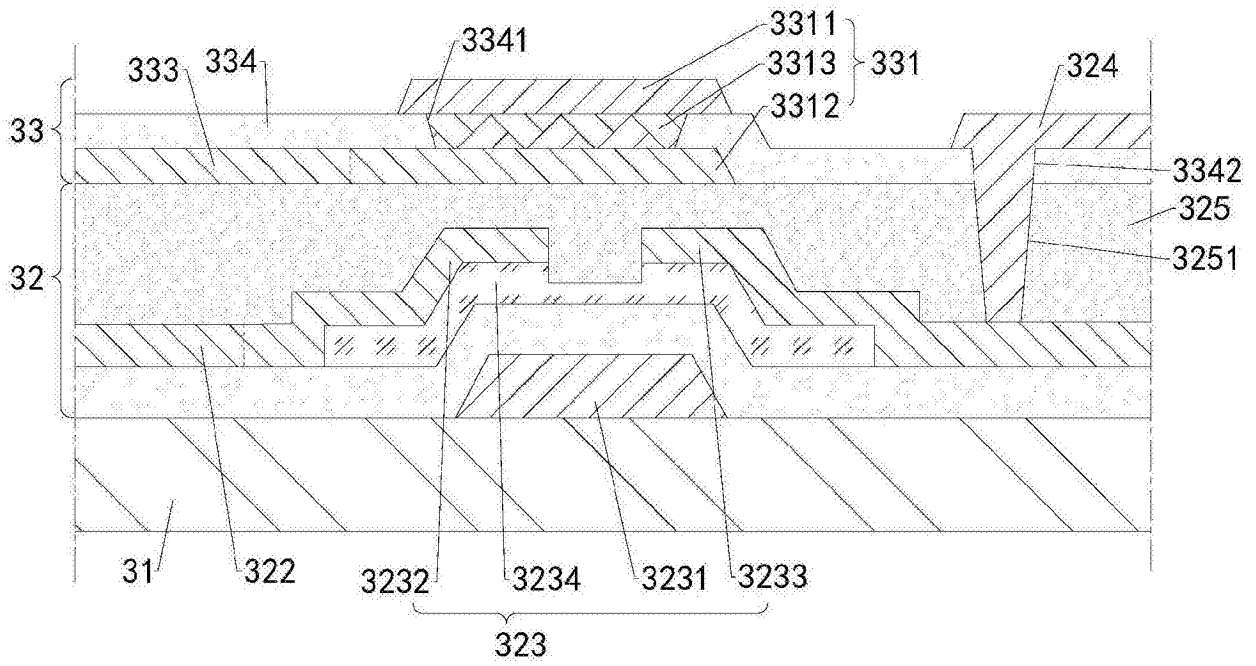


图9

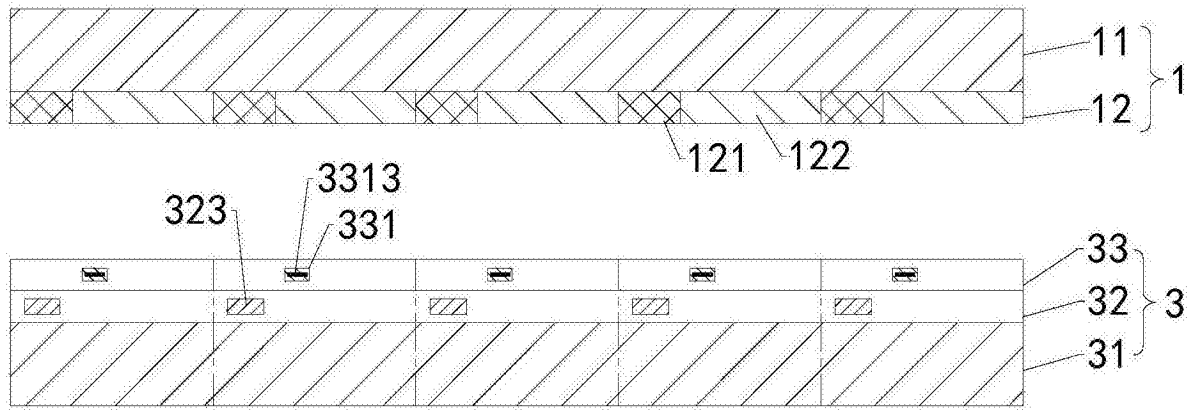


图10

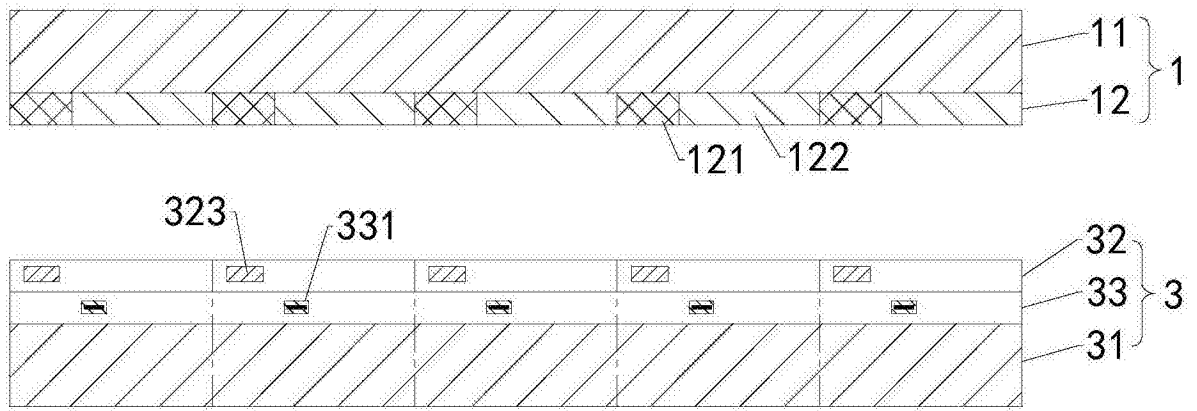


图11

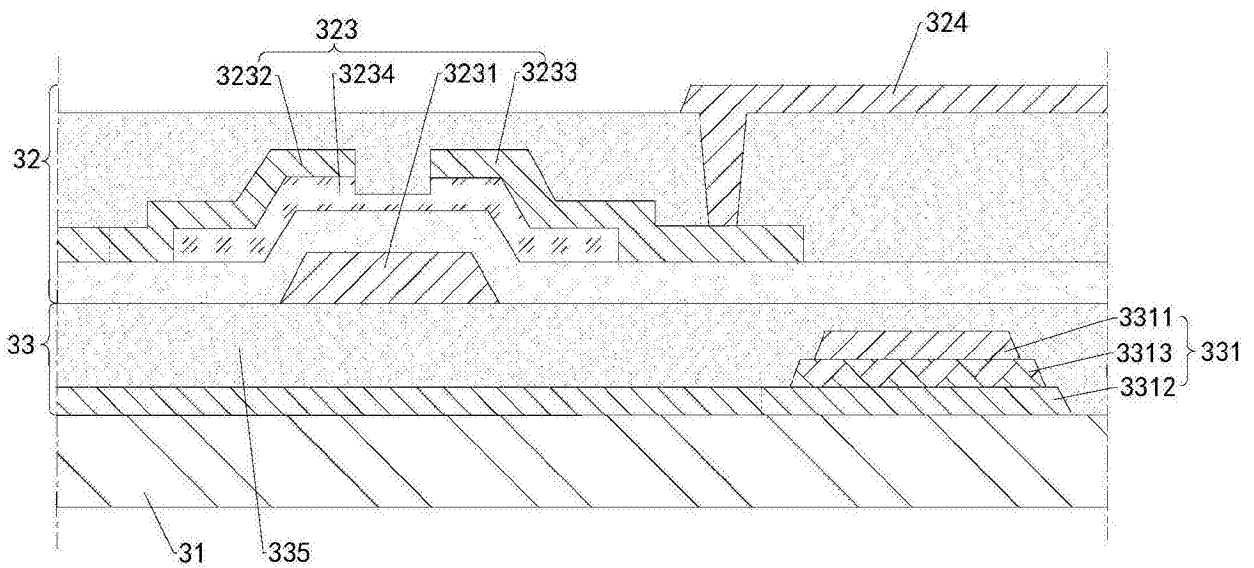


图12

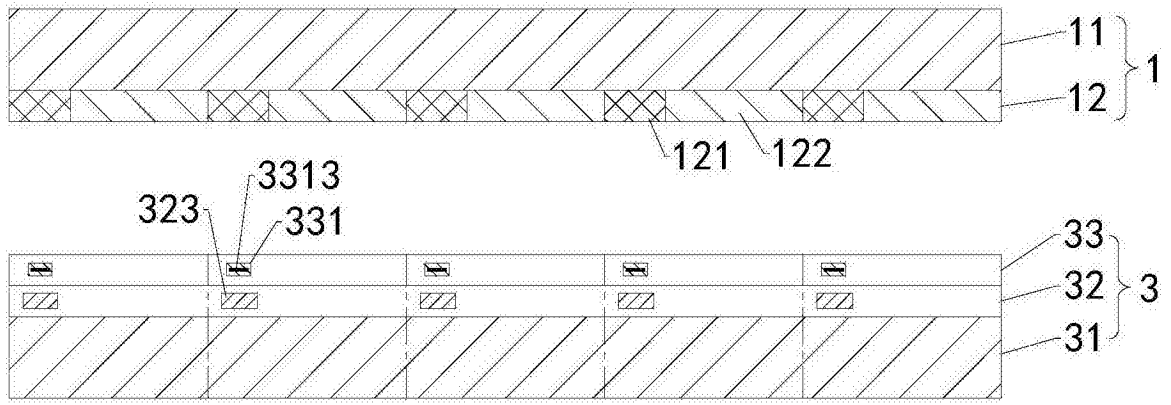


图13

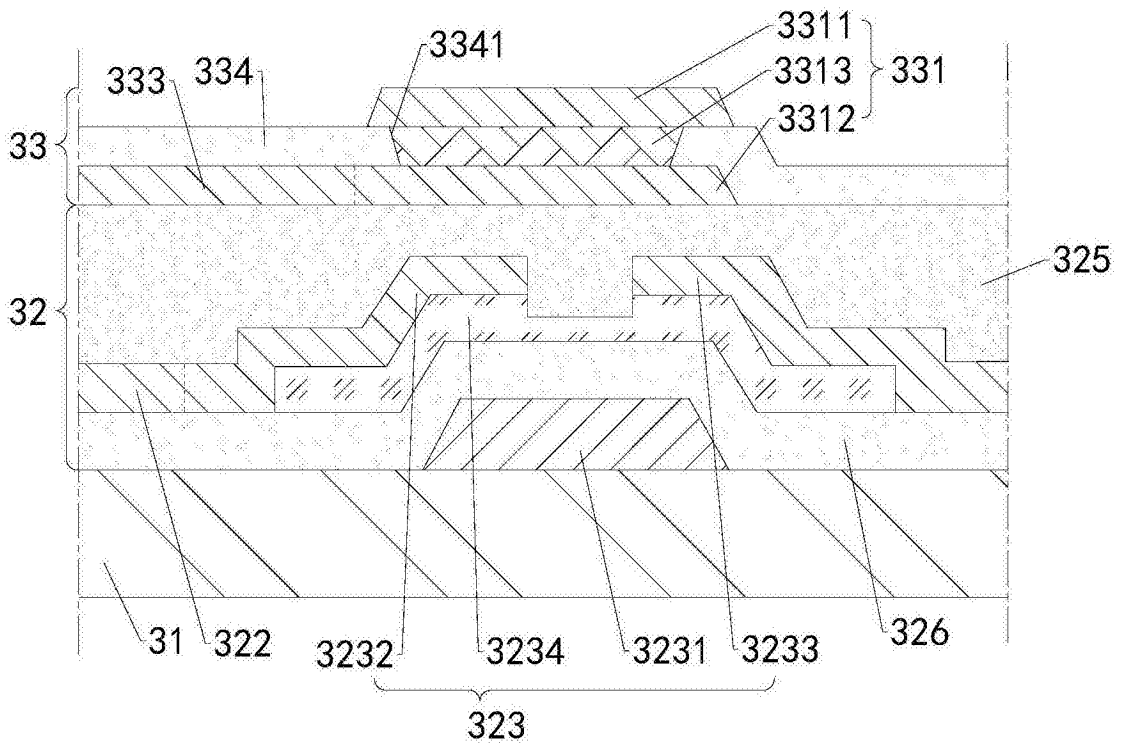


图14

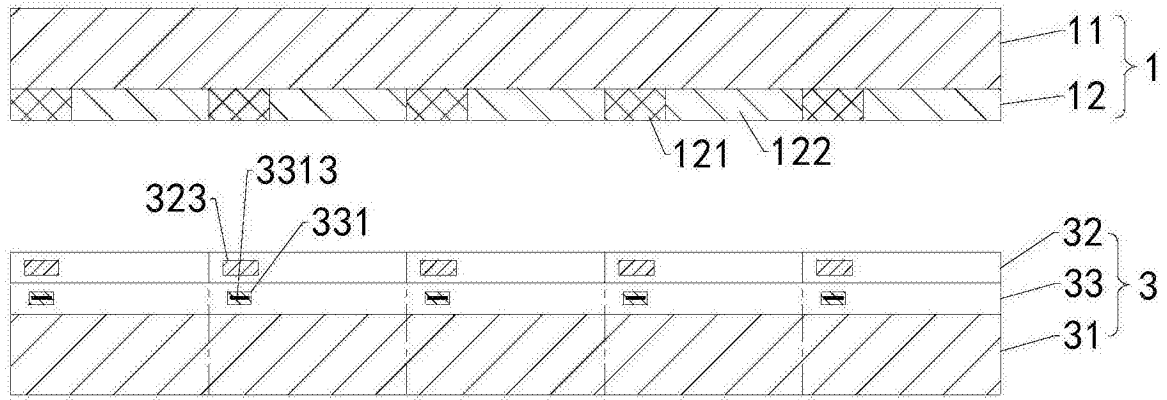


图15

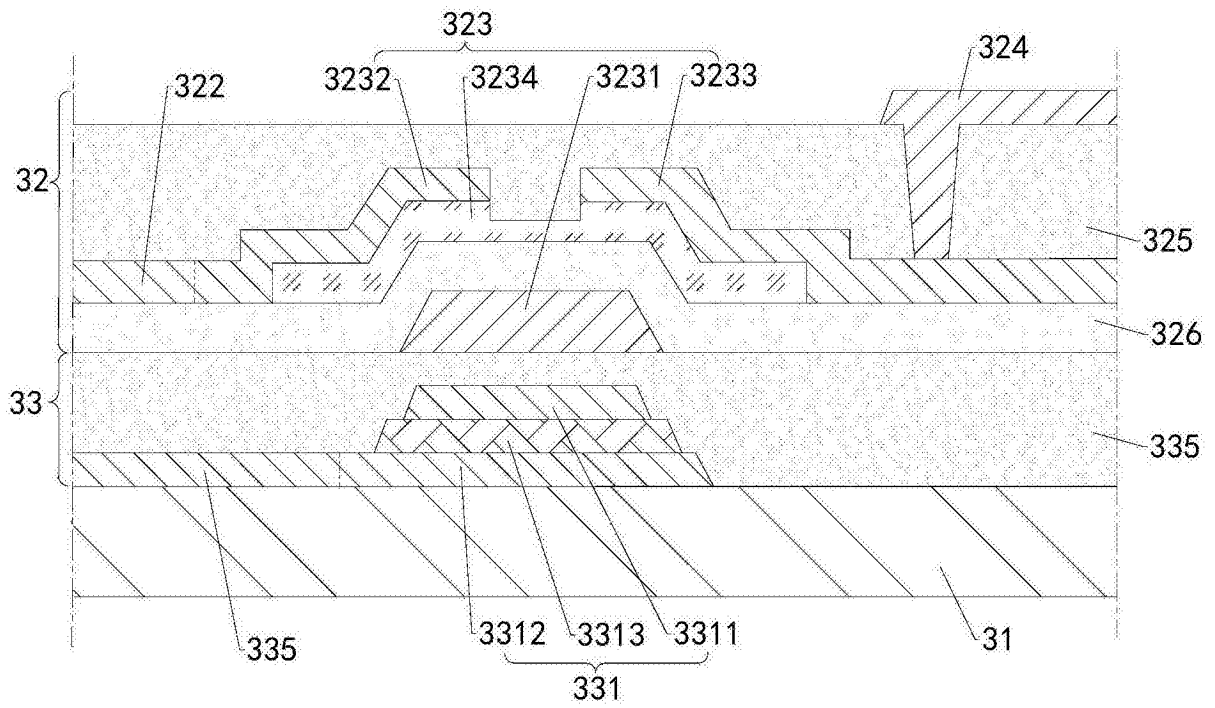


图16