

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2025-513694
(P2025-513694A)

(43)公表日 令和7年4月30日(2025.4.30)

(51)国際特許分類		F I		
H 0 1 L 25/10 (2006.01)		H 0 1 L 25/14		Z
H 0 1 L 23/12 (2006.01)		H 0 1 L 23/12	5 0 1 P	
H 0 1 L 25/00 (2006.01)		H 0 1 L 25/00		A
H 0 1 L 25/07 (2006.01)		H 0 1 L 25/08		Y

審査請求 未請求 予備審査請求 未請求 (全39頁)

(21)出願番号	特願2024-553824(P2024-553824)	(71)出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(86)(22)出願日	令和5年3月21日(2023.3.21)		
(85)翻訳文提出日	令和6年9月10日(2024.9.10)		
(86)国際出願番号	PCT/US2023/015820		
(87)国際公開番号	WO2023/196114		アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、 モアハウス・ドライブ 5 7 7 5
(87)国際公開日	令和5年10月12日(2023.10.12)		
(31)優先権主張番号	17/657,760	(74)代理人	110003708 弁理士法人鈴榮特許総合事務所
(32)優先日	令和4年4月4日(2022.4.4)		
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	ゾン、スタンレー・スンチョル アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス ・ドライブ 5 7 7 5
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV)	(72)発明者	キム、ジョンヘ アメリカ合衆国、カリフォルニア州 9

最終頁に続く

最終頁に続く

(54)【発明の名称】 半導体ダイ積層化を容易にする再配線層(RDL)インターポーザを用いる3次元(3D)集積回路(IC)(3DIC)パッケージ、及び関連する製造方法

(57)【要約】

半導体ダイ(「ダイ」)を容易にする再配線層(RDL)インターポーザを用いる3次元(3D)集積回路(IC)(3DIC)パッケージ、及び関連する製造方法。3DICパッケージは、第1の下部ダイ(単数又は複数)に隣接して形成された1つ又は複数のRDL金属化層を有するRDLインターポーザを含む。第2の上部ダイ(単数又は複数)が、RDLインターポーザ上に積層される。RDLインターポーザは、3DICパッケージの製造プロセスがダイサイズに依存しないように、上部ダイが結合され得る拡張ダイ領域を提供する。下部ダイ(単数又は複数)は、個片化され、上部ダイ(単数又は複数)が下部ダイ(単数又は複数)のサイズよりも大きいか小さいかにかかわらず、再構成されたRDLインターポーザ(単数又は複数)の一部として、RDL金属化層(単数又は複数)内に配置され得る。また、下部ダイ(単数又は複数)が配置され、上部ダイ(単数又は複数)が結合される基板である、RDLインターポーザは、上部ダイ及び下部ダイへの効率的な信号ルーティング経路を提供する。

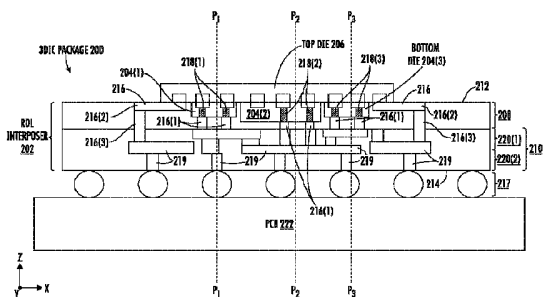


FIG. 2A

【特許請求の範囲】**【請求項 1】**

集積回路（IC）パッケージであって、
インターポーザであって、
第 1 の表面及び前記第 1 の表面の反対側の第 2 の表面と、
前記第 1 の表面と前記第 2 の表面との間の 1 つ又は複数の RDL 金属化層と、を備える、
インターポーザと、
前記インターポーザ内に配置された第 1 のダイであって、
前記第 1 のダイが、前記 1 つ又は複数の RDL 金属化層のうちの第 1 の RDL 金属化層内の第 1 の金属相互接続部に結合された第 1 のダイ相互接続部を備える、第 1 のダイと、
前記インターポーザの前記第 1 の表面に結合された第 2 のダイであって、
前記第 2 のダイが、前記第 1 の RDL 金属化層に結合された第 2 のダイ相互接続部を備える、第 2 のダイと、
を備える IC パッケージ。

【請求項 2】

前記インターポーザが、第 1 の方向に延び、
前記第 1 の方向に直交する第 2 の方向において、前記第 2 の表面が前記第 1 の表面の反対側にあり、
前記 1 つ又は複数の RDL 金属化層が、前記第 1 の表面と前記第 2 の表面との間に前記第 2 の方向に配置されている、
請求項 1 に記載の IC パッケージ。

【請求項 3】

前記第 1 のダイが、前記第 1 の RDL 金属化層に隣接している、請求項 1 に記載の IC パッケージ。

【請求項 4】

前記 1 つ又は複数の RDL 金属化層が、第 2 の RDL 金属化層を更に備え、
前記第 1 のダイが、第 3 の金属相互接続部に結合された第 3 のダイ相互接続部を前記第 2 の RDL 金属化層内に更に備える、
請求項 1 に記載の IC パッケージ。

【請求項 5】

前記第 2 のダイ相互接続部が、前記第 1 の RDL 金属化層内の第 2 の金属相互接続部に結合され、
前記第 2 の金属相互接続部が、前記インターポーザの前記第 1 の表面に結合された前記第 2 のダイの第 2 の領域の外側において、前記第 1 の RDL 金属化層の第 1 の領域に外側で再配線されている、
請求項 1 に記載の IC パッケージ。

【請求項 6】

前記第 1 の金属相互接続部が、前記第 2 の金属相互接続部に結合されている、請求項 5 に記載の IC パッケージ。

【請求項 7】

前記第 2 のダイが、第 1 の共通平面を前記第 1 のダイと共有し、
前記第 2 のダイの前記第 2 のダイ相互接続部が、前記第 1 のダイの第 3 のダイ相互接続部に結合されている、請求項 5 に記載の IC パッケージ。

【請求項 8】

前記第 1 のダイが、前記第 1 の表面に隣接する第 1 のアクティブ面と、前記第 1 のアクティブ面から露出された第 3 のダイ相互接続部と、を備え、
前記第 2 のダイが、前記第 1 の表面に隣接する第 2 のアクティブ面を備え、前記第 2 のダイ相互接続部が、前記第 2 のアクティブ面から露出されており、
前記第 2 のダイの前記第 2 のダイ相互接続部が、前記第 1 のダイの前記第 3 のダイ相互接続部に接合されている、

請求項 1 に記載の I C パッケージ。

【請求項 9】

前記第 1 のダイが、前記第 1 の表面に隣接する第 1 の非アクティブ面と、前記第 1 の非アクティブ面から露出された第 3 のダイ相互接続部と、を備え、

前記第 2 のダイが、前記第 1 の表面に隣接する第 2 のアクティブ面を備え、前記第 2 のダイ相互接続部が、前記第 2 のアクティブ面から露出されており、

前記第 2 のダイの前記第 2 のダイ相互接続部が、前記第 1 のダイの前記第 3 のダイ相互接続部に接合されている、

請求項 1 に記載の I C パッケージ。

【請求項 10】

前記第 1 のダイを貫通して配置された第 1 のビアを更に備え、

前記第 2 のダイの前記第 2 のダイ相互接続部が、前記第 1 のビアに結合されている、

請求項 1 に記載の I C パッケージ。

【請求項 11】

前記インターポーザの前記第 1 の表面から前記インターポーザの前記第 2 の表面まで延びる第 1 のビアを更に備え、

前記第 2 のダイの前記第 2 のダイ相互接続部が、前記第 1 のビアに結合されている、

請求項 1 に記載の I C パッケージ。

【請求項 12】

前記インターポーザ内の前記第 1 のダイの第 2 の領域の外側において、前記インターポーザの前記第 1 の表面上の第 1 の領域に結合された第 3 のダイを更に備え、

前記第 3 のダイが、前記第 1 の R D L 金属化層の第 2 の金属相互接続部に結合された第 3 のダイ相互接続部を備える、

請求項 1 に記載の I C パッケージ。

【請求項 13】

前記第 1 の R D L 金属化層内に配置された第 3 のダイを更に備え、

前記第 3 のダイが、前記第 1 の R D L 金属化層内の第 2 の金属相互接続部に結合された第 3 のダイ相互接続部を備える、

請求項 1 に記載の I C パッケージ。

【請求項 14】

前記第 3 のダイが、前記第 2 のダイに通信可能に結合されていない、請求項 13 に記載の I C パッケージ。

【請求項 15】

前記インターポーザの下面に結合された 1 つ又は複数の外部相互接続部であって、前記 1 つ又は複数の外部相互接続部が各々、前記第 1 の R D L 金属化層内の 1 つ又は複数の第 2 の金属相互接続部に結合されている、1 つ又は複数の外部相互接続部と、

前記 1 つ又は複数の外部相互接続部に結合されたパッケージ基板と、

を更に備える、請求項 1 に記載の I C パッケージ。

【請求項 16】

前記 1 つ又は複数の外部相互接続部が、1 つ又は複数のボールグリッドアレイ (B G A) 相互接続部を備える、請求項 15 に記載の I C パッケージ。

【請求項 17】

前記第 2 のダイが、集積コンデンサを更に備え、

前記第 2 のダイが、第 3 のダイ相互接続部を更に備え、

前記第 3 のダイ相互接続部が、前記集積コンデンサと、前記第 1 の R D L 金属化層の第 2 の金属相互接続部と、に結合されている、

請求項 1 に記載の I C パッケージ。

【請求項 18】

セットトップボックス、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、固定位置データユニット、移動位置データユニット、全地球測位システム (G

10

20

30

40

50

P S) デバイス、モバイルフォン、セルラーフォン、スマートフォン、セッション開始プロトコル (S I P) フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス、デスクトップコンピュータ、携帯情報端末 (P D A)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク (D V D) プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両構成要素、アビオニクスシステム、ドローン、及びマルチコプター

から成る群から選択されるデバイスに一体化されている、請求項 1 に記載の I C パッケージ。

10

【請求項 19】

集積回路 (I C) パッケージを製造する方法であって、
インターポーザを形成することであって、

第 1 のダイに隣接して第 1 の R D L 金属化層を形成することであって、前記第 1 の R D L 金属化層は、第 1 の表面及び前記第 1 の表面の反対側の第 2 の表面を備える、ことと、
前記第 1 のダイの第 1 のダイ相互接続部を前記第 1 の R D L 金属化層内の第 1 の金属相互接続部に結合することと、

を含む、インターポーザを形成することと、

第 2 のダイを前記インターポーザの前記第 1 の表面に結合することと、

前記第 2 のダイの第 2 のダイ相互接続部を前記第 1 の R D L 金属化層に結合することと

20

を含む方法。

【請求項 20】

第 2 の金属相互接続部を備える第 2 の R D L 金属化層を形成することと、

前記第 1 のダイの第 3 のダイ相互接続部を前記第 2 の R D L 金属化層内の前記第 2 の金属相互接続部に結合することと、

を更に含む、請求項 19 に記載の方法。

【請求項 21】

前記インターポーザの前記第 1 の表面に結合された前記第 2 のダイの第 2 の領域の外側において、前記第 1 の R D L 金属化層の第 1 の領域への第 2 の金属相互接続部を前記第 1 の R D L 金属化層内に形成することを更に含み、

30

前記第 2 のダイの前記第 2 のダイ相互接続部を前記第 1 の R D L 金属化層に結合することが、前記第 2 のダイ相互接続部を前記第 1 の R D L 金属化層内の前記第 2 の金属相互接続部に結合することを含む、

請求項 19 に記載の方法。

【請求項 22】

前記第 2 のダイを前記インターポーザの前記第 1 の表面に結合することが、前記第 2 のダイの第 2 のアクティブ面を、前記第 1 のダイの第 1 のアクティブ面に隣接して、前記第 1 の R D L 金属化層の前記第 1 の表面に接合することを含む、請求項 19 に記載の方法。

【請求項 23】

前記第 2 のダイを前記インターポーザの前記第 1 の表面に結合することが、前記第 2 のダイの第 2 のアクティブ面を、前記第 1 のダイの第 1 の非アクティブ面に隣接して、前記第 1 の R D L 金属化層の前記第 1 の表面に接合することを含む、請求項 19 に記載の方法。

40

【請求項 24】

前記第 1 のダイを貫通して第 1 のビアを配置することを更に含み、

前記第 2 のダイの前記第 2 のダイ相互接続部を前記第 1 の R D L 金属化層に結合することが、前記第 2 のダイの前記第 2 のダイ相互接続部を前記第 1 のビアに結合することを含む、

請求項 19 に記載の方法。

50

【請求項 25】

前記インターポーザの前記第1の表面から前記インターポーザの前記第2の表面まで延びる第1のビアを形成することを更に含み、

前記第2のダイの前記第2のダイ相互接続部を前記第1のRDL金属化層に結合することが、前記第2のダイの前記第2のダイ相互接続部を前記第1のビアに結合することを含む、

請求項19に記載の方法。

【請求項 26】

前記インターポーザ内の前記第1のダイの第2の領域の外側において、第3のダイを前記インターポーザの前記第1の表面上の第1の領域に結合することと、

第3のダイの第3のダイ相互接続部を前記第1のRDL金属化層の第2の金属相互接続部に結合することと、

を更に含む、請求項19に記載の方法。

【請求項 27】

前記第1のRDL金属化層内に第3のダイを配置することと、

前記第3のダイの第3のダイ相互接続部を前記第1のRDL金属化層内の第2の金属相互接続部に結合することと、

を更に含む、請求項19に記載の方法。

【請求項 28】

前記第3のダイを前記第2のダイに通信可能に結合しないことを更に含む、請求項27に記載の方法。

【請求項 29】

前記第1のRDL金属化層の前記第1の表面上にオーバーモールド層を形成することを更に含み、前記オーバーモールド層は前記第2のダイに隣接している、請求項19に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

優先権出願

[0001] 本出願は、2022年4月4日に提出された「THREE-DIMENSIONAL (3D) INTEGRATED CIRCUIT (IC) (3DIC) PACKAGE EMPLOYING A REDISTRIBUTION LAYER (RDL) INTERPOSER FACILITATING SEMICONDUCTOR DIE STACKING, AND RELATED FABRICATION METHODS」と題する米国特許出願第17/657,760号の優先権を主張するものであり、この文書はその全体が参照により本明細書に組み込まれる。

【背景技術】

【0002】

I. 開示の分野

[0002] 本開示の分野は、集積回路 (integrated circuit、IC) パッケージに関し、より詳細には、複数の積層された半導体ダイを含む3次元 (three-dimensional、3D) ICパッケージに関する。

【0003】

II. 背景

[0003] 集積回路 (Integrated circuits、ICs) は、電子デバイスの基礎である。ICは、「半導体パッケージ」又は「チップパッケージ」とも呼ばれるICパッケージにパッケージングされる。ICパッケージは、物理的支持及びダイ (単数又は複数) への電氣的インターフェースを提供するためにパッケージ基板に取り付けられ電氣的に結合された1つ又は複数の半導体ダイス (「ダイ (dies)」又は「ダイス (dice)」) をIC (単数又は複数) として含む。パッケージ基板は、電気トレース (例えば、金属ライン)

10

20

30

40

50

を含む1つ又は複数の金属化層を含み、ビアが、隣接する金属化層間で電気トレースと一緒に結合して、ダイ（単数又は複数）間の電氣的インターフェースを提供する。ダイ（単数又は複数）は、半導体ダイ（単数又は複数）をパッケージ基板の電気トレースに電氣的に結合するために、パッケージ基板の上部層又は外側層に露出された金属相互接続部に電氣的にインターフェースされる。パッケージ基板は、回路基板上にICパッケージを取り付けてダイ（単数又は複数）を他の回路とインターフェースさせるために、ICパッケージ内のダイ（単数又は複数）との間の外部インターフェースを提供するための、外部金属相互接続部（例えば、はんだバンプ）に結合された外側金属化層を含む。

【0004】

【0004】一部のICパッケージは、異なる目的又は用途のための複数のダイを含む「ハイブリッド」ICパッケージとして知られている。例えば、ハイブリッドICパッケージは、通信インターフェースをサポートするためのフロントエンド回路の一部としてのモデムダイを含み得る。ハイブリッドICパッケージはまた、変調されるデータ及び/又は復調されたデータをバッファリング及び発信するためなどに、モデムダイによるデータ記憶及びアクセスをサポートするためのメモリを提供する1つ又は複数のメモリダイを含み得る。したがって、これらハイブリッドICパッケージでは、ICダイパッケージによって第1の水平方向において消費される領域を節約するために、複数のダイをICパッケージ内に3次元（3D）積層体として第2の垂直方向に互いの上に積層して3DICパッケージを提供することが通常である。3DICパッケージでは、ICパッケージのパッケージ基板に直接隣接する最下部のダイは、ダイ相互接続部を介してパッケージ基板の上側金属化層の金属相互接続部に電氣的に結合される。ICパッケージのパッケージ基板に直接隣接していない他の積層ダイも、パッケージ基板に結合される。例えば、他の積層ダイは、ワイヤボンドによってパッケージ基板に電氣的に結合され得る、又は中間ダイ層（単数又は複数）及び/若しくは下部ダイ層を貫通してパッケージ基板へと延びるシリコン貫通ビア（TSVs）によって結合され得る。ダイへの外部接続は、パッケージ基板内の電気接続部を通して形成される。また、積層ダイ間のダイツェダイ（D2D）接続は、パッケージ基板内の電気接続部を通して形成される。

【0005】

【0005】3DICパッケージは、下部が上部よりも大きい（bottom-greater-than-top、BGT）ダイ構成、又は上部が下部よりも大きい（top-greater-than-bottom、TGB）ダイ構成であり得る。BGT 3DICパッケージでは、下部ダイは、下部ダイ上に積層された上部ダイよりも水平方向の長さが大きい。TGB 3DICパッケージでは、上部ダイは、上部ダイが積層される下部ダイよりも水平方向の長さが大きい。製造プロセスは、BGT 3DICパッケージとTGB 3DICパッケージとは異なるが、その理由は、各プロセスにおいて、より小さいダイが、別個に製造され、より大きいダイが形成されるウェハに接合されるからである。BGT 3DICパッケージでは、別個の製造プロセスで事前に製造されチップ形態にダイシングされた上部ダイが、上部チップツェ下部ウェハ接合プロセスで下部ウェハに接合される。次いで、積層された上部ダイと、下部ダイを有する下部ウェハとがダイシングされ得る。上部ダイが下部ダイよりも長さが大きい場合は、そうでない場合に存在するであろう間隙を充填するためのオーバーモールド材料を用いる必要がない。しかしながら、TGB 3DICパッケージでは、上部ダイが下部ダイよりも長さが大きいので、下部チップツェ上部ウェハ接合プロセスが用いられる。TGB 3DICパッケージでは、別個の製造プロセスで事前に製造されチップ形態にダイシングされた下部ダイが、下部チップツェ上部ウェハ接合プロセスで上部ウェハに接合される。

【発明の概要】

【0006】

【0006】本明細書で開示する態様は、半導体ダイ（「ダイ」）積層化を容易にする再配線層（redistribution layer、RDL）インターポーザを用いる3次元（3D）集積回路（IC）（3DIC）パッケージを含む。関連する製造方法もまた開示される。例示

的な態様では、3DICパッケージは、第1の下部ダイ(単数又は複数)に隣接して形成された1つ又は複数のRDL金属化層を有するRDLインターポーザを含む。RDLインターポーザ内の再配線金属化層(単数又は複数)は、信号ルーティングのために第1の下部ダイ及び/又は第2の上部ダイのダイ相互接続部から3DICパッケージ内の他の位置への分岐接続部(例えば、金属パッド)を提供する金属相互接続部(例えば、金属ライン、金属トレース)を含む金属化層(単数又は複数)である。3DICパッケージはまた、RDLインターポーザ上に垂直方向に3D積層ダイ構成で積層された第2の上部ダイ(単数又は複数)を含む。RDLインターポーザ内の再配線金属化層(単数又は複数)は、信号ルーティングのために第1の下部ダイ及び/又は第2の上部ダイのダイ相互接続部から3DICパッケージ内の他の位置への分岐接続部(例えば、金属パッド)を提供する金属相互接続部(例えば、金属ライン、金属トレース)を含む金属化層(単数又は複数)である。また、第1の下部ダイをRDLインターポーザに一体化することにより、RDLインターポーザは、3DICパッケージを提供するために、上部ダイをRDLインターポーザ及び/又は第1の下部ダイに結合することができる拡張ダイ領域を提供する。このようにすると、一例として、3DICパッケージ内の積層された上部ダイ及び下部ダイの製造プロセスは、上部ダイが下部ダイよりも大きい(TGB)構成において上部ダイが下部ダイよりも大きいか、あるいは、下部ダイが上部ダイよりも大きい(BGT)構成において下部ダイが上部ダイよりも大きいか、とは無関係であり得る。下部ダイ(単数又は複数)は個片化され、再構成されたRDLインターポーザの一部として、形成されたRDL金属化層(単数又は複数)上に配置され得る。次いで、上部ダイは、3DICパッケージがTGB構成になるか、BGT構成になるかにかかわらず、RDLインターポーザに結合され得る。従来の3DICパッケージ製造プロセスでは、別個のプロセスにおいてより小さいダイが製造され個片化され、次いで、より大きいダイが形成されたウェハに接合される。3DICパッケージにおける3Dダイ積層化を容易にするためのRDLインターポーザの使用は、例えば、3DICパッケージをパッケージ基板に結合するための外部バンピングプロセスの実施などの更なるパッケージングとは無関係であり得る。

10

20

【0007】

【0007】 また、下部ダイ(単数又は複数)が内部配置され、上部ダイが結合される基板である、3DICパッケージ内のRDLインターポーザは、上部ダイ及び下部ダイへの効率的な信号ルーティング経路を提供する。一例では、下部ダイと3DICパッケージの外部相互接続部(例えば、ボールグリッドアレイ(ball grid array、BGA)相互接続部)との間の信号ルーティング経路を提供するために、下部ダイは、RDLインターポーザ内の再配線金属化層(単数又は複数)内の金属相互接続部に結合される。外部相互接続部は、3DICパッケージ内のRDLインターポーザ及び/又はRDL金属化層に直接結合され得る。別の例では、上部ダイは、上部ダイと3DICパッケージの外部相互接続部との間の信号ルーティング経路(単数又は複数)を提供するために、上部ダイをRDLインターポーザに結合した結果として、RDLインターポーザの外側再配線金属化層内の金属相互接続部に結合される。また、別の例では、上部ダイとRDLインターポーザとの間の信号ルーティング経路(単数又は複数)を提供するために、上部ダイは、下部ダイを貫通して延びるシリコン貫通ビア(TSVs)に結合されている。また、下部ダイがRDLインターポーザ内に配置されている場合、上部ダイと下部ダイとの間のダイツーダイ(D2D)相互接続部を提供するために、上部ダイは、下部ダイに対して垂直方向に整列され、下部ダイに結合され得る。他のダイもまた、下部ダイ(単数又は複数)の外側においてRDLインターポーザに結合されることができ、信号ルーティング経路が、そのような他のダイと上部及び/又は下部ダイとの間でRDLインターポーザ内に設けられる。

30

40

【0008】

【0008】 この点に関して、1つの例示的な態様では、ICパッケージが提供される。本ICパッケージは、インターポーザを含む。インターポーザは、第1の表面及び第1の表面の反対側の第2の表面を備える。インターポーザはまた、第1の表面と第2の表面との間に1つ又は複数のRDL金属化層を備える。本ICパッケージはまた、インターポー

50

ザ内に配置された第1のダイを含む。第1のダイは、1つ又は複数のRDL金属化層のうち第1のRDL金属化層内の第1の金属相互接続部に結合された第1のダイ相互接続部を備え、インターポーザの第1の表面に結合された第2のダイ。第2のダイは、第1のRDL金属化層に結合された第2のダイ相互接続部を備える。

【0009】

【0009】別の例示的な態様では、ICパッケージを製造する方法が提供される。本方法は、第1のダイに隣接して第1のRDL金属化層を形成することであって、第1のRDL金属化層は、第1の表面及び第1の表面の反対側の第2の表面を備える、ことと、第1のダイの第1のダイ相互接続部を第1のRDL金属化層内の第1の金属相互接続部に結合することと、を含む、インターポーザを形成することを含む。本方法はまた、第2のダイをインターポーザの第1の表面に結合することを含む。本方法はまた、第2のダイの第2のダイ相互接続部を第1のRDL金属化層に結合することを含む。

10

【図面の簡単な説明】

【0010】

【図1】【0010】下部ダイパッケージ内の下部ダイに結合された上部ダイパッケージ内の上部ダイを含む半導体ダイ(「ダイ」)を含む3次元(3D)集積回路(IC)(3DIC)パッケージの側面図である。

【図2A】【0011】下部ダイが上部ダイよりも大きい(BGT)構成の例示的な3DICパッケージの側面図であり、3DICパッケージは、下部ダイへの上部ダイの3D積層化のための拡張ダイ領域を容易にする再構成された再配線層(RDL)インターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む。

20

【図2B】下部ダイが上部ダイよりも大きい(BGT)構成の例示的な3DICパッケージの側面図であり、3DICパッケージは、下部ダイへの上部ダイの3D積層化のための拡張ダイ領域を容易にする再構成された再配線層(RDL)インターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む。

【図3】【0012】上部ダイが下部ダイよりも大きい(TGB)構成の別の例示的な3DICパッケージの側面図であり、3DICパッケージは、下部ダイへの上部ダイの3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む。

30

【図4】【0013】図2A及び図2Bの3DICパッケージに類似した別の例示的な3DICパッケージの側面図であり、RDLインターポーザ内の下部ダイの外側の、RDLインターポーザに結合された追加のダイも含む。

【図5】【0014】図4の3DICパッケージに類似した別の例示的な3DICパッケージの側面図であり、RDLインターポーザ内の下部ダイの外側の、RDLインターポーザに結合された追加のダイと、RDLインターポーザ内に配置されたインターポーザダイと、を含む。

【図6】【0015】図4の3DICパッケージに類似した、BGT構成の別の例示的な3DICパッケージの側面図であり、上部ダイは、RDLインターポーザに結合され、RDLインターポーザは、下部ダイを含む再構成されたRDLインターポーザ上に結合されている。

40

【図7】【0016】図4の3DICパッケージに類似した別の例示的な3DICパッケージの側面図であり、上部ダイは、RDLインターポーザに結合された集積デカップリングキャパシタを含むチップレットに一体化されている。

【図8】【0017】図4の3DICパッケージの側面図であり、その外部相互接続部がパッケージ基板に結合されている。

【図9】【0018】下部ダイへの上部ダイの3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーテ

50

ィング経路を提供するための1つ又は複数のRDL金属化層も含む、3DICパッケージを製造する例示的なプロセスを示すフローチャートである。

【図10A】[0019] 下部ダイへの上部ダイの3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、3DICパッケージを製造する別の例示的な製造プロセスを示すフローチャートである。

【図10B】下部ダイへの上部ダイの3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、3DICパッケージを製造する別の例示的な製造プロセスを示すフローチャートである。

【図10C】下部ダイへの上部ダイの3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、3DICパッケージを製造する別の例示的な製造プロセスを示すフローチャートである。

【図10D】下部ダイへの上部ダイの3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、3DICパッケージを製造する別の例示的な製造プロセスを示すフローチャートである。

【図11A】[0020] 図10A～図10Dの例示的な3DICパッケージ製造プロセスに従った例示的な製造段階を示す。

【図11B】図10A～図10Dの例示的な3DICパッケージ製造プロセスに従った例示的な製造段階を示す。

【図11C】図10A～図10Dの例示的な3DICパッケージ製造プロセスに従った例示的な製造段階を示す。

【図11D】図10A～図10Dの例示的な3DICパッケージ製造プロセスに従った例示的な製造段階を示す。

【図11E】図10A～図10Dの例示的な3DICパッケージ製造プロセスに従った例示的な製造段階を示す。

【図11F】図10A～図10Dの例示的な3DICパッケージ製造プロセスに従った例示的な製造段階を示す。

【図11G】図10A～図10Dの例示的な3DICパッケージ製造プロセスに従った例示的な製造段階を示す。

【図11H】図10A～図10Dの例示的な3DICパッケージ製造プロセスに従った例示的な製造段階を示す。

【図12】[0021] 3DICパッケージを含み得る構成要素を含み得る例示的なプロセスベースのシステムのブロック図であり、3DICパッケージは、下部ダイ(単数又は複数)への上部ダイ(単数又は複数)の3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、3DICパッケージであって、図2A～図8及び図11A～図11Hの3DICパッケージ、並びに図9及び図10A～図10Dの例示的な製造プロセスによる3DICパッケージを含むがこれらに限定されない3DICパッケージを含む。

【図13】[0022] 3DICパッケージを含み得る無線周波数(radio-frequency、RF)構成要素を含む例示的なワイヤレス通信デバイスのブロック図であり、3DICパッケージは、下部ダイ(単数又は複数)への上部ダイ(単数又は複数)の3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含む3DICパッケージを含むことができ、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、3DICパッケージであって、図2A～図8及び図11A～図11Hの3DICパッケージ、並びに図9及び図10A～図10Dの例示的な製造プロセスによる3DICパッケージを含むがこれらに限定されない3DIC

10

20

30

40

50

パッケージを含む。

【発明を実施するための形態】

【0011】

【0023】次に、図面を参照して、本開示のいくつかの例示的態様が説明される。「例示的(exemplary)」という語は、本明細書では、「実施例、事例、又は例示としての役割を果たすこと」を意味するために使用されている。本明細書で「例示的」と説明されるいかなる態様も、必ずしも他の態様より好ましい又は有利であると解釈されるべきではない。

【0012】

【0024】本明細書で開示する態様は、半導体ダイ(「ダイ」)積層化を容易にする再配線層(RDL)インターポーザを用いる3次元(3D)集積回路(IC)(3DIC)パッケージを含む。関連する製造方法もまた開示される。例示的な態様では、3DICパッケージは、第1の下部ダイ(単数又は複数)に隣接して形成された1つ又は複数のRDL金属化層を有するRDLインターポーザを含む。3DICパッケージはまた、RDLインターポーザ上に垂直方向に3D積層ダイ構成で積層された第2の上部ダイ(単数又は複数)を含む。RDLインターポーザ内の再配線金属化層(単数又は複数)は、信号ルーティングのために第1の下部ダイ及び/又は第2の上部ダイのダイ相互接続部から3DICパッケージ内の他の位置への分岐接続部(例えば、金属パッド)を提供する金属相互接続部(例えば、金属ライン、金属トレース)を含む金属化層(単数又は複数)である。また、第1の下部ダイをRDLインターポーザに一体化することにより、RDLインターポーザは、3DICパッケージを提供するために、上部ダイをRDLインターポーザ及び/又は第1の下部ダイに結合することができる拡張ダイ領域を提供する。このようにすると、一例として、3DICパッケージ内の積層された上部ダイ及び下部ダイの製造プロセスは、上部ダイが下部ダイよりも大きい(TGB)構成において上部ダイが下部ダイよりも大きいか、あるいは、下部ダイが上部ダイよりも大きい(BGT)構成において下部ダイが上部ダイよりも大きいか、とは無関係であり得る。下部ダイ(単数又は複数)は個片化され、再構成されたRDLインターポーザの一部として、形成されたRDL金属化層(単数又は複数)上に配置され得る。次いで、上部ダイは、3DICパッケージがTGB構成になるか、BGT構成になるかにかかわらず、RDLインターポーザに結合され得る。従来の3DICパッケージ製造プロセスでは、別個のプロセスにおいてより小さいダイが製造され個片化され、次いで、より大きいダイが形成されたウェハに接合される。3DICパッケージにおける3Dダイ積層化を容易にするためのRDLインターポーザの使用は、例えば、3DICパッケージをパッケージ基板に結合するための外部バンピングプロセスの実施などの更なるパッケージングとは無関係であり得る。

【0013】

【0025】下部ダイ(単数又は複数)が配置され、上部ダイが結合される基板である、3DICパッケージ内のRDLインターポーザは、上部ダイ及び下部ダイへの効率的な信号ルーティング経路を提供する。一例では、下部ダイと3DICパッケージの外部相互接続部(例えば、ボールグリッドアレイ(BGA)相互接続部)との間の信号ルーティング経路を提供するために、下部ダイは、RDLインターポーザ内の再配線金属化層(単数又は複数)内の金属相互接続部に結合される。外部相互接続部は、3DICパッケージ内のRDLインターポーザ及び/又はRDL金属化層に直接結合され得る。別の例では、上部ダイは、上部ダイと3DICパッケージの外部相互接続部との間の信号ルーティング経路(単数又は複数)を提供するために、上部ダイをRDLインターポーザに結合した結果として、RDLインターポーザの外側再配線金属化層内の金属相互接続部に結合される。また、別の例では、上部ダイとRDLインターポーザとの間の信号ルーティング経路(単数又は複数)を提供するために、上部ダイは、下部ダイを貫通して延びるシリコン貫通ビア(TSVs)に結合されている。また、下部ダイがRDLインターポーザ内に配置されている場合、上部ダイと下部ダイとの間のダイツーダイ(D2D)相互接続部を提供するために、上部ダイは、下部ダイに対して垂直方向に整列、下部ダイに結合され得る。他のダ

10

20

30

40

50

イもまた、下部ダイ（単数又は複数）の外側においてRDLインターポーザに結合されることができ、信号ルーティング経路が、そのような他のダイと上部及び/又は下部ダイとの間でRDLインターポーザ内に設けられる。

【0014】

【0026】 下部ダイ（単数又は複数）への上部ダイ（単数又は複数）の3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、図2Aから始めて、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、3DICパッケージの例を論じる前に、RDLインターポーザを含まない例示的な上部が下部よりも大きい(TGB)3次元(3D)集積回路(IC)(3DIC)パッケージ100(「3DICパッケージ100」とも呼ばれる)について図1を参照して最初に説明する。

10

【0015】

【0027】 この点に関して、図1は、例示的なICパッケージ100の側面図である。ICパッケージ100は、垂直方向(Z軸方向)に互いの上に積層されたそれぞれのダイパッケージ106(1)、106(2)に含まれる複数のダイ104(1)、104(2)を含む、3D積層ダイICパッケージ102である。ICパッケージ100の第1のダイパッケージ106(1)は、パッケージ基板108に結合されたダイ104(1)を含む。この例では、パッケージ基板108は、本明細書では「金属化層110」とも呼ばれるコア基板112上に配置された第1の上部金属化層110を含む。コア基板112は、第2の下部金属化層114上に配置される。上部金属化層110は、ダイ104(1)への信号ルーティングのための電氣的インターフェースを提供する。ダイ104(1)は、上部金属化層110内の金属相互接続部118に電氣的に結合されたダイ相互接続部116(例えば、隆起金属パンプ)に結合される。上部金属化層110内の金属相互接続部118は、コア基板112内の金属相互接続部120に結合され、金属相互接続部120は、下部金属化層114内の金属相互接続部122に結合される。このようにして、パッケージ基板108は、ダイ104(1)への信号ルーティングを提供するために、その金属化層110、114とコア基板112との間の相互接続部を提供する。外部相互接続部124(例えば、ボールグリッドアレイ(BGA)相互接続部)は、パッケージ基板108を通りダイ相互接続部116を通してダイ104(1)まで相互接続部が提供するために、下部金属化層114内の金属相互接続部122に結合される。この例では、第1のダイ104(1)の第1のアクティブ側126(1)が、パッケージ基板108に、より具体的にはパッケージ基板108の上部金属化層110に隣接し、かつ、これに結合される。

20

30

【0016】

【0028】 図1の例示的なICパッケージ100では、ダイの3D積層化を提供するために、第2のダイパッケージ106(2)が設けられ、複数のダイを支持するために第1のダイパッケージ106(1)に結合される。例えば、第1のダイパッケージ106(1)内の第1のダイ104(1)は、アプリケーションプロセッサを含んでもよく、第2のダイ104(1)は、アプリケーションプロセッサのためのメモリサポートを提供する、ダイナミックランダムアクセスメモリ(dynamic random access memory、DRAM)ダイなどのメモリダイであってもよい。この点に関して、この例では、第1のダイパッケージ106(1)はまた、第1のダイ104(1)の第2の非アクティブ側126(2)に隣接して第1のダイ104(1)を包み込むパッケージモールド130上に配置されたインターポーザ基板128を含む。インターポーザ基板128はまた、第2のダイパッケージ106(2)内の第2のダイ104(2)への相互接続を提供するために、各々が金属相互接続部134を含む1つ又は複数の金属化層132を含む。第2のダイパッケージ106(2)は、外部相互接続部136(例えば、はんだパンプ、BGA相互接続部)を介してインターポーザ基板128に結合されていることによって、第1のダイパッケージ106(1)に物理的かつ電氣的に結合される。外部相互接続部136は、インターポーザ基板128内の金属相互接続部134に結合される。

40

【0017】

50

【0029】 第2のダイ104(2)から外部相互接続部136及びインターポーザ基板128を通して第1のダイ104(1)まで信号をルーティングするための相互接続を提供するために、垂直相互接続部138(例えば、金属ピラー、金属ポスト、モールド貫通ビア(TMV's)などの金属垂直相互接続アクセス(ビア))が、第1のダイパッケージ106(1)のパッケージモールド130内に配置される。垂直相互接続部138は、この例では、インターポーザ基板128の第1の下面140からパッケージ基板108の第1の上面142まで垂直方向(Z軸方向)に延びている。垂直相互接続部138は、インターポーザ基板128の下面140に隣接する、インターポーザ基板128内の金属相互接続部134に結合される。垂直相互接続部138はまた、パッケージ基板108の上面142に隣接する、パッケージ基板108の上部金属化層110内の金属相互接続部118に結合される。このようにして、垂直相互接続部138は、インターポーザ基板128とパッケージ基板108との間に、入力/出力(I/O)接続部などの、相互接続のためのブリッジを提供する。これにより、パッケージ基板を通る、第2のダイパッケージ106(1)内の第2のダイ104(2)と、第1のダイ104(1)と外部相互接続部124との間の信号ルーティング経路が提供される。

10

【0018】

【0030】 したがって、図1に示すように、ICパッケージ100において、第1のダイ104(1)の上への第2のダイ104(2)の積層化は、第1のダイ104(1)及び第2のダイ104(2)をそれぞれの第1のダイパッケージ106(1)及び第2のダイパッケージ106(2)内に配置することによって実現される。外部相互接続部136は、インターポーザ基板128を通り第1のダイパッケージ106(1)までの電気信号ルーティング経路を提供するように、第2のダイパッケージ106(2)のために形成される。垂直相互接続部138は、第2のダイ104(2)への信号ルーティング経路を提供するために第1のダイパッケージ106(1)内に設けられる。したがって、図1のICパッケージ100において、ダイの積層化は、別個のダイパッケージ106(1)、106(2)を形成し、積層化することによって実現され、ダイパッケージ106(1)、106(2)は、外部相互接続部138、インターポーザ基板128、及び垂直相互接続部138を介して一緒に結合されている。外部相互接続部138、インターポーザ基板128、及び垂直相互接続部138は、ICパッケージ100の全高H₁に寄与する。ICパッケージ100などの3D積層ICパッケージの高さを最小限に抑えることが望ましい場合がある。また、第1のダイ104(1)及び第2のダイ104(2)をICパッケージ内に3D積層構成で提供するために別個のダイパッケージ106(1)、106(2)及びインターポーザ基板128の形成が必要とされないように、ICパッケージ100の製造を簡略化することが望ましい場合がある。

20

30

【0019】

【0031】 図2A及び図2Bは、垂直方向(Z軸方向)におけるダイの3D積層化を容易にし、ダイへの信号ルーティングを効率的な様式で提供するための、再構成されたインターポーザ202を含む例示的な3DICパッケージ200の側面図である。この例では、インターポーザ202は、インターポーザ202が1つ又は複数のRDL金属化層を含むという点で、RDLインターポーザ202である。インターポーザ202は、本明細書では「RDLインターポーザ202」とも呼ばれる。図2A及び図2BのRDLインターポーザ202などのRDLインターポーザは、ICパッケージの一部分からICパッケージ内の別の位置への信号ルーティングのための分岐接続部(例えば、金属パッド)を提供することができる金属相互接続部(例えば、金属ライン、金属トレース)を含む1つ又は複数のRDL金属化層を含んで、そのような接続部へのより良好なアクセスを提供する。ダイの接続のためのダイ相互接続部(例えば、マイクロバンプ)を、より小さく(例えば、ライン/スペース(L/S)密度をより大きく)することをより容易にするために、RDL金属化層は、例えば、ダイがパッケージ内で接続されている領域の外側を含むICパッケージの異なる部分への接続アクセスを再配線する(すなわち、再ルーティングする)、金属相互接続部をつなぐ追加の金属層を含む。この例では、図2Aの3DICパッケージ

40

50

ジ 2 0 0 は、下部ダイが上部ダイよりも大きい (B G T) 構成で構成されている。図 2 A に示すように、3 D I C パッケージ 2 0 0 は、複数の第 1 の下部ダイ 2 0 4 (1) ~ 2 0 4 (3) を含む。3 D I C パッケージ 2 0 0 はまた、下部ダイ 2 0 4 (1) ~ 2 0 4 (3) の上に垂直方向 (Z 軸方向) に積層された第 2 の上部ダイ 2 0 6 を含む。下部ダイ 2 0 4 (1) ~ 2 0 4 (3) は、3 D I C パッケージ 2 0 0 内において下部ダイ 2 0 4 (1) ~ 2 0 4 (3) の上への上部ダイ 2 0 6 の 3 D 積層化を高さ効率的な様式で容易にしながら、上部ダイ 2 0 6 及び下部ダイ 2 0 4 (1) ~ 2 0 4 (3) のための信号ルーティングを提供する効果的な様式も提供するように、再構成された R D L インターポーザとしての R D L インターポーザ 2 0 2 に一体化されている。上部ダイ 2 0 6 は、共通の垂直平面 P₁、P₂、P₃ を、それぞれの下部ダイ 2 0 4 (1) ~ 2 0 4 (3) と共有している。R D L インターポーザ 2 0 2 は、水平方向 (X 軸方向及び Y 軸方向) に延びている。下部ダイ 2 0 4 (1) ~ 2 0 4 (3) を R D L インターポーザ 2 0 2 に一体化することにより、下部ダイ 2 0 4 (1) ~ 2 0 4 (3) は、その後 3 D I C パッケージ内の下部ダイ 2 0 4 (1) ~ 2 0 4 (3) を接続するために外部相互接続部にパンプ接続される別個のダイパッケージ内に形成される必要がない。R D L インターポーザ 2 0 2 はまた、上部ダイ 2 0 6 が結合される拡張ダイ領域を水平方向 (X 軸方向及び Y 軸方向) に提供する。上部ダイ 2 0 6 は、3 D I C パッケージ 2 0 0 の一部としての 3 D 積層ダイ構成において、水平方向 (X 軸方向及び Y 軸方向) に直交する垂直方向 (Z 軸方向) に、R D L インターポーザ 2 0 2 の第 2 の外面 2 1 4 の反対側の、R D L インターポーザ 2 0 2 の第 1 の上面 2 1 2 に結合される (例えば、積層される)。R D L インターポーザ 2 0 2 の R D L 金属化層 2 0 8 が、第 1 の表面 2 1 2 と第 2 の表面 2 1 4 との間に配置される。このようにして、R D L インターポーザ 2 0 2 は、3 D 積層構成において上部ダイ 2 0 6 が下部ダイ 2 0 4 (1) ~ 2 0 4 (3) の上に積層されるための構造を提供し、それにより、3 D I C パッケージ 2 0 0 は、(図 2 A に示すような) B G T 構成であろうと、又は T G B 構成であろうと、同じプロセスを使用して製造され得る。

10

20

30

40

50

【 0 0 2 0 】

[0 0 3 2] このようにして、第 1 の下部ダイ 2 0 4 (1) ~ 2 0 4 (3) を R D L インターポーザ 2 0 2 に一体化することにより、R D L インターポーザ 2 0 2 は、上部ダイ 2 0 6 を R D L インターポーザ 2 0 2 に結合することができる拡張ダイ領域を提供する。このようにすると、一例として、3 D I C パッケージ 2 0 0 を製造する製造プロセスは、T G B 構成において、水平方向 (X 軸方向及び Y 軸方向) の領域に関して上部ダイ 2 0 6 が下部ダイ 2 0 4 (1) ~ 2 0 4 (3) よりも大きいか、あるいは、B G T 構成において、水平方向 (X 軸方向及び Y 軸方向) の領域に関して下部ダイ 2 0 4 (1) ~ 2 0 4 (3) が上部ダイ 2 0 6 よりも大きいか、とは無関係であり得る。下部ダイ 2 0 4 (1) ~ 2 0 4 (3) は個片化され、再構成された R D L インターポーザ 2 0 2 の一部として、R D L 金属化層 2 0 8 内に又はそれに隣接して配置され得る。次いで、上部ダイ 2 0 6 は、3 D I C パッケージ 2 0 0 が T G B 構成になるか、B G T 構成になるかにかかわらず、R D L インターポーザ 2 0 2 に結合され得る。従来の 3 D I C パッケージ製造プロセスでは、別個のプロセスにおいてより小さいダイが製造され個片化され、次いで、より大きいダイが形成されたウェハに接合される。3 D I C パッケージにおける 3 D ダイ積層化を容易にするための R D L インターポーザの使用は、例えば、3 D I C パッケージをパッケージ基板に結合するための外部パンププロセスの実施などの更なるパッケージングとは無関係であり得る。

【 0 0 2 1 】

[0 0 3 3] また、引き続き図 2 A を参照すると、下部ダイ 2 0 4 (1) ~ 2 0 4 (3) が配置され、上部ダイ 2 0 6 が結合される基板である、3 D I C パッケージ 2 0 0 内の R D L インターポーザ 2 0 2 は、下部ダイ 2 0 4 (1) ~ 2 0 4 (3) 及び上部ダイ 2 0 6 への効率的な信号ルーティング経路を提供する。R D L インターポーザ 2 0 2 は、3 D I C パッケージ 2 0 0 内の下部ダイ 2 0 4 (1) ~ 2 0 4 (3) 及び上部ダイ 2 0 6 のための信号ルーティングを提供する金属化構造を提供する。この例では、R D L インターポー

ザ 202 は、インターポーザ基板 210（例えば、シリコンインターポーザ基板）上に形成された第 1 の RDL 金属化層 208 を含む。また、インターポーザ基板 210 は、RDL 金属化層であり得る。RDL 金属化層 208 は、下部ダイ 204（1）～204（3）及び上部ダイ 206 のための信号ルーティング経路を RDL インターポーザ 202 内に提供する金属相互接続部 216（例えば、金属ライン、金属トレース）を含む金属化層である。下部ダイ 204（1）～204（3）を RDL インターポーザ 202 に一体化するために、下部ダイ 204（1）～204（3）は、RDL インターポーザ 202 内で RDL 金属化層 208 に隣接して配置される。

【0022】

【0034】 この例では、下部ダイ 204（1）～204（3）と 3DIC パッケージ 200 の外部相互接続部 217（例えば、はんだボール）との間の信号ルーティング経路を提供するために、下部ダイ 204（1）～204（3）は、第 1 の RDL 金属化層 208 内の金属相互接続部 216（1）に結合されている。この例では、上部ダイ 206 を RDL インターポーザ 202 の第 1 の外面 212 に結合した結果として、上部ダイ 206 は、RDL インターポーザ 202 の RDL 金属化層 208 内で、上部ダイ 206 の外側の領域において分岐されている金属相互接続部 216（2）に結合されている。これは、上部ダイ 206 と 3DIC パッケージ 200 の外部相互接続部 217 との間の信号ルーティング経路を提供する。また、この例では、図 2A に示すように、上部ダイ 206 と RDL インターポーザ 202 との間の信号ルーティング経路を提供するために、上部ダイ 206 は、下部ダイ 204（1）～204（3）を貫通して延びるそれぞれのシリコン貫通ビア（TSVs）218（1）～218（3）に結合されている。また、下部ダイ 204（1）～204（3）が RDL インターポーザ 202 内に配置されている場合、上部ダイ 206 と下部ダイ 204（1）～204（3）との間のダイツーダイ（D2D）相互接続部を提供するために、上部ダイ 206 は、下部ダイ 204（1）～204（3）に対して垂直方向（Z 軸方向）に整列され、下部ダイに結合されているものとして示される。また、図 2A に示すように、上述した信号ルーティングの例のいずれかを用いると、インターポーザ基板 210 の 1 つ又は複数の金属化層 220（1）～220（2）内に形成された金属相互接続部 216 に結合された金属相互接続部 219（3）（例えば、モールド貫通ビア（TMVs））を通して、信号がインターポーザ基板 210 に更にルーティングされ得る。また、金属化層 220（1）～220（2）は、RDL 金属化層であり得る。したがって、信号は、インターポーザ基板 210 の金属相互接続部 219 を通して、この例ではプリント回路基板（printed circuit board、PCB）222 に結合された外部相互接続部 217 にルーティングされ得る。

【0023】

【0035】 図 2B は、追加の例示的な詳細を論じるために 3DIC パッケージ 200 を示す別の側面図である。図 2B に示すように、上部ダイ 206 を RDL インターポーザ 202 に結合するために、上部ダイ 206 は、上部ダイ 206 のアクティブ面 226 を介して露出されたダイ相互接続部 224（例えば、ダイパッド）を有する。ダイ相互接続部 224 は、上部ダイ 206 と RDL インターポーザ 202 との間の、かつ/又は下部ダイ 204（1）～204（3）への信号ルーティングを提供するために、RDL インターポーザ 202 に結合される。上部ダイ 206 のダイ相互接続部 224 は、RDL インターポーザ 202 への信号ルーティング経路（単数又は複数）を提供するために、上部ダイ 206 の外側の領域 A₁、A₂ において水平方向（X 軸方向及び Y 軸方向）に分岐されている、RDL 金属化層 208 内の金属相互接続部 216（2）に結合され得る。この例では、下部ダイ 204（1）～204（3）はまた、各々、それぞれのアクティブ面 230（1）～230（3）を介して露出されたそれぞれのダイ相互接続部 228（1）～228（3）（例えば、ダイパッド）を有する。上部ダイ 206 は、例として、ハイブリッドボンディング、圧着、又はマイクロパンプの使用などを介して、上部ダイ 206 の個別のダイ相互接続部 224 を下部ダイ 204（1）～204（3）のダイ相互接続部 228（1）～228（3）に結合することによって、下部ダイ 204（1）～204（3）に直接結合

10

20

30

40

50

され得る。代替構成では、下部ダイ204(1)~204(3)は、それらの個別の裏側の非アクティブ面232(1)~232(2)が上部ダイ206のアクティブ面226に隣接し、かつ、それに面するように、図2Bに示す構成を反転させた構成でRDLインターポーザ202内に配置され得ることに留意されたい。

【0024】

[0036] また、この例では、上部ダイ206から下部ダイ204(1)~204(3)の下のRDLインターポーザ202への、下部ダイ204(1)~204(3)を迂回する信号ルーティング経路を提供するために、ビア218(1)~218(3)(例えば、シリコン貫通ビア(TSVs))が、それぞれの下部ダイ204(1)~204(3)を貫通して配置され、上部ダイ206のダイ相互接続部224に結合され得る。ビア218(1)~218(3)は、インターポーザ基板210内の金属相互接続部216に結合された、RDL金属化層208内のそれぞれの金属相互接続部219(2)にルーティングされている。

10

【0025】

[0037] したがって、図2A及び図2Bに示すように、3DICパッケージ200内のRDLインターポーザ202は、上部ダイ206及び下部ダイ204(1)~204(3)のための効率的な信号ルーティングを提供することができる金属化構造を提供すると共に、上部ダイ206を積層することができる構造を提供する。このようにして、3DICパッケージ200は、効率的な積層ダイ構成を提供する。積層ダイ間での効率的な信号ルーティングを容易にすると共に、上部ダイが積層され得る構造を提供するために、図2A及び図2BのRDLインターポーザ202のようなRDLインターポーザを用いる他の積層ダイ構成も可能である。

20

【0026】

[0038] この点に関して、図3は、垂直方向(Z軸方向)におけるダイの3D積層化を容易にし、かつ、ダイへの信号ルーティングを効率的な様式で提供する、再構成されたインターポーザ302も含む別の例示的な3DICパッケージ300の側面図である。この例では、インターポーザ302は、インターポーザが1つ又は複数のRDL金属化層を含むという点で、RDLインターポーザ302である。インターポーザ302は、本明細書では「RDLインターポーザ302」とも呼ばれる。この例では、図3の3DICパッケージ300は、TGB構成で構成されている。図3に示すように、3DICパッケージ300は、下部ダイ304を含む。3DICパッケージ300はまた、下部ダイ304の上に垂直方向(Z軸方向)に積層された複数の第2の上部ダイ306(1)、306(2)を含む。この例では、下部ダイ304は、3DICパッケージ300内において下部ダイ304の上への上部ダイ306(1)、306(2)の3D積層化を高さ効率的な様式で容易にしながら、上部ダイ306(1)、306(2)及び下部ダイ304のための信号ルーティングを提供する効果的な様式も提供するように、再構成されたRDLインターポーザとしてRDLインターポーザ302に一体化される。上部ダイ306(1)、306(2)は、共通の垂直平面P₄、P₅を、下部ダイ304と共有している。RDLインターポーザ302は、水平方向(X軸方向及びY軸方向)に延びている。下部ダイ304をRDLインターポーザ302に一体化することにより、下部ダイ304は、その後3DICパッケージ内の下部ダイ304を接続するために外部相互接続部にパンプ接続される別個のダイパッケージ内に形成される必要がない。RDLインターポーザ302はまた、上部ダイ306(1)、306(2)が結合される拡張ダイ領域を水平方向(X軸方向及びY軸方向)に提供する。上部ダイ306(1)、306(2)は、3DICパッケージ300の一部としての3D積層ダイ構成において、水平方向(X軸方向及びY軸方向)に直交する垂直方向(Z軸方向)に、RDLインターポーザ302の第2の外面314の反対側の、RDLインターポーザ302の第1の上面312に結合される(例えば、積層される)。RDLインターポーザ302のRDL金属化層308が、第1の表面312と第2の表面314との間に配置される。このようにして、RDLインターポーザ302は、3D積層構成において上部ダイ206が下部ダイ204(1)~204(3)の上に積

30

40

50

層されるための構造を提供し、それにより、3DICパッケージ300は、(図2Aに示すような)BGT構成であろうと、又はTGB構成であろうと、同じプロセスを使用して製造され得る。

【0027】

[0039] このようにして、第1の下部ダイ304をRDLインターポーザ302に一体化することにより、RDLインターポーザ302は、上部ダイ306(1)、306(2)をRDLインターポーザ302に結合することができる拡張ダイ領域を提供する。このようにすると、一例として、3DICパッケージ300を製造する製造プロセスは、TGB構成において、水平方向(X軸方向及びY軸方向)の領域に関して上部ダイ306(1)、306(2)が下部ダイ304よりも大きいか、あるいは、図3に示すようなBGT構成において、水平方向(X軸方向及びY軸方向)の領域に関して下部ダイ304が上部ダイ306(1)、306(2)よりも大きいか、とは無関係であり得る。下部ダイ304は、個片化され、再構成されたRDLインターポーザ302の一部として、RDL金属化層308内に又はそれに隣接して配置され得る。次いで、上部ダイ306(1)、306(2)は、3DICパッケージ300がTGB構成になるか、BGT構成になるかにかかわらず、RDLインターポーザ302に結合され得る。従来の3DICパッケージ製造プロセスでは、別個のプロセスにおいてより小さいダイが製造され個片化され、次いで、より大きいダイが形成されたウェハに接合される。3DICパッケージにおける3Dダイ積層化を容易にするためのRDLインターポーザの使用は、例えば、3DICパッケージをパッケージ基板に結合するための外部バンピングプロセスの実施などの更なるパッケージングとは無関係であり得る。

10

20

【0028】

[0040] また、引き続き図3を参照すると、下部ダイ304が配置され、上部ダイ306(1)、306(2)が結合される基板である、3DICパッケージ300内のRDLインターポーザ302は、下部ダイ304及び上部ダイ306(1)、306(2)への効率的な信号ルーティング経路を提供する。RDLインターポーザ302は、3DICパッケージ300内の下部ダイ304及び上部ダイ306(1)、306(2)のための信号ルーティングを提供する金属化構造を提供する。この例では、RDLインターポーザ302は、図2A及び図2Bの3DICパッケージ200に示すような、インターポーザ基板210(例えば、シリコンインターポーザ基板)上に形成された第1のRDL金属化層308を含む。RDL金属化層308は、下部ダイ304及び上部ダイ306(1)、306(2)のための信号ルーティング経路をRDLインターポーザ302内に提供する金属相互接続部316(例えば、金属ライン、金属トレース)を含む金属化層である。下部ダイ304をRDLインターポーザ302に一体化するために、下部ダイ304は、RDLインターポーザ302内でRDL金属化層308に隣接して配置される。

30

【0029】

[0041] この例では、下部ダイ304と3DICパッケージ300の外部相互接続部217との間の信号ルーティング経路を提供するために、下部ダイ304は、第1のRDL金属化層308内で金属相互接続部316(1)に結合されている。この例では、上部ダイ306(1)、306(2)をRDLインターポーザ302の第1の外面312に結合した結果として、上部ダイ306(1)、306(2)は、RDLインターポーザ302のRDL金属化層308内で、上部ダイ306(1)、306(2)の外側の領域において分岐されている金属相互接続部316(2)に結合されている。これは、上部ダイ306(1)、306(2)と3DICパッケージ300の外部相互接続部317との間の信号ルーティング経路を提供する。また、この例では、図3に示すように、上部ダイ306(1)、306(2)とRDLインターポーザ302との間の信号ルーティング経路を提供するために、上部ダイ306(1)、306(2)は、下部ダイ304を貫通して延びるシリコン貫通ビア(TSVs)318に結合されている。また、下部ダイ304がRDLインターポーザ302内に配置されている場合、上部ダイ306(1)、306(2)と下部ダイ304との間のダイツェダイ(D2D)相互接続部を提供するために、上部

40

50

ダイ 306 (1)、306 (2) は、下部ダイ 304 に対して垂直方向 (Z 軸方向) に整列され、下部ダイに結合されているものとして示される。また、図 3 に示すように、上述した信号ルーティングの例のいずれかを用いると、インターポーザ基板 210 の 1 つ又は複数の金属化層 220 (1) ~ 220 (2) 内に形成された金属相互接続部 316 に結合されている金属相互接続部 219 (3) を通して、信号がインターポーザ基板 210 に更にルーティングされ得る。したがって、信号は、インターポーザ基板 210 の金属相互接続部 219 を通して、この例ではプリント回路基板 (PCB) 222 に結合された外部相互接続部 217 にルーティングされ得る。

【0030】

[0042] また、図 3 に示すように、上部ダイ 306 (1)、306 (2) を RDL インターポーザ 302 に結合するために、上部ダイ 306 (1)、306 (2) は、上部ダイ 306 (1)、306 (2) の個別のアクティブ面 326 (1)、326 (2) を介して露出されたダイ相互接続部 324 (1)、324 (2) (例えば、ダイパッド) を有する。ダイ相互接続部 324 (1)、324 (2) は、上部ダイ 306 (1)、306 (2) と RDL インターポーザ 302 との間の、かつ / 又は下部ダイ 304 への信号ルーティングを提供するために、RDL インターポーザ 302 に結合される。上部ダイ 306 のダイ相互接続部 324 (1)、324 (2) は、RDL インターポーザ 302 への信号ルーティング経路 (単数又は複数) を提供するために、上部ダイ 306 (1)、306 (2) の外側の領域 A₃、A₄ において水平方向 (X 軸方向及び Y 軸方向) に分岐されている、RDL 金属化層 308 内の金属相互接続部 316 (2) に結合され得る。この例では、下部ダイ 304 はまた、下部ダイ 304 のアクティブ面 330 を介して露出されたダイ相互接続部 328 (例えば、ダイパッド) を有する。上部ダイ 306 (1)、306 (2) は、例として、ハイブリッドボンディング、圧着、又はマイクロバンプの使用などを介して、上部ダイ 306 (1)、306 (2) の個別のダイ相互接続部 324 (1)、324 (2) を下部ダイ 304 のダイ相互接続部 328 に結合することにより、下部ダイ 304 に直接結合され得る。代替構成では、下部ダイ 304 は、その裏側の非アクティブ面 332 が上部ダイ 306 (1)、306 (2) のアクティブ面 326 (1)、326 (2) に隣接し、かつ、それに面するように、図 3 に示す構成を反転させた構成で RDL インターポーザ 302 内に配置され得ることに留意されたい。

【0031】

[0043] また、この例では、上部ダイ 306 (1)、306 (2) から下部ダイ 304 の下の RDL インターポーザ 302 への、下部ダイ 304 を迂回する信号ルーティング経路を提供するために、ビア 318 (例えば、シリコン貫通ビア (TSVs)) が、下部ダイ 304 を貫通して配置され、上部ダイ 306 (1)、306 (2) のダイ相互接続部 324 (1)、324 (2) に結合され得る。ビア 318 は、インターポーザ基板 210 内の金属相互接続部 316 に結合された、RDL 金属化層 308 内のそれぞれの金属相互接続部 219 (1) にルーティングされている。

【0032】

[0044] 図 4 は、図 2 A 及び図 2 B の 3DIC パッケージ 200 に類似した別の例示的な 3DIC パッケージ 400 の側面図である。図 4 の 3DIC パッケージ 400 と図 2 A 及び図 2 B の 3DIC パッケージ 200 との間の共通の要素は、共通の要素番号で示され、したがって再び説明されない。図 4 に示すように、3DIC パッケージ 300 は、インターポーザ 402 に結合された追加のダイ 406 (1)、406 (2) を含む。この例では、インターポーザ 402 は、インターポーザ 402 が 1 つ又は複数の RDL 金属化層を含むという点で、RDL インターポーザ 202 である。インターポーザ 402 は、本明細書では「RDL インターポーザ 402」とも呼ばれる。RDL インターポーザ 402 は、図 2 A 及び図 2 B の RDL インターポーザ 202 に類似しており、共通の要素は共通の要素番号で示される。追加のダイ 406 (1)、406 (2) は、2.5 次元 (2.5D) 構成で RDL インターポーザ 402 に結合され、追加のダイ 406 (1)、406 (2) は、水平方向 (X 軸方向及び Y 軸方向) において、上部ダイの領域 A₇ の外側のそれぞ

れの領域 A₅、A₆ 内にある。したがって、図 4 の 3 D I C パッケージ 4 0 0 では、R D L インターポーザ 4 0 2 は、追加のダイ 4 0 6 (1)、4 0 6 (2) も支持している。ダイを結合するダイ領域を増大させる R D L インターポーザ 4 0 2 は、この例では、追加のダイ 4 0 6 (1)、4 0 6 (2) を 3 D I C パッケージ 4 0 0 内に組み込み、結合するための追加の領域を提供する。例えば、追加のダイ 4 0 6 (1)、4 0 6 (2) は、メモリダイであり得る。R D L インターポーザ 4 0 2 は、追加のダイ 4 0 6 (1)、4 0 6 (2) が結合され得る領域を提供するだけでなく、上部ダイ 2 0 6 と同様に、追加のダイ 4 0 6 (1)、4 0 6 (2) と R D L インターポーザ 4 0 2 との間の信号ルーティングのためのインターポーザも提供する。

【 0 0 3 3 】

[0045] この例では、追加のダイ 4 0 6 (1)、4 0 6 (2) を R D L インターポーザ 4 0 2 に結合するために、追加のダイ 4 0 6 (1)、4 0 6 (2) に結合された外部金属相互接続部 4 1 0 (1)、4 1 0 (2) (例えば、はんだバンプ、マイクロバンプ、ダイパッド) が、R D L インターポーザ 4 0 2 の第 1 の上面 2 1 2 に結合される。外部金属相互接続部 4 1 0 (1)、4 1 0 (2) は、追加のダイ 4 0 6 (1)、4 0 6 (2) と R D L インターポーザ 4 0 2 との間の、かつ/又は下部ダイ 3 0 4 及び/又は上部ダイ 2 0 6 (1)、2 0 6 (2) への信号ルーティングを提供するために、R D L インターポーザ 4 0 2 に結合される。追加のダイ 4 0 6 (1)、4 0 6 (2) の外部金属相互接続部 4 1 0 (1)、4 1 0 (2) は、R D L インターポーザ 4 0 2 への信号ルーティング経路 (単数又は複数) を提供するために、上部ダイ 2 0 6 の領域 A₇ の外側の領域 A₅、A₆ において水平方向 (X 軸方向及び Y 軸方向) に分岐されている、R D L 金属化層 4 0 8 内の金属相互接続部 4 1 6 (3) (例えば、T M V s) に結合され得る。外部金属相互接続部 4 1 0 (1)、4 1 0 (2) は、他の金属相互接続部 4 1 6 (1)、4 1 6 (2) を介して外部相互接続部 2 1 7 及び下部ダイ 2 0 4 (1) ~ 2 0 4 (3) に、及び/又はビア 2 1 8 (1) ~ 2 1 8 (3) を介して上部ダイ 2 0 6 に結合され得る。

【 0 0 3 4 】

[0046] したがって、図 4 に示すように、3 D I C パッケージ 4 0 0 内の R D L インターポーザ 4 0 2 は、追加のダイ 4 0 6 (1)、4 0 6 (2) のための効率的な信号ルーティングを提供することができる金属化構造を提供すると共に、追加のダイ 4 0 6 (1)、4 0 6 (2) を積層することができる構造を提供する。このようにすると、3 D I C パッケージ 4 0 0 は、効率的な積層ダイ構成を提供する。

【 0 0 3 5 】

[0047] 図 5 は、図 4 の 3 D I C パッケージ 4 0 0 に類似した、B G T 構成の別の例示的な 3 D I C パッケージ 5 0 0 の側面図である。図 5 の 3 D I C パッケージ 5 0 0 と図 4 の 3 D I C パッケージ 4 0 0 との間の共通の要素は、共通の要素番号で示され、したがって再び説明されることはない。しかしながら、図 5 の 3 D I C パッケージ 5 0 0 では、追加のダイ 4 0 6 (2) を設ける代わりに、別のダイ 5 0 4 が、上部ダイ 2 0 6 及び下部ダイ 2 0 4 (1) ~ 2 0 4 (3) の、水平方向 (X 軸方向及び Y 軸方向) における外側の領域 A₈ に設けられている。ダイ 5 0 4 は、上部ダイ 2 0 6 と通信する必要がない別の機能ダイ又はチップレットとすることができ、したがって、上部ダイ 2 0 6 との共通平面を有するように垂直に整列される必要はない。しかしながら、この例では、ダイ 5 0 4 は、ダイ 5 0 4 と R D L インターポーザ 4 0 2 との間の信号ルーティングを提供するために、R D L 金属化層 4 0 8 内の金属相互接続部 2 1 6 (3) に結合されている。

【 0 0 3 6 】

[0048] 図 6 は、図 4 の 3 D I C パッケージ 4 0 0 に類似した、B G T 構成の別の例示的な 3 D I C パッケージ 6 0 0 の側面図である。図 6 の 3 D I C パッケージ 6 0 0 と図 4 の 3 D I C パッケージ 4 0 0 との間の共通の要素は、共通の要素番号で示され、したがって再び説明されることはない。しかしながら、図 6 の 3 D I C パッケージ 6 0 0 では、図 4 の 3 D I C パッケージ 4 0 0 における R D L 金属化層 4 0 8 を含むインターポーザ 6 0 2 が提供されている。この例では、インターポーザ 6 0 2 は、インターポーザ 6 0 2 が

10

20

30

40

50

1つ又は複数のRDL金属化層を含むという点で、RDLインターポーザ602である。インターポーザ602は、本明細書では「RDLインターポーザ602」とも呼ばれる。しかしながら、図6のRDLインターポーザ602は、上部ダイ206(1)~206(3)と下部ダイ204(1)~204(3)との間に垂直方向(Z軸方向)に配置された追加のRDL金属化層608を含む。下部ダイ204(1)~204(3)は、RDL金属化層408内に配置されているが、RDL金属化層408は、中間RDL金属化層608を介して上部ダイ204(1)~204(3)から分離されている。追加のRDL金属化層608を提供することは、3DICパッケージ600において向上したルーティング能力及び/又は柔軟性を提供し得る。

【0037】

[0049] 図6に示すように、上部ダイ206をRDLインターポーザ602に結合するために、上部ダイ206のアクティブ面226を介して露出されたダイ相互接続部224(例えば、ダイパッド)が、RDLインターポーザ602の上面612に結合されている。RDLインターポーザ602へのダイ相互接続部224の結合は、上部ダイ206とRDLインターポーザ602との間の、かつ/又は下部ダイ204(1)~204(3)への信号ルーティングを提供する。RDLインターポーザ602への信号ルーティング経路(単数又は複数)を提供するために、上部ダイ206のダイ相互接続部224は、RDL金属化層608内の金属相互接続部616(1)に結合されている。追加のダイ406(1)、406(2)、下部ダイ204(1)~204(3)、及び/又は外部相互接続部217に信号をルーティングするために、RDLインターポーザ602内の金属相互接続部616(1)は、RDLインターポーザ602内の下部ダイ204(1)~204(3)又は他の金属相互接続部616(2)、616(3)にルーティングされ得る。下部ダイ204(1)~204(3)はまた、各々が、上部ダイ204への信号ルーティング経路を提供するために、RDL金属化層608内の金属相互接続部616(1)に結合され得るそれぞれのダイ相互接続部228(1)~228(3)(例えば、ダイパッド)を有する。また、この例では、上部ダイ206から下部ダイ204(1)~204(3)の下のRDLインターポーザ602への信号ルーティング経路も提供するために、上部ダイ206のダイ相互接続部224に結合された金属相互接続部616(1)は、図2A及び図2Bの3DICパッケージ200において前述したものと同様に、それぞれの下部ダイ204(1)~204(3)を貫通して配置されたビア218(1)~218(3)に結合され得る。ビア218(1)~218(3)は、インターポーザ基板210内の金属相互接続部216に結合された、RDL金属化層208内のそれぞれの金属相互接続部219(2)にルーティングされている。金属相互接続部616(2)、616(3)(例えば、TMVs)はまた、追加のダイ406(1)、406(2)とRDLインターポーザ602との間の接続を提供するために、RDL金属化層608を貫通して配置される。

【0038】

[0050] 図7は、図4の3DICパッケージ400に類似した、別の例示的な3DICパッケージ700の側面図である。図7の3DICパッケージ700と図4の3DICパッケージ400との間の共通の要素は、共通の要素番号で示され、したがって再び説明されることはない。図7に示すように、上部ダイ706は、RDLインターポーザ408に結合されたチップレット702に一体化されている。チップレット702は、RDLインターポーザ402と上部ダイ706との間にデカップリングキャパシタンスを提供する集積デカップリングキャパシタ708を含む。上部ダイ706は、チップレット702内のデカップリングキャパシタ708の上に垂直方向(Z軸方向)に積層されている。チップレット702の金属相互接続部724は、図4の3DICパッケージ400における上部ダイ206のダイ相互接続部224と同様に、デカップリングキャパシタ708及び上部ダイ706とRDLインターポーザ402との間の信号ルーティングを提供するために、RDLインターポーザ402に結合されている。上部ダイ706とRDLインターポーザ408との間の信号ルーティングを提供するために、チップレット702は、チップレット702を通して垂直に延びて上部ダイ706に結合されるビア710を含む。

【 0 0 3 9 】

[0051] 上記の例で説明したような3D ICパッケージは、追加の信号ルーティングオプションを提供するために、パッケージ基板を含む別のICパッケージの一部として設けることもできる。この点に関して、図8は、図4の3D ICパッケージ400の側面図である。図8の3D ICパッケージ800と図4の3D ICパッケージ400との間の共通の要素は、共通の要素番号で示され、したがって再び説明されることはない。しかしながら、図8に示すように、3D ICパッケージ400は、PCB222には直接結合されておらず、パッケージ基板802に結合されている。パッケージ基板802は、信号を提供するための金属相互接続部を有する1つ又は複数の金属化層を含む。3D ICパッケージ400は、この例ではBGA相互接続部である外部相互接続部804を介してパッケージ基板802に結合されている。パッケージ基板802は、外部相互接続部217を介してPCB222に結合される。

10

【 0 0 4 0 】

[0052] 図9は、下部ダイ(単数又は複数)への上部ダイ(単数又は複数)の3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、図2A~図8の3D ICパッケージを含むがこれらに限定されない3D ICパッケージを製造する、例示的な製造プロセス900を示すフローチャートである。図9の製造プロセス900は、図2A及び図2Bの3D ICパッケージ200に関して説明される。しかしながら、図9の製造プロセス900は、図3~図8の他の3D ICパッケージ300、400、500、600、700、800を製造するためにも用いられ得ることに留意されたい。

20

【 0 0 4 1 】

[0053] この点に関して、図9に示すように、製造プロセス900の第1のステップは、基板上に第1のダイ204(1)~204(3)を配置すること(図9のブロック902)である。製造プロセス900の次のステップは、RDLインターポーザ202を形成すること(図9のブロック904)である。RDLインターポーザ202を形成することは、第1の表面212及び第1の表面212の反対側の第2の表面214を備える第1のRDL金属化層208を、基板上に第1のダイ204(1)~204(3)に隣接して形成するステップ(図9のブロック906)と、第1のダイ204(1)~204(3)の第1のダイ相互接続部228(1)~228(3)を第1のRDL金属化層208内の第1の金属相互接続部216に結合するステップ(図9のブロック908)と、を含み得る。製造プロセス900における次のステップは、RDLインターポーザ202の第1の表面212に結合された第2のダイ206を結合することである(図9のブロック910)。製造プロセス900における次のステップは、第2のダイ206の第2のダイ相互接続部224を第1のRDL金属化層208に結合すること(図9のブロック912)である。

30

【 0 0 4 2 】

[0054] 下部ダイ(単数又は複数)への上部ダイ(単数又は複数)の3D積層化のための拡張ダイ領域を容易にするRDLインターポーザを含み、かつ、上部ダイ及び/又は下部ダイのための信号ルーティング経路を提供するための1つ又は複数のRDL金属化層も含む、3D ICパッケージであって、それぞれの図2A~図8の3D ICパッケージ200、300、400、500、600、700、800を含めて、図2A~図7の3D ICパッケージを含むがこれらに限定されない3D ICパッケージが、他の製造プロセスで製造され得る。例えば、図10A~図10Dは、下部ダイ(単数又は複数)を含むRDLインターポーザに結合された上部ダイ(単数又は複数)を含む3D ICパッケージを製造する例示的な製造プロセス1000を示すフローチャートであり、RDLインターポーザは、上部ダイ及び/又は下部ダイのための信号ルーティング経路も提供する。図11A~図11Hは、図10A~図10Dの例示的な3D IC製造プロセス1000に従って例示的な製造段階1100A~1100Hを示す。図10A~図10Dの製造プロセス10

40

50

00は、図2A及び図2Bの3DICパッケージ200の製造に限定されない。

【0043】

[0055] この点に関して、図11Aの例示的な製造段階1100Aに示すように、製造プロセス1000の第1のステップは、最終的な3DICパッケージにおいて下部ダイとして機能するダイ1104を設けること(図10Aのブロック1002)である。ダイ1104は、複数のダイ1104が半導体ウェハ上に形成され、次いでダイシング及びクリーニングされて個々のダイ1104が形成される、別個の製造プロセスの一部として製造され得る。図11Bの例示的な製造段階1100Bに示すように、製造プロセス1000の次のステップは、ダイ1104をキャリア1102に結合する(取り付ける)こと(図10Aのブロック1004)である。これにより、製造プロセス1000中にキャリア1102を取り扱うことによってダイ1104を操作することが可能になる。下部ダイ1104のアクティブ面1130が、キャリア1102の第1の上面1106に結合され、そのようなダイ相互接続部1128は、キャリア1102の第1の上面1106に隣接している。

10

【0044】

[0056] 図11Cの例示的な製造段階1100Cに示すように、製造プロセス1000の次のステップは、キャリア1102に結合されたダイ1104の上にオーバーモールド層1107を結合し形成することである(図10Bのブロック1006)。オーバーモールド層1108は、オーバーモールド材料1100を、ダイ204上に、かつ、キャリア1102の第1の表面1106上にダイ204に隣接して、配置することによって形成される。オーバーモールド層1107は、ダイ1104を保護及び絶縁する。一例として、オーバーモールド層1107は、ダイ204上に、かつ、キャリア1102の第1の表面1106上にダイ204に隣接して、酸化層1112をスピンドンすることにより、又は別の方法で配置することにより形成され得る。次いで、図11Dの例示的な製造段階1100Dに示すように、製造プロセス1000の次のステップは、オーバーモールド層1107から第1のRDL金属化層1108を形成することである。再配線された金属相互接続部1120を、オーバーモールド層1107内にキャリア1102の第1の表面1106にまで形成し、ビア1118を、オーバーモールド層1107内にダイ1104を貫通して、ダイ相互接続部1128に結合されるように形成することによって、第1のRDL金属化層1108を形成する(図10Bのブロック1008)。一例として、金属相互接続部1120は、モールド貫通ビア(TMVs)である。金属相互接続部1120及びビア1118は、金属(例えば、銅)めっきプロセスによって形成されてもよく、オーバーモールド層1107がパターンングされて、金属相互接続部1120及びビア1118が形成されることになる開口部が形成される。次いで、開口部内に金属材料が配置され、オーバーモールド層1107上の上面1114(図11C)上の残りの残留金属材料が研磨され、オーバーモールド層1107が研削されて、残留金属材料が除去され、オーバーモールド層1107の上面1116を介して金属相互接続部1120及びビア1118が露出される(図11D)。

20

30

【0045】

[0057] 図11Eの例示的な製造段階1100Eに示すように、製造プロセス1000の次のステップは、下部ダイ1104が配置されている第1のRDL金属化層1108上に、別のRDL金属化層1124をインターポーザ基板として形成することである(図10Cのブロック1010)。金属相互接続部1122は、第2のRDL金属化層1124の形成の一部として形成される。金属相互接続部1122は、金属相互接続部1120と、第1のRDL金属化層1108を貫通して延びるビア1118と、に結合される。図11Fの例示的な製造段階1100Fに示すように、製造プロセス1000の次のステップは、第1のRDL金属化層1108からキャリア1102を除去することである(図10Cのブロック1012)。その後、第1のRDL金属化層1108の上面1126は、クリーニングされ得る。第1のRDL金属化層1108及び第2のRDL金属化層1124は、この例ではRDLインターポーザ1125のためのものである。

40

50

【 0 0 4 6 】

【0058】 次いで、図 1 1 G の例示的な製造段階 1 1 0 0 G に示すように、製造プロセス 1 0 0 0 の次のステップは、3 D I C パッケージ 1 1 3 6 を形成するために、上部ダイ 1 1 3 4 を、下部ダイ 1 1 0 4 及び第 1 の R D L 金属化層 1 1 0 8 の上面 1 1 2 6 に結合（例えば、接合）することである（図 1 0 D のブロック 1 0 1 4 ）。上部ダイ 1 1 3 4 のダイ相互接続部 1 1 3 8 は、上部ダイ 1 1 3 4 のダイ相互接続部 1 1 3 8 を金属相互接続部 1 1 2 0 と下部ダイ 1 1 0 4 を貫通して延びるビア 1 1 1 8 とに結合するように、下部ダイ 1 1 0 4 の金属相互接続部 1 1 2 0 及びダイ相互接続部 1 1 2 8 の露出された表面に整列される。これは、ダイツェハ結合又はボンディングプロセスである。このダイツェハ結合又はボンディングプロセスは、上部ダイ 1 1 3 4 と R D L インターポーザ 1 1 2 5 との間の電氣的結合を提供する。次いで、図 1 1 H の例示的な製造段階 1 1 0 0 H に示すように、製造プロセス 1 0 0 0 の次のステップは、3 D I C パッケージ 1 1 3 6 を形成するために、上部ダイ 1 1 3 4 の上に、かつ、第 1 の R D L 金属化層 1 1 0 8 上に上部ダイ 1 1 3 4 に隣接して、オーバーモールド層 1 1 4 0 を形成することである（図 1 0 D のブロック 1 0 1 6 ）。R D L インターポーザ 1 1 2 5 内の金属相互接続部に接触する外部相互接続部 1 1 4 2 も形成される。

10

【 0 0 4 7 】

【0059】 下部ダイ（単数又は複数）への上部ダイ（単数又は複数）の 3 D スタッキングのための拡張ダイ領域を容易にする R D L インターポーザを含み、かつ、上部ダイ及び / 又は下部ダイのための信号ルーティング経路を提供するための 1 つ又は複数の R D L 金属化層を含む、3 D I C パッケージであって、図 2 A ~ 図 8 及び図 1 1 A ~ 図 1 1 H の 3 D I C パッケージ、並びに図 9 及び図 1 0 A ~ 図 1 0 D の例示的な製造プロセスによる、並びに本明細書で開示されるいずれかの態様による 3 D I C パッケージ、を含むがこれらに限定されない 3 D I C パッケージが、いずれかのプロセッサベースのデバイス内に設けられてもよく、又はいずれかのプロセッサベースのデバイス内に一体化されてもよい。例には、限定はしないが、セットトップボックス、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、全地球測位システム（global positioning system、GPS）デバイス、スマートフォン、セルラーフォン、スマートフォン、セッション開始プロトコル（session initiation protocol、SIP）フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス（例えば、スマートウォッチ、ヘルス又はフィットネストラッカ、アイウェアなど）、デスクトップコンピュータ、携帯情報端末（personal digital assistant、PDA）、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク（digital video disc、DVD）プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両構成要素、アビオニクスシステム、ドローン、及びマルチコプターが含まれる。

20

30

【 0 0 4 8 】

【0060】 この点に関して、図 1 2 は、プロセッサベースのシステム 1 2 0 0 の一例を示す。プロセッサベースのシステム 1 2 0 0 の構成要素は、I C 1 2 0 2 である。プロセッサベースのシステム 1 2 0 0 内のいくつかの又は全ての I C 1 2 0 2 が、下部ダイ（単数又は複数）への上部ダイ（単数又は複数）の 3 D 積層化のための拡張ダイ領域を容易にする R D L インターポーザを含み、かつ、上部ダイ及び / 又は下部ダイのための信号ルーティング経路を提供するための 1 つ又は複数の R D L 金属化層も含む、3 D I C パッケージであって、図 2 A ~ 図 8 及び図 1 1 A ~ 図 1 1 H の、並びに図 9 及び図 1 0 A ~ 図 1 0 D の例示的な製造プロセスによる、並びに本明細書で開示されるいずれかの態様による 3 D I C パッケージ、を含むがこれらに限定されない 3 D I C パッケージ、として設けられ得る。この例では、プロセッサベースのシステム 1 2 0 0 は、I C パッケージ 1 2 0 4 として、かつ、システムオンチップ（SoC）1 2 0 6 として形成され得る。プロセッサベ

40

50

ースのシステム1200は、CPUコア又はプロセッサコアと呼ばれることもある、1つ又は複数のプロセッサ1210を含むCPU1208を含む。CPU1208は、一時的に記憶されたデータに迅速にアクセスするためにCPU1208に結合されたキャッシュメモリ1212を有し得る。CPU1208は、システムバス1214に結合され、プロセッサベースのシステム1200内に含まれるマスターデバイスとスレーブデバイスとを相互結合することができる。周知のように、CPU1208は、システムバス1214を介してアドレス情報、制御情報、及びデータ情報を交換することによって、これらの他のデバイスと通信する。例えば、CPU1208は、スレーブデバイスの一例として、メモリコントローラ1216にバストランザクション要求を通信することができる。図12には示されていないが、複数のシステムバス1214を設けることが可能であり、各システムバス1214が、異なるファブリックを構成する。

10

【0049】

[0061] 他のマスターデバイス及びスレーブデバイスを、システムバス1214に接続することができる。図12に示されているように、これらデバイスは、例として、メモリコントローラ1216とメモリアレイ(単数又は複数)1218とを含むメモリシステム1220、1つ又は複数の入力デバイス1222、1つ又は複数の出力デバイス1224、1つ又は複数のネットワークインターフェースデバイス1226、及び1つ又は複数のディスプレイコントローラ1228を含み得る。メモリシステム1220、1つ又は複数の入力デバイス1222、1つ又は複数の出力デバイス1224、1つ又は複数のネットワークインターフェースデバイス1226、及び1つ又は複数のディスプレイコントローラ1228の各々が、同じ又は異なる回路パッケージ内に設けられ得る。入力デバイス(単数又は複数)1222は、入力キー、スイッチ、音声プロセッサなどを含むが、これらに限定されない、任意のタイプの入力デバイスを含み得る。出力デバイス(単数又は複数)1224は、オーディオインジケータ、ビデオインジケータ、他の視覚インジケータなどを含むが、これらに限定されない、任意のタイプの出力デバイスを含み得る。ネットワークインターフェースデバイス(単数又は複数)1226は、ネットワーク1230との間でのデータの交換を可能にするように構成されている任意のデバイスとすることができる。ネットワーク1230は、ワイヤードネットワーク若しくはワイヤレスネットワーク、プライベートネットワーク若しくはパブリックネットワーク、ローカルエリアネットワーク(local area network、LAN)、ワイヤレスローカルエリアネットワーク(wireless local area network、WLAN)、ワイドエリアネットワーク(wide area network、WAN)、BLUETOOTH(商標)ネットワーク、及びインターネットを含むが、これらに限定されない、任意のタイプのネットワークとすることができる。ネットワークインターフェースデバイス(単数又は複数)1226は、所望の任意のタイプの通信プロトコルをサポートするように構成することができる。

20

30

【0050】

[0062] CPU1208はまた、システムバス1214を介してディスプレイコントローラ1228(単数又は複数)にアクセスして、1つ又は複数のディスプレイ1232に送信される情報を制御するように構成され得る。ディスプレイコントローラ(単数又は複数)1228は、1つ又は複数のビデオプロセッサ1234を介して表示されるべき情報をディスプレイ(単数又は複数)1232に送信し、1つ又は複数のビデオプロセッサ1234は、表示されるべき情報をディスプレイ1232(単数又は複数)に好適なフォーマットに処理する。ディスプレイコントローラ(単数又は複数)1228及びビデオプロセッサ1234(単数又は複数)は、一例として、ICパッケージ1204として、及び同じ又は異なる回路パッケージとして含まれ得る、並びにCPU1208を含む同じ又は異なる回路パッケージ内に含まれ得る。ディスプレイ(単数又は複数)1232は、陰極線管(cathode ray tube、CRT)、液晶ディスプレイ(liquid crystal display、LCD)、プラズマディスプレイ、発光ダイオード(light emitting diode、LED)ディスプレイなどを含むが、これらに限定されない、任意のタイプのディスプレイを含み得る。

40

50

【 0 0 5 1 】

【0063】 図 1 3 は、1 つ又は複数の IC 1 3 0 2 から形成された無線周波数 (R F) 構成要素を含む例示的なワイヤレス通信デバイス 1 3 0 0 を示す。IC 1 3 0 2 のいずれかが、下部ダイ (単数又は複数) への上部ダイ (単数又は複数) の 3 D 積層化のための拡張ダイ領域を容易にする R D L インターポーザを含み、かつ、上部ダイ及び / 又は下部ダイのための信号ルーティング経路を提供するための 1 つ又は複数の R D L 金属化層も含む、3 D IC パッケージであって、図 2 A ~ 図 8 及び図 1 1 A ~ 図 1 1 H の、並びに図 9 及び図 1 0 A ~ 図 1 0 D の例示的な製造プロセスによる、並びに本明細書で開示されるいずれかの態様による 3 D IC パッケージ、を含むがこれらに限定されない 3 D IC パッケージ、を含み得る。ワイヤレス通信デバイス 1 3 0 0 は、実施例として、上記で言及したデバイスの中のいずれかを含み得るか、又は、それらデバイスうちのいずれかの中に設けることができる。図 1 3 に示されるように、ワイヤレス通信デバイス 1 3 0 0 は、トランシーバ 1 3 0 4、及びデータプロセッサ 1 3 0 6 を含む。データプロセッサ 1 3 0 6 は、データ及びプログラムコードを記憶するためのメモリを含み得る。トランシーバ 1 3 0 4 は、双方向通信をサポートする送信機 1 3 0 8 及び受信機 1 3 1 0 を含む。一般に、ワイヤレス通信デバイス 1 3 0 0 は、任意の数の通信システム及び周波数帯域のための、任意の数の送信機 1 3 0 8 及び / 又は受信機 1 3 1 0 を含み得る。トランシーバ 1 3 0 4 の全て又は一部分は、1 つ又は複数のアナログ IC、R F IC、ミックストシグナル IC 上などに実装することができる。

10

【 0 0 5 2 】

【0064】 送信機 1 3 0 8 又は受信機 1 3 1 0 は、スーパーヘテロダイナーキテクチャ又はダイレクトコンバージョンアーキテクチャを使用して実装することができる。スーパーヘテロダイナーキテクチャでは、信号は、複数の段階において、R F とベースバンドとの間で周波数変換され、例えば、受信機 1 3 1 0 に関しては、1 つの段階において、R F から中間周波数 (intermediate frequency、I F) に周波数変換され、次いで別の段階において、I F からベースバンドに周波数変換される。ダイレクトコンバージョンアーキテクチャでは、信号は、1 つの段階において、R F とベースバンドとの間で周波数変換される。スーパーヘテロダイナーキテクチャとダイレクトコンバージョンアーキテクチャとは、異なる回路ブロックを使用する場合があります、かつ / 又は、異なる要件を有する場合もある。図 1 3 のワイヤレス通信デバイス 1 3 0 0 では、送信機 1 3 0 8 及び受信機 1 3 1 0 は、ダイレクトコンバージョンアーキテクチャを使用して実装されている。

20

30

【 0 0 5 3 】

【0065】 送信経路では、データプロセッサ 1 3 0 6 は、送信されることになるデータを処理して、送信機 1 3 0 8 に、I アナログ出力信号及び Q アナログ出力信号を提供する。例示的なワイヤレス通信デバイス 1 3 0 0 では、データプロセッサ 1 3 0 6 は、データプロセッサ 1 3 0 6 によって生成されたデジタル信号を、更なる処理のために、I アナログ出力信号及び Q アナログ出力信号、例えば I 出力電流及び Q 出力電流に変換するための、デジタルアナログ変換器 (D A C s) 1 3 1 2 (1)、1 3 1 2 (2) を含む。

【 0 0 5 4 】

【0066】 送信機 1 3 0 8 内では、以前のデジタルアナログ変換によって生じた望ましくない信号を除去するために、ローパスフィルタ 1 3 1 4 (1)、1 3 1 4 (2) が、I アナログ出力信号及び Q アナログ出力信号をそれぞれフィルタリングする。増幅器 (A M P s) 1 3 1 6 (1)、1 3 1 6 (2) が、それぞれ、ローパスフィルタ 1 3 1 4 (1)、1 3 1 4 (2) からの信号を増幅して、I ベースバンド信号及び Q ベースバンド信号を提供する。アップコンバータ 1 3 1 8 が、送信 (transmit、T X) 局部発振器 (local oscillator、L O) 信号発生器 1 3 2 2 からの、ミキサ 1 3 2 0 (1)、1 3 2 0 (2) を介した I T X L O 信号及び Q T X L O 信号を使用して、I ベースバンド信号及び Q ベースバンド信号をアップコンバートして、アップコンバートされた信号 1 3 2 4 を提供する。フィルタ 1 3 2 6 が、アップコンバートされた信号 1 3 2 4 をフィルタリングして、周波数アップコンバージョンによって生じた望ましくない信号、並びに受信周波

40

50

数帯域内のノイズを除去する。電力増幅器 (power amplifier、PA) 1328 が、所望の出力電力レベルを得るために、フィルタ 1326 からのアップコンバートされた信号 1324 を増幅して、送信 RF 信号を提供する。送信 RF 信号は、デュプレクサ又はスイッチ 1330 を介してルーティングされ、アンテナ 1332 を介して送信される。

【0055】

[0067] 受信経路では、アンテナ 1332 は、基地局によって送信された信号を受信して、受信 RF 信号を提供し、この受信 RF 信号は、デュプレクサ又はスイッチ 1330 を介してルーティングされ、低ノイズ増幅器 (LNA) 1334 に提供される。デュプレクサ又はスイッチ 1330 は、受信 (receive、RX) 信号が TX 信号から分離されるように、特定の RX 対 TX デュプレクサ周波数分離を使用して動作するように設計されている。所望の RF 入力信号を得るために、受信 RF 信号は、LNA 1334 によって増幅され、フィルタ 1336 によってフィルタリングされる。ダウンコンバージョンミキサ 1338 (1)、1338 (2) が、フィルタ 1336 の出力を、RX LO 信号発生器 1340 からの I RX LO 信号及び Q RX LO 信号 (すなわち、LO_I 及び LO_Q) と混合して、I ベースバンド信号及び Q ベースバンド信号を生成する。I ベースバンド信号及び Q ベースバンド信号は、AMP 1342 (1)、1342 (2) によって増幅され、更に、ローパスフィルタ 1344 (1)、1344 (2) によってフィルタリングされることにより、I アナログ入力信号及び Q アナログ入力信号が得られ、それらのアナログ入力信号が、データプロセッサ 1306 に提供される。この実施例では、データプロセッサ 1306 は、アナログ入力信号を、データプロセッサ 1306 によって更に処理されることになるデジタル信号に変換するための、アナログデジタル変換器 (ADCs) 1346 (1)、1346 (2) を含む。

【0056】

[0068] 図 13 のワイヤレス通信デバイス 1300 では、TX LO 信号発生器 1322 が、周波数アップコンバージョンのために使用される I TX LO 信号及び Q TX LO 信号を生成する一方で、RX LO 信号発生器 1340 が、周波数ダウンコンバージョンのために使用される I RX LO 信号及び Q RX LO 信号を生成する。各 LO 信号は、特定の基本周波数を有する周期信号である。TX 位相ロックループ (phase-locked loop、PLL) 回路 1348 が、データプロセッサ 1306 からタイミング情報を受信し、TX LO 信号発生器 1322 からの TX LO 信号の周波数及び / 又は位相を調節するために使用される制御信号を生成する。同様に、RX PLL 回路 1350 が、データプロセッサ 1306 からタイミング情報を受信し、RX LO 信号発生器 1340 からの RX LO 信号の周波数及び / 又は位相を調節するために使用される制御信号を生成する。

【0057】

[0069] 本明細書で使用される場合、「上部」及び「下部」という用語は、相対的な用語であることに留意されたい。「上部」構成要素と呼ばれる構成要素は、図示するように、「下部」構成要素と呼ばれる別の構成要素の上に第 2 の垂直方向に配置される。しかしながら、これに限定されない。逆の向きでは、「上部」構成要素と呼ばれる構成要素が、「下部」構成要素と呼ばれる別の構成要素のフローであり得る。

【0058】

[0070] 当業者は、本明細書で開示する態様に関連して説明する様々な例示的な論理ブロック、モジュール、回路、及びアルゴリズムが、電子ハードウェアとして、又はメモリ内若しくは別のコンピュータ可読媒体内に記憶されてプロセッサ若しくは他の処理デバイスによって実行される命令として、又はこれら両方の組み合わせとして、実装され得ることを更に理解するであろう。本明細書で開示されるメモリは、任意のタイプ及びサイズのメモリとすることができ、所望されている任意のタイプの情報を記憶するように構成することができる。この互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、及びステップが、それらの機能性の観点から全般的に上記で説明されてきた。そのような機能性がどのように実装されるかは、具体的な適用、設計上の選択、

及び/又は、システム全体に課される設計上の制約に依存する。当業者は、説明した機能を特定の用途毎に様々な方法で実装し得るが、そのような実装決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

【0059】

【0071】 本明細書で開示される諸態様に関連して説明されている、様々な例示的な論理ブロック、モジュール、及び回路は、本明細書で説明されている機能を実施するように設計されている、プロセッサ、デジタル信号プロセッサ (Digital Signal Processor、DSP)、特定用途向け集積回路 (Application Specific Integrated Circuit、ASIC)、フィールドプログラマブルゲートアレイ (Field Programmable Gate Array、FPGA) 若しくは他のプログラマブル論理デバイス、個別のゲート論理若しくはトランジスタ論理、個別のハードウェア構成要素、又は、それらの任意の組み合わせを使用して、実装若しくは実施することができる。プロセッサは、マイクロプロセッサとすることもできるが、代替として、プロセッサは、任意の従来プロセッサ、コントローラ、マイクロコントローラ、又はステートマシンとすることもできる。プロセッサはまた、コンピューティングデバイスの組み合わせ (例えば、DSPとマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、DSPコアと連携する1つ又は複数のマイクロプロセッサ、あるいは任意の他のそのような構成) として実装することもできる。

10

【0060】

【0072】 本明細書で開示される諸態様は、ハードウェアにおいて具現化することができ、また、ハードウェア内に記憶されており、例えば、ランダムアクセスメモリ (Random Access Memory、RAM)、フラッシュメモリ、読み取り専用メモリ (Read Only Memory、ROM)、電気的プログラマブルROM (Electrically Erasable Programmable ROM、EEPROM)、電氣的消去可能プログラマブルROM (EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、又は、当技術分野において既知の任意の他の形態のコンピュータ可読媒体内に存在し得る、命令において具現化することもできる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合されている。代替として、記憶媒体はプロセッサと一体化され得る。プロセッサ及び記憶媒体は、ASIC内に存在し得る。ASICは、リモート局内に存在し得る。代替として、プロセッサ及び記憶媒体は、個別の構成要素として、リモート局、基地局、又はサーバ内に存在し得る。

20

30

【0061】

【0073】 また、本明細書の例示的態様のうちのいずれかにおいて説明されている動作ステップは、実施例及び論考を提供するために説明されている点にも留意されたい。説明されている動作は、図示のシーケンス以外の、数多くの異なるシーケンスで実施することもできる。更には、単一の動作ステップにおいて説明されている動作は、実際には、いくつもの異なるステップにおいて実施することもできる。更には、例示的態様において論じられている1つ又は複数の動作ステップを、組み合わせることもできる。当業者には容易に明らかとなるように、フローチャート図に示されている動作ステップには、数多くの種々の修正を施すことができる点を理解されたい。当業者であれば、多種多様なテクノロジー及び技術のうちのいずれかを使用して、情報及び信号を表すことができる点もまた理解されるであろう。例えば、上記の説明全体を通して言及される場合がある、データ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁場若しくは磁性粒子、光場若しくは光学粒子、又はそれらの任意の組み合わせによって表すことができる。

40

【0062】

【0074】 本開示の上記の説明は、本開示をあらゆる当業者が作製又は使用することを可能にするために提供されている。本開示に対する様々な修正が、当業者には容易に明らかとなり、本明細書で定義されている一般原理は、他の変形例に適用することもできる。それゆえ、本開示は、本明細書で説明されている実施例及び設計に限定されることを意図

50

するものでなく、本明細書で開示されている原理及び新規の特徴と整合する、最も広い範囲が与えられるべきである。

【0063】

[0075] 以下の番号付けされた条項において、実装例について説明する。

- 条項 1 . 集積回路 (I C) パッケージであって、
 インターポーザであって、
 第 1 の表面及び第 1 の表面の反対側の第 2 の表面と、
 第 1 の表面と第 2 の表面との間の 1 つ又は複数の R D L 金属化層と、を備える、インターポーザと、
 インターポーザ内に配置された第 1 のダイであって、
 第 1 のダイが、 1 つ又は複数の R D L 金属化層のうちの第 1 の R D L 金属化層内の第 1 の金属相互接続部に結合された第 1 のダイ相互接続部を備える、第 1 のダイと、
 インターポーザの第 1 の表面に結合された第 2 のダイであって、
 第 2 のダイが、第 1 の R D L 金属化層に結合された第 2 のダイ相互接続部を備える、第 2 のダイと、
 を備える I C パッケージ。 10
- 条項 2 .
 インターポーザが、第 1 の方向に延び、
 第 1 の方向に直交する第 2 の方向において、第 2 の表面が第 1 の表面の反対側にあり、
 1 つ又は複数の R D L 金属化層が、第 1 の表面と第 2 の表面との間に第 2 の方向に配置 20
 されている、
 条項 1 に記載の I C パッケージ。
- 条項 3 . 第 1 のダイが、第 1 の R D L 金属化層に隣接している、条項 1 又は 2 に記載の I C パッケージ。
- 条項 4 .
 1 つ又は複数の R D L 金属化層が、第 2 の R D L 金属化層を更に備え、
 第 1 のダイが、第 3 の金属相互接続部に結合された第 3 のダイ相互接続部を第 2 の R D L 金属化層内に更に備える、
 条項 1 又は 2 に記載の I C パッケージ。 30
- 条項 5 .
 第 2 のダイ相互接続部は、第 1 の R D L 金属化層内の第 2 の金属相互接続部に結合され、
 第 2 の金属相互接続部が、インターポーザの第 1 の表面に結合された第 2 のダイの第 2 の領域の外側において、第 1 の R D L 金属化層の第 1 の領域に外側で再配線されている、
 条項 1 ~ 4 のいずれかに記載の I C パッケージ。
- 条項 6 . 第 1 の金属相互接続部が、第 2 の金属相互接続部に結合されている、条項 5 に記載の I C パッケージ。
- 条項 7 .
 第 2 のダイが、第 1 の共通平面を第 1 のダイと共有し、
 第 2 のダイの第 2 のダイ相互接続部が、第 1 のダイの第 3 のダイ相互接続部に結合され 40
 ている、条項 5 に記載の I C パッケージ。
- 条項 8 .
 第 1 のダイが、第 1 の表面に隣接する第 1 のアクティブ面と、第 1 のアクティブ面から露出された第 3 のダイ相互接続部と、を備え、
 第 2 のダイが、第 1 の表面に隣接する第 2 のアクティブ面を備え、第 2 のダイ相互接続部が、第 2 のアクティブ面から露出されており、
 第 2 のダイの第 2 のダイ相互接続部が、第 1 のダイの第 3 のダイ相互接続部に接合されている、
 条項 1 ~ 7 のいずれかに記載の I C パッケージ。
- 条項 9 . 50

第 1 のダイが、第 1 の表面に隣接する第 1 の非アクティブ面と、第 1 の非アクティブ面から露出された第 3 のダイ相互接続部と、を備え、

第 2 のダイが、第 1 の表面に隣接する第 2 のアクティブ面を備え、第 2 のダイ相互接続部が、第 2 のアクティブ面から露出されており、

第 2 のダイの第 2 のダイ相互接続部が、第 1 のダイの第 3 のダイ相互接続部に接合されている、

条項 1 ~ 7 のいずれかに記載の I C パッケージ。

条項 10 . 第 1 のダイを貫通して配置された第 1 のビアを更に備え、

第 2 のダイの第 2 のダイ相互接続部が、第 1 のビアに結合されている、

条項 1 ~ 9 のいずれかに記載の I C パッケージ。

10

条項 11 . インターポーザの第 1 の表面からインターポーザの第 2 の表面まで延びる第 1 のビアを更に備え、

第 2 のダイの第 2 のダイ相互接続部が、第 1 のビアに結合されている、

条項 1 ~ 10 のいずれかに記載の I C パッケージ。

条項 12 . インターポーザ内の第 1 のダイの第 2 の領域の外側において、インターポーザの第 1 の表面上の第 1 の領域に結合された第 3 のダイを更に備え、

第 3 のダイが、第 1 の R D L 金属化層の第 2 の金属相互接続部に結合された第 3 のダイ相互接続部を備える、

条項 1 ~ 11 のいずれかに記載の I C パッケージ。

条項 13 . 第 1 の R D L 金属化層内に配置された第 3 のダイを更に備え、

20

第 3 のダイが、第 1 の R D L 金属化層内の第 2 の金属相互接続部に結合された第 3 のダイ相互接続部を備える、

条項 1 又は 2 に記載の I C パッケージ。

条項 14 . 第 3 のダイが、第 2 のダイに通信可能に結合されていない、条項 13 に記載の I C パッケージ。

条項 15 .

インターポーザの下面に結合された 1 つ又は複数の外部相互接続部であって、1 つ又は複数の外部相互接続部が各々、第 1 の R D L 金属化層内の 1 つ又は複数の第 2 の金属相互接続部に結合されている、1 つ又は複数の外部相互接続部と、

1 つ又は複数の外部相互接続部に結合されたパッケージ基板と、

30

を更に備える、条項 1 ~ 14 のいずれかに記載の I C パッケージ。

条項 16 . 1 つ又は複数の外部相互接続部が、1 つ又は複数のボールグリッドアレイ (B G A) 相互接続部を備える、条項 15 に記載の I C パッケージ。

条項 17 .

第 2 のダイが、集積コンデンサを更に備え、

第 2 のダイが、第 3 のダイ相互接続部を更に備え、

第 3 のダイ相互接続部が、集積コンデンサと、第 1 の R D L 金属化層の第 2 の金属相互接続部と、に結合されている、

条項 1 ~ 16 のいずれかに記載の I C パッケージ。

条項 18 . セットトップボックス、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、固定位置データユニット、移動位置データユニット、全地球測位システム (G P S) デバイス、スマートフォン、セルラーフォン、スマートフォン、セッション開始プロトコル (S I P) フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス、デスクトップコンピュータ、携帯情報端末 (P D A)、モニター、コンピュータモニター、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク (D V D) プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両構成要素、アビオニクスシステム、ドローン、及びマルチコプターから成る群から選択されるデバイスに一体化されている、条項 1 ~ 17 のいずれかに記載の I C パッケ

40

50

ージ。

条項 19 . 集積回路 (I C) パッケージを製造する方法であって、
インターポーザを形成することであって、

第 1 のダイに隣接して第 1 の R D L 金属化層を形成することであって、第 1 の R D L 金属化層は、第 1 の表面及び第 1 の表面の反対側の第 2 の表面を備える、ことと、

第 1 のダイの第 1 のダイ相互接続部を第 1 の R D L 金属化層内の第 1 の金属相互接続部に結合することと、

を含む、インターポーザを形成することと、

第 2 のダイをインターポーザの第 1 の表面に結合することと、

第 2 のダイの第 2 のダイ相互接続部を第 1 の R D L 金属化層に結合することと、

10

を含む方法。

条項 20 .

第 2 の金属相互接続部を備える第 2 の R D L 金属化層を形成することと、

第 1 のダイの第 3 のダイ相互接続部を第 2 の R D L 金属化層内の第 2 の金属相互接続部に結合することと、

を更に含む、条項 19 に記載の方法。

条項 21 . インターポーザの第 1 の表面に結合された第 2 のダイの第 2 の領域の外側において、第 1 の R D L 金属化層の第 1 の領域への第 2 の金属相互接続部を第 1 の R D L 金属化層内に形成することを更に含み、

第 2 のダイの第 2 のダイ相互接続部を第 1 の R D L 金属化層に結合することが、第 2 のダイ相互接続部を第 1 の R D L 金属化層内の第 2 の金属相互接続部に結合することを含む

20

、
条項 19 又は 20 に記載の方法。

条項 22 . 第 2 のダイをインターポーザの第 1 の表面に結合することが、第 2 のダイの第 2 のアクティブ面を、第 1 のダイの第 1 のアクティブ面に隣接して、第 1 の R D L 金属化層の第 1 の表面に接合することを含む、条項 19 ~ 21 のいずれかに記載の方法。

条項 23 . 第 2 のダイをインターポーザの第 1 の表面に結合することが、第 2 のダイの第 2 のアクティブ面を、第 1 のダイの第 1 の非アクティブ面に隣接して、第 1 の R D L 金属化層の第 1 の表面に接合することを含む、条項 19 ~ 21 のいずれかに記載の方法。

条項 24 . 第 1 のダイを貫通して第 1 のビアを配置することを更に含み、

30

第 2 のダイの第 2 のダイ相互接続部を第 1 の R D L 金属化層に結合することが、第 2 のダイの第 2 のダイ相互接続部を第 1 のビアに結合することを含む、

条項 19 ~ 23 のいずれかに記載の方法。

条項 25 . インターポーザの第 1 の表面からインターポーザの第 2 の表面まで延びる第 1 のビアを形成することを更に備え、

第 2 のダイの第 2 のダイ相互接続部を第 1 の R D L 金属化層に結合することが、第 2 のダイの第 2 のダイ相互接続部を第 1 のビアに結合することを含む、

条項 19 ~ 24 のいずれかに記載の方法。

条項 26 .

インターポーザ内の第 1 のダイの第 2 の領域の外側において、第 3 のダイをインターポーザの第 1 の表面上の第 1 の領域に結合することと、

40

第 3 のダイの第 3 のダイ相互接続部を第 1 の R D L 金属化層の第 2 の金属相互接続部に結合することと、

を更に含む、条項 19 ~ 25 のいずれかに記載の方法。

条項 27 .

第 1 の R D L 金属化層内に第 3 のダイを配置することと、

第 3 のダイの第 3 のダイ相互接続部を第 1 の R D L 金属化層内の第 2 の金属相互接続部に結合することと、

を更に含む、条項 19 ~ 26 のいずれかに記載の方法。

条項 28 . 第 3 のダイを第 2 のダイに通信可能に結合しないことを更に含む、条項 27

50

に記載の方法。

条項 29 . 第 1 の RDL 金属化層の第 1 の表面上にオーバーモールド層を形成することを更に含み、オーバーモールド層は第 2 のダイに隣接している、条項 19 ~ 28 のいずれかに記載の方法。

【図面】

【図 1】

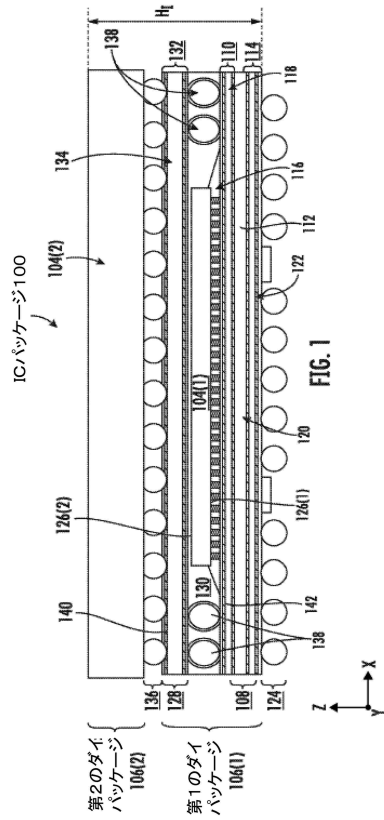


FIG. 1

【図 2 A】

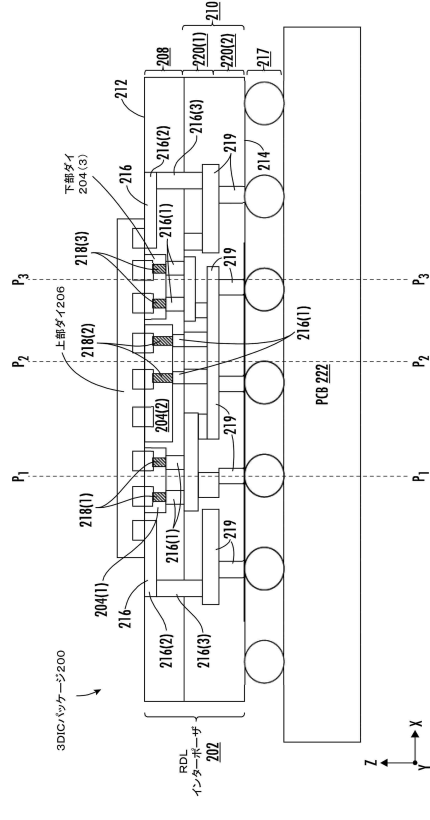


FIG. 2A

10

20

30

40

50

【 図 2 B 】

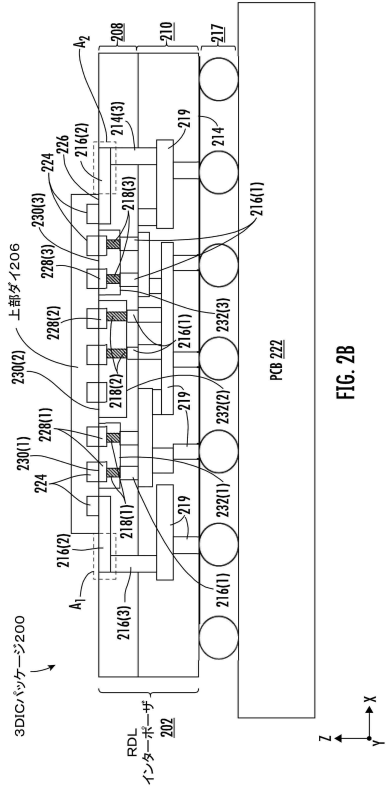


FIG. 2B

【 図 3 】

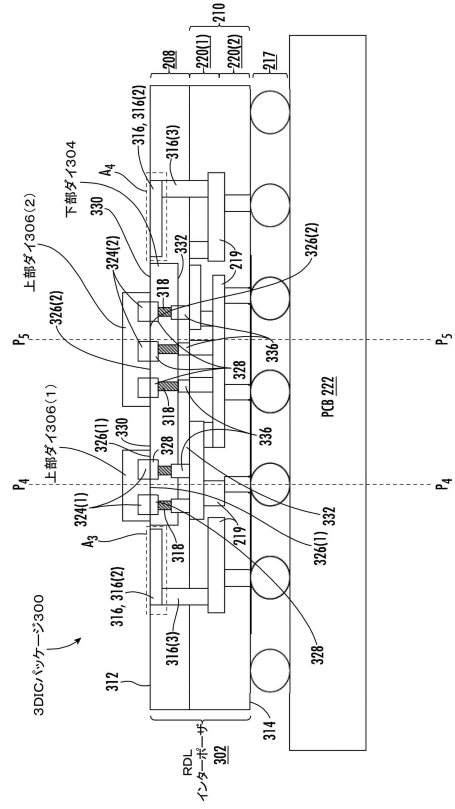


FIG. 3

10

20

【 図 4 】

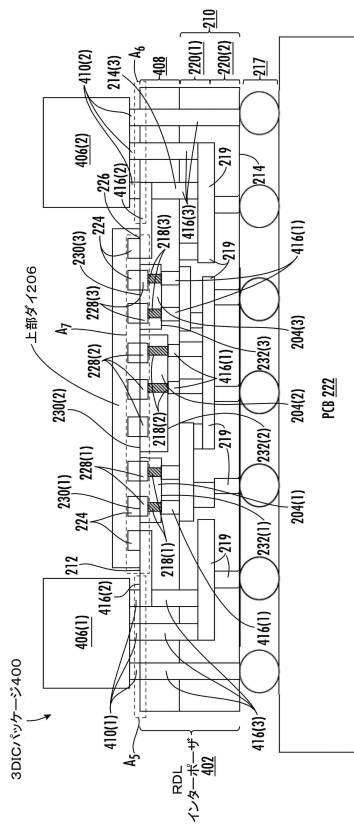
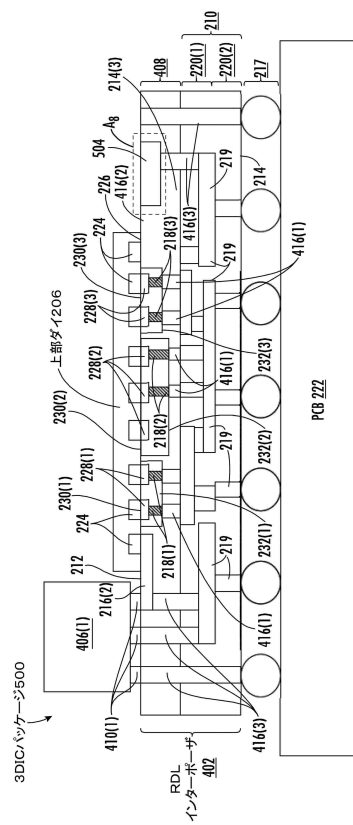


FIG. 4

【 図 5 】



【 図 6 】

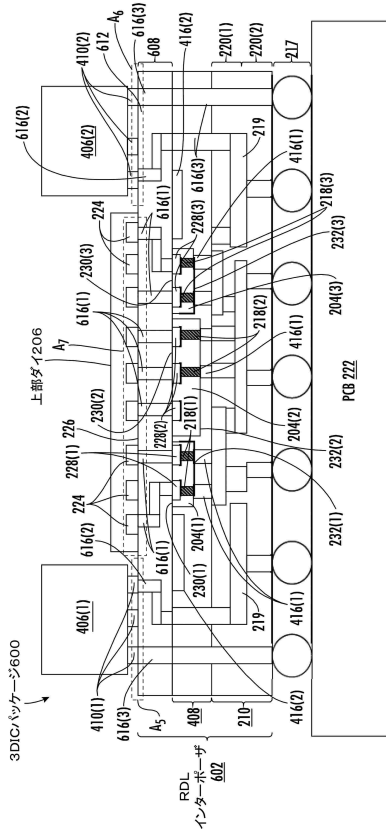


FIG. 6

【 図 7 】

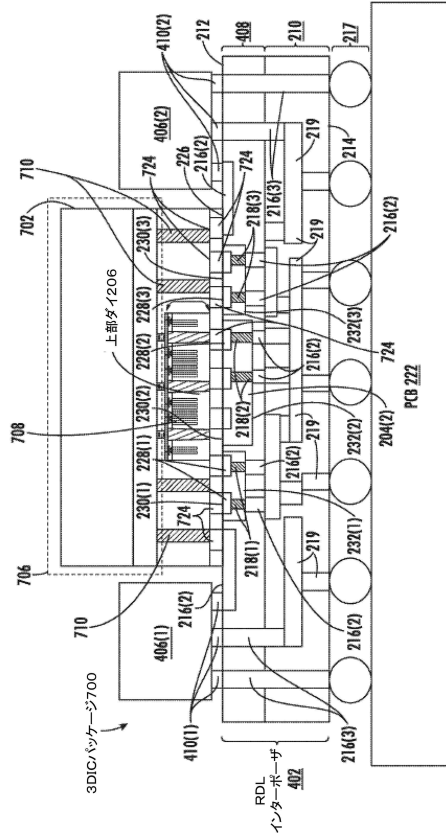


FIG. 7

【 図 8 】

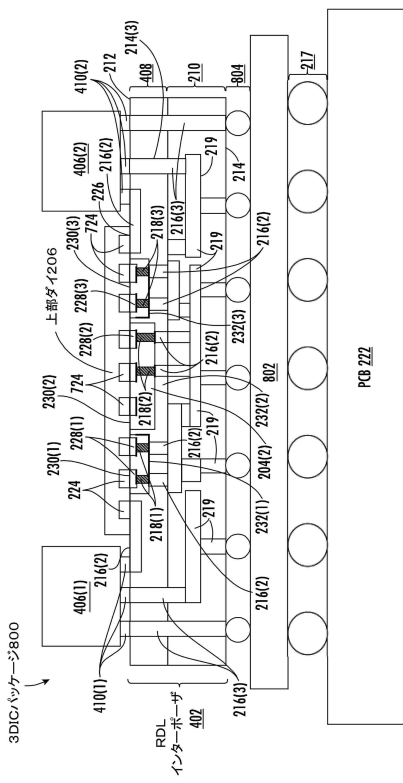


FIG. 8

【 図 9 】

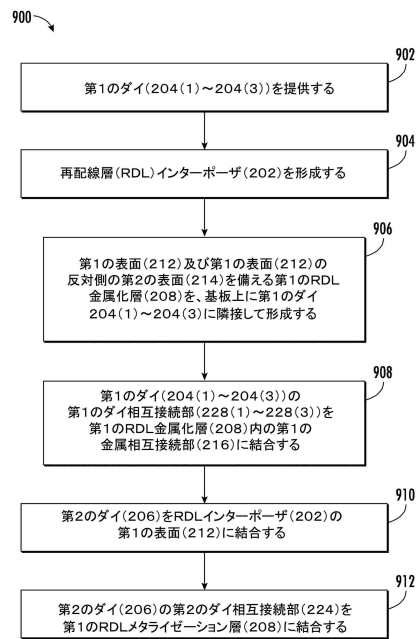


FIG. 9

10

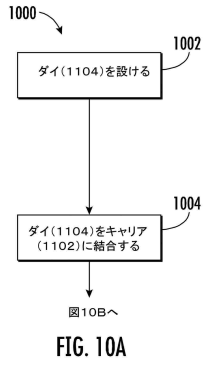
20

30

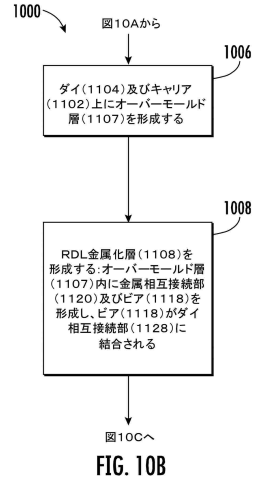
40

50

【 図 10 A 】

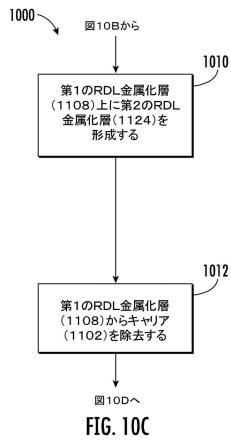


【 図 10 B 】

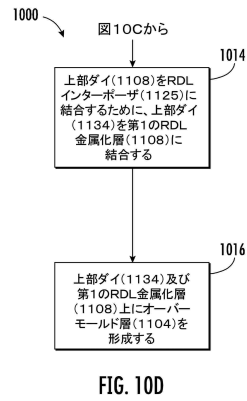


10

【 図 10 C 】



【 図 10 D 】



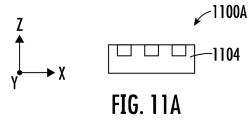
20

30

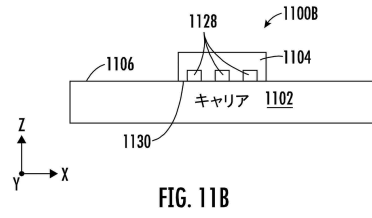
40

50

【 図 1 1 A 】



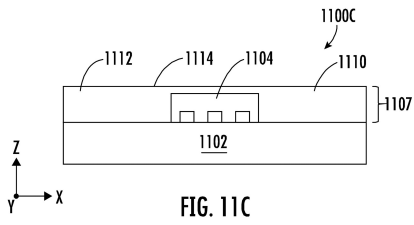
【 図 1 1 B 】



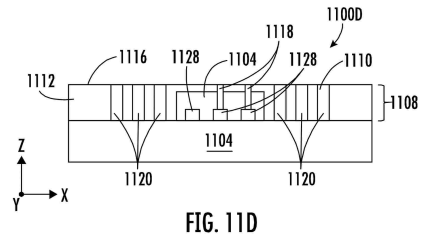
10

20

【 図 1 1 C 】



【 図 1 1 D 】



30

40

50

【 図 1 1 E 】

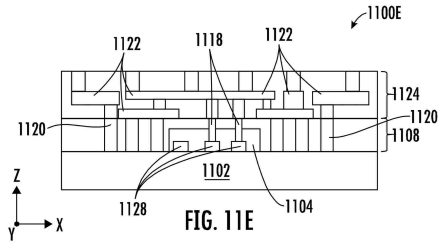


FIG. 11E

【 図 1 1 F 】

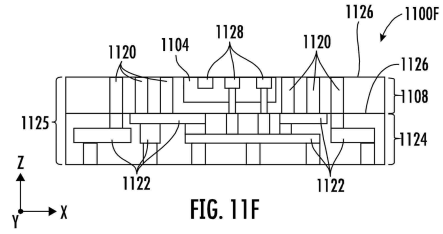


FIG. 11F

10

【 図 1 1 G 】

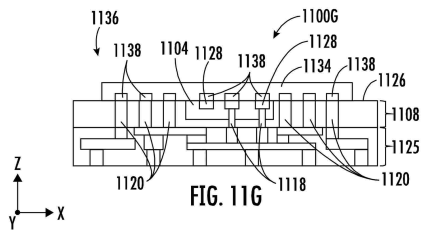


FIG. 11G

【 図 1 1 H 】

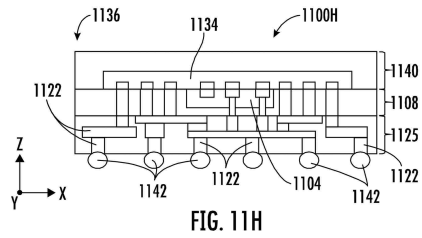


FIG. 11H

20

30

40

50

【 図 1 2 】

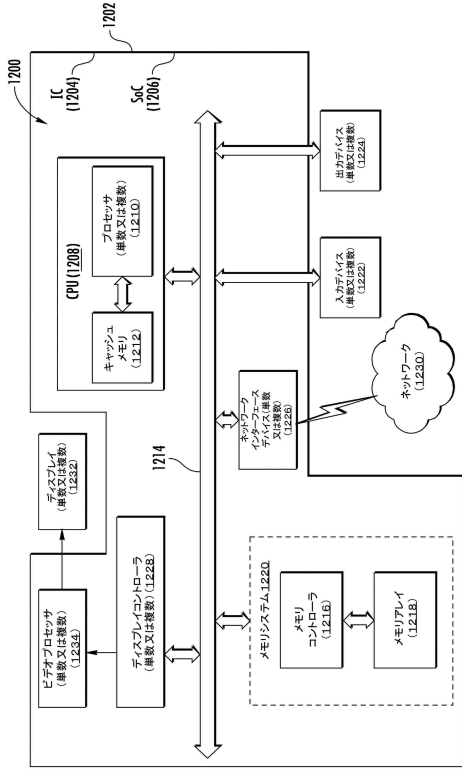


FIG. 12

【 図 1 3 】

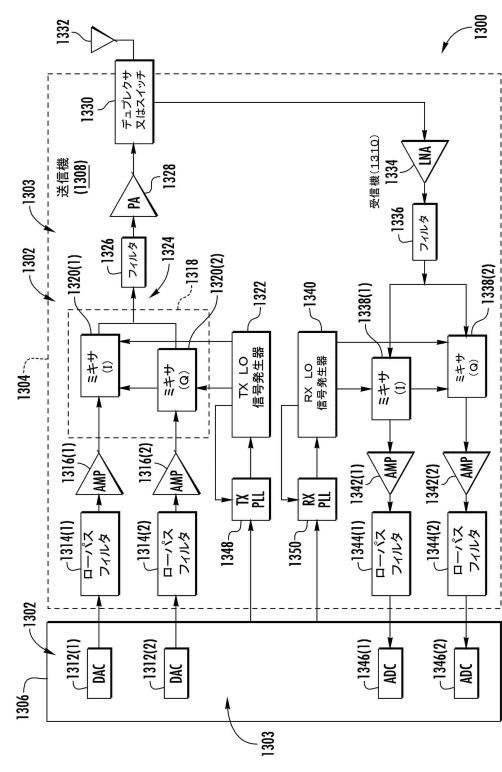


FIG. 13

10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/015820

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L23/538 H01L23/00 H01L25/065 ADD. According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2021/407979 A1 (WE HONG BOK [US] ET AL) 30 December 2021 (2021-12-30) paragraphs [0001], [0004], [0005] paragraph [0021] - paragraph [0031]; figures 2A, 2B paragraph [0032] - paragraph [0037]; figures 3A, 3B paragraph [0043] - paragraph [0049] figures 6E, 5E -----	1-29
X	US 2021/057352 A1 (AGARWAL RAHUL [US] ET AL) 25 February 2021 (2021-02-25) paragraphs [0054], [0055]; figure 13 paragraph [0056] - paragraph [0064]; figures 15-23 -----	1-29
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 7 July 2023		Date of mailing of the international search report 18/07/2023
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Keller, Jan

10

20

30

40

1

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2023/015820

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2021407979 A1	30-12-2021	BR 112022025594 A2	03-01-2023
		CN 115699307 A	03-02-2023
		EP 4173038 A1	03-05-2023
		JP 2023524170 A	08-06-2023
		KR 20230011422 A	20-01-2023
		TW 202201575 A	01-01-2022
		US 2021407979 A1	30-12-2021
		WO 2021262368 A1	30-12-2021

US 2021057352 A1	25-02-2021	NONE	

10

20

30

40

50

 フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MU,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者

ラン、ジェ - ション

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者

チダンバラム、ペリアンナン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5