

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4785229号  
(P4785229)

(45) 発行日 平成23年10月5日(2011.10.5)

(24) 登録日 平成23年7月22日(2011.7.22)

(51) Int.Cl.

F 1

G09F 9/30	(2006.01)	G09F 9/30	3 4 9 Z
G02F 1/1335	(2006.01)	G09F 9/30	3 3 8
G02F 1/1368	(2006.01)	G02F 1/1335	5 2 5
H01L 21/3205	(2006.01)	G02F 1/1368	
H01L 23/52	(2006.01)	H01L 21/88	R

請求項の数 5 (全 25 頁) 最終頁に続く

(21) 出願番号

特願2000-135602 (P2000-135602)

(22) 出願日

平成12年5月9日 (2000.5.9)

(65) 公開番号

特開2001-318626 (P2001-318626A)

(43) 公開日

平成13年11月16日 (2001.11.16)

審査請求日

平成19年5月7日 (2007.5.7)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

審査官 中塚 直樹

(56) 参考文献 特開平09-054318 (JP, A)

(58) 調査した分野 (Int.Cl., DB名)

G09F 9/30

G02F 1/1335

(54) 【発明の名称】 半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項1】

絶縁表面上に第1の導電層を形成し、  
 前記第1の導電層上に絶縁膜を形成し、  
 前記絶縁膜上に半導体膜を形成し、  
 前記半導体膜上にn型半導体膜を形成し、  
 前記n型半導体膜上に導電膜を形成し、  
 前記n型半導体膜と前記導電膜とを一枚のマスクを用いてパターニングし、  
 前記絶縁膜を介して前記第1の導電層と半導体層とn型半導体層と第2の導電層とによって形成された積層物からなる凸部を形成し、  
 前記凸部を覆って画素電極を形成する半導体装置の作製方法であって、

前記凸部における、前記半導体層と前記n型半導体層と前記第2の導電層とは、断面形状が階段状に形成されており、前記絶縁表面に向かって断面寸法が大きくなっていることを特徴とする半導体装置の作製方法。

## 【請求項2】

絶縁表面上に、ゲート電極と第1の導電層とを形成し、  
 前記ゲート電極と、前記第1の導電層と、前記絶縁表面と、を覆ってゲート絶縁膜を形成し、  
 前記ゲート絶縁膜上に半導体膜を形成し、  
 前記半導体膜上にn型半導体膜を形成し、

10

20

前記 n 型半導体膜上に導電膜を形成し、

前記半導体膜と前記 n 型半導体膜と前記導電膜とを一枚のマスクを用いてパターニングして、前記ゲート電極と前記ゲート絶縁膜と第 1 の半導体層と第 1 の n 型半導体層と第 2 の導電層を有する第 1 の積層物を形成するとともに、前記第 1 の導電層と前記ゲート絶縁膜と第 2 の半導体層と第 2 の n 型半導体層と前記第 3 の導電層とを有する第 2 の積層物からなる凸部を形成し、

前記第 1 の積層物と、前記ゲート絶縁膜と、前記第 2 の積層物と、を覆って、画素電極を形成し、

前記第 1 の積層物と前記画素電極とをエッチングして、前記第 1 の半導体層の一部を除去し、且つ、前記第 1 の n 型半導体層からなるソース領域及びドレイン領域と、前記第 2 の導電層からなるソース電極及びドレイン電極とを形成してチャネル・エッチ型の薄膜トランジスタを形成する半導体装置の作製方法であって、

前記凸部における、前記第 2 の半導体層と前記第 2 の n 型半導体層と前記第 3 の導電層とは、断面形状が階段状に形成されており、前記絶縁表面に向かって断面寸法が大きくなっていることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 2 において、

前記画素電極は、前記薄膜トランジスタと電気的に接続していることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記画素電極は、A<sub>1</sub> または A<sub>g</sub> を主成分とする膜、またはそれらの積層膜によって形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記画素電極における前記凸部の高さは、0.5 ~ 1.5 μm であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数 ~ 数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】

従来から画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになっている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

10

20

30

40

50

**【 0 0 0 5 】**

アクティブマトリクス型液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

**【 0 0 0 6 】**

特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有しており、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

**【 0 0 0 7 】**

なお、反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。また、カラー表示するためのカラーフィルタは対向基板に貼りつけられている。そして、素子基板と対向基板にそれぞれ光シャッタとして偏光板を配置し、カラー画像を表示している。一般に反射型の液晶表示装置における画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ（以下、TFTと呼ぶ）等のスイッチング素子に電気的に接続している。

10

**【 0 0 0 8 】**

このようなアクティブマトリクス型の電気光学装置の用途は広がっており、画面サイズの大面積化とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

20

**【 0 0 0 9 】**

従来では、300以下 の低温で大面積の基板上に形成可能であることから非晶質半導体膜として非晶質シリコン膜が好適に用いられている。また、非晶質半導体膜で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFTが多く用いられている。

**【 0 0 1 0 】**

また、カラーフィルタは、R（赤）、G（緑）、B（青）の着色層と、画素の間隙だけを覆う遮光マスクとを有し、光を透過させることによって赤色、緑色、青色の光を抽出する。また、遮光マスクは、一般的に金属膜（クロム等）または黒色顔料を含有した有機膜で構成されている。このカラーフィルタは、画素に対応する位置に形成され、これにより画素ごとに取り出す光の色が変えることができる。なお、画素に対応した位置とは、画素電極と一致する位置を指す。

30

**【 0 0 1 1 】****【発明が解決しようとする課題】**

従来、アクティブマトリクス型の電気光学装置は、写真蝕刻（フォトリソグラフィー）技術により、最低でも5枚以上のフォトマスクを使用してTFTを基板上に作製していたため製造コストが大きかった。生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。

**【 0 0 1 2 】**

具体的には、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクはフォトリソグラフィーの技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いる。

40

**【 0 0 1 3 】**

このフォトマスクを1枚使用することによって、レジスト塗布、プレベーク、露光、現像、ポストベークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなり、問題となっていた。

**【 0 0 1 4 】**

また、反射型の液晶表示装置において、従来では、画素電極を形成した後、サンドプラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を

50

散乱させることによって白色度を増加させていた。

【0015】

また、カラーフィルタの遮光マスクとして金属膜を用いた従来の液晶表示パネルでは、他の配線との寄生容量が形成され信号の遅延が生じやすいという問題が生じていた。また、カラーフィルタの遮光マスクとして黒色顔料を含有した有機膜を用いた場合、製造工程が増加するという問題が生じていた。

【0016】

本発明はこのような問題に答えるものであり、アクティブマトリクス型の液晶表示装置に代表される電気光学装置において、TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを課題としている。

10

【0017】

また、本発明では、工程を増やすことなく、画素電極の鏡面反射を防ぐ凸凹を形成する作製方法を提供することを課題としている。

【0018】

【課題を解決するための手段】

上記課題を解決するために、本発明では、反射型の液晶表示装置の作製方法において、画素電極の表面に凹凸を持たせて光散乱性を図るための凸部の形成を TFT の形成と同じフォトマスクで行うことを特徴とする。なお、この凸部は配線（ゲート配線、ソース配線）及び TFT 部以外の表示領域となる領域に適宜設ける。そして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。こうすることによってマスク数の増加させることなく画素電極の表面に凸凹を形成することを可能とする。

20

【0019】

本明細書で開示する発明の構成は、

絶縁表面上にゲート電極と、前記ゲート電極上の絶縁膜と、前記絶縁膜上の半導体層と、前記半導体層上の n 型半導体層と、前記 n 型半導体層上の導電層とを含む TFT と、絶縁表面上に複数の凸部と、

前記複数の凸部と接し、且つ、凸凹の表面を有し、且つ、前記 TFT と電気的に接続された画素電極と、

を有することを特徴とする半導体装置である。

【0020】

30

上記構成において、前記表面に凸凹を有する画素電極における凸部の曲率半径 r は、0.1 ~ 4 μm、好ましくは 0.2 ~ 2 μm であることを特徴としている。

【0021】

上記各構成において、前記複数の凸部は、

前記 TFT のゲート電極と同じ材料で形成された材料層と、前記 TFT の絶縁膜と同じ材料で形成された材料層と、前記 TFT の半導体層と同じ材料で形成された材料層と、前記 TFT の n 型半導体層と同じ材料で形成された材料層と、前記導電層と同じ材料で形成された材料層との積層物であることを特徴としている。

【0022】

40

また、上記各構成において、前記凸部を構成する積層物のうち、前記 TFT のゲート電極と同じ材料で形成された材料層をパターニングしたマスクと、前記 TFT の半導体層と同じ材料で形成された材料層をパターニングしたマスクは異なることを特徴としている。

【0023】

また、上記各構成において、前記凸部を構成する積層物のうち、前記 TFT の半導体層と同じ材料で形成された材料層と、前記 TFT の n 型半導体層と同じ材料で形成された材料層と、前記導電層と同じ材料で形成された材料層は、同じマスクを用いて形成されたことを特徴としている。

【0024】

また、上記各構成において、前記複数の凸部のうち、高さが異なる複数の凸部を有することを特徴としている。

50

**【 0 0 2 5 】**

また、上記各構成において、前記複数の凸部のうち、積層構造が異なる複数の凸部を有することを特徴としている。

**【 0 0 2 6 】**

また、上記各構成において、前記半導体装置は、前記画素電極が A l または A g を主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴としている。

**【 0 0 2 7 】**

また、上記各構成において、前記半導体層は、非晶質半導体膜であることを特徴とする半導体装置。

10

**【 0 0 2 8 】**

また、上記各構成において、前記ゲート電極は、 A l 、 C u 、 T i 、 M o 、 W 、 T a 、 N d または C r から選ばれた元素を主成分とする膜またはそれらの合金膜またはそれらの積層膜からなることを特徴としている。

**【 0 0 2 9 】**

また、本発明は、遮光マスク（ブラックマトリクス）を用いることなく、 T F T 及び画素間を遮光する画素構造を特徴としている。遮光する手段の一つとして、対向基板上に遮光部として 2 層の着色層を積層した膜（赤色の着色層と青色の着色層との積層膜、あるいは赤色の着色層と緑色の着色層との積層膜）を素子基板の T F T と重なるよう形成することも特徴としている。

20

**【 0 0 3 0 】**

本明細書では、「赤色の着色層」とは、着色層に照射された光の一部を吸収し、赤色の光を抽出するものである。また、同様に「青色の着色層」とは、着色層に照射された光の一部を吸収し、青色の光を抽出するものであり、「緑色の着色層」とは、着色層に照射された光の一部を吸収し、緑色の光を抽出するものである。

**【 0 0 3 1 】**

また、上記発明の各構成において、

第 1 の着色層と第 2 の着色層の積層からなる第 1 の遮光部と、

前記第 1 の着色層と第 3 の着色層の積層からなる第 2 の遮光部とを有し、

前記第 1 の遮光部及び前記第 2 の遮光部は、任意の画素電極と、該画素電極と隣り合う画素電極との間に重なって形成されていることを特徴としている。

30

**【 0 0 3 2 】**

上記構成において、前記第 1 の遮光部の反射光量と前記第 2 の遮光部の反射光量は、それそれ異なることを特徴としている。また、前記第 1 の着色層は赤色である。また、前記第 2 の着色層は青色である。また、前記第 3 の着色層は緑色である。

**【 0 0 3 3 】**

また、上記構成において前記第 1 の遮光部および前記第 2 の遮光部は、対向基板に設けられれていることを特徴としている。

**【 0 0 3 4 】**

加えて、本発明では、チャネル・エッチ型のボトムゲート T F T 構造を採用し、ソース領域及びドレイン領域のパターニングと画素電極のパターニングを同じフォトマスクで行うことの特徴とする。こうすることによってマスク数の低減を可能とする。

40

**【 0 0 3 5 】**

また、上記構造を実現するための発明の構成は、

絶縁表面上に第 1 の導電膜をパターニングして第 1 の導電層を形成する第 1 の工程と、前記第 1 の導電層上に絶縁膜と、半導体膜と、 n 型半導体膜とを積層形成する第 2 の工程と、

n 型半導体膜上に第 2 の導電膜を形成する第 3 の工程と、

前記第 1 の導電層と重なる半導体膜と、前記半導体膜と重なる n 型半導体膜と、前記 n 型半導体膜と重なる第 2 の導電膜とをパターニングして、前記第 1 の導電層と前記絶縁膜と

50

前記半導体層と前記 n 型半導体層と第 2 の導電層との積層構造からなる凸部を形成する第 4 の工程と、

前記凸部を覆う画素電極を形成する第 5 の工程とを有し、

前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法である。

【 0 0 3 6 】

上記作製工程において、前記第 1 の工程と同時にゲート電極を形成し、

前記第 4 の工程と同時に半導体層、n 型半導体層、第 2 の導電層を形成し、

前記第 5 の工程と同時に前記半導体層の一部を除去し、且つ、前記 n 型半導体層からなるソース領域及びドレイン領域と、前記第 2 の導電層からなるソース電極及びドレイン電極とを形成してチャネル・エッチ型の TFT を形成することを特徴とする半導体装置の作製方法である。 10

【 0 0 3 7 】

また、上記作製工程において、前記画素電極は、凸部と同じ工程で形成されたチャネル・エッチ型の TFT と電気的に接続していることを特徴としている。

【 0 0 3 8 】

また、上記作製工程において、前記半導体装置は、前記画素電極が A1 または A2 を主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴としている。 20

【 0 0 3 9 】

また、上記作製工程において、前記絶縁膜、前記半導体膜、及び前記 n 型半導体膜は、大気に曝されることなく連続的に形成することを特徴としている。

【 0 0 4 0 】

また、上記作製工程において、前記絶縁膜、前記半導体膜、前記 n 型半導体膜は、プラズマ CVD 法により形成することを特徴としている。

【 0 0 4 1 】

また、上記作製工程において、前記絶縁膜、前記半導体膜、前記 n 型半導体膜は、スパッタ法により形成することを特徴としている。

【 0 0 4 2 】

【発明の実施の形態】 30

本願発明の実施形態について、図 1 ~ 図 4、図 6、及び図 10 を用いて以下に説明する。

【 0 0 4 3 】

本発明は、画素部において、画素 TFT と同時に凸部 107 を形成し、その上に形成される画素電極 108d の表面に凹凸部を持たせている。

【 0 0 4 4 】

また、本発明は、図 1 に示すように画素電極 108d の凸部の曲率半径 r を、0.1 ~ 4  $\mu\text{m}$ 、好ましくは 0.2 ~ 2  $\mu\text{m}$  とすることによって、画素電極 108d の鏡面反射を防ぐことを特徴としている。

【 0 0 4 5 】

なお、本発明は、この画素電極 108d の鏡面反射を防ぐ凸凹を作製するにあたって、図 2 ~ 図 4 に示すように、追加する作製工程数を必要としないことを特徴としている。 40

【 0 0 4 6 】

凸部 107 は、図 2 ~ 図 4 に示すように、ゲート配線形成時のマスクパターンまたは画素電極形成時のマスクパターンを用いて形成する。また、ここでは、凸部 107 として、画素 TFT の作製時に成膜された第 1 の導電層 101c と、絶縁膜 102b と、半導体層 103c と、n 型半導体層 104c と、第 2 の導電層 105c との積層物を用いた例を示したが、特に限定されることなく、これらの膜の単層または組み合わせた積層を用いることができる。例えば、図 2 ~ 図 4 における容量部に示したように半導体層、n 型半導体層、第 2 の導電層との積層物からなる凸部を形成してもよいし、第 1 の導電層と、絶縁膜との積層物からなる凸部を形成してもよい。こうすることによって、工程数を増加させること 50

なく複数種類の高さを有する凸部を形成することができる。また、相互に近接する凸部は、それぞれ 0.1  $\mu\text{m}$  以上、好ましくは 1  $\mu\text{m}$  以上隔離する。

【0047】

なお、ここでは第 1 の導電層 101c と半導体層 103c との大きさが異なる凸部を形成した例を示したが、特に限定されない。なお、凸部の大きさはランダムであるほうが、より反射光を散乱させるため望ましい。例えば、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、図 10 (A) ~ (G) で示された形状のうち、いずれのものでもよい。また、凸部を規則的に配置しても不規則に配置してもよい。

【0048】

また、凸部の配置は、画素部の表示領域となる画素電極の下方にあたる領域であれば特に限定されない。図 6 に画素上面図の一例を示したが、図 6 においては、容量配線 101d と画素電極が重なる領域も表示領域となるため、容量配線 101d と絶縁膜 102b と半導体層、n 型半導体層、第 2 の導電層との積層物によって画素電極の表面に凸凹を形成している。

【0049】

また、凸部の大きさ（上面から見た面積）も特に限定されないが 1  $\mu\text{m}^2$  ~ 400  $\mu\text{m}^2$  の範囲内、好ましくは 25 ~ 100  $\mu\text{m}^2$  であればよい。

【0050】

このようにして、本発明は、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成することができる。

20

【0051】

ここでは、凸部に接して画素電極を形成した例を示したが、絶縁膜で覆った後、マスクを 1 枚追加してコンタクトホールを形成してもよい。

【0052】

絶縁膜で凸部を覆う場合は、表面に凸凹が形成され、その上に形成される画素電極の表面も凸凹化される。この画素電極の凸部の高さは 0.3 ~ 3  $\mu\text{m}$ 、好ましくは 0.5 ~ 1.5  $\mu\text{m}$  とする。この画素電極の表面に形成された凸凹によって、図 4 に示すように入射光を反射する際に光を散乱させることができる。

【0053】

なお、絶縁膜としては、無機絶縁膜や有機樹脂膜を用いることができる。この絶縁膜の材料によって画素電極の凸凹の曲率を調節することも可能である。なお、また、絶縁膜として有機樹脂膜を用いる場合は、粘度が 10 ~ 1000 cP、好ましくは 40 ~ 200 cP のものを用い、十分に凸部の影響を受けて表面に凸凹が形成されるものを用いる。ただし、蒸発しにくい溶剤を用いれば、有機樹脂膜の粘度が低くても凸凹を形成することができる。

30

【0054】

また、絶縁膜として、無機絶縁膜を用いればパッジベーション膜として機能する。

【0055】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

40

【0056】

【実施例】

[実施例 1]

本発明の実施例を図 2 ~ 図 6 を用いて説明する。本実施例は液晶表示装置の作製方法を示し、基板上に画素部の TFT としてチャネル・エッチ型を形成し、該 TFT に接続する保持容量を作製する方法について工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電気的に接続するための端子部の作製工程を同時に示す。

【0057】

図 2 (A) において、透光性を有する基板 100 にはコーニング社の #7059 ガラスや

50

# 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板を用いることができる。その他に、石英基板、プラスチック基板などの透光性基板を使用することもできる。

【 0 0 5 8 】

次いで、第1の導電膜を基板全面に形成した後、第1のフォトリソグラフィー工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極を含むゲート配線101b、第1の導電層101c、容量配線101d、及び端子101a）を形成する。この第1の導電層101cは、ゲート配線とソース配線とで囲まれた領域、即ち画素電極が形成されて表示領域となる領域に配置する。なお、第1の導電層101cの形状は特に限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、第1の導電層101cの形状は円柱状や角柱状であってもよいし、円錐状や角錐状であってもよい。また、このとき少なくともゲート電極101bの端部にテーパー部が形成されるようにエッチングする。

10

【 0 0 5 9 】

ゲート電極を含むゲート配線101b、第1の導電層101c、容量配線101d、及び端子101aは、アルミニウム（A1）や銅（Cu）などの低抵抗導電性材料で形成することが望ましいが、A1単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。また、低抵抗導電性材料としてAgPdCu合金を用いてもよい。耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タンゲステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。例えば、TiとCuの積層、TaNとCuとの積層が挙げられる。また、Ti、Si、Cr、Nd等の耐熱性導電性材料と組み合わせて形成した場合、平坦性が向上するため好ましい。また、このような耐熱性導電性材料のみ、例えばMoとWを組み合わせて形成しても良い。

20

【 0 0 6 0 】

液晶表示装置を実現するためには、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせて形成することが望ましい。この場合の適した組み合わせを説明する。

30

【 0 0 6 1 】

画面サイズが5型程度までなら耐熱性導電性材料の窒化物から成る導電層（A）と耐熱性導電性材料から成る導電層（B）とを積層した二層構造とする。導電層（B）はA1、Cu、Ta、Ti、W、Nd、Crから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層（A）は窒化タンタル（Ta<sub>N</sub>）膜、窒化タンゲステン（WN）膜、窒化チタン（Ti<sub>N</sub>）膜などで形成する。例えば、導電層（A）としてCr、導電層（B）としてNdを含有するA1とを積層した二層構造とすることが好ましい。導電層（A）は10～100nm（好ましくは20～50nm）とし、導電層（B）は200～400nm（好ましくは250～350nm）とする。

【 0 0 6 2 】

一方、大画面に適用するには耐熱性導電性材料から成る導電層（A）と低抵抗導電性材料から成る導電層（B）と耐熱性導電性材料から成る導電層（C）とを積層した三層構造とすることが好ましい。低抵抗導電性材料から成る導電層（B）は、アルミニウム（A1）を成分とする材料で形成し、純A1の他に、0.01～5 atomic%のスカンジウム（Sc）、Ti、Nd、シリコン（Si）等を含有するA1を使用する。導電層（C）は導電層（B）のA1にヒロックが発生するのを防ぐ効果がある。導電層（A）は10～100nm（好ましくは20～50nm）とし、導電層（B）は200～400nm（好ましくは250～350nm）とし、導電層（C）は10～100nm（好ましくは20～50nm）とする。本実施例では、Tiをターゲットとしたスパッタ法により導電層（A）をTi膜で50nmの厚さに形成し、A1をターゲットとしたスパッタ法により導電層（B）をA1膜で200nmの厚さに形成し、Tiをターゲットとしたスパッタ法により導電層（C）を

40

50

) を Ti 膜で 50 nm の厚さに形成した。

【 0063 】

次いで、絶縁膜 102a を全面に成膜する。絶縁膜 102a はスパッタ法を用い、膜厚を 50 ~ 200 nm とする。

【 0064 】

例えば、絶縁膜 102a として窒化シリコン膜を用い、150 nm の厚さで形成する。勿論、ゲート絶縁膜はこのような窒化シリコン膜に限定されるものではなく、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

10

【 0065 】

次に、絶縁膜 102a 上に 50 ~ 200 nm (好ましくは 100 ~ 150 nm) の厚さで非晶質半導体膜 103a を、プラズマ CVD 法やスパッタ法などの公知の方法で全面に形成する (図示せず)。代表的には、シリコンのターゲットを用いたスパッタ法で非晶質シリコン (a-Si) 膜を 100 nm の厚さに形成する。その他、この非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜 ( $Si_xGe_{(1-x)}$ 、 $(0 < x < 1)$ ) 、非晶質シリコンカーバイト ( $Si_xC_y$ ) などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【 0066 】

次に、一導電型 (n 型または p 型) の不純物元素を含有する第 2 の非晶質半導体膜 104a を 20 ~ 80 nm の厚さで形成する。一導電型 (n 型または p 型) を付与する不純物元素を含む第 2 の非晶質半導体膜 (以下、n 型半導体膜とも呼ぶ) は、プラズマ CVD 法やスパッタ法などの公知の方法で全面に形成する。本実施例では、リン (P) が添加されたシリコンターゲットを用いて n 型の不純物元素を含有する n 型半導体膜 106 を形成した。あるいは、シリコンターゲットを用い、リンを含む雰囲気中でスパッタリングを行い成膜してもよい。或いは、n 型を付与する不純物元素を含む n 型半導体膜を水素化微結晶シリコン膜 ( $\mu c-Si : H$ ) で形成しても良い。

20

【 0067 】

次に、金属材料からなる第 2 の導電膜 105a をスパッタ法や真空蒸着法で形成する。第 2 の導電膜 105a の材料としては、n 型半導体膜 104a とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Ti から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。本実施例ではスパッタ法を用い、第 2 の導電膜 105a として、50 ~ 150 nm の厚さで形成した Ti 膜と、その Ti 膜上に重ねてアルミニウム (Al) を 300 ~ 400 nm の厚さで形成し、さらにその上に Ti 膜を 100 ~ 150 nm の厚さで形成した。(図 2 (A))

30

【 0068 】

絶縁膜 102a、非晶質半導体膜 103a、n 型を付与する不純物元素を含む n 型半導体膜 104a、及び第 2 の導電膜 105a はいずれも公知の方法で作製するものであり、プラズマ CVD 法やスパッタ法で作製することができる。本実施例では、これらの膜 (102a、103a、104a、105a) をスパッタ法で、ターゲット及びスパッタガスを適宜切り替えることにより連続的に形成した。この時、スパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることができることが好ましい。このように、大気に曝さないことで不純物の混入を防止することができる。

40

【 0069 】

次に、第 2 のフォトリソグラフィー工程を行い、レジストマスク 106 を形成し、エッチングにより不要な部分を除去して配線 (後の工程によりソース配線及びドレイン電極となる) 105b を形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。この時、第 2 の導電膜 105a、n 型を付与する不純物元素を含む n 型半導体膜 104a、及び非晶質半導体膜 103a が順次、レジストマスク 106 を

50

マスクとしてエッティングされ、画素 TFT 部においては、第 2 の導電膜からなる配線 105 b、n 型を付与する不純物元素を含む n 型半導体膜 104 b、及び非晶質半導体膜 103 b がそれぞれ形成される。本実施例では、SiCl<sub>4</sub> と Cl<sub>2</sub> と BC<sub>1.3</sub> の混合ガスを反応ガスとしたドライエッティングにより、Ti 膜と Al 膜と Ti 膜を順次積層した第 2 の導電膜 105 a をエッティングし、反応ガスを CF<sub>4</sub> と O<sub>2</sub> の混合ガスに代えて非晶質半導体膜 103 a 及び n 型を付与する不純物元素を含む n 型半導体膜 104 a を選択的に除去した。  
（図 2 (B)）また、画素部の表示領域となる部分には、半導体層 103 c、n 型半導体層 104 c、第 2 の導電層 105 c との積層物が形成される。また、容量部においては容量配線 101 d と絶縁膜 102 a を残し、同様に端子部においても、端子 101 a と絶縁膜 102 a が残る。

10

#### 【0070】

次に、レジストマスク 106 を除去した後、シャドーマスクを用いてレジストマスクを形成し、端子部のパッド部分を覆っている絶縁膜 102 a を選択的に除去して絶縁膜 102 b を形成した後、レジストマスクを除去する。（図 2 (D)）また、シャドーマスクに代えてスクリーン印刷法によりレジストマスクを形成してエッティングマスクとしてもよい。

#### 【0071】

また、第 2 のフォトリソグラフィー工程により、画素部の表示領域となる部分には、第 1 の導電層 101 c、絶縁膜 102 b と、半導体層 103 c、n 型半導体層 104 c、第 2 の導電層 105 c との積層物からなる凸部 107 が形成される。図 2 (B) に示したように、第 2 のフォトリソグラフィー工程時のエッティング条件によって、凸部 107 のエッティング断面が階段状になっており、基板 100 に向けて徐々に断面寸法が大きくなっている。

20

#### 【0072】

次に、全面に反射性を有する導電膜からなる第 3 の導電膜 108 a を成膜する。（図 3 (A)）第 3 の導電膜 108 a としては、Al、Ag 等の反射性を有する材料を用いればよい。

#### 【0073】

次に、第 3 のフォトリソグラフィー工程を行い、レジストマスク 109 を形成し、エッティングにより不要な部分を除去して非晶質半導体膜 103 e、ソース領域 104 e 及びドレイン領域 104 f、ソース電極 105 e 及びドレイン電極 105 f、画素電極 108 d を形成する。（図 3 (B)）

30

#### 【0074】

この第 3 のフォトリソグラフィー工程は、第 3 の導電膜 108 a をパターニングすると同時に、配線 105 b と n 型を付与する不純物元素を含む n 型半導体膜 104 b と非晶質半導体膜 103 b の一部をエッティングにより除去して開孔を形成する。なお、この第 3 のフォトリソグラフィー工程において、実施者が反応ガスを適宜選択してドライエッティングのみで行ってもよいし、反応溶液を適宜選択してウェットエッティングのみで行ってもよいし、ドライエッティングとウェットエッティングを使い分けて行ってもよい。

#### 【0075】

また、上記開孔の底部は非晶質半導体膜に達しており、凹部を有する非晶質半導体膜 103 e が形成される。この開孔によって配線 105 b はソース配線 105 e とドレイン電極 105 f に分離され、n 型を付与する不純物元素を含む n 型半導体膜 104 b はソース領域 104 e とドレイン領域 104 f に分離される。また、ソース配線と接する第 3 の導電膜 108 c は、ソース配線を覆い、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。本実施例では、ソース配線上に第 3 の導電膜 108 c を形成した例を示したが、第 3 の導電膜 108 c を除去してもよい。

40

#### 【0076】

また、この第 3 のフォトリソグラフィー工程において、容量部における絶縁膜 102 b を誘電体として、容量配線 101 d と画素電極 108 d とで保持容量が形成される。

#### 【0077】

50

また、凸部 107 上に画素電極 108d が形成されるので、画素電極 108d の表面に凹凸を持たせて光散乱性を図ることができる。なお、図 6 に画素部の上面図の一例を示した。なお、図 2 及び図 3 に対応する部分には同じ符号を用いている。

【0078】

また、この第 3 のフォトリソグラフィー工程において、レジストマスク 109 で覆い、端子部に形成された導電膜からなる第 3 の導電膜 108b を残す。

【0079】

こうして 3 回のフォトリソグラフィー工程により、3 枚のフォトマスクを使用して、逆スタガ型の n チャネル型 TFT を有する画素 TFT 部、保持容量を完成させることができる。

10

【0080】

なお、図 6 に画素上面図の一例を示したが、図 6 においては、容量配線 101d と画素電極が重なる領域も表示領域となるため、容量配線 101d と絶縁膜 102b と半導体層、n 型半導体層、第 2 の導電層との積層物によって画素電極の表面に凸凹を形成している。また、図 2 ~ 図 4 に対応する部分には同じ符号を用いた。

【0081】

従来では、凸凹部を形成する工程を増やす必要があったが、本実施例は TFT と同時に凸部を作製するため、全く工程を増やすことなく画素電極に凸凹部を形成することができた。

【0082】

こうして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができた。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

20

【0083】

次に、アクティブマトリクス基板の画素部のみに配向膜 110 を選択的に形成する。配向膜 110 を選択的に形成する方法としては、スクリーン印刷法を用いてもよいし、配向膜を塗布後、シャドーマスクを用いてレジストマスクを形成して除去する方法を用いてもよい。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。

【0084】

次に、配向膜 110 にラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。

30

【0085】

次いで、対向基板 112 を用意する。対向基板 112 上に着色層 113、114、平坦化膜 115 を形成する。赤色の着色層 113 と青色の着色層 114 とを一部重ねて、第 2 遮光部を形成する。なお、図 4 では図示しないが、赤色の着色層と緑色の着色層とを一部重ねて、第 1 遮光部を形成する。

【0086】

次いで、対向電極 116 を画素部に形成し、対向基板の全面に配向膜 117 を形成し、ラビング処理を施して、液晶分子がある一定のプレチルト角を持って配向するようにする。

【0087】

次いで、アクティブマトリクス基板と、対向基板 112 とを柱状または球状スペーサで基板間隔を保持しながらシール剤により貼り合わせた後、アクティブマトリクス基板と対向基板の間に液晶材料 111 を注入する。液晶材料 111 には公知の液晶材料を用いれば良い。液晶材料を注入した後、注入口は樹脂材料で封止する。

40

【0088】

次に、端子部の入力端子 101a にフレキシブルプリント配線板 (Flexible Printed Circuit: FPC) を接続する。FPC はポリイミドなどの有機樹脂フィルム 118 に銅配線 119 が形成されていて、異方性導電性接着剤で入力端子を覆う第 3 の導電膜と接続する。異方性導電性接着剤は接着剤 120 と、その中に混入され金などがメッキされた数十~数百 μm 径の導電性表面を有する粒子 121 により構成され、この粒子 121 が入力端子

50

101a 上の第3の導電膜108bと銅配線119とに接触することによりこの部分で電気的な接触が形成される。さらに、この部分の機械的強度を高めるために樹脂層122を設ける。

【0089】

図5はアクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板210上には画素部211が設けられ、画素部にはゲート配線208とソース配線207が交差して形成され、これに接続するnチャネル型TFT201が各画素に対応して設けられている。nチャネル型TFT201のドレイン側には画素電極108b及び保持容量202が接続し、保持容量202のもう一方の端子は容量配線209に接続している。nチャネル型TFTと保持容量の構造は図4で示すnチャネル型TFTと保持容量とそれぞれ同じものとする。

【0090】

基板の一方の端部には、走査信号を入力する入力端子部205が形成され、接続配線206によってゲート配線208に接続している。また、他の端部には画像信号を入力する入力端子部203が形成され、接続配線204によってソース配線207に接続している。ゲート配線208、ソース配線207、容量配線209は画素密度に応じて複数本設けられるものである。また、画像信号を入力する入力端子部212と接続配線213を設け、入力端子部203と交互にソース配線と接続させても良い。入力端子部203、205、212はそれぞれ任意な数で設ければ良いものとし、実施者が適宣決定すれば良い。

【0091】

【実施例2】

図7は液晶表示装置の実装方法の一例である。液晶表示装置は、TFTが作製された基板301の端部には、入力端子部302が形成され、これは実施例1で示したようにゲート配線と同じ材料で形成される端子303で形成される。そして、対向基板304とスペーサ306を内包するシール剤305により貼り合わされ、さらに偏光板307が設けられている。そして、スペーサ322によって筐体321に固定される。

【0092】

なお、実施例1により得られる非晶質シリコン膜で活性層を形成したTFTは、電界効果移動度が小さく $1\text{ cm}^2/\text{Vsec}$ 程度しか得られていない。そのために、画像表示を行うための駆動回路はICチップで形成され、TAB(tape automated bonding)方式やCOG(chip on glass)方式で実装されている。本実施例では、ICチップ313に駆動回路を形成し、TAB方式で実装する例を示す。これにはフレキシブルプリント配線板(Flexible Printed Circuit: FPC)が用いられ、FPCはポリイミドなどの有機樹脂フィルム309に銅配線310が形成されていて、異方性導電性接着剤で入力端子302と接続する。入力端子は配線303上に接して設けられた導電膜である。異方性導電性接着剤は接着剤311と、その中に混入され金などがメッキされた数十~数百 $\mu\text{m}$ 径の導電性表面を有する粒子312により構成され、この粒子312が入力端子302と銅配線310とに接觸することにより、この部分で電気的な接觸が形成される。そしてこの部分の機械的強度を高めるために樹脂層318が設けられている。

【0093】

ICチップ313はバンプ314で銅配線310に接続し、樹脂材料315で封止されている。そして銅配線310は接続端子316でその他の信号処理回路、增幅回路、電源回路などが形成されたプリント基板317に接続されている。ここで示す反射型液晶表示装置は、外部からの光量が少ない場合でも、光導光板320を利用して光源からの光を導いて表示可能としたもの、即ちフロントライトを備えた反射型液晶表示装置では対向基板304にLED光源319と拡散板323と光導光板320が設けられている。

【0094】

【実施例3】

図8はCOG方式を用いて、電気光学装置の組み立てる様子を模式的に示す図である。第1の基板には画素領域803、外部入出力端子804、接続配線805が形成されている

10

20

30

40

50

。点線で囲まれた領域は、走査線側の I C チップ貼り合わせ領域 8 0 1 とデータ線側の I C チップ貼り合わせ領域 8 0 2 である。第 2 の基板 8 0 8 には対向電極 8 0 9 が形成され、シール材 8 1 0 で第 1 の基板 8 0 0 と貼り合わせる。シール材 8 1 0 の内側には液晶が封入され液晶層 8 1 1 を形成する。第 1 の基板と第 2 の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には 3 ~ 8  $\mu\text{m}$ 、スマチック液晶の場合には 1 ~ 4  $\mu\text{m}$  とする。

#### 【 0 0 9 5 】

I C チップ 8 0 6、8 0 7 は、データ線側と走査線側とで回路構成が異なる。I C チップは第 1 の基板に実装する。外部入出力端子 8 0 4 には、外部から電源及び制御信号を入力するための F P C (フレキシブルプリント配線板:Flexible Printed Circuit) 8 1 2 を貼り付ける。F P C 8 1 2 の接着強度を高めるために補強板 8 1 3 を設けても良い。こうして電気光学装置を完成させることができる。I C チップは第 1 の基板に実装する前に電気検査を行えば電気光学装置の最終工程での歩留まりを向上させることができ、また、信頼性を高めることができる。

10

#### 【 0 0 9 6 】

また、I C チップを第 1 の基板上に実装する方法は、異方性導電材を用いた接続方法やワイヤボンディング方式などを採用することができる。図 9 にその一例を示す。図 9 ( A ) は第 1 の基板 9 0 1 に I C チップ 9 0 8 が異方性導電材を用いて実装する例を示している。第 1 の基板 9 0 1 上には画素領域 9 0 2 、引出線 9 0 6 、接続配線及び入出力端子 9 0 7 が設けられている。第 2 の基板はシール材 9 0 4 で第 1 の基板 9 0 1 と接着されており、その間に液晶層 9 0 5 が設けられている。

20

#### 【 0 0 9 7 】

また、接続配線及び入出力端子 9 0 7 の一方の端には F P C 9 1 2 が異方性導電材で接着されている。異方性導電材は樹脂 9 1 5 と表面に Au などがメッキされた数十 ~ 数百  $\mu\text{m}$  径の導電性粒子 9 1 4 から成り、導電性粒子 9 1 4 により接続配線及び入出力端子 9 0 7 と F P C 9 1 2 に形成された配線 9 1 3 とが電気的に接続されている。I C チップ 9 0 8 も同様に異方性導電材で第 1 の基板に接着され、樹脂 9 1 1 中に混入された導電性粒子 9 1 0 により、I C チップ 9 0 8 に設けられた入出力端子 9 0 9 と引出線 9 0 6 または接続配線及び入出力端子 9 0 7 と電気的に接続されている。

30

#### 【 0 0 9 8 】

また、図 9 ( B ) で示すように第 1 の基板に I C チップを接着材 9 1 6 で固定して、Au ワイヤ 9 1 7 によりスティックドライバの入出力端子と引出線または接続配線とを接続しても良い。そして樹脂 9 1 8 で封止する。

#### 【 0 0 9 9 】

I C チップの実装方法は図 8 及び図 9 を基にした方法に限定されるものではなく、ここで説明した以外にも公知の C O G 方法やワイヤボンディング方法、或いは T A B 方法を用いることが可能である。

#### 【 0 1 0 0 】

本実施例は実施例 1 または実施例 2 と組み合わせることが可能である。

40

#### 【 0 1 0 1 】

#### [ 実施例 4 ]

本実施例では、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成する例を示す。なお、簡略化のため、実施例 1 と異なる点についてのみ以下に説明する。

#### 【 0 1 0 2 】

本実施例は、図 1 1 に示すように、第 1 の導電層 1 1 0 1 a、1 1 0 1 b を形成し、絶縁膜 1 1 0 2 を形成した後、絶縁膜 1 1 0 2 上に第 1 の導電層 1 1 0 1 a、1 1 0 1 b とは異なるピッチで非晶質半導体膜、n 型を付与する不純物元素を含む n 型半導体膜、及び第 2 の導電膜からなる積層物 1 1 0 3 を形成した例である。

#### 【 0 1 0 3 】

第 1 の導電層 1 1 0 1 a、1 1 0 1 b は、マスク数を増やすことなく実施例 1 のマスクを

50

変更することにより形成することができる。実施例 1 のゲート電極 1100 形成時の第 1 のマスクを変更して第 1 の導電層 1101a、1101b を形成する。さらに実施例 1 の第 2 のマスクを変更して、積層物 1103 を形成する。

【0104】

こうすることにより、作製工程数を増やすことなく、画素電極 1104 の表面に形成される凹凸の大きさを異ならせるとともに、配置をランダムにすることができ、さらに反射光を散乱させることができる。

【0105】

なお、本実施例は、実施例 1 乃至 3 のいずれか一と自由に組み合わせることができる。

【0106】

[実施例 5]

本実施例では、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成する例を示す。なお、簡略化のため、実施例 1 と異なる点についてのみ以下に説明する。

【0107】

本実施例は、図 12 に示すように、高さの異なる凸部 1201、1202 を形成した例である。

【0108】

凸部 1201、1202 は、マスク数を増やすことなく実施例 7 のマスクを変更することにより形成することができる。本実施例では、図 12 に示すように、ゲート電極のパターニングの際、凸部 1202 において第 1 の導電層を形成しないマスクを用いたため、凸部 1202 の高さは凸部 1201 よりも第 1 の導電層の膜厚分、低くなっている。本実施例では実施例 7 で使用した第 1 の導電層のパターニングで使用するマスクを変更し、高さの異なる 2 種類の凸部 1201、1202 を表示領域となる箇所にランダムに形成した。

【0109】

こうすることにより、作製工程数を増やすことなく、画素電極 1200 の表面に形成される凹凸の高低差を大きくすることができ、さらに反射光を散乱させることができる。

【0110】

なお、本実施例は、実施例 1 乃至 4 のいずれか一と自由に組み合わせることができる。

【0111】

[実施例 6]

本実施例では、保護膜を形成した例を図 13 に示す。なお、本実施例は、実施例 1 の図 3 (B) の状態まで同一であるので異なる点について以下に説明する。

【0112】

まず、実施例 1 に従って図 3 (B) の状態を得た後、薄い無機絶縁膜を全面に形成する。この薄い無機絶縁膜としては、スパッタ法またはプラズマ CVD 法で形成する酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0113】

次いで、第 4 のフォトリソグラフィー工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、画素 TFT 部においては絶縁膜 1300 をそれぞれ形成する。この無機絶縁膜 1300 は、パッシベーション膜として機能する。また、端子部においては、第 4 のフォトリソグラフィー工程により薄い無機絶縁膜 1300 を除去して、端子部の端子 101a 上に形成された導電膜からなる第 3 の導電膜を露呈させる。

【0114】

こうして本実施例では、4 回のフォトリソグラフィー工程により、4 枚のフォトマスクを使用して、無機絶縁膜で保護された逆スタガ型の n チャネル型 TFT、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置し、画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができます。

【0115】

10

20

30

40

50

なお、本実施例は、実施例1乃至4のいずれか一と自由に組み合わせることが可能である。

【0116】

[実施例7]

実施例1では、絶縁膜、非晶質半導体膜、n型を付与する不純物元素を含むn型半導体膜、及び第2の導電膜をスパッタ法で積層形成した例を示したが、本実施例では、プラズマCVD法を用いた例を示す。

【0117】

本実施例では、絶縁膜、非晶質半導体膜、及びn型を付与する不純物元素を含むn型半導体膜をプラズマCVD法で形成した。

10

【0118】

本実施例では、絶縁膜として酸化窒化シリコン膜を用い、プラズマCVD法により150nmの厚さで形成する。この時、プラズマCVD装置において、電源周波数13~70MHz、好ましくは27~60MHzで行えればよい。電源周波数27~60MHzを使うことにより緻密な絶縁膜を形成することができ、ゲート絶縁膜としての耐圧を高めることができる。また、SiH<sub>4</sub>とNH<sub>3</sub>にN<sub>2</sub>Oを添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているので、この用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものではなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。また、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

20

【0119】

例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Orthosilicate:TEOS)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度250~350とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後300~400の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0120】

また、非晶質半導体膜として、代表的には、プラズマCVD法で水素化非晶質シリコン(a-Si:H)膜を100nmの厚さに形成する。この時、プラズマCVD装置において、電源周波数13~70MHz、好ましくは27~60MHzで行えればよい。電源周波数27~60MHzを使うことにより成膜速度を向上することができとなり、成膜された膜は、欠陥密度の少ないa-Si膜となるため好ましい。その他、この非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。

30

【0121】

また、上記絶縁膜及び上記非晶質半導体膜のプラズマCVD法による成膜において、100~100kHzのパルス変調放電を行えば、プラズマCVD法の気相反応によるパーセンタージクルの発生を防ぐことができ、成膜においてピンホールの発生を防ぐことができるため好ましい。

40

【0122】

また、本実施例では、一導電型の不純物元素を含有する半導体膜として、n型を付与する不純物元素を含むn型半導体膜を20~80nmの厚さで形成する。例えば、n型の不純物元素を含有するa-Si:H膜を形成すれば良く、そのためにシラン(SiH<sub>4</sub>)に対して0.1~5%の濃度でフォスフィン(PH<sub>3</sub>)を添加する。或いは、n型を付与する不純物元素を含むn型半導体膜106に代えて水素化微結晶シリコン膜(μc-Si:H)を用いても良い。

【0123】

これらの膜は、反応ガスを適宜切り替えることにより、連続的に形成することができる。また、プラズマCVD装置において、同一の反応室または複数の反応室を用い、これらの

50

膜を大気に晒すことなく連続して積層させることもできる。このように、大気に曝さないで連続成膜することで特に、非晶質半導体膜への不純物の混入を防止することができる。

【0124】

なお、本実施例は、実施例1乃至6のいずれか一と組み合わせることが可能である。

【0125】

【実施例8】

実施例1または実施例7では、絶縁膜、非晶質半導体膜、n型を付与する不純物元素を含むn型半導体膜、第2の導電膜を順次、連続的に積層する例を示した。このように連続的に成膜する場合において使用する複数のチャンバーを備えた装置の一例を図14に示した。

10

【0126】

図14に本実施例で示す装置（連続成膜システム）の上面からみた概要を示す。図14において、10～15が気密性を有するチャンバーである。各チャンバーには、真空排気ポンプ、不活性ガス導入系が配置されている。

【0127】

10、15で示されるチャンバーは、試料（処理基板）30をシステムに搬入するためのロードロック室である。11は絶縁膜102aを成膜するための第1のチャンバーである。12は非晶質半導体膜103aを成膜するための第2のチャンバーである。13はn型半導体膜104aを成膜するための第3のチャンバーである。14は第2の導電膜105aを成膜するための第4のチャンバーである。また、20は各チャンバーに対して共通に配置された試料の共通室である。

20

【0128】

以下に動作の一例を示す。

【0129】

最初、全てのチャンバーは、一度高真空状態に真空引きされた後、さらに不活性ガス、ここでは窒素によりバージされている状態（常圧）とする。また、全てのゲート弁22～27を閉鎖した状態とする。

【0130】

まず、処理基板は多数枚が収納されたカセット28ごとロードロック室10に搬入される。カセットの搬入後、図示しないロードロック室の扉を閉鎖する。この状態において、ゲート弁22を開けてカセットから処理基板30を1枚取り出し、ロボットアーム21によって共通室20に取り出す。この際、共通室において位置合わせが行われる。なお、この基板30は実施例1に従って得られた第1の導電層101a～101dが形成されたものを用いた。

30

【0131】

ここでゲート弁22を閉鎖し、次いでゲート弁23を開ける。そして第1のチャンバー11へ処理基板30を移送する。第1のチャンバー内では150～300の温度で成膜処理を行い、絶縁膜102aを得る。なお、絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、またはこれらの積層膜等を使用することができる。本実施例では単層の窒化珪素膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

40

【0132】

絶縁膜の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第2のチャンバー12に移送される。第2のチャンバー内では第1のチャンバーと同様に150～300の温度で成膜処理を行い、プラズマCVD法で非晶質半導体膜103aを得る。なお、非晶質半導体膜としては、微結晶半導体膜、非晶質ゲルマニウム膜、非晶質シリコンゲルマニウム膜、またはこれらの積層膜等を使用することができる。また、非晶質半導体膜の形成温度を350～500として水素濃度を低減するための熱処理を省略してもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲット

50

を用いたスパッタ法が可能なチャンバーを用いても良い。

【0133】

非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第3のチャンバー13に移送される。第3のチャンバー内では第2のチャンバーと同様に150～300の温度で成膜処理を行い、プラズマCVD法でn型を付与する不純物元素(PまたはAs)を含むn型半導体膜104aを得る。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0134】

n型を付与する不純物元素を含むn型半導体膜の成膜終了後、処理基板は共通室に引き出され、第4のチャンバー14に移送される。第4のチャンバー内では金属ターゲットを用いたスパッタ法で第2の導電膜105aを得る。

10

【0135】

このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室15に移送されカセット29に収納される。

【0136】

なお、図14に示した装置は一例に過ぎないことはいうまでもない。また、本実施例は実施例1乃至7のいずれか一と自由に組み合わせることが必要である。

【0137】

【実施例9】

実施例8では、複数のチャンバーを用いて連続的に積層する例を示したが、本実施例では図15に示した装置を用いて一つのチャンバー内で高真空を保ったまま連続的に積層した。

20

【0138】

本実施例では図15に示した装置システムを用いた。図15において、40は処理基板、50は共通室、44、46はロードロック室、45はチャンバー、42、43はカセットである。本実施例では基板搬送時に生じる汚染を防ぐために同一チャンバーで積層形成した。

【0139】

本実施例は実施例1乃至7のいずれか一と自由に組み合わせることができる。

【0140】

30

ただし、実施例1に適用する場合には、チャンバー45に複数のターゲットを用意し、順次、反応ガスを入れ替えて絶縁膜102a、非晶質半導体膜103a、n型を付与する不純物元素を含むn型半導体膜104a、第2の導電膜105aを積層形成すればよい。

【0141】

【実施例10】

実施例1では、n型を付与する不純物元素を含むn型半導体膜をスパッタ法で形成した例を示したが、本実施例では、プラズマCVD法で形成する例を示す。なお、本実施例はn型を付与する不純物元素を含むn型半導体膜の形成方法以外は実施例1と同一であるため異なる点についてのみ以下に述べる。

【0142】

40

プラズマCVD法を用い、反応ガスとしてシラン(SiH<sub>4</sub>)に対して0.1～5%の濃度でフォスフィン(PH<sub>3</sub>)を添加すれば、n型を付与する不純物元素を含むn型半導体膜を得ることができる。

【0143】

【実施例11】

実施例10では、n型を付与する不純物元素を含むn型半導体膜をプラズマCVD法で形成した例を示したが、本実施例では、n型を付与する不純物元素を含む微結晶半導体膜を用いた例を示す。

【0144】

形成温度を80～300、好ましくは140～200とし、水素で希釈したシランガ

50

ス (  $\text{SiH}_4$  :  $\text{H}_2 = 1 : 10 \sim 100$  ) とフォスフィン (  $\text{PH}_3$  ) との混合ガスを反応ガスとし、ガス圧を 0.1 ~ 10 Torr、放電電力を 10 ~ 300 mW /  $\text{cm}^2$  とすることで微結晶珪素膜を得ることができる。また、この微結晶珪素膜成膜後にリンをプラズマドーピングして形成してもよい。

【 0145 】

[ 実施例 12 ]

上記各実施例 1 乃至 11 のいずれか一を実施して形成されたボトムゲート型 TFT は様々な電気光学装置 ( アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 ECD ディスプレイ ) に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

10

【 0146 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ ( ゴーグル型ディスプレイ ) 、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末 ( モバイルコンピュータ、携帯電話または電子書籍等 ) などが挙げられる。それらの一例を図 16 及び図 17 に示す。

【 0147 】

図 16 ( A ) はパーソナルコンピュータであり、本体 2001 、画像入力部 2002 、表示部 2003 、キーボード 2004 等を含む。本発明を表示部 2003 に適用することができる。

20

【 0148 】

図 16 ( B ) はビデオカメラであり、本体 2101 、表示部 2102 、音声入力部 2103 、操作スイッチ 2104 、バッテリー 2105 、受像部 2106 等を含む。本発明を表示部 2102 に適用することができる。

【 0149 】

図 16 ( C ) はモバイルコンピュータ ( モービルコンピュータ ) であり、本体 2201 、カメラ部 2202 、受像部 2203 、操作スイッチ 2204 、表示部 2205 等を含む。本発明は表示部 2205 に適用できる。

【 0150 】

図 16 ( D ) はゴーグル型ディスプレイであり、本体 2301 、表示部 2302 、アーム部 2303 等を含む。本発明は表示部 2302 に適用することができる。

30

【 0151 】

図 16 ( E ) はプログラムを記録した記録媒体 ( 以下、記録媒体と呼ぶ ) を用いるプレーヤーであり、本体 2401 、表示部 2402 、スピーカ部 2403 、記録媒体 2404 、操作スイッチ 2405 等を含む。なお、このプレーヤーは記録媒体として DVD ( Digital Versatile Disc ) 、 CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2402 に適用することができる。

【 0152 】

図 16 ( F ) はデジタルカメラであり、本体 2501 、表示部 2502 、接眼部 2503 、操作スイッチ 2504 、受像部 ( 図示しない ) 等を含む。本願発明を表示部 2502 に適用することができる。

40

【 0153 】

図 17 ( A ) は携帯電話であり、本体 2901 、音声出力部 2902 、音声入力部 2903 、表示部 2904 、操作スイッチ 2905 、アンテナ 2906 等を含む。本願発明を表示部 2904 に適用することができる。

【 0154 】

図 17 ( B ) は携帯書籍 ( 電子書籍 ) であり、本体 3001 、表示部 3002 、 3003 、記憶媒体 3004 、操作スイッチ 3005 、アンテナ 3006 等を含む。本発明は表示部 3002 、 3003 に適用することができる。

【 0155 】

50

図17( C )はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0156】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~11のどのような組み合わせからなる構成を用いても実現することができる。

【0157】

【発明の効果】

本発明により、3回のフォトリソグラフィー工程により、3枚のフォトマスクを使用して、逆スタガ型のnチャネル型TFT及びを有する画素TFT部、凸凹を表面に有する画素電極及び保持容量を備えた電気光学装置を実現することができる。

【図面の簡単な説明】

【図1】 画素電極における凸部の曲率半径rを示す図。

【図2】 AM-LCDの作製工程を示す図。

【図3】 AM-LCDの作製工程を示す図。

【図4】 AM-LCDの作製工程を示す図。

【図5】 AM-LCDの外観図を示す図。

【図6】 画素上面図を示す図。

【図7】 COG方式の断面図を示す図。

【図8】 COG方式の外観図を示す図。

【図9】 COG方式の断面図を示す図。

【図10】 凸部の上面図。

【図11】 AM-LCDの断面図を示す図。

【図12】 AM-LCDの断面図を示す図。

【図13】 AM-LCDの断面図を示す図。

【図14】 マルチチャンバー成膜装置を示す図。

【図15】 シングルチャンバー成膜装置を示す図。

【図16】 電子機器の一例を示す図。

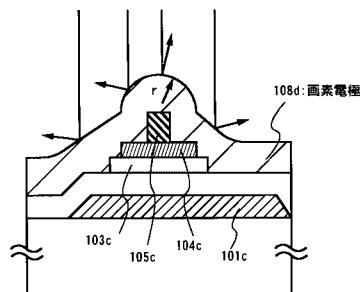
【図17】 電子機器の一例を示す図。

10

20

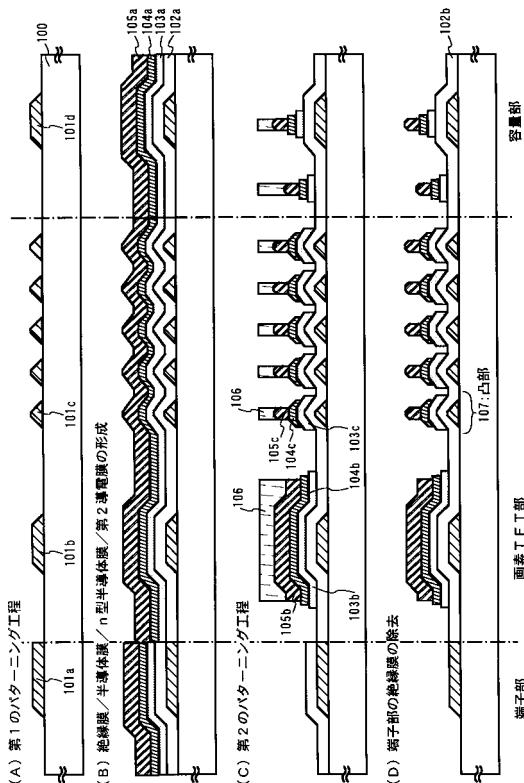
30

【 図 1 】

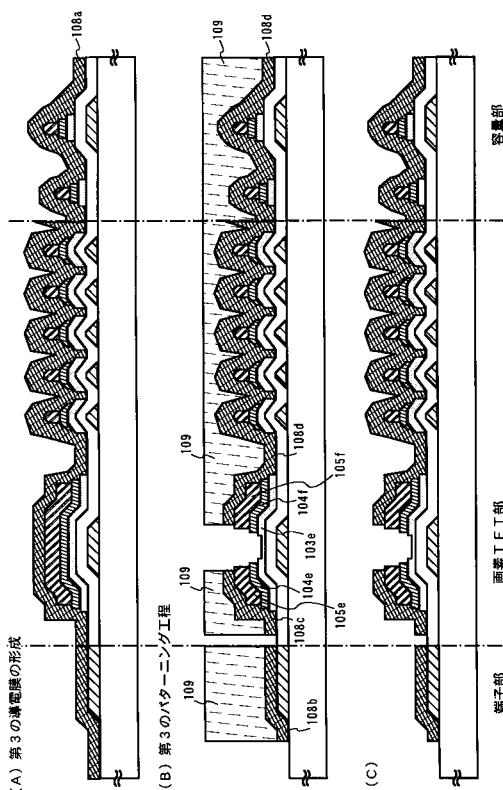


画素電極の凸部の曲率半径  $r$  を示す図

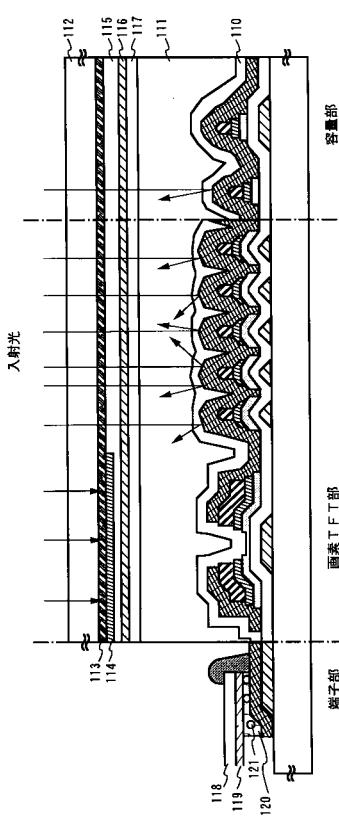
【 四 2 】



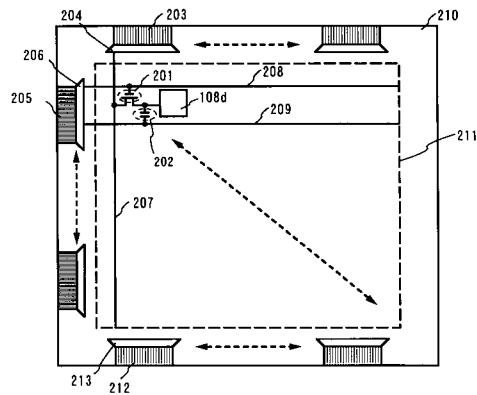
【図3】



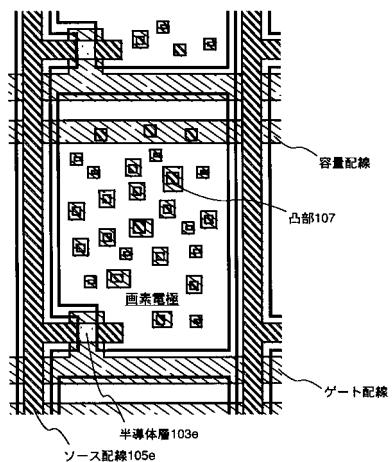
【図4】



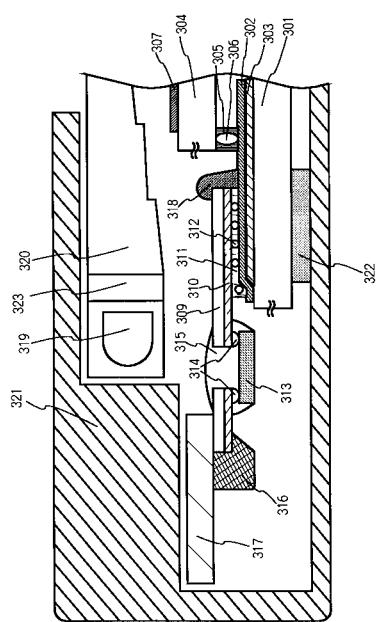
【図5】



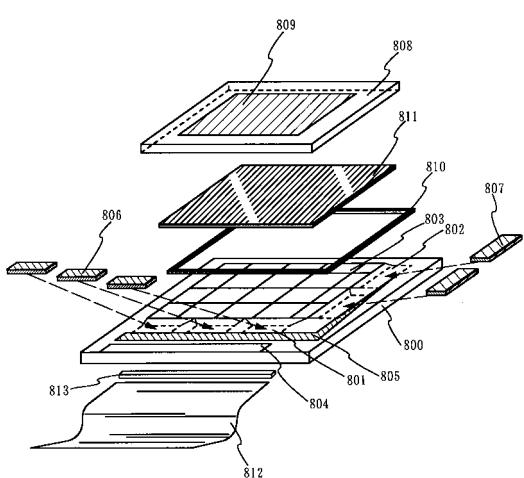
【図6】



【図7】

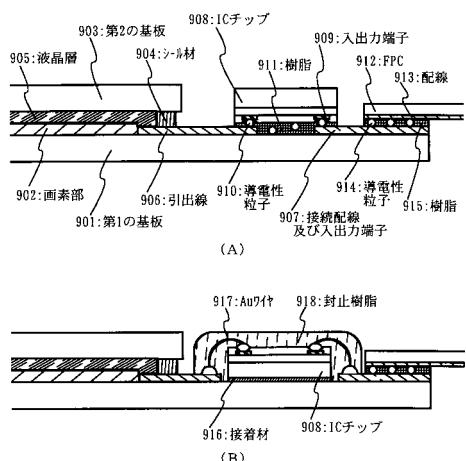


【図8】

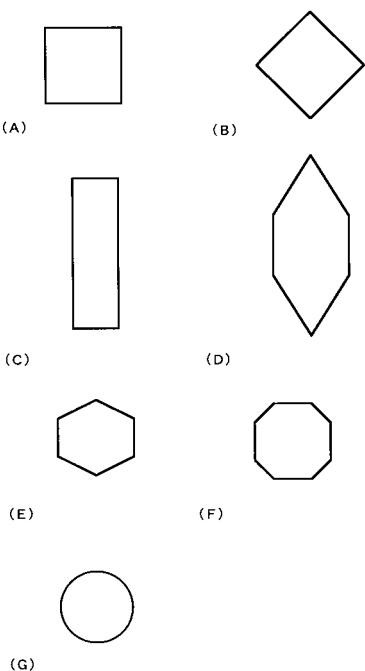


800:第1の基板、801:ICチップ貼り合せ領域、802:ICチップ貼り合せ領域(走査線)、803:画素領域、804:入力端子、805:接続配線、806,807:ICチップ、808:第2の基板、809:共通電極、810:シール材、811:液晶、812:FPC、813:補強板

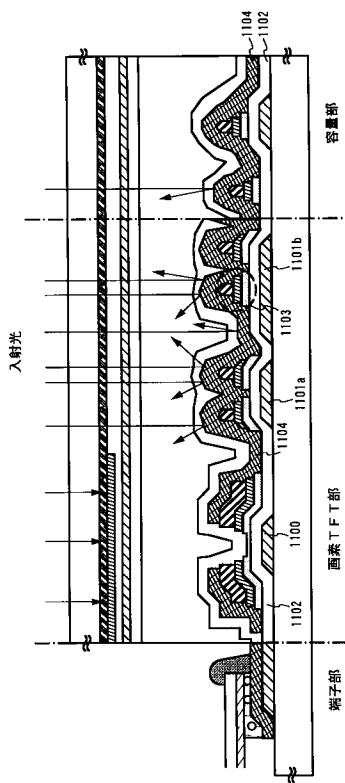
【図9】



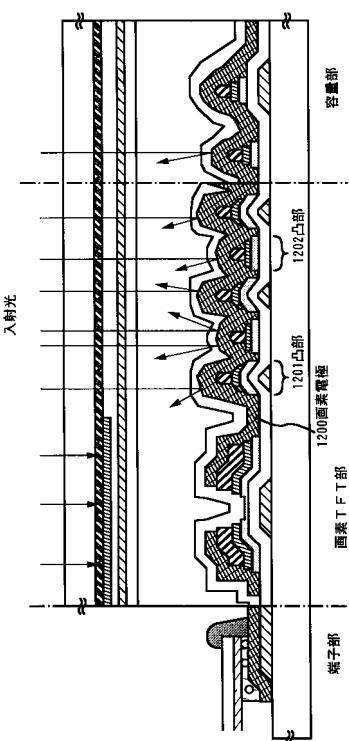
【図10】



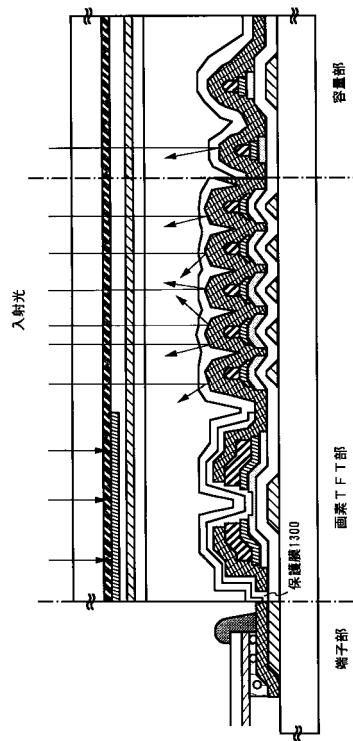
### 【図 1 1】



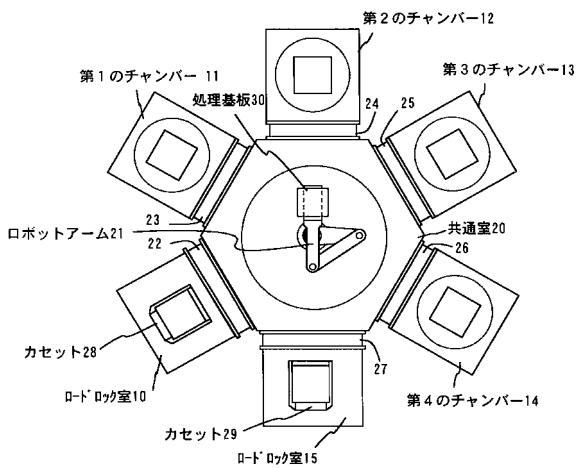
【図 1 2】



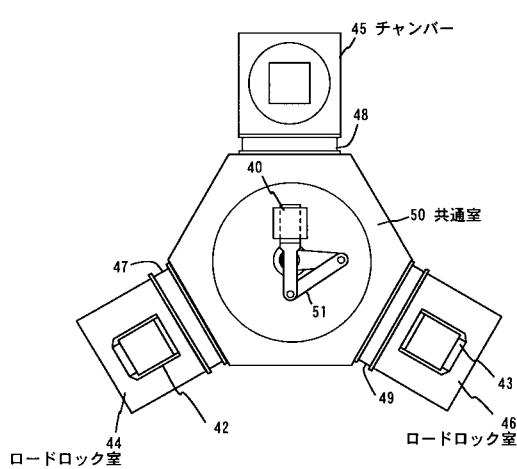
【図13】



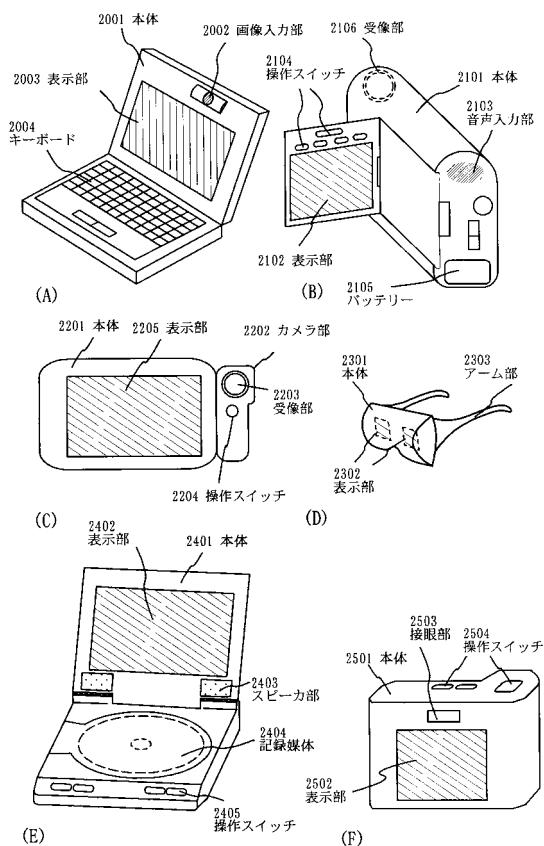
【図14】



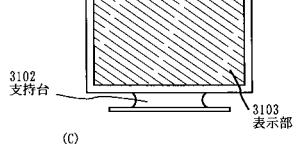
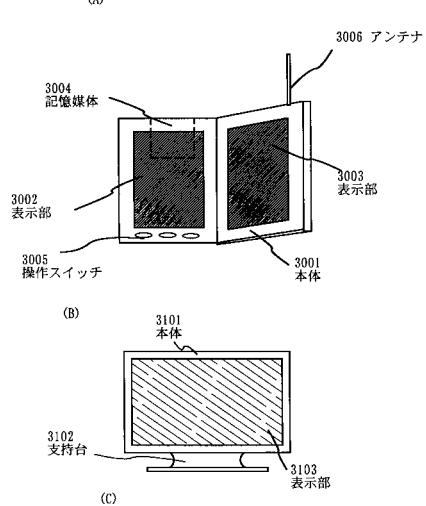
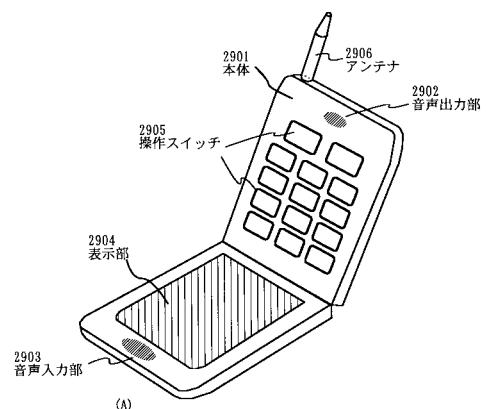
【図15】



【図16】



【図17】



---

フロントページの続き

(51)Int.Cl.

H 01 L 21/336 (2006.01)  
H 01 L 29/786 (2006.01)

F I

H 01 L 29/78 6 1 2 D  
H 01 L 29/78 6 1 9 B  
H 01 L 29/78 6 2 7 B