

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年5月23日(23.05.2013)



(10) 国際公開番号

WO 2013/073671 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 27/092 (2006.01)
H01L 21/316 (2006.01) H01L 27/115 (2006.01)
H01L 21/318 (2006.01) H01L 29/78 (2006.01)
H01L 21/8238 (2006.01) H01L 29/788 (2006.01)
H01L 21/8247 (2006.01) H01L 29/792 (2006.01)

(21) 国際出願番号: PCT/JP2012/079799

(22) 国際出願日: 2012年11月16日(16.11.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2011-251556 2011年11月17日(17.11.2011) JP

(71) 出願人(米国を除く全ての指定国について): 国立
大学法人東北大学(TOHOKE UNIVERSITY)
[JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁
目1番1号 Miyagi (JP).

(72) 発明者; および

(71) 出願人(米国についてのみ): 黒田 理人(KUR-
ODA, Rihito) [JP/JP]; 〒9808577 宮城県仙台市青葉
区片平二丁目1番1号 国立大学法人東北大学
内 Miyagi (JP). 寺本 章伸(TERAMOTO, Akinobu)
[JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁
目1番1号 国立大学法人東北大学内 Miyagi

(JP). 須川 成利(SUGAWA, Shigetoshi) [JP/JP]; 〒
9808577 宮城県仙台市青葉区片平二丁目1番1
号 国立大学法人東北大学内 Miyagi (JP).

(74) 代理人: 池田 憲保, 外(IKEDA, Noriyasu et al.); 〒
1000011 東京都千代田区内幸町1丁目2番2号
日比谷ダイビル Tokyo (JP).

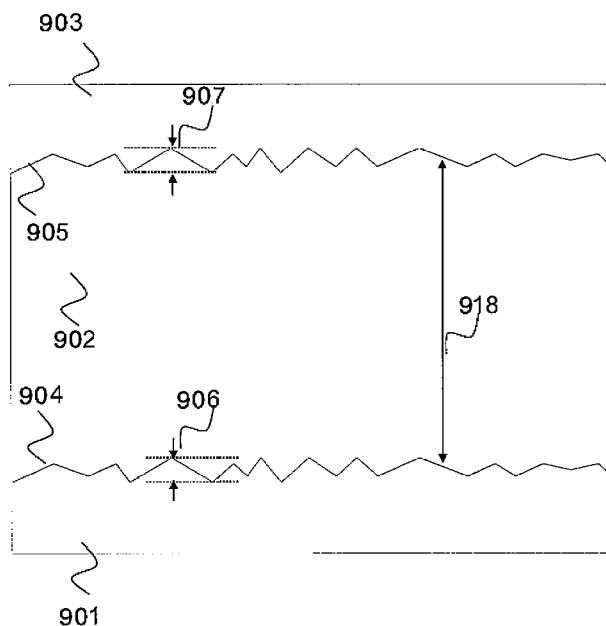
(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: Gate insulating films of convention-
al semiconductor devices have a problem wherein
local concentration occurs in electrical fields ap-
plied to the gate insulating films, and variance of
electrical field intensity is generated due to the fact
that semiconductor layer-side interfaces and/or
electrode-side interfaces have large recesses and
projections, and dielectric breakdown is generated
at a low electrical field intensity, and the service
lives of the gate insulating films are short. The
problem is solved by specifying the size of recesses
and projections of both the interfaces of a gate in-
sulating film.

(57) 要約: 従来の半導体装置のゲート絶
縁膜は、半導体層側界面と電極側界面の
中の少なくともいずれか一方の凹凸が大
きいために、ゲート絶縁膜に印加される
電界に局所的集中が起きたり、その強度
にばらつきが発生したりして低い電界強
度で絶縁破壊を起し使用寿命が短かつ
た。この課題は、ゲート絶縁膜の両界
面の凹凸の大きさを特定化することで解
決される。

WO 2013/073671 A1

WO 2013/073671 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関するものである。

背景技術

[0002] 最近の半導体装置では、微細化と共に高速化・長寿命化が要求されている。

[0003] 特許文献1には、ソース領域、ドレイン領域、及びチャネル領域を備え、チャネル領域表面の平坦度を改善することにより、10GHz以上のクロック周波数においても動作可能なMOSトランジスタが提案されている。

[0004] 特許文献1では、具体的には、ソースからドレイン方向の長さ2nmの範囲におけるピーク・トゥ・バレー（peak to valley）によって表した場合、0.3nm以下になるように、チャネル領域の表面を平坦化することにより、高速動作が可能なが指摘されている。

先行技術文献

特許文献

[0005] 特許文献1：WO2008/007748

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1は、MOSトランジスタの寿命、特に、ゲート絶縁膜の寿命やゲート絶縁膜の電氣的絶縁耐圧については考慮されていない。

[0007] 本発明は、上記の点に鑑み鋭意研究の上なされたものであり、その主たる目的は、微細化・高速化・長寿命化に適合した半導体装置を提供することである。

[0008] 本発明のもう一つの目的は、MOSトランジスタのゲート絶縁膜の寿命やゲート絶縁膜の電氣的絶縁耐圧性を高め、高速動作が可能であって高微細化

・高集積化された半導体集積回路装置の実用化に適した半導体装置を提供することである。

課題を解決するための手段

- [0009] 本発明の側面の一つは、半導体層と、該半導体層の一方の面に直に接触している絶縁膜と、前記半導体層とは反対側で前記絶縁膜に直に接触している電極層と、を有し、前記半導体層と前記絶縁膜との界面と前記絶縁膜と前記電極層との界面とに関して、それぞれの界面における前記絶縁膜の延在する方向の長さ $1\ \mu\text{m}$ の任意領域における凹凸が、前記絶縁膜の厚さが薄ければ薄い程小さい凹凸であることを特徴とする半導体装置にある。
- [0010] 本発明の別な側面は、前記半導体層と前記絶縁膜との界面の凹凸の大きさ及び前記絶縁膜と前記電極層との界面の凹凸の大きさが前記絶縁膜の厚さの 10% 以下であることを特徴とする半導体装置にある。
- [0011] 本発明の別なもう一つの側面は、前記両界面の凹凸の大きさが、前記半導体層の面方位における原子間の最小の段差であることを特徴とする半導体装置にある。
- [0012] 本発明のもう一つの側面は、半導体層上に、前記半導体層と接触する絶縁膜を形成し、前記絶縁膜と前記半導体層とは反対側で接触する電極層を形成する半導体装置の製造方法であって、製造工程中に、前記半導体層表面の凹凸を、形成する絶縁膜の厚さの 10% 以下にするための平坦化工程を少なくとも 1 回以上含むと共に、前記絶縁膜形成前の前記半導体層表面の凹凸が形成する絶縁膜の厚さの 10% 以下の場合に、半導体層と接する界面と絶縁膜表面との凹凸がそれぞれ形成する絶縁膜の厚さの 10% 以下になるような酸化、酸窒化または窒化方法によって前記絶縁膜を形成する膜形成工程をさらに含むことを特徴とする半導体装置の製造方法にある。
- [0013] 本発明の更にもう一つの側面は、半導体層と、
前記半導体層と界面で形成して接触する絶縁膜と、
前記絶縁膜と前記半導体層とは反対側で界面を形成して接触する電極層とを有し、

前記半導体層と前記絶縁膜の界面における凹凸が、前記絶縁膜と前記電極層との界面における凹凸にそのまま反映されるように、前記絶縁膜の厚さ及び前記両界面の凹凸が形成されていることを特徴とする半導体装置にある。

発明の効果

[0014] 本発明によれば、微細化・高速化・長寿命化に適合した半導体装置を提供することができる。また、本発明はMOSトランジスタのゲート絶縁膜の寿命や電氣的絶縁耐圧性を高め、高速動作が可能であって高微細化・高集積化された半導体集積回路装置の実用化に適した半導体装置を提供することもできる。

[0015] 更に、本発明によれば、半導体層と絶縁膜との界面と前記絶縁膜と電極層との界面とに関して、それぞれの界面における前記絶縁膜の延在する方向の長さ1 μm の任意領域における凹凸が、前記絶縁膜の厚さが薄ければ薄い程小さい凹凸であるので前記絶縁膜に局所的に集中する電界強度を低減することが出来、高い破壊電界強度と長い寿命を有する半導体装置が提供できる。

[0016] 更に別には、本発明によれば、半導体層と絶縁膜の界面における凹凸が、前記絶縁膜と電極層との界面における凹凸にそのまま反映されるように、前記絶縁膜の厚さ及び前記両界面の凹凸が形成されているので、前記絶縁膜は高い電氣的絶縁耐圧性と長い寿命を有し、高速動作が可能であって高微細化・高集積化された半導体集積回路装置を提供することができる。

[0017] もう一つ別には、本発明によれば、ゲート絶縁膜の半導体層と接する界面、及び、ゲート絶縁膜のゲート電極と接する界面の凹凸が、界面に平行する方向の長さ1 μm の領域においてゲート絶縁膜厚に対して、いずれも10%以下となっており、ゲート絶縁膜及び半導体層に局所的に集中する電界強度を低減することが出来るため、高い破壊電界強度、長い寿命が得られる。

[0018] 更に、本発明によれば、初期歩留まり及び長期信頼性に優れたゲート絶縁膜が得られる。

図面の簡単な説明

[0019] [図1]半導体側界面の凹凸と、電極側界面の凹凸がゲート絶縁膜厚の10%よ

りも大きい、酸素ラジカル酸化を用いて形成した従来のゲート絶縁膜を説明するための模式的断面図である。

[図2]半導体層側界面の凹凸と、電極側界面の凹凸がゲート絶縁膜の膜厚の10%よりも大きい、酸素ラジカル酸化を用いて形成した従来のゲート絶縁膜の半導体側界面と絶縁膜表面の原子間力顕微鏡像である。

[図3]半導体層界面の凹凸と、電極側界面の凹凸がゲート絶縁膜の膜厚の10%よりも大きい、酸素ラジカル酸化を用いて形成したゲート絶縁膜の面積が $4.0 \times 10^{-2} \text{ cm}^2$ である従来のゲート絶縁膜の絶縁破壊電界強度と破壊確率との関係を表した図である。

[図4]半導体層側界面の凹凸と、電極側界面の凹凸がゲート絶縁膜の膜厚の10%よりも大きい、酸素ラジカル酸化を用いて形成した $4.0 \times 10^{-2} \text{ cm}^2$ の面積を有する従来のゲート絶縁膜の一定ストレス電流 $+0.1 \text{ A/cm}^2$ 印加時の寿命の累積確率を表した図である。

[図5]半導体層側界面の凹凸がゲート絶縁膜の膜厚の10%よりも大きい、酸素ラジカル酸化を用いて形成した従来のゲート絶縁膜を説明するための模式的断面図である。

[図6]半導体層側界面の凹凸がゲート絶縁膜の膜厚の10%よりも大きい、酸素ラジカル酸化を用いて形成した従来のゲート絶縁膜の半導体側界面と絶縁膜表面の原子間力顕微鏡像及び平均粗さ(Ra)を示す図である。

[図7]半導体層界面の凹凸がゲート絶縁膜の膜厚の10%よりも大きい、酸素ラジカル酸化を用いて形成した、 $4.0 \times 10^{-2} \text{ cm}^2$ の面積を有する従来のゲート絶縁膜の絶縁破壊電界強度と破壊確率との関係を表した図である。

[図8]半導体層側界面の凹凸がゲート絶縁膜の膜厚の10%よりも大きい、酸素ラジカル酸化を用いて形成した、 $4.0 \times 10^{-2} \text{ cm}^2$ の面積を有する従来のゲート絶縁膜の一定ストレス電流 $+0.1 \text{ A/cm}^2$ 印加時の寿命の累積確率を表した図である。

[図9]本発明の第1実施形態に係るゲート絶縁膜を説明するための模式的断面図である。

[図10]本発明の第1実施形態に係るゲート絶縁膜の半導体層側界面と絶縁膜表面の原子間力顕微鏡像及び平均粗さ (R_a) を示す図である。

[図11]本発明の第1実施形態に係る、 $4.0 \times 10^{-2} \text{ cm}^2$ の面積を有するゲート絶縁膜の絶縁破壊電界強度と破壊確率との関係を表した図である。

[図12]本発明の第1実施形態に係る、 $4.0 \times 10^{-2} \text{ cm}^2$ の面積を有するゲート絶縁膜の一定ストレス電流 $+0.1 \text{ A/cm}^2$ 印加時の寿命の累積確率を表した図である。

[図13]本発明の第2実施形態に係るゲート絶縁膜を説明するための模式的断面図である。

[図14]半導体層の面方位における原子間の最小の段差にするための表面平坦化を行った後の半導体層表面の原子間力顕微鏡像と表面高さのプロファイルを示す図である。

[図15]本発明の第2実施形態に係るゲート絶縁膜の半導体層側界面と絶縁膜表面の原子間力顕微鏡像を示す図である。

[図16]本発明の第2実施形態に係る、 $4.0 \times 10^{-2} \text{ cm}^2$ の面積を有するゲート絶縁膜の絶縁破壊電界強度と破壊確率との関係を表した図である。

[図17]本発明の第2実施形態に係るゲート絶縁膜の一定ストレス電流 $+0.1 \text{ A/cm}^2$ 印加時の寿命の累積確率を示す図である。

[図18]本発明の第3実施形態に係るMOSトランジスタを説明するための模式的構造図である。

[図19]本発明の第4実施形態に係るCMOS回路を説明するための模式的断面構造図である。

[図20]本発明の第5実施形態に係る半導体メモリを説明するための模式的構成図である。

[図21]酸化前の半導体層表面の平均粗 (R_a) さと、絶縁膜と半導体層の界面の平均粗さ (R_a) との関係を示す図である。

[図22]絶縁膜の膜厚に対する電極界面・半導体界面の凹凸の割合 (%) と絶縁破壊電界との関係を示すグラフである。

[図23]絶縁膜の膜厚に対する電極側界面の凹凸・半導体層側界面の凹凸の割合(%)とワイブル係数との関係を示す図である。

発明を実施するための形態

[0020] 本発明の実施形態を説明する前に、本発明をより適格に理解してもらうために、本発明に至った技術過程について以下に説明する。

[0021] 本発明者等は前記の目的から、従来の半導体装置のゲート絶縁膜の界面構造について次のように見直しを行った。

[0022] 図1は、従来のゲート絶縁膜の一例の断面図を示す。

[0023] まず、面方位が(100)面の表面を有するシリコン(Si)からなる半導体層101を備えたシリコンウエハーの市販品を用意した。この購入時のままの状態のシリコンウエハーの半導体層101表面を通常の半導体洗浄法で洗浄し、その後400℃で洗浄した半導体層1の表面をラジカル酸化法(プラズマ中で形成されたラジカル酸素によりシリコン表面を直接酸化する)により酸化して平均厚さ6nmのゲート絶縁膜102を形成した。

[0024] その後、通常の半導体分野で使用されている電極形成技術により、ゲート絶縁膜102上に電極103を形成した。

[0025] 本発明に於いては、便宜上、半導体層101とゲート絶縁膜102との間の界面104を「半導体層側界面104」、ゲート絶縁膜102と電極103との間の界面105を「電極側界面105」と記すこともある。

[0026] 半導体層側界面104の凹凸106と電極側界面105の凹凸107の大きさをそれぞれ測定した。

[0027] 絶縁膜102の延在する方向(紙面の左右方向)に沿った長さ(L)1μmの大きさの任意領域における凹凸の大きさの最大値が、ピーク・トゥ・バレー(peak to valley)表示で、半導体層側界面104の凹凸106では0.9nm、電極側界面105の凹凸107では1.2nmであった。

[0028] 同様の手法と手順で、50枚のシリコンシリコンウエハーについて処理を施し、同様に、半導体層側界面104の凹凸106と電極側界面105の凹

凸107の大きさをそれぞれ測定した。

[0029] その結果、本発明者等は、以下に示す新たな知見を得た。その知見によると、酸化前の半導体層表面の凹凸の大きさがほぼそのまま酸化膜（絶縁膜）102と電極103との界面105の凹凸の大きさとして出現する。

[0030] これに対して、ラジカル酸化によって半導体層101と酸化膜102との界面104の凹凸の大きさは、酸化前の半導体層表面の凹凸の大きさより小さくなり、凹凸の程度が緩和される。

[0031] 即ち、電極側界面105の凹凸107の大きさは、酸化前の半導体層101の表面の凹凸の大きさを略反映しており、半導体層側界面104の凹凸106は、ラジカル酸化工程を経ることによって元の大きさが緩和されて図示のごとく小さな凹凸となっている。

[0032] 本発明者らの実験によれば、この効果は、熱酸化でも得られる。即ち、もとの半導体層の表面平坦度（平均粗さ） R_a が0.1nmより大であれば、熱酸化でもその凹凸が小さくなる傾向がある。しかし、ラジカル酸化では凹凸の大きさが小さくなる傾向は熱酸化よりも顕著である。

[0033] 一方、半導体層のもとの表面の表面平坦度 R_a が0.1nm以下の場合では、熱酸化では界面凹凸は元の凹凸より大きくなるが、ラジカル酸化ではほぼ変わらない。

[0034] これまでに図1で説明した例（半導体層側界面104の凹凸106では0.9nm、電極側界面105の凹凸107では1.2nm）でいえば、例えば、ゲート絶縁膜102の（平均）膜厚118が6nmであれば、界面凹凸の大きさは、ゲート絶縁膜102の（平均）膜厚118の15%から20%の割合を占める。

[0035] しかも、現時点でもゲート絶縁膜の膜厚は、形成されるトランジスタの低電圧駆動とスイッチングスピードの向上のために薄膜化が進められており、この傾向は、今後も続くといわれている。

[0036] その中で、2nmの膜厚を有するゲート絶縁膜を備えたMOSトランジスタも提案されている。この場合だと、界面凹凸の大きさは、ゲート絶縁膜の

膜厚の45%～60%にも達することになる。

[0037] ところで、ここで、膜厚118の膜厚を「平均膜厚」と記したのは、ゲート絶縁膜102の半導体層側界面104も電極側界面105も不規則な凹凸状になっていて、その膜厚の測定値に場所依存性があるので、ゲート絶縁膜102の長さ(L)の範囲内での複数の測定値の平均の値をゲート絶縁膜102の膜厚として便宜上本発明では取り扱っているからである。

[0038] 又、本発明においては、平均膜厚で表したゲート絶縁膜102の半導体層1側の架空表面を「第一主面」、電極103側の架空表面を「第二主面」と、表記することもある。

[0039] 図2(a)および(b)はそれぞれ、電極側界面と半導体層側界面の原子間力顕微鏡像の一例(図1の例)を示すものである。

[0040] 以下の数1で定義される平均粗さRaでいえば、電極側界面が0.09 nm、半導体層側界面が0.12 nmである。

[数1]

$$R_a = \frac{1}{A} \cdot \int_{x_1}^{x_2} \int_{y_1}^{y_2} |Z(x, y) - Z_{Ave}| dx dy \quad (\text{式1})$$

[0041] ここで、Z(x, y)、Z Ave、Aはそれぞれ位置(x, y)における高さ、平均高さ、測定ポイント数を示す。

[0042] 図3および図4には、400℃における酸素ラジカルを用いたラジカル酸化によって形成した膜厚が6 nmのシリコン酸化膜からなるゲート絶縁膜の絶縁破壊電界と破壊確率との関係と、ゲート絶縁膜に+0.1 A/cm²の一定電流ストレスを印加した際の寿命の累積確率の一例(図1のゲート絶縁膜の例)が示される。

[0043] この例によれば、ゲート絶縁膜に電界を印加すると、半導体層側界面および電極側界面の凹凸に起因した局所的電界集中が起こり、電界強度が局所的に高くなる場所が存在していることが伺える。

[0044] 本発明者等は、多くの実験結果から、ゲート絶縁膜の破壊電界強度が低かったり一定電流ストレス印加時のゲート絶縁膜の寿命が短かったり、或いは

、それらの実験的値にばらつきがみられたりするのは、上記のことに起因しているものと考えている。図3に示すデータによれば、ゲート絶縁膜は、絶縁破壊電界13.5 MV/cm以下で破壊するものが30%もある。

[0045] また、図4に示すように、 $+0.1 \text{ A/cm}^2$ の電流がゲート絶縁膜に与えられると、 1×10^3 秒以下で、30%ものゲート絶縁膜が破壊されてしまうことが分る。

[0046] 本発明者等は、その実験結果から特許文献1に示す半導体装置のゲート絶縁膜もこれと同様の傾向を示すことを確認している。

[0047] 図5には、従来のゲート絶縁膜の他の例の模式的断面図を示す。

[0048] 図示されたゲート絶縁膜502は、面方位が(100)面のSiからなる半導体層501の表面をAr雰囲気中で、高温でアニールして原子間の最小段差程度に表面を平坦化してから熱酸化（水分酸化）によって6 nmの厚さに形成した。この絶縁膜502は、半導体層501との間に半導体層側界面504を、半導体層501とは反対側で、ゲート電極503との間に電極側界面505をそれぞれ有している。

[0049] 半導体層側界面504の凹凸506の大きさと電極側界面505の凹凸507の大きさは、前記の定義にしたがった長さ1 μm の領域において、それぞれ0.8 nm、0.14 nmである。

[0050] 図5から分かるように、電極側界面505の凹凸507は、酸化前のシリコン表面（半導体層502の元の表面）の平坦度を反映してSiの原子間の最少の段差のままであるが、半導体層側界面504の凹凸506は熱酸化によって大きくなってしまっている。

[0051] ゲート絶縁膜502の平均膜厚518は、6 nmであるから、半導体層側界面504の凹凸506の大きさは、ゲート絶縁膜の平均膜厚518の13.3%である。

[0052] 他方、電極側界面505の凹凸507の大きさは、面方位が(100)面のSiの原子間の最少の段差の大きさに、ゲート絶縁膜502の平均膜厚518の2.3%である。

[0053] 図6(a)および(b)には、それぞれ、電極側界面と半導体層側界面の原子間力顕微鏡像のもう一つの例が示される。

[0054] 平均粗さ R_a は、電極側界面と半導体層側界面においてそれぞれ0.08 nm、0.04 nmである。

[0055] ここで、原子間力顕微鏡で測定される平均粗さ R_a の下限値は測定器のノイズ信号強度によって決まり、現在のところその値はおよそ0.04 nmである。つまり、実際には平均粗さ R_a が0.04 nmより小さい界面を測定しても、原子間力顕微鏡で測定される R_a は0.04 nm程度となる。

[0056] 図7および図8には、750℃における水分酸化によって形成した膜厚が6 nmのシリコン酸化膜からなるゲート絶縁膜の絶縁破壊電界と破壊確率との関係と、ゲート絶縁膜に+0.1 A/cm²の一定電流ストレスを印加した際の寿命の累積確率のもう一つの例（図5に示されたゲート絶縁膜の例）が示される。

[0057] 図7に示されてあるように、絶縁破壊電界13.5 MV/cmで破壊されたサンプルが10%もあり、14.2 MV/cm程度で全てのサンプルが破壊されている。

[0058] 図8からは、+0.1 A/cm²の電流が流されると、 4×10^2 秒以下で殆ど全てのゲート絶縁膜（殆ど全てのサンプルが破壊されたことが判る。

[0059] このことから、譬え電極側界面505の凹凸507の大きさが、半導体層501の表面の面方位が(100)面におけるシリコン(Si)の原子間の最少の段差の大きさであっても、半導体側界面504の凹凸506の大きさが絶縁膜502の膜厚の10%より大きい場合、半導体層側界面504の凹凸506の大きさに起因して局所的に電界の集中が起こり、電界強度が局所的に高くなる場所が存在ものと思われる。

[0060] このことに起因して、ゲート絶縁膜の破壊電界強度が低かったり、また、一定電流ストレス印加時のゲート絶縁膜の寿命が短かったり、或いは、これらの測定値にばらつきが生じたりするものと考えられる。

本発明は上記のような見直しによる知見に鑑みてなされたものである。

[0061] 本発明の主たる要件の一つは、トランジスタのような電子素子のゲート絶縁膜の両界面の凹凸の大きさが前記ゲート絶縁膜の膜厚の10%以下であることである。

[0062] 更に具体的に述べれば、形成されるゲート絶縁膜の長さ（図1の例で示せば、紙面の左右方向）及び幅（図1の例で示せば、紙面の奥行方向）で区画されたゲート絶縁膜の表面（電極側界面）内の全ての凹凸の大きさと裏面（半導体層側界面）内の全ての凹凸の大きさとが、ゲート絶縁膜の平均膜厚の10%以下であることが本発明の特徴である。

[0063] さらに好適には、両界面の凹凸の大きさが前記半導体層の面方位における原子間の最小の段差の大きさであることが望ましい。

[0064] 図21には、前述した酸化前のSi半導体層表面の平均粗さ R_a と、絶縁膜／半導体層界面（半導体層側界面）の平均粗さ R_a の測定結果が示されている。

[0065] 尚、酸化前のSi半導体層表面の平均粗さ R_a は絶縁膜と電極との界面（電極側界面）における平均粗さ R_a と略等しいことは、前述した理由の通りである。

[0066] 図21には、シリコン酸化膜に換算して6nmの膜厚を有する絶縁膜を、酸素ラジカル酸化によって形成した場合と、水分酸化（水分を用いた熱酸化）によって形成した場合とが夫々示されている。

これらの酸化の例では、何れも400℃と750℃で行った。

[0067] 図21の○印で示されるように、ラジカル酸化では、酸化前のSi半導体層表面の平均粗さ R_a が0.10nm以下の場合、絶縁膜／Si半導体層界面（半導体層側界面）の平均粗さ R_a は、Si半導体層の酸化前の平均粗さ R_a と同等であることが分かる。

[0068] 酸化前のSi半導体層表面の平均粗さ R_a が0.10nmを越えている場合には、絶縁膜／Si半導体層界面（半導体層側界面）の平均粗さ R_a は、元の酸化前のSi半導体層表面の平均粗さ R_a よりは相当に緩和されている。

[0069] これに対して、図21の□印で示されるように、水分酸化では、酸化前のSi半導体層表面の平均粗さ R_a が 0.10 nm 以下の場合、絶縁膜/Si半導体層界面（半導体層側界面）の平均粗さ R_a は、元の酸化前のSi半導体層表面の平均粗さ R_a よりも粗くなっていることが分かる。

[0070] 酸化前のSi半導体層表面の平均粗さが 0.10 nm を越えると、絶縁膜/Si半導体層界面（半導体層側界面）の平均粗さ R_a は、元の酸化前のSi半導体層表面の平均粗さ R_a よりは緩和されていることが分かる。

[0071] 図22に、電極側界面の凹凸と半導体層側界面の凹凸の大きさの絶縁膜の膜厚に対する割合（％）のそれぞれと絶縁破壊電界（ MV/cm ）との関係を示す。測定用の試料としては、酸素ラジカル酸化によって膜面積 $4.0 \times 10^{-2}\text{ cm}^2$ の大きさのゲート絶縁膜を電気測定が出来るように形成しものを10個用意した。

絶縁破壊電圧値は測定したものの中の最小値のものを採用した。

[0072] 図22からも明らかな通り、ゲート絶縁膜の膜厚に対する半導体側界面の凹凸・電極側界面の凹凸の割合（％）が夫々10％を越えて20％に達すると、絶縁破壊電界の最小値は 12.5 MV/cm となっている。30％になると、 12.5 MV/cm 以下になっている。

[0073] 他方、ゲート絶縁膜の膜厚に対する半導体側界面の凹凸・電極側界面の凹凸の割合（％）が夫々10％以下であれば、絶縁破壊電界の最小値は、 14.25 MV/cm から 14.75 MV/cm までに達している（電気耐圧性が高い）。この点から、ゲート絶縁膜の膜厚に対する半導体側界面の凹凸・電極側界面の凹凸の割合（％）が夫々10％において、絶縁破壊電界値が臨界的に大きく変化することが判る。

[0074] 図23には、ゲート絶縁膜（絶縁膜面積が $4.0 \times 10^{-2}\text{ cm}^2$ ）の膜厚に対する半導体側界面の凹凸・電極側界面の凹凸の割合（％）の夫々と、ゲート絶縁膜の一定ストレス電流 $+0.1\text{ A/cm}^2$ 印加時の寿命の累積確率が40％以下である範囲から抽出したワイブル係数との関係が示されている。

[0075] ここで、ワイブル係数は、絶縁破壊に至る寿命のバラツキを示す指標であ

り、値が小さいほど、バラツキが大きく絶縁破壊に至る寿命の短い範囲における破壊確率が高いことを示している。

[0076] 図23において、図4に示された例のワイブル係数が点Aで示されており、図12に示された例のワイブル係数が点Bで示されており、図17に示された例のワイブル係数が点Cで示されている。

[0077] 図23に示されるように、絶縁膜の膜厚に対する前記凹凸の割合が10%より大きいときには、ワイブル係数は1程度以下と低いことが分る。他方、絶縁膜の膜厚に対する前記凹凸の割合が10%以下になると、ワイブル係数は急激に上昇して3以上となっている。

[0078] このことから、ゲート絶縁膜に対する半導体側界面の凹凸・電極側界面の凹凸の夫々の割合が10%以下であれば、絶縁破壊に至る寿命が短い範囲における破壊確率が小さくなることが分る。

[0079] このように、図23に示されたワイブル係数からも、ゲート絶縁膜に対する半導体側界面の凹凸・電極側界面の凹凸のそれぞれの割合が10%であることが臨界的な意義を有していることが分る。

[0080] 本発明に於いて、半導体層は、単結晶、多結晶、アモルファスのいずれでもよく、その構成材料は、Si（シリコン）、 SiGe_x （シリコンゲルマ）（ $0 < x < 1$ ）、Ge（ゲルマニウム）、GaAs（ガリウムヒ素）、GaN（窒化ガリウム）、SiC（シリコンカーバイド）、InP（インジウム燐）などの半導体材料から選択される。

[0081] 本発明のゲート絶縁膜の製造方法は、半導体層上に該半導体層と接触する絶縁膜を形成し、その絶縁膜上に直接接触させて電極層を形成するゲート絶縁膜の製造方法であって、製造工程中に、前記半導体層表面の凹凸の大きさを形成する絶縁膜の厚さの10%以下とするための平坦化処理工程を少なくとも1回以上含む。

[0082] その後、形成される半導体層側界面の凹凸の大きさが、形成する絶縁膜の厚さの10%以下となるように半導体層表面を酸化処理、酸窒化処理または窒化処理することで半導体層上に絶縁膜を形成する。

- [0083] 前記平坦化処理工程は、900℃以上の温度における水分または酸素、または水分と酸素の混合雰囲気下において半導体層表面を酸化して絶縁膜（絶縁性酸化膜）を形成し、その後、該絶縁膜の形成する電子素子にとって不要な部分を、フッ酸を含む薬液を用いて除去する工程を含んでもよい。
- [0084] また、前記平坦化処理工程は、半導体層表面の自然酸化膜を除去した後に、800℃以上のAr（アルゴン）、H₂（水素）、Ar/H₂（アルゴン／水素）のいずれかの雰囲気中で熱処理する工程を含んでもよい。
- [0085] 前記絶縁膜形成工程は、望ましくは、半導体層の面方位の違いに成膜速度が依存しない等方的な酸化、酸窒化または窒化処理工程、例えば、酸素ラジカルを用いた酸化処理工程、窒素ラジカルを用いた窒化処理工程、または、酸素ラジカルと窒素ラジカルの混合ラジカルやNHラジカルを用いた酸窒化処理工程を含のが、好ましい。
- [0086] また、前記絶縁膜形成工程は、Hf（ハフニウム）、La（ランタン）、Ti（チタニウム）、Al（アルミニウム）、O（酸素）、Si（シリコン）、Pr（プラセオジウム）、N（窒素）のいずれかを含む絶縁膜を堆積する膜形成工程を含んでもよい。
- [0087] 本発明に係るMOSトランジスタは、半導体層と、該半導体層上に直に設けたゲート絶縁膜と、該絶縁膜上に直に設けたゲート電極層とを有し、前記半導体層と前記ゲート絶縁膜との界面の全ての凹凸の大きさと、前記ゲート絶縁膜と前記ゲート電極層との界面の全ての凹凸大きさとが、前記ゲート絶縁膜の延在方向に平行する方向の長さであって、任意の領域の1μmの長さにおいて、前記ゲート絶縁膜の膜厚が薄いほどその薄さの程度に応じて小さいことを特徴とする。
- [0088] 本発明に於いてのMOSトランジスタでは、チャネルの極性はn型でもp型でもよい。
- [0089] 本発明に係るCMOS回路中の全てのMOSトランジスタは、上記のMOSトランジスタと同構成を有する。
- [0090] 以下に、本発明の実施の形態について、図面を参照して説明する。

[0091] 第1実施形態

本発明の第1実施形態に係るゲート絶縁膜の模式的断面図を図9に示す。

[0092] ゲート絶縁膜の半導体層側界面とゲート絶縁膜の表面（半導体層側界面の反対側の面）の原子間力顕微鏡像の夫々を図10の（a）（b）に示す。

[0093] 図10には平均粗さ R_a を、図11にはゲート絶縁膜面積（積層面の面積）が $4.0 \times 10^{-2} \text{ cm}^2$ であるゲート絶縁膜の絶縁破壊電界強度と破壊確率との関係が示される。

[0094] 図12には、ゲート絶縁膜面積が $4.0 \times 10^{-2} \text{ cm}^2$ であるゲート絶縁膜の一定ストレス電流 $+0.1 \text{ A/cm}^2$ 印加時の寿命の累積確率が示される。

[0095] Si半導体層901を有する半導体基板を用意した。

ここでは、シリコン（Si）を半導体層901として用いた。この半導体基板は、Siウエファの表面にエピタキシャル法によって半導体層901が形成されたもので、半導体層901表面の面方位は（100）面である。

半導体層901はn型で抵抗率は、 $10 \Omega \cdot \text{cm}$ であった。

[0096] 本発明に於いては、半導体層901として、その抵抗率が、望ましくは8乃至 $12 \Omega \cdot \text{cm}$ であるのが好ましい。

[0097] 半導体層901が設けてある基板もn型で、その抵抗率は $0.01 \Omega \cdot \text{cm}$ であった。

[0098] 本発明に於いては、基板の抵抗率は望ましくは 0.008 乃至 $0.012 \Omega \cdot \text{cm}$ であるのが好ましい。

[0099] 本発明に於いては、半導体層901の極性はp型でもよく、またCz法、FZ法によって製造されたものでもよい。

また、半導体層901の面方位は（100）面に限らない。

[0100] 先ず、平坦化処理を行った。

次いで、半導体層901の表面を酸化処理して絶縁性酸化膜を形成した。

[0101] ここでは、温度 1000°C にして、水分と酸素との混合雰囲気下で半導体層901表面に $1 \mu\text{m}$ 厚さの酸化膜を形成した。

[0102] この形成した酸化膜を塩酸とフッ酸との混合薬液を用いて除去した。

[0103] この平坦化処理によって、半導体層 901 の (100) 表面は 0.06 nm の平均粗さになった。表面に平行する方向の長さ 1 μ m の領域における凹凸の大きさの最大は 0.6 nm であった。

[0104] 本発明では、平坦化処理の一部として、光が遮断され、薬液の溶存酸素濃度が 1 ppb 以下の環境下において、希フッ酸薬液に半導体基板を浸漬する方法を用いるのは、本発明の好ましい態様である。

[0105] その後、上記のようにして形成した 0.06 nm の平均粗さを有する半導体層 901 表面を酸素ラジカル法で酸化してゲート絶縁膜 902 を形成した。

[0106] 即ち、マイクロ波励起高密度プラズマ装置を用いた酸素ラジカルを酸化種とする酸化方法を用いてゲート絶縁膜 902 を形成した。形成したゲート絶縁膜 902 の膜厚は 6.0 nm であった。

[0107] 半導体層 901 とゲート絶縁膜 902 との界面及び形成したゲート絶縁膜 902 の表面の平均粗さは、0.06 nm のまま維持されていることが確認された。

[0108] この際の半導体層側界面 904 の凹凸 906 の中最大の凹凸の大きさは、ゲート絶縁膜 902 の平均膜厚の 10% であった。

[0109] ゲート絶縁膜 902 の形成後、ゲート絶縁膜 902 の表面にゲート電極 903 を以下のようにして形成した。

[0110] 即ち、低圧化学気相成長法を用いて、P (燐) を約 $3 \times 10^{20} \text{ cm}^{-3}$ ドープしたアモルファス Si 膜をゲート絶縁膜 902 上に 150 nm の膜厚に成膜し、成膜したアモルファス Si 膜を温度 900°C で 30 分間アニールした。このアニールにより、P (燐) を活性化させるとともに、アモルファス Si 膜を n+ 型の多結晶 Si 化することが出来た。

[0111] 本発明に於いては、ノンドープのアモルファス Si 膜を成膜してから、該アモルファス Si 膜に P (燐) イオンを注入し、その後、P (燐) イオンを活性化させて n+ 型多結晶 Si 化してもよい。

この様にして、n+ 型多結晶 Si のゲート電極 903 を形成した。

[0112] 本発明に於いては、ゲート電極の極性はn+型に限られるものではなくp+型としてもよい。また、ゲート電極903はTi（チタン）、Ta（タンタル）、W（タングステン）、Al（アルミニウム）等の金属やTiN（窒化チタン）、Ta₂N₅（窒化タンタル）などの導電性窒化物を用いてもよい。

[0113] その後、ゲート電極903をその表面が $4.0 \times 10^{-2} \text{ cm}^2$ の面積になるようにパターニングした。

このようにして作成したゲート絶縁膜903の耐压特性を測定した。

[0114] その際の絶縁破壊電界強度と破壊確率との関係が図11に示される。図11によると、絶縁破壊電界強度が小さい範囲（即ち、 14.0 MV/cm 以下の範囲）における破壊確率が小さい（ゼロである）ことが分かる。

[0115] また、一定ストレス電流 $+0.1 \text{ A/cm}^2$ 印加時の寿命の累積確率が図12に示される。

[0116] 図12によると、寿命が小さい範囲（即ち、 10^3 秒以下の範囲）の累積破壊確率が小さいことが分かる。

[0117] 第2実施形態

本発明の第2実施形態に係るゲート絶縁膜の模式的断面図を図13に示す。

[0118] 図14の（a）（b）には、平坦化工程後の半導体層表面の原子間力顕微鏡像と表面高さのプロファイルを示す。

[0119] 図15の（a）には、ゲート絶縁膜の半導体層側界面の原子間力顕微鏡像及び平均粗さ R_a を、図15の（b）には、ゲート絶縁膜の表面の原子間力顕微鏡像及び平均粗さ R_a が示される。

[0120] 図16には、形成したゲート絶縁膜の絶縁破壊電界強度と破壊確率との関係が示される。

[0121] 図17には、形成したゲート絶縁膜の一定ストレス電流 $+0.1 \text{ A/cm}^2$ 印加時の寿命の累積確率が示される。

[0122] 半導体基板としては、第1実施態様と同様のものを使用した。

半導体層はn型でその抵抗率は $10 \text{ } \Omega \cdot \text{cm}$ であった。

[0123] n型の半導体層が形成された基体は、n型Si基体で、その抵抗率は0.01 $\Omega \cdot \text{cm}$ であった。まず、好適にはSi半導体層表面の凹凸を、Si基体の表面の面方位(100)面における原子間の最小の段差の大きさとするための表面平坦化処理を行った。

[0124] 即ち、Si半導体層表面の自然酸化膜を希フッ酸薬液によって除去した後に、大気圧下の高洗浄なAr雰囲気中において熱処理を行い、Si半導体層表面の平坦化を行った。

熱処理条件は、900℃で1時間であった。

[0125] 本発明において、平坦化処理の際の熱処理中の雰囲気は、H₂(水素)もしくはAr/H₂(アルゴン/水素)であってもよい。

また、熱処理中の圧力は、大気圧よりも低圧としてもよい。

[0126] この平坦化処理によって、図14に示すように、Si半導体層の(100)面の表面は、原子レベルで平坦化されている。

[0127] 原子間力顕微鏡で測定された平均粗さR_aは0.04 nmとなっているが、これは前述したように原子間力顕微鏡の測定ノイズレベルである。表面に平行する方向の長さ1 μm の領域における凹凸は、図14の(a)及び(b)からも明らかな通り、Si半導体層(100)面における原子間の最少の段差の大きさである0.14 nmとなっている。

[0128] その後、上記のように原子レベルで表面を平坦化されたSi半導体層上に、マイクロ波励起高密度プラズマ装置を用いた酸素ラジカルを酸化種とする酸化方法を用いて酸化絶縁膜を形成することでゲート絶縁膜を形成した。

この際のゲート絶縁膜の膜厚は6 nmであった。

[0129] Si半導体層と形成したゲート絶縁膜との界面の凹凸の大きさ(図15(a)参照)と、形成したゲート絶縁膜の表面を原子間力顕微鏡で観測した際の平均粗さR_aは、0.04 nmのまま維持されることが確認された(図15(b)参照)。

[0130] その後、ゲート電極を4.0 $\times 10^{-2} \text{cm}^2$ の面積にパターニングした。

パターニングされたゲート絶縁膜の絶縁破壊電界強度と破壊確率との関係

を図 16 に示す。図 16 に示されているように、絶縁破壊電界強度が小さい範囲（即ち、 14.5 MV/cm 以下の範囲）における破壊確率が小さい（ゼロである）ことが分かる。

[0131] また、パターニングされたゲート絶縁膜の一定ストレス電流 $+0.1 \text{ A/cm}^2$ 印加時の寿命の累積確率を図 17 に示す。図 17 によれば、寿命が小さい範囲（ 2×10^3 秒以下の範囲）での累積破壊確率が小さいことが分かる。

[0132] 第 3 実施形態

本発明の第 3 実施形態に係る MOS トランジスタの断面構造図を図 18 に示す。ここでは、第 1 あるいは第 2 実施形態で説明したゲート絶縁膜を備えている n 型チャネル MOS トランジスタについて記載するが、p 型チャネル MOS トランジスタであってもよい。

[0133] 図 18 に示す n 型チャネル MOS トランジスタ 1800 の場合、Si からなる半導体層 1801 のゲート絶縁膜 1802 との界面 1804 付近の主な不純物としては、B（ボロン）を使用している。

[0134] ゲート絶縁膜 1802 上にゲート電極 1803 が形成され、ゲート絶縁膜 1802 とゲート電極 1803 との間には、界面 1805 が形成される。半導体層 1801 とゲート絶縁膜 1802 との界面 1804 の平均粗さが、ゲート絶縁膜 1802 の表面における平均粗さにそのまま反映されるように形成されていることは、第 2 実施形態と同様である。

[0135] ゲート電極 1803 の形成後、ソース領域 1808、ドレイン領域 1809 を形成するために、As（砒素）イオンを 20 keV 、 $2 \times 10^{15} \text{ cm}^{-2}$ という条件でイオン注入を行った。その後、温度 1000°C 、5 秒間のアニールを行い、As（砒素）イオンを活性化させた。

[0136] イオン注入条件は、作成するソース領域、ドレイン領域の n+ 層の深さを目標の深さにするために調整してもよい。

[0137] ここで、注入するイオン種は As（砒素）を含むクラスターイオンとしてもよい。また、注入するイオン種は P（リン）イオンとしてもよい。本実施形態に係る MOS トランジスタは、ゲート絶縁膜の絶縁破壊電界、及び寿命

について、第1あるいは第2実施形態と同様の効果を有していた。

[0138] また、半導体層に形成されるチャネルに印加される電界にばらつきの発生が実質的にみられなかった。

[0139] 第4実施形態

本発明の第4実施形態に係るCMOS回路の模式的断面構造図を図19に示す。

[0140] 図19に示すCMOS回路1900は、第3実施形態で説明したn型チャネルMOSトランジスタ（左側トランジスタ：「図19の（a）」）とp型チャネルMOSトランジスタ（右側トランジスタ：「図19の（b）」）の直列接続からなるCMOSインバーター回路である。

[0141] n型MOSトランジスタ（a）のソース領域1908aはグラウンド端子1910に接続されている。

[0142] p型MOSトランジスタ（b）のソース領域1908bは電源端子1911bへ接続されている。

[0143] また、p型MOSトランジスタ（a）のゲート電極1903aとp型MOSトランジスタ（b）のゲート電極1903bは共に入力端子1912に接続されている。

[0144] ドレイン領域1909a、1909bは共に出力端子1913に接続されている。

[0145] n型MOSトランジスタのゲート絶縁膜1902a及びp型MOSトランジスタのゲート絶縁膜1902b、及び界面1904a、1904b、1905a、1905bは、第3実施形態と同様に形成した。

[0146] 本実施形態に係るCMOS回路は、ゲート絶縁膜の絶縁破壊電界、及び寿命について、第1あるいは第2実施形態と同様の効果を有していた。

[0147] また、半導体層に形成されるチャネルに印加される電界にばらつきの発生が実質的にみられなかった。

[0148] 第5実施形態

本発明の第5実施形態に係るフローティングゲート型トランジスタからな

る半導体メモリの模式的断面図を図20に示す。

[0149] 図20に示す半導体メモリ2000は、ゲート絶縁膜2002、フローティングゲート電極2014の構成を、第3実施形態で説明したn型チャンネルMOSトランジスタと同等の構成とされている。

[0150] 半導体メモリ2000は、フローティングゲート電極上2014に電極間絶縁膜2015、制御ゲート電極2016が順に積層された構造を備えている。

更にソース領域2008、ドレイン領域2009をも備えている。

[0151] 本実施形態に係る半導体メモリ2000は、ゲート絶縁膜の絶縁破壊電界、及び寿命について、第1あるいは第2実施形態と同様の効果を有していた。

[0152] 書き込み時にゲート絶縁膜2002を介してソース領域2008からドレイン領域2009に流す電流のばらつきが抑制されていた。その理由は、ゲート絶縁膜2002に印加される電界のばらつきが抑制されているためであると考えられる。

[0153] ゲート絶縁膜2002を介して流す電流のばらつきが抑制されることから、書き込み不良や、読み出し不良の原因となるストレス誘起リーク電流のばらつきも抑制されていた。

[0154] 第5実施形態に係る半導体メモリ2000（フローティングゲート型トランジスタ）は、書き込み不良や読み出し不良が抑制された信頼性の高い半導体メモリであることが示された。

産業上の利用可能性

[0155] 本発明は、絶縁膜、MOSキャパシタ、MOSトランジスタ、これらの少なくとも一つを採用したCMOS回路や半導体メモリ回路、及びそれらの製造方法に適用できる。

符号の説明

[0156] 101, 501, 901, 1301・・・半導体層
102, 502, 902, 1302, 1802, 1902a, 1902b・

・ ・ ゲート絶縁膜

103, 503, 903, 1303, 1803, 1903a, 1903b・

・ ・ ゲート電極

104, 504, 904, 1304, 1804, 1904a, 1904b・

・ ・ 半導体層側界面

105, 505, 905, 1305, 1805, 1905a, 1905b・

・ ・ 電極側界面

106, 506, 906, 1306・ ・ ・ ・ ・ 半導体層側界面の凹凸

107, 507, 907, 1307・ ・ ・ ・ ・ 電極側界面の凹凸

118, 518, 918, 1318・ ・ ・ ・ ・ ゲート絶縁膜の膜厚

1800・ ・ ・ ・ ・ n型チャネルMOSトランジスタ

1808・ ・ ・ ・ ・ ソース領域

1809・ ・ ・ ・ ・ ドレイン領域

1900・ ・ ・ ・ ・ CMOSインバーター回路

1910・ ・ ・ ・ ・ グ라운드端子

1911・ ・ ・ ・ ・ 電源端子

1912・ ・ ・ ・ ・ 入力端子

1913・ ・ ・ ・ ・ 出力端子

2000・ ・ ・ ・ ・ 半導体メモリ

2014・ ・ ・ ・ ・ フローティングゲート電極

2015・ ・ ・ ・ ・ 電極間絶縁膜

2016・ ・ ・ ・ ・ 制御ゲート電極

請求の範囲

- [請求項1] 半導体層と、
 前記半導体層と界面で形成して接触する絶縁膜と、
 前記絶縁膜と前記半導体層とは反対側で界面を形成して接触する電極層と
 を有し、
 前記半導体層と前記絶縁膜との界面の凹凸の大きさと、前記絶縁膜と前記電極層との界面の凹凸の大きさが、それぞれ、前記絶縁膜の延在する方向に平行な方向の長さ $1\ \mu\text{m}$ の領域において、前記絶縁膜の厚さが小さいほどその小ささに対応した小ささであることを特徴とする半導体装置。
- [請求項2] 前記半導体層と前記絶縁膜との界面の凹凸の大きさが前記絶縁膜の厚さの 10% 以下で、かつ前記絶縁膜と前記電極層との界面の凹凸の大きさが前記絶縁膜の厚さの 10% 以下であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記両界面の凹凸が、それぞれ前記半導体層の面方位における原子間の最小の段差であることを特徴とする請求項1又は2に記載の半導体装置。
- [請求項4] 半導体層と、
 該半導体層上に直に接触している絶縁膜と、
 前記半導体層とは反対側で前記絶縁膜と直に接触している電極と、
 を有する半導体装置の製造方法であって、
 該製造方法の工程中に、
 用意した半導体層の表面の凹凸の大きさを、形成される絶縁膜の厚さの 10% 以下にするための平坦化工程と、
 前記半導体層と前記絶縁膜の接する界面の凹凸の大きさと絶縁膜の前記電極を設ける表面の凹凸の大きさがそれぞれ前記形成する絶縁膜の厚さの 10% 以下になるような酸化、酸窒化または窒化方法によっ

て前記絶縁膜を形成する絶縁膜形成工程と、
を含むことを特徴とする半導体装置の製造方法。

[請求項5] 前記平坦化工程が、
前記半導体層表面の凹凸を、前記半導体層の面方位における原子間の
最小の段差にするための平坦化工程を含み、
前記絶縁膜形成工程が、
前記半導体層と前記絶縁膜の接する界面の凹凸の大きさと絶縁膜の前
記電極を設ける表面の凹凸の大きさがそれぞれ前記段差の大きさと同
等乃至は実質的に同等となるように、酸化、酸窒化または窒化方法に
よって絶縁膜を形成する工程を含む
請求項4に記載の半導体装置の製造方法。

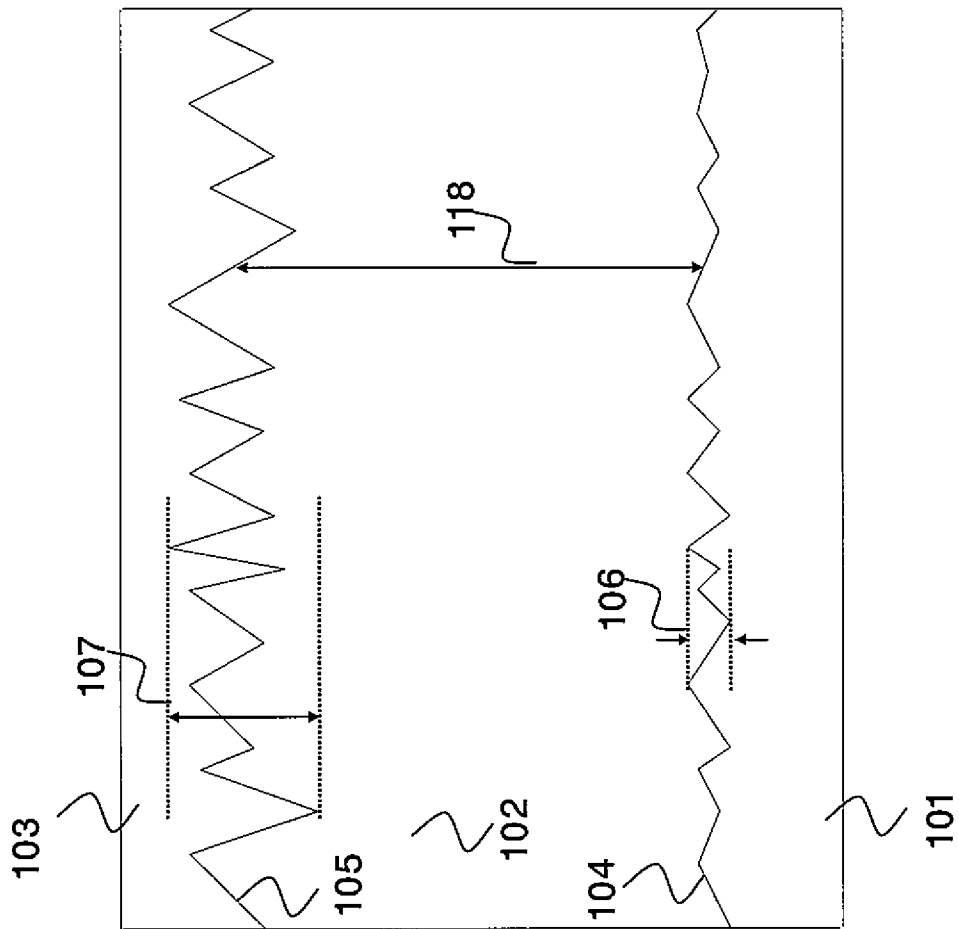
[請求項6] 前記平坦化工程は、
水分または酸素の雰囲気、または水分と酸素の混合した雰囲気下にお
いて900℃以上の温度で前記用意した半導体層上に酸化膜を形成し
、該形成した酸化膜を、フッ酸を含む薬液を用いて除去する工程
を含む請求項4に記載の半導体装置の製造方法。

[請求項7] 前記平坦化工程は、
前記用意した半導体層は、その表面の自然酸化膜を除去した後に、A
r, H₂, Ar/H₂のいずれかの雰囲気中において800℃以上の
温度で熱処理する工程を含むこと請求項4に記載の半導体装置の製造
方法。

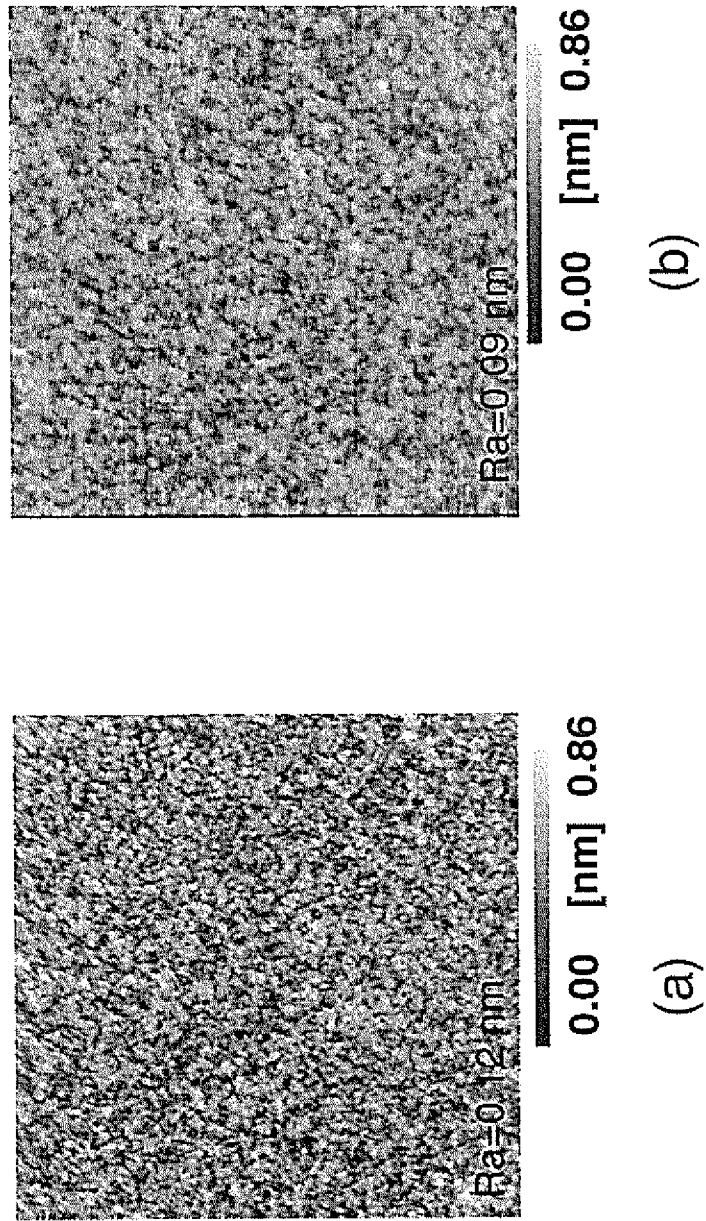
[請求項8] 半導体層と、
該半導体層と直に接触している絶縁膜と、
該絶縁膜と前記半導体層とは反対側で直に接触している電極とを有
し、
前記半導体層と前記絶縁膜の界面の凹凸の大きさが、前記絶縁膜と
前記電極との界面の凹凸の大きさに反映されるように、前記絶縁膜の
厚さ及び前記両界面の凹凸が形成されていることを特徴とする半導体

装置。

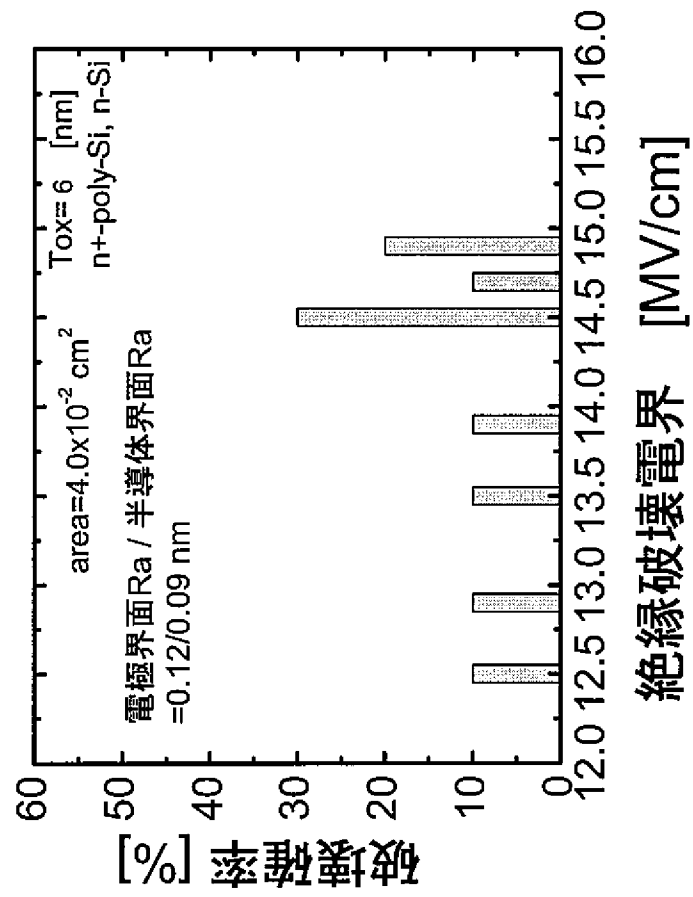
[図1]



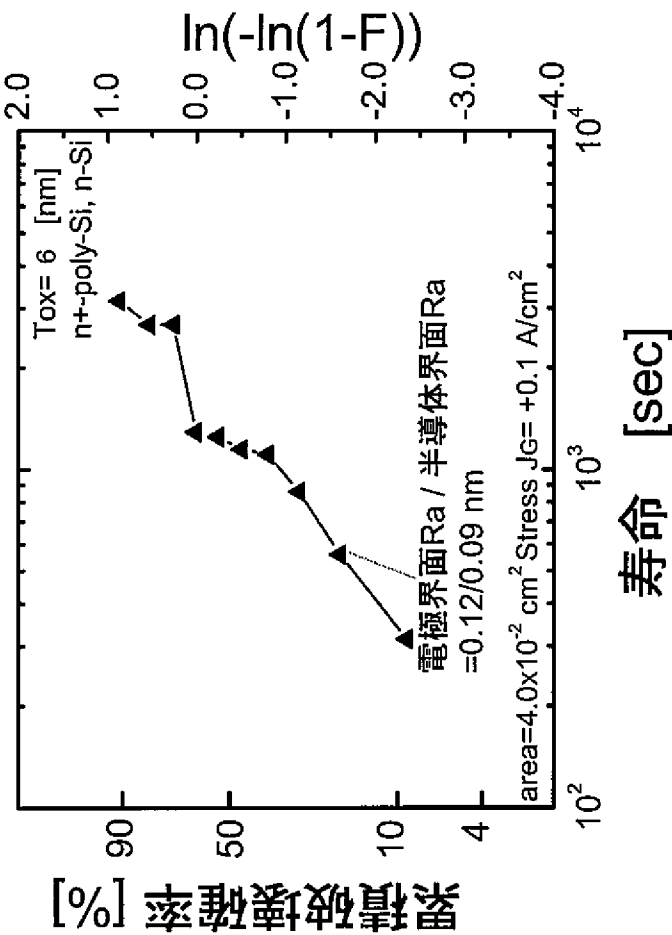
[図2]



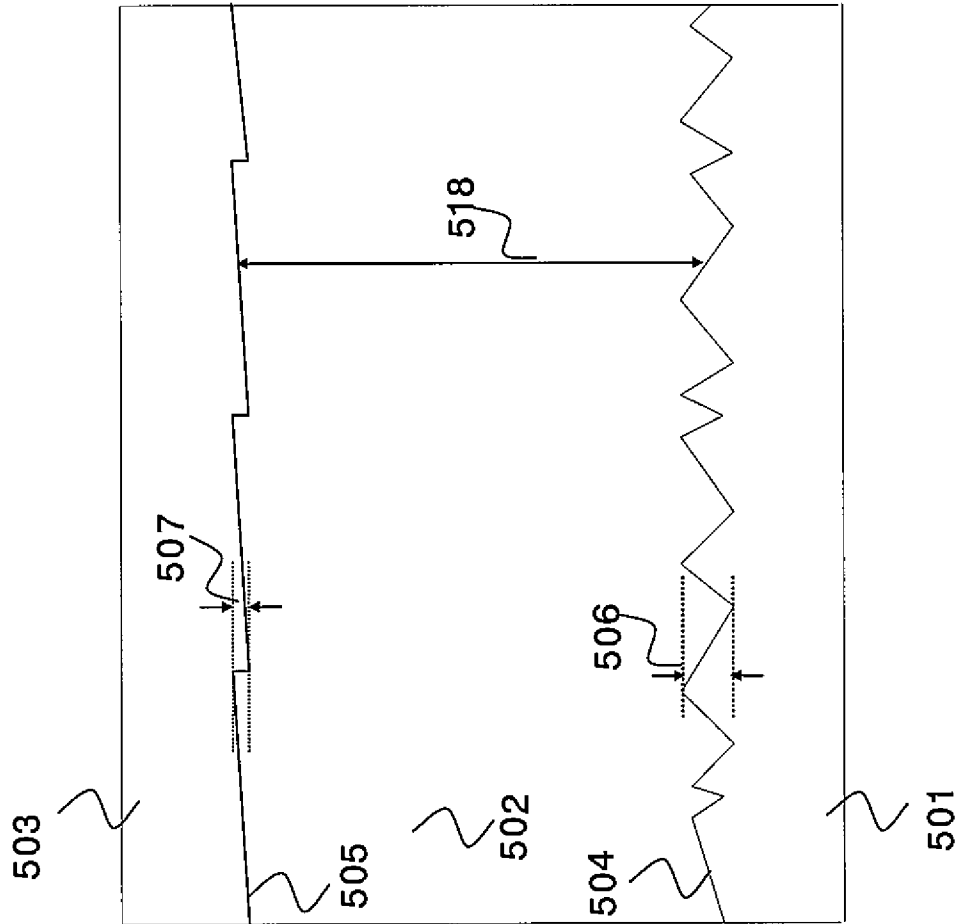
[図3]



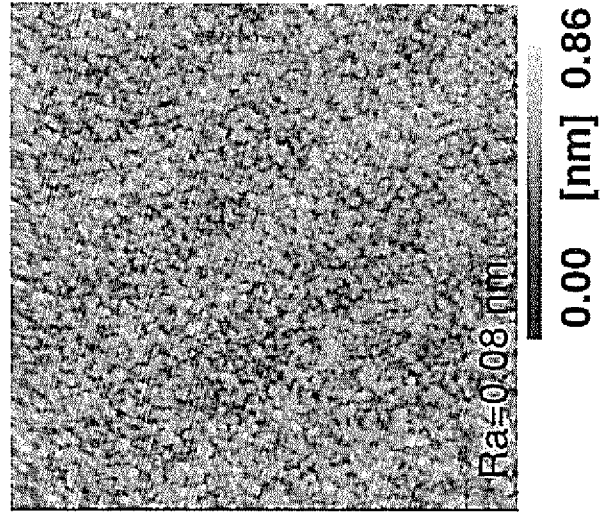
[図4]



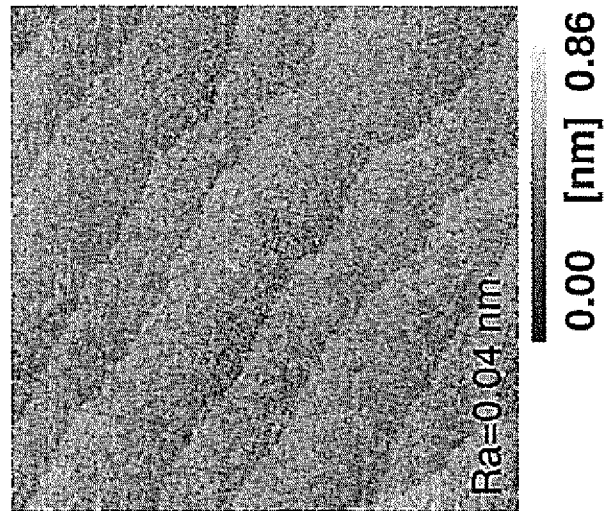
[図5]



[図6]

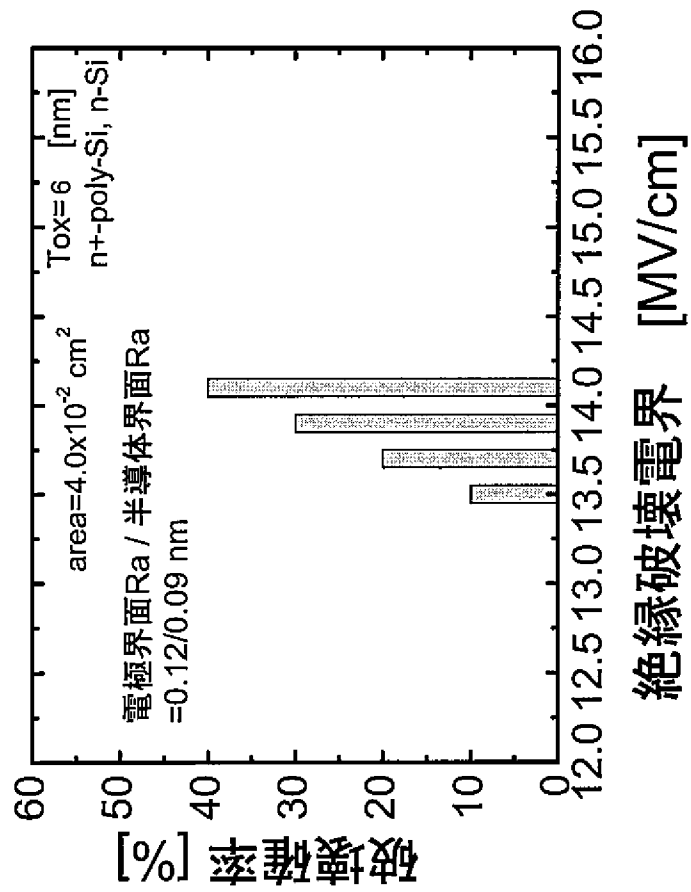


(b)

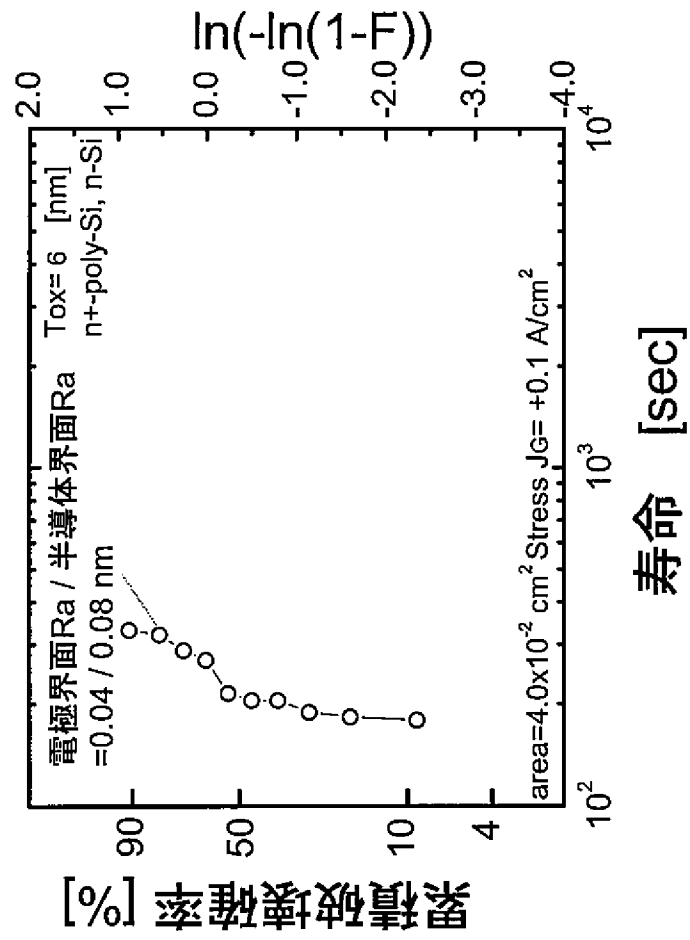


(a)

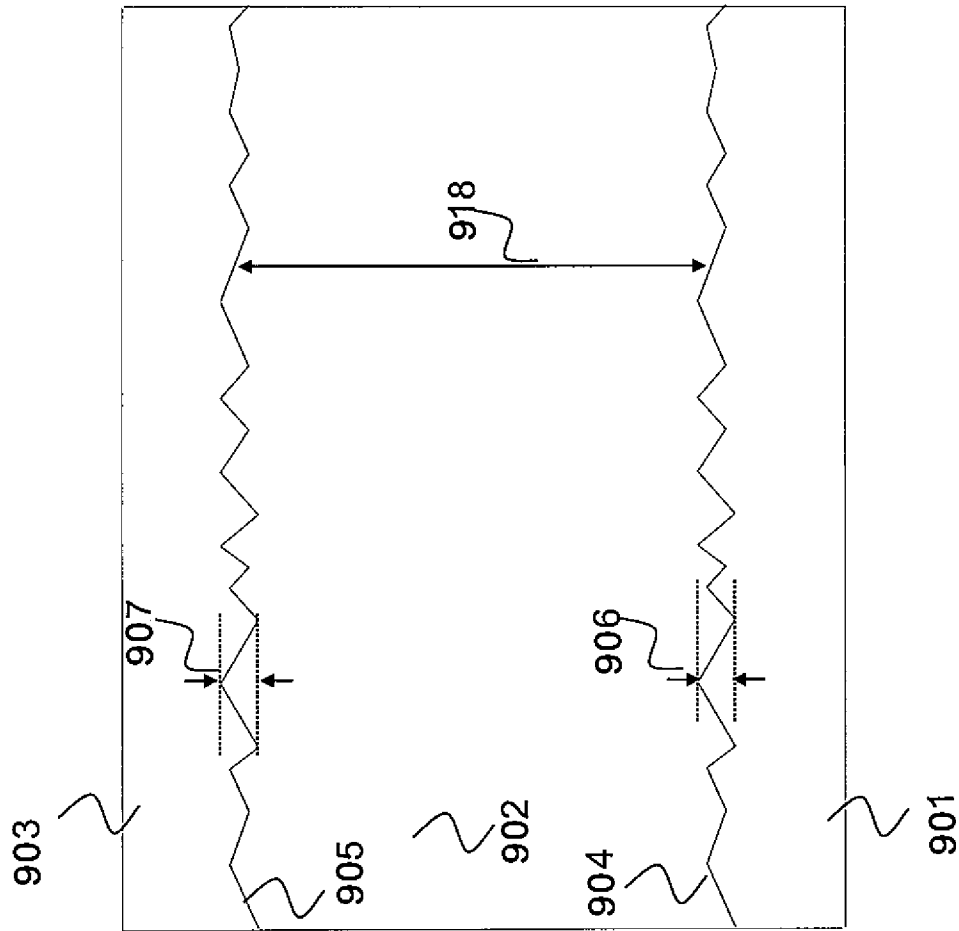
[図7]



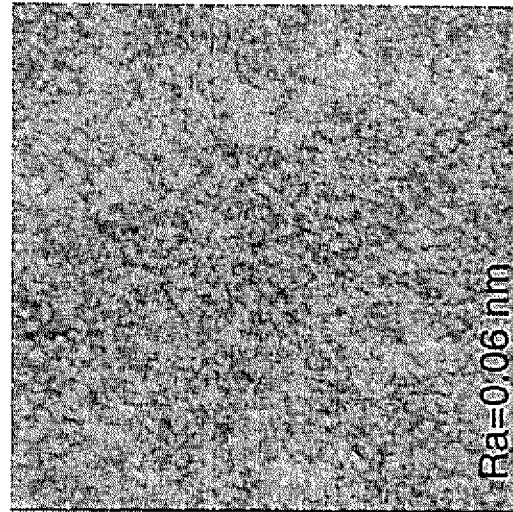
[図8]



[図9]

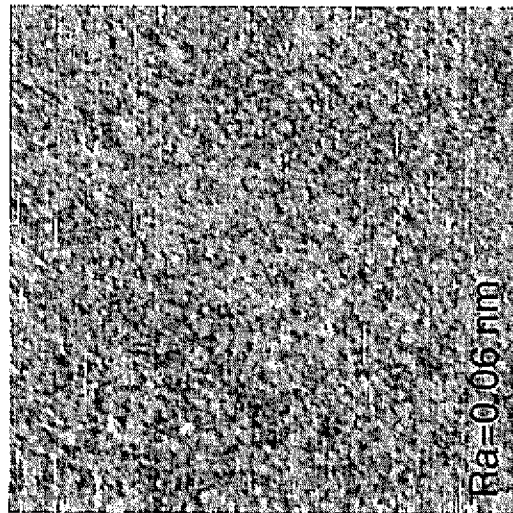


[図10]



0.00 [nm] 0.86

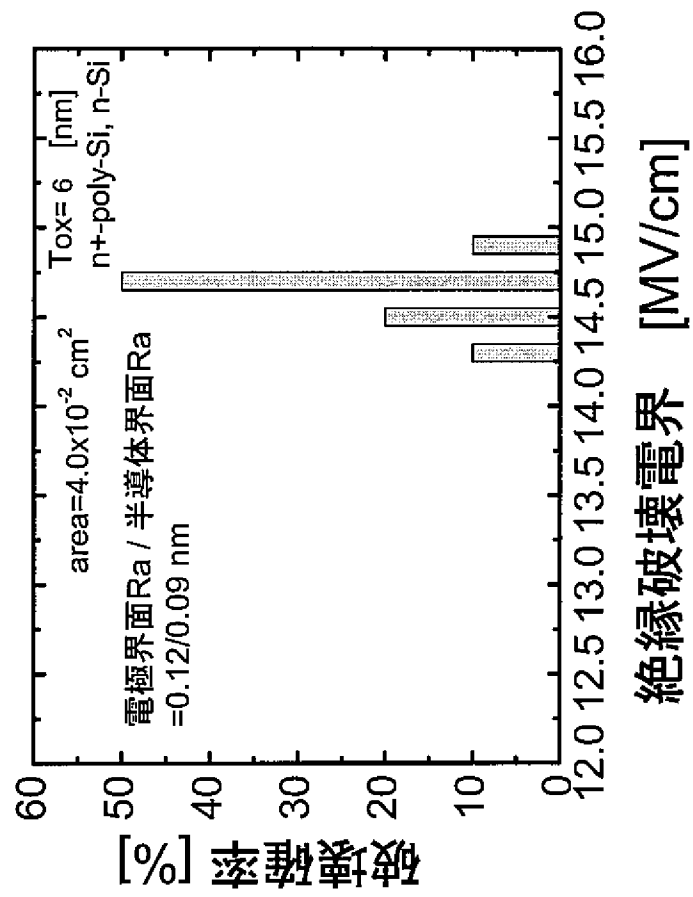
(b)



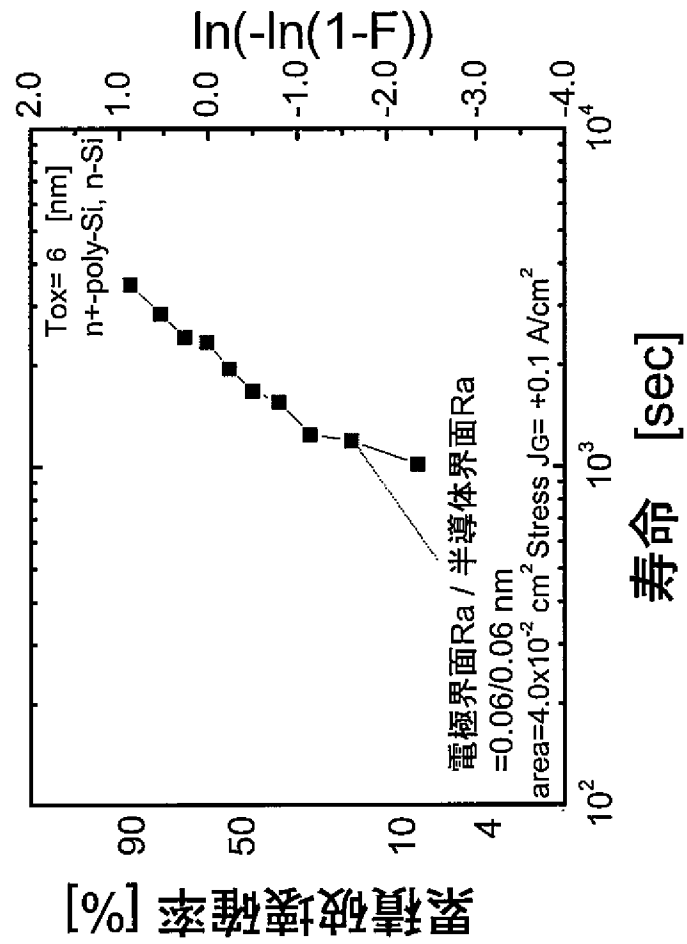
0.00 [nm] 0.86

(a)

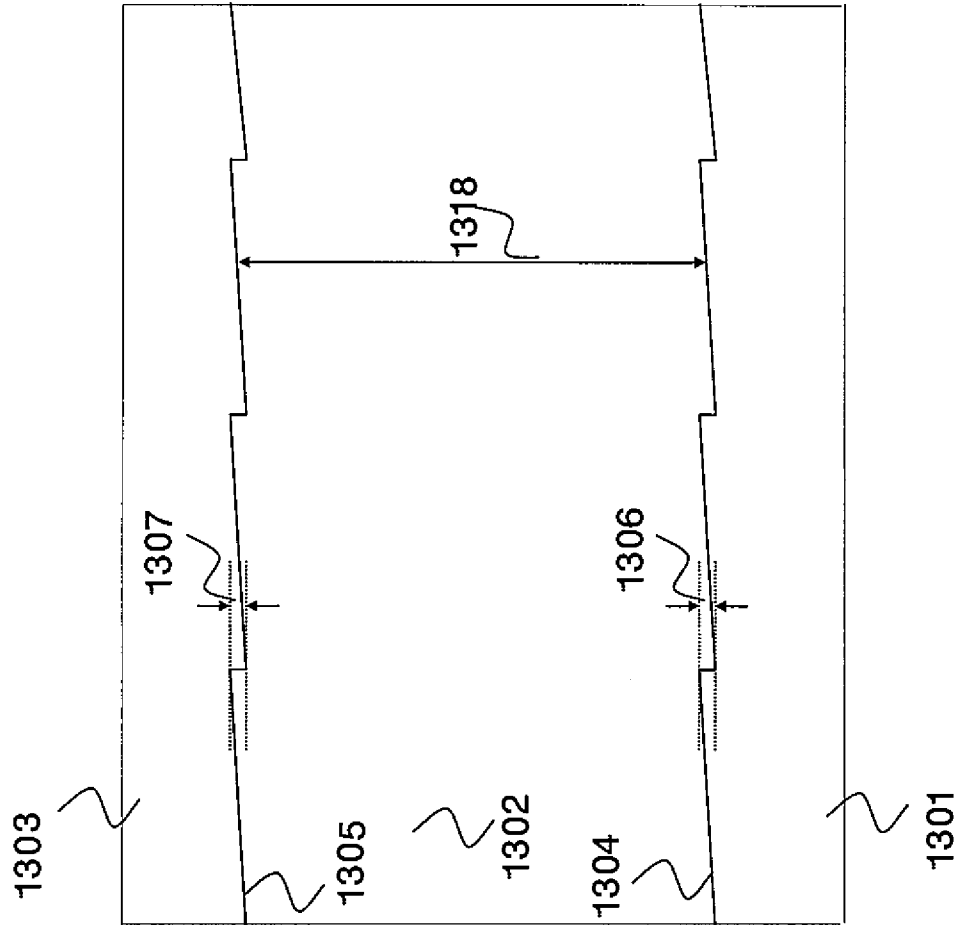
[図11]



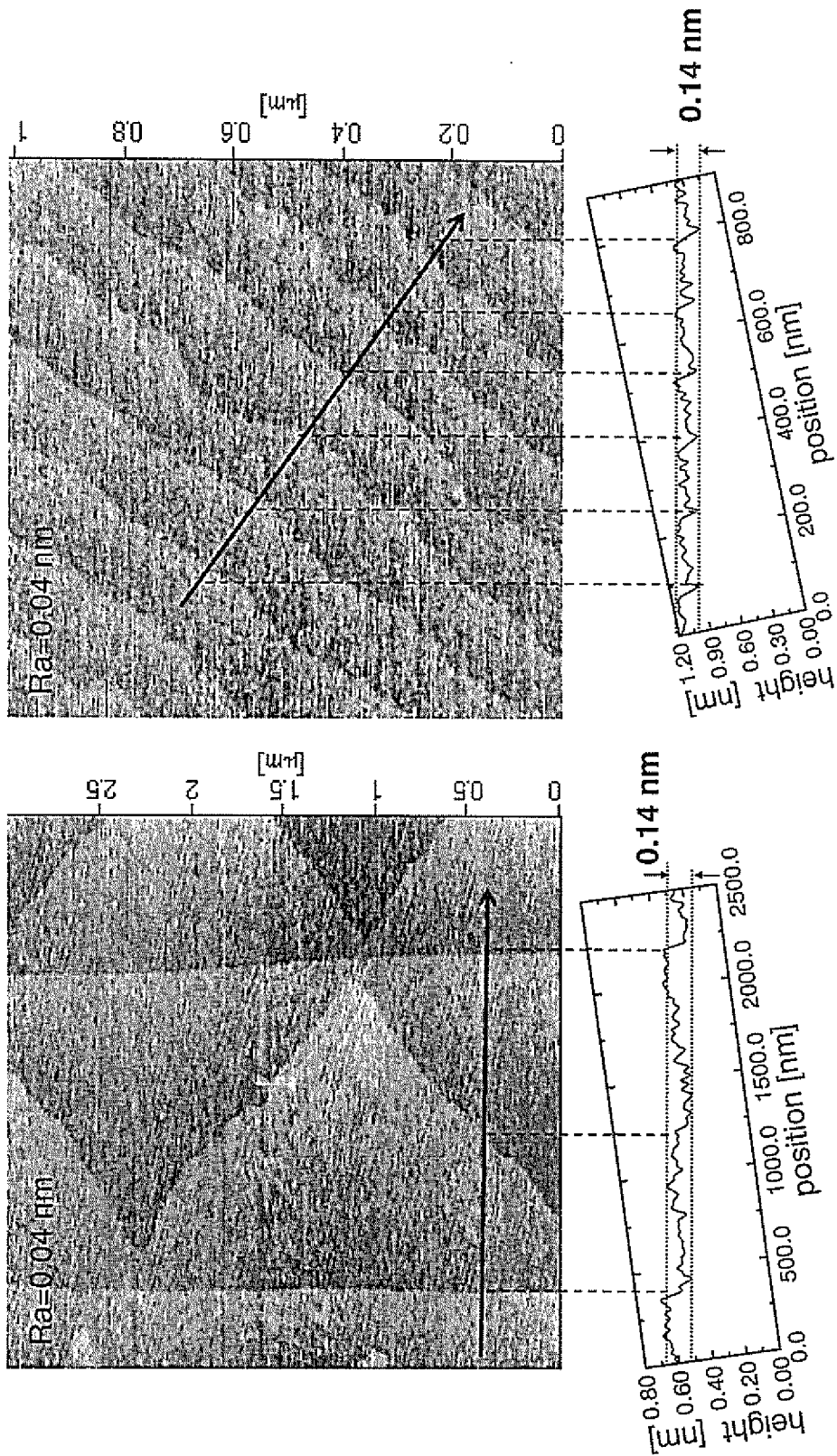
[図12]



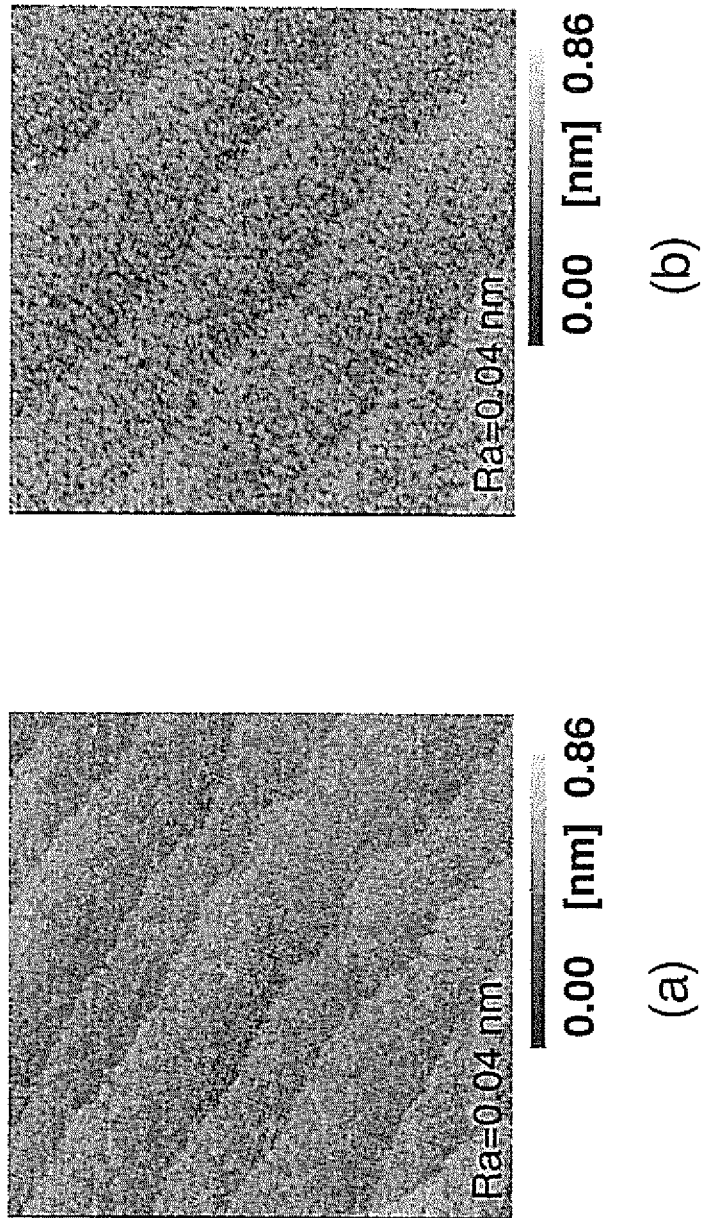
[図13]



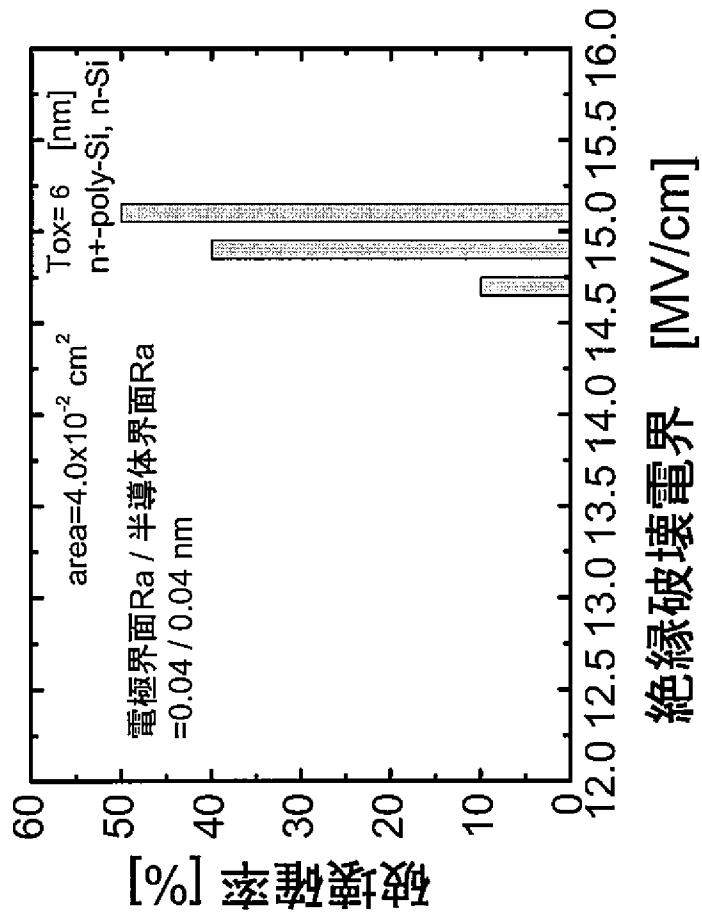
[図14]



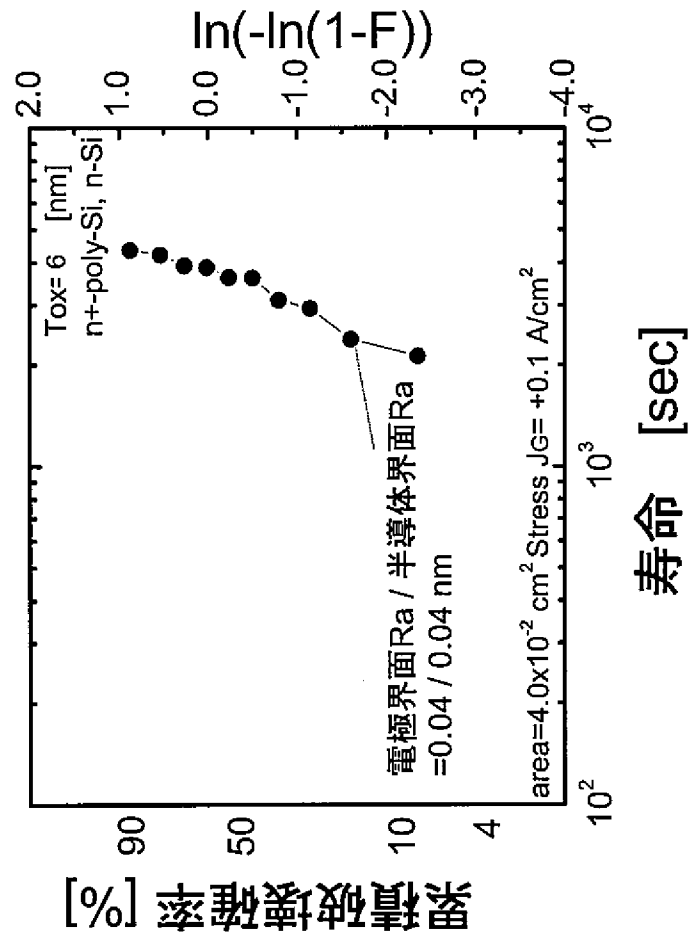
[図15]



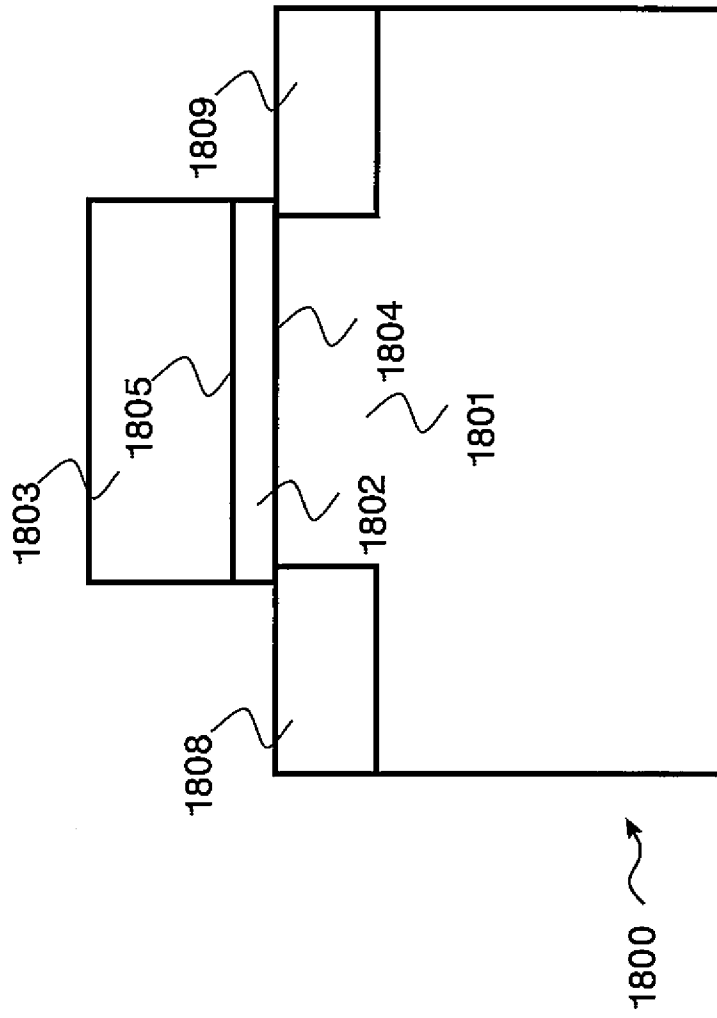
[図16]



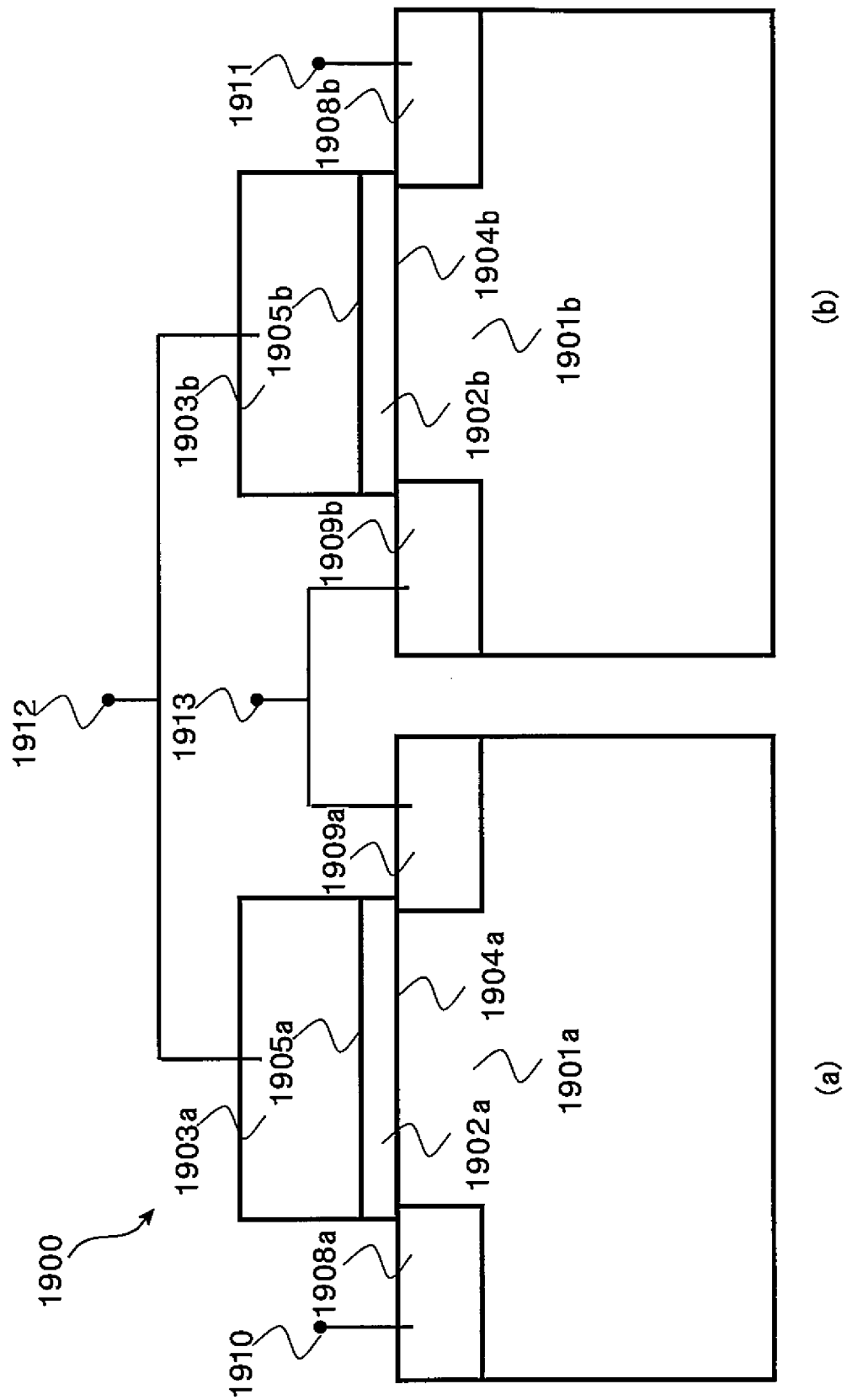
[図17]



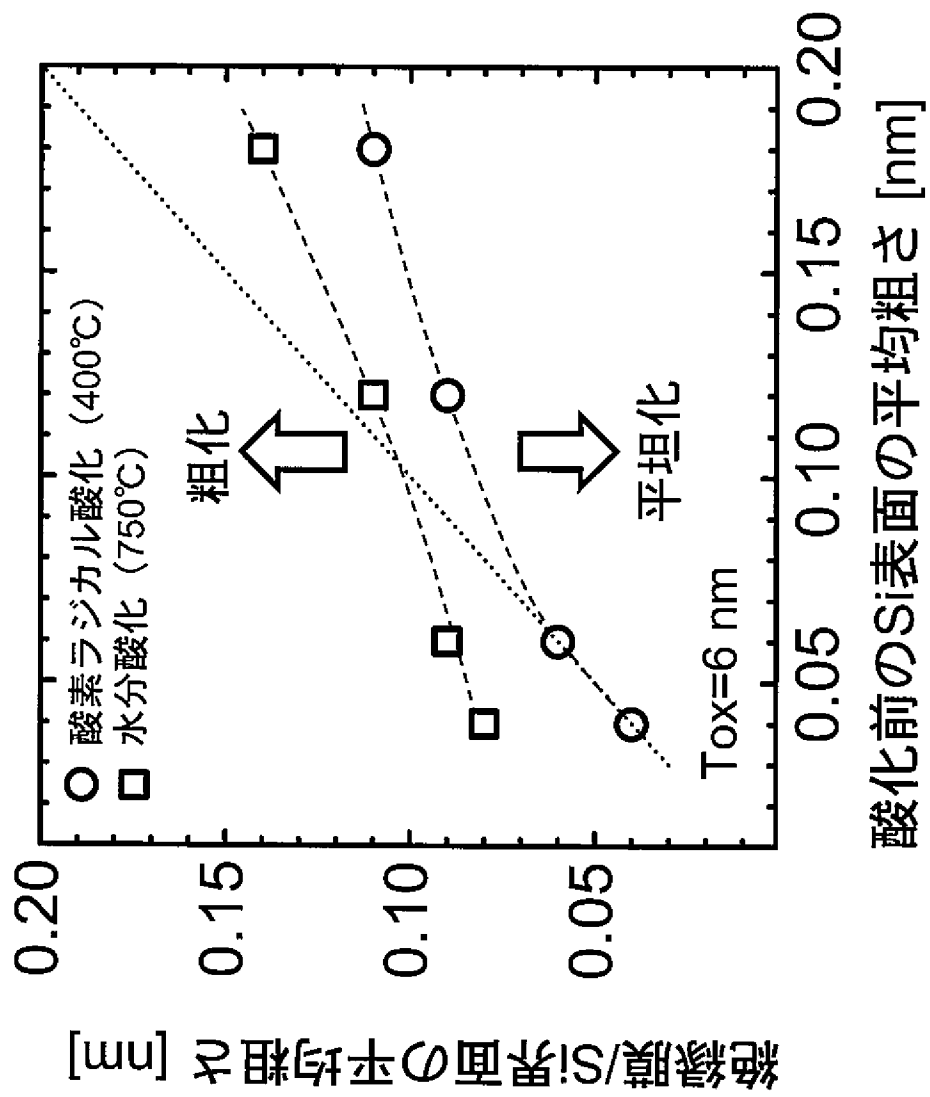
[図18]



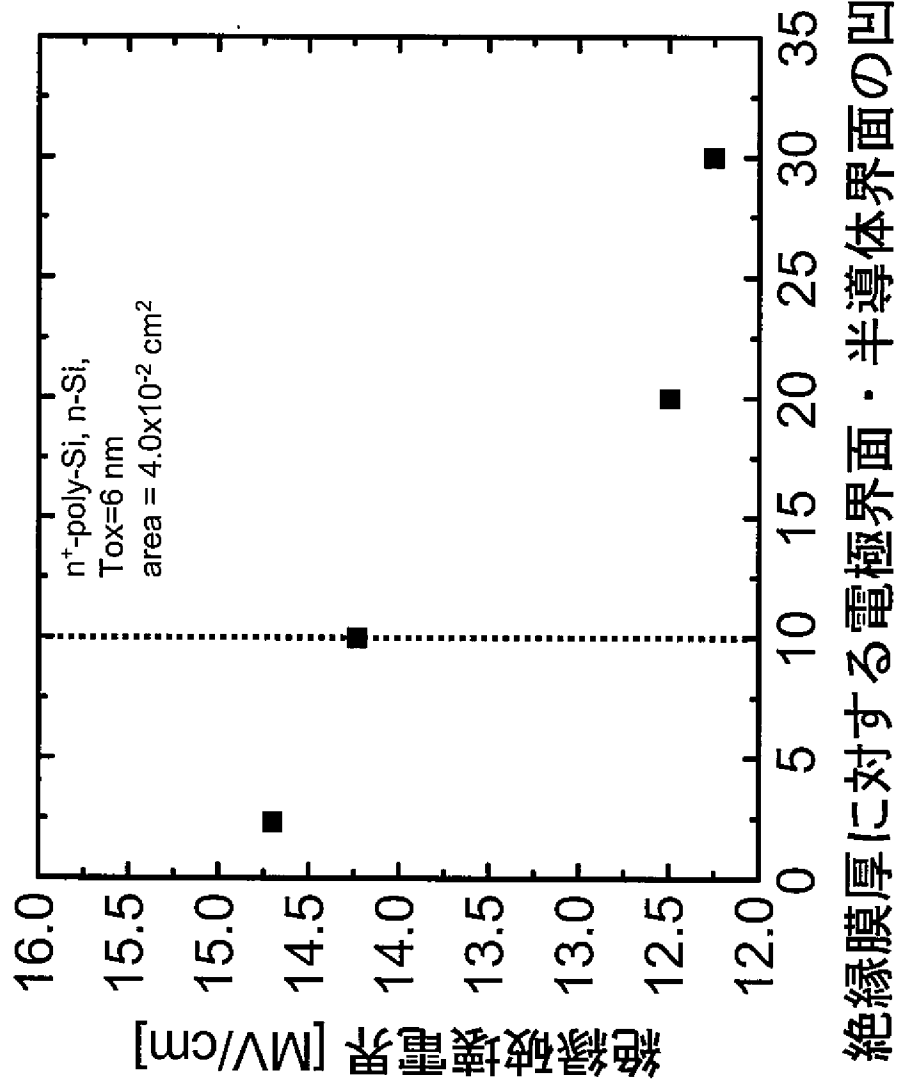
[図19]



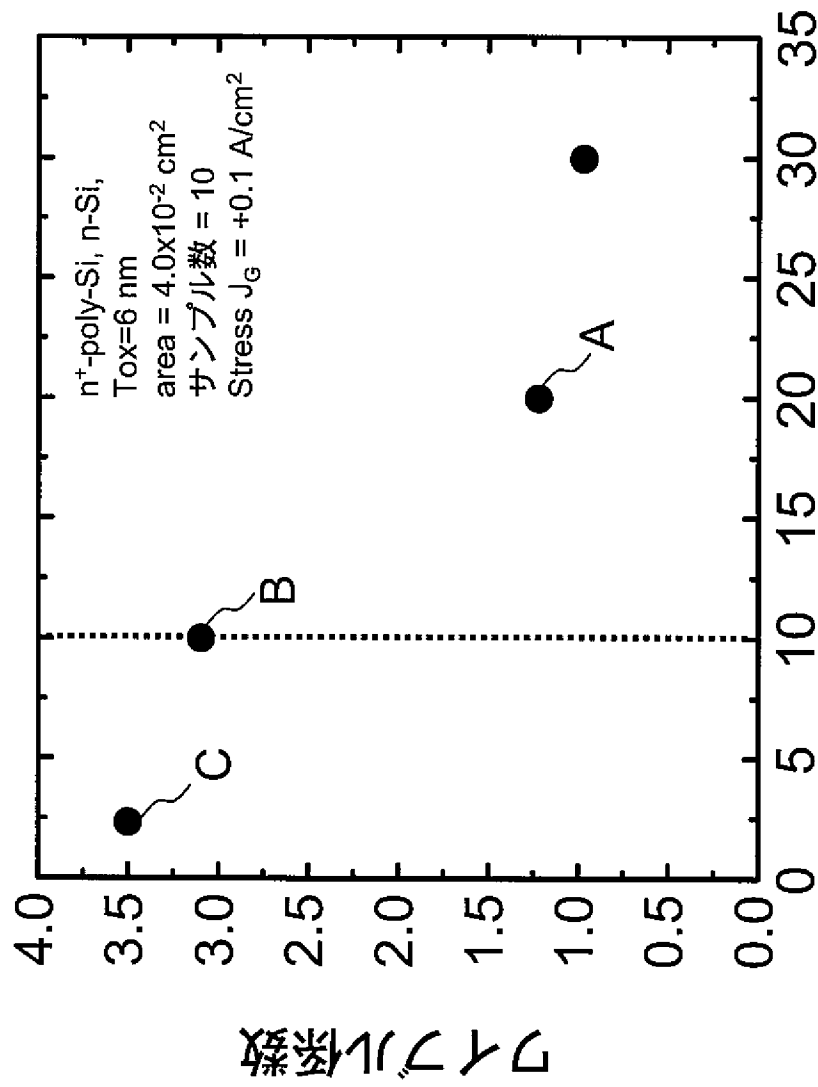
[図21]



[図22]



[図23]



絶縁膜厚に対する電極界面・半導体界面の凹凸 [%]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079799

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/316(2006.01)i, H01L21/318(2006.01)i,
H01L21/8238(2006.01)i, H01L21/8247(2006.01)i, H01L27/092(2006.01)i,
H01L27/115(2006.01)i, H01L29/78(2006.01)i, H01L29/788(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/316, H01L21/318, H01L21/8238, H01L21/8247, H01L27/092,
H01L27/115, H01L29/78, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-45204 A (Hikari KOBAYASHI), 25 February 2010 (25.02.2010), paragraphs [0025] to [0027], [0035]; fig. 1 to 6 (Family: none)	1, 2, 4, 8 3, 5-7
Y	WO 2011/096417 A1 (Tohoku University), 11 August 2011 (11.08.2011), paragraphs [0023], [0042], [0056]; fig. 1 to 12 & CN 102741977 A & TW 201200648 A	3, 5, 7
Y	JP 11-111674 A (Shin-Etsu Handotai Co., Ltd.), 23 April 1999 (23.04.1999), paragraph [0018]; fig. 1 to 2 (Family: none)	6

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 December, 2012 (11.12.12)

Date of mailing of the international search report
18 December, 2012 (18.12.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079799

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-93562 A (Tadahiro OMI), 07 April 2005 (07.04.2005), paragraphs [0035] to [0049]; fig. 1 to 8 & US 2004/0108575 A1 & EP 1427003 A2 & CA 2451887 A & KR 10-2004-0048361 A & CN 1510755 A & SG 124265 A & AU 2003264642 A	1-8
A	JP 2010-50230 A (Shin-Etsu Handotai Co., Ltd.), 04 March 2010 (04.03.2010), paragraphs [0025] to [0054]; fig. 1 to 10 (Family: none)	1-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079799

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

H01L29/792(2006.01) i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, H01L21/316(2006.01)i, H01L21/318(2006.01)i, H01L21/8238(2006.01)i, H01L21/8247(2006.01)i, H01L27/092(2006.01)i, H01L27/115(2006.01)i, H01L29/78(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L21/316, H01L21/318, H01L21/8238, H01L21/8247, H01L27/092, H01L27/115, H01L29/78, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-45204 A (小林光) 2010.02.25, 段落 0025-0027, 0035, 第 1-6 図 (ファミリーなし)	1, 2, 4, 8 3, 5-7
Y	WO 2011/096417 A1 (国立大学法人東北大学) 2011.08.11, 段落 0023, 0042, 0056, 第 1-12 図 & CN 102741977 A & TW 201200648 A	3, 5, 7
Y	JP 11-111674 A (信越半導体株式会社) 1999.04.23, 段落 0018, 第 1-2 図 (ファミリーなし)	6

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 1 2 . 2 0 1 2

国際調査報告の発送日

1 8 . 1 2 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

小山 満

5 0

9 4 5 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-93562 A (大見忠弘) 2005. 04. 07, 段落 0035-0049, 第 1-8 図 & US 2004/0108575 A1 & EP 1427003 A2 & CA 2451887 A & KR 10-2004-0048361 A & CN 1510755 A & SG 124265 A & AU 2003264642 A	1-8
A	JP 2010-50230 A (信越半導体株式会社) 2010. 03. 04, 段落 0025-0054, 第 1-10 図 (ファミリーなし)	1-8