(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월08일
(11) 등록번호 10-0872730
(24) 등록일자 2008년12월02일

(51) Int. Cl.
H01S 5/32 (2006.01)
(21) 출원번호 10-2002-7014763
(22) 출원일자 2002년11월04일
심사청구일자 2007년02월26일
번역문제출일자 2002년11월04일
(65) 공개번호 10-2003-0001470
(43) 공개일자 2003년01월06일
(86) 국제출원번호 PCT/JP2002/001838
국제출원일자 2002년02월28일
(87) 국제공개번호 WO 2002/71561
국제공개일자 2002년09월12일
(30) 우선권주장
JP-P-2001-00061763 2001년03월06일 일본(JP)
JP-P-2002-00045986 2002년02월22일 일본(JP)
(56) 선행기술조사문헌
JP03223832 B9
JP10242587 A*
JP12299528 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
야마구치다카시
일본도쿄도시나가와쿠기타시나가와6-7-35소니가부시끼가이샤내
고바야시다카시
일본도쿄도시나가와쿠기타시나가와6-7-35소니가부시끼가이샤내
(뒷면에 계속)
(74) 대리인
이병호, 장훈

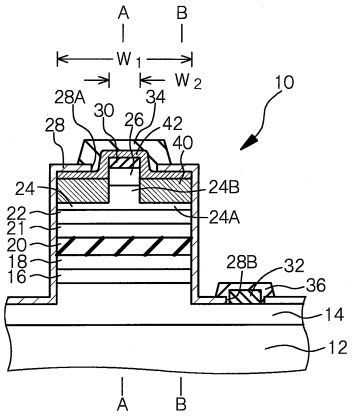
전체 청구항 수 : 총 20 항 심사관 : 이용배

(54) 질화물계 반도체 레이저 소자 및 그 제조방법

(57) 요 약

질화물계 반도체 레이저 소자(10)는 제 1 콘택트층(14), 제 1 클래드층(16), 활성층(20), 제 2 클래드층(24), 제 2 콘택트층(26) 및 제 2 전극(30)이 차례로 적층된 구조를 갖고, 제 2 클래드층(24)은 하층(24A) 및 상층(24B)으로 구성되며, 제 1 클래드층(14), 활성층(20) 및 제 2 클래드층의 하층(24A)은 메사(mesa) 구조를 갖고, 제 2 클래드층의 상층(24B) 및 제 2 콘택트층(26)은 릿지(ridge) 구조를 가지며, 메사 구조의 상부면에 대응하는 제 2 클래드층의 하층(24A) 부분의 위에는 제 2 클래드층의 상층(24B)의 양측면의 각각의 적어도 일부분을 피복한 절연층(40)이 형성되어 있고, 또한, 절연층(40)의 상부면으로부터 제 2 전극(30)의 상부면에 걸쳐 메사 구조의 폭과 실질적으로 동일한 폭을 갖는 금속층(42)이 형성되어 있다.

대 표 도 - 도1



(72) 발명자

고바야시도시마사

일본도쿄도시나가와쿠기타시나가와6-7-35소니가부시끼가이샤내

기지마사토루

일본도쿄도시나가와쿠기타시나가와6-7-35소니가부시끼가이샤내

도미오카사토시

일본도쿄도시나가와쿠기타시나가와6-7-35소니가부시끼가이샤내

안사이신이치

일본미야기켄시로이시시시라토리3-53-2소니시로이시세미컨덕터가부시키가이샤내

도조츠요시

일본미야기켄시로이시시시라토리3-53-2소니시로이시세미컨덕터가부시키가이샤내

(81) 지정국

국내특허 : 중국, 대한민국, 미국

특허청구의 범위

청구항 1

(A) 기판 상에 형성된 제 1 콘택트층,

(B) 제 1 콘택트층 상에 형성된 제 1 전극,

(C) 제 1 콘택트층 상에 형성된 제 1 클래드층,

(D) 제 1 클래드층 상에 형성된 활성층,

(E) 활성층 상에 형성된 제 2 클래드층,

(F) 제 2 클래드층 상에 형성된 제 2 콘택트층, 및

(G) 제 2 콘택트층 상에 형성된 제 2 전극으로 이루어지고,

제 2 클래드층은 하층 및 상층으로 구성되며,

제 1 콘택트층, 제 1 클래드층, 활성층, 제 2 클래드층, 및 제 2 콘택트층은 질화물계 화합물 반도체층으로 이루어지고,

제 1 클래드층, 활성층, 및 제 2 클래드층의 하층은 메사 구조를 가지며,

제 2 클래드층의 상층 및 제 2 콘택트층은 메사 구조의 폭보다도 좁은 폭의 릿지 구조를 갖고,

제 2 콘택트층과 제 2 전극의 계면에 있어서 제 2 전극은 제 2 콘택트층과 동일한 폭을 가지며,

메사 구조의 상부면에 대응하는 제 2 클래드층의 하층 부분의 위에는 제 2 클래드층의 상층의 양측면의 각각의 적어도 일부분을 피복한 절연층이 형성되어 있고,

또한, 절연층의 상부면으로부터 제 2 전극의 상부면에 걸쳐 메사 구조의 폭과 동일한 폭을 갖고, 메사 구조를 에칭법으로 형성하기 위한 에칭용 마스크로서의 금속층이 형성되어 있으며,

제 1 콘택트층의 표면, 및 메사 구조의 측면으로부터 금속층의 상부면에 걸쳐 보호막이 형성되어 있고,

제 1 콘택트층의 표면에 형성된 보호막의 일부분에는 제 1 개구부가 형성되어, 상기 제 1 개구부의 바닥부에 노출된 제 1 콘택트층 상에 제 1 전극이 형성되며,

제 2 전극 위의 금속층 상의 보호막의 부분에는 제 2 개구부가 형성되어 있고, 노출된 금속층의 부분에는 제 2 패드 전극이 형성되어 있는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 2

제 1 항에 있어서, 절연층은 적어도 제 2 클래드층의 상층의 양측면의 각각을 피복하고 있는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 3

제 1 항에 있어서, 절연층은 SiO_2, SiN_x, AlN, Al_2O_3, Ta_2O_5 및 ZrO_2로 이루어지는 군으로부터 선택된 적어도 1종류의 재료로 이루어지는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 4

제 1 항에 있어서, 제 2 전극은 팔라듐, 백금, 니켈 및 금으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖고,

금속층은 백금, 티타늄 및 니켈로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 5

(A) 기판 상에 형성된 제 1 콘택트층,

(B) 제 1 콘택트층 상에 형성된 제 1 전극,

(C) 제 1 콘택트층 상에 형성된 제 1 클래드층,

(D) 제 1 클래드층 상에 형성된 활성층,

(E) 활성층 상에 형성된 제 2 클래드층,

(F) 제 2 클래드층 상에 형성된 제 2 콘택트층, 및

(G) 제 2 콘택트층 상에 형성된 제 2 전극으로 이루어지고,

제 2 클래드층은 하층 및 상층으로 구성되며,

제 1 콘택트층, 제 1 클래드층, 활성층, 제 2 클래드층, 및 제 2 콘택트층은 질화물계 화합물 반도체층으로 이루어지고,

제 1 클래드층, 활성층, 및 제 2 클래드층의 하층은 메사 구조를 가지며,

제 2 클래드층의 상층 및 제 2 콘택트층은 메사 구조의 폭보다도 좁은 폭의 릿지 구조를 갖고,

제 2 콘택트층과 제 2 전극의 계면에 있어서, 제 2 전극은 제 2 콘택트층과 동일한 폭을 가지며,

메사 구조의 상부면에 대응하는 제 2 클래드층의 하층 부분의 위에는 제 2 클래드층의 상층의 양측면의 각각의 적어도 일부분을 피복한 절연층이 형성되어 있고,

또한, 절연층의 상부면으로부터 제 2 전극의 상부면에 걸쳐 메사 구조의 폭과 동일한 폭을 갖고, 메사 구조를 에칭법으로 형성하기 위한 에칭용 마스크로서의 금속층이 형성되어 있고,

메사 구조의 상부면에 대응하는 제 2 클래드층(24)의 상층(24B)이 형성되지 않은 제 2 클래드층(24)의 하층(24A) 부분의 위에 형성된 절연층(40)의 두께(T_{INSL})는 5×10^{-8}m 내지 3×10^{-7}m인 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 6

제 5 항에 있어서, 절연층은 SiO_2, SiN_x, AlN, Al_2O_3, Ta_2O_5 및 ZrO_2로 이루어지는 군으로부터 선택된 적어도 1종류의 재료로 이루어지는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 7

제 5 항에 있어서, 제 2 전극은 팔라듐, 백금, 니켈 및 금으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖고,

금속층은 백금, 티타늄 및 니켈로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 8

(A) 기판 상에 형성된 제 1 콘택트층,

(B) 제 1 콘택트층 상에 형성된 제 1 전극,

(C) 제 1 콘택트층 상에 형성된 제 1 클래드층,

(D) 제 1 클래드층 상에 형성된 활성층,

(E) 활성층 상에 형성된 제 2 클래드층,

(F) 제 2 클래드층 상에 형성된 제 2 콘택트층, 및

(G) 제 2 콘택트층 상에 형성된 제 2 전극으로 이루어지고,

제 2 클래드층은 하층 및 상층으로 구성되며,

제 1 콘택트층, 제 1 클래드층, 활성층, 제 2 클래드층, 및 제 2 콘택트층은 질화물계 화합물 반도체층으로 이

루어지고,

제 1 클래드층, 활성층, 및 제 2 클래드층의 하층은 메사 구조를 갖고,

제 2 클래드층의 상층 및 제 2 콘택트층은 메사 구조의 폭보다도 좁은 폭의 릿지 구조를 가지며,

제 2 콘택트층과 제 2 전극의 계면에 있어서 제 2 전극은 제 2 콘택트층과 동일한 폭을 가지며,

메사 구조의 상부면에 대응하는 제 2 클래드층의 하층 부분의 위에는 제 2 클래드층의 상층의 양측면의 각각의 적어도 일부분을 피복한 절연층이 형성되어 있고,

또한, 절연층의 상부면으로부터 제 2 전극의 상부면에 걸쳐 메사 구조의 폭과 동일한 폭을 갖는 금속층이 형성되어 있으며,

제 2 클래드층의 총 두께를 T_{TOTAL}, 제 2 클래드층의 상층의 두께를 T_{UPPER}로 하였을 때, $0.4T_{TOTAL} \leq T_{UPPER} \leq 0.9T_{TOTAL}$을 만족하는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 9

제 8 항에 있어서, 메사 구조의 상부면에 대응하는 제 2 클래드층(24)의 상층(24B)이 형성되지 않은 제 2 클래드층(24)의 하층(24A) 부분의 위에 형성된 절연층(40)의 두께를 T_{INSL}로 하였을 때, $0.05T_{UPPER} \leq T_{INSL}$을 만족하는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 10

제 8 항에 있어서, 절연층은 SiO_2, SiN_x, AlN, Al_2O_3, Ta_2O_5 및 ZrO_2로 이루어지는 군으로부터 선택된 적어도 1종류의 재료로 이루어지는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 11

제 8 항에 있어서, 제 2 전극은 팔라듐, 백금, 니켈 및 금으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖고,

금속층은 백금, 티타늄 및 니켈로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖는 것을 특징으로 하는 질화물계 반도체 레이저 소자.

청구항 12

(A) 기판 상에 형성된 제 1 콘택트층,

(B) 제 1 콘택트층 상에 형성된 제 1 전극,

(C) 제 1 콘택트층 상에 형성된 제 1 클래드층,

(D) 제 1 클래드층 상에 형성된 활성층,

(E) 활성층 상에 형성된 제 2 클래드층,

(F) 제 2 클래드층 상에 형성된 제 2 콘택트층, 및

(G) 제 2 콘택트층 상에 형성된 제 2 전극으로 이루어지고,

제 2 클래드층은 하층 및 상층으로 구성되며,

제 1 콘택트층, 제 1 클래드층, 활성층, 제 2 클래드층, 및 제 2 콘택트층은 질화물계 화합물 반도체층으로 이루어지고,

제 1 클래드층, 활성층, 및 제 2 클래드층의 하층은 메사 구조를 가지며,

제 2 클래드층의 상층 및 제 2 콘택트층은 메사 구조의 폭보다도 좁은 폭의 릿지 구조를 갖고,

제 2 콘택트층과 제 2 전극의 계면에 있어서 제 2 전극은 제 2 콘택트층과 동일한 폭을 가지며,

메사 구조의 상부면에 대응하는 제 2 클래드층의 하층 부분의 위에는 제 2 클래드층의 상층의 양측면의 각각의

적어도 일부분을 피복한 절연층이 형성되어 있고,

또한, 절연층의 상부면으로부터 제 2 전극의 상부면에 걸쳐 메사 구조의 폭과 동일한 폭을 갖는 금속층이 형성되어 있는 질화물계 반도체 레이저 소자의 제조방법으로서,

(a) 기판 상에, 제 1 콘택트층, 제 1 클래드층, 활성층, 제 2 클래드층, 및 제 2 콘택트층을 차례로 퇴적시킨 후, 형성해야 할 제 2 콘택트층과 동일한 폭을 갖는 제 2 전극을 제 2 콘택트층 상에 형성하는 공정과,

(b) 제 2 전극을 에칭용 마스크로서, 제 2 콘택트층을 에칭하고, 또한, 제 2 클래드층을 두께 방향으로 일부분 에칭하여, 릿지 구조를 갖는 제 2 콘택트층 및 제 2 클래드층의 상층을 형성하고, 아울러, 제 2 클래드층의 상층의 양측에 상부면이 노출된 부분을 갖는 제 2 클래드층의 하층을 형성하는 공정과,

(c) 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에, 제 2 클래드층의 상층의 양측면의 각각의 적어도 일부분을 피복하고, 또한 제 2 전극의 상부면이 노출된 상태의 절연층을 형성하는 공정과,

(d) 절연층 위로부터 제 2 전극의 상부면에 걸쳐 형성해야 할 메사 구조의 폭과 동일한 폭을 갖는 금속층을 형성하는 공정과,

(e) 금속층을 에칭용 마스크로서, 절연층, 제 2 클래드층의 하층, 활성층, 및 제 1 클래드층을 적어도 에칭하여, 메사 구조를 형성하는 공정을 구비하는 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

청구항 13

제 12 항에 있어서, 상기 공정 (e)에 이어서,

제 1 콘택트층의 표면 및 메사 구조의 측면으로부터 금속층의 상부면에 걸쳐 보호막을 형성하고,

이어서, 제 1 콘택트층의 표면에 형성된 보호막의 일부분에 제 1 개구부를 형성하며, 노출된 제 1 콘택트층 상에 제 1 전극을 형성하고, 제 1 전극 상에 제 1 패드 전극을 형성하며, 제 2 전극 위의 금속층 상의 보호막의 부분에 제 2 개구부를 형성하고, 노출된 금속층의 부분에 제 2 패드 전극을 형성하는 공정을 부가로 구비하는 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

청구항 14

제 12 항에 있어서, 절연층은 적어도 제 2 클래드층의 상층의 양측면의 각각을 피복하고 있고,

상기 공정 (c)에 있어서, 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에, 적어도 제 2 클래드층의 상층의 양측면의 각각을 피복하는 절연층을 형성하는 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

청구항 15

제 12 항에 있어서, 상기 공정 (c)에 있어서, 전체면에 절연층을 형성한 후, 제 2 전극의 위쪽이 얇고, 또한, 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층의 부분의 위쪽이 두꺼워지도록, 절연층 상에 포토레지스트막을 형성하고, 이어서, 포토레지스트막 및 적어도 제 2 전극 위의 절연층을 에칭하여, 적어도 제 2 전극의 상부면을 노출시키는 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

청구항 16

제 12 항에 있어서, 메사 구조의 상부면에 대응하는 제 2 클래드층(24)의 상층(24B)이 형성되지 않은 제 2 클래드층(24)의 하층(24A) 부분의 위에 형성된 절연층(40)의 두께(T_{INSL})는 5×10^{-8}m 내지 3×10^{-7}m인 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

청구항 17

제 12 항에 있어서, 제 2 클래드층의 총 두께를 T_{TOTAL}, 제 2 클래드층의 상층의 두께를 T_{UPPER}로 하였을 때, $0.4T_{TOTAL} \leq T_{UPPER} \leq 0.9T_{TOTAL}$을 만족하는 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

청구항 18

제 17 항에 있어서, 메사 구조의 상부면에 대응하는 제 2 클래드층(24)의 상층(24B)이 형성되지 않은 제 2 클래드층(24)의 하층(24A) 부분의 위에 형성된 절연층(40)의 두께를 T_{INSL}로 하였을 때, $0.05T_{UPPER} \leq T_{INSL}$을 만족하는 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

청구항 19

제 12 항에 있어서, 절연층은 SiO_2, SiN_x, AlN, Al_2O_3, Ta_2O_5 및 ZrO_2로 이루어지는 군으로부터 선택된 적어도 1종류의 재료로 이루어지는 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

청구항 20

제 12 항에 있어서, 제 2 전극은 팔라듐, 백금, 니켈 및 금으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖고,

금속층은 백금, 티타늄 및 니켈로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖는 것을 특징으로 하는 질화물계 반도체 레이저 소자의 제조방법.

명 세 서

기 술 분 야

<1> 본 발명은 질화물계 반도체 레이저 소자 및 그 제조방법에 관한 것으로, 더욱 자세하게는 동작 전압이 소정 값으로 제어되어 횡모드 안정성이 뛰어난 질화물계 반도체 레이저 소자, 및 동작 전압이 소정 값으로 제어되어 횡모드 안정성이 뛰어나며, 더구나, 제조 프로세스가 간소화된 질화물계 반도체 레이저 소자의 제조방법에 관한 것이다.

배 경 기 술

<2> 사파이어 기판 또는 GaN 기판 상에 GaN계 화합물 반도체층의 적층 구조를 구비한 GaN계 반도체 레이저 소자가 자외선 영역으로부터 녹색에 도달하는 단파장 영역의 광을 발광하는 발광 소자로서 주목되고 있다.

<3> 이하, 종래의 인덱스 가이드형의 GaN계 반도체 레이저 소자의 구성을 도시하는 모식적인 일부 단면도인 도 10을 참조하여, 일본특개2000-196201호 공보에 개시된 GaN계 반도체 레이저 소자(100)의 구성을 설명한다.

<4> 일본특개2000-196201호 공보에 개시된 GaN계 반도체 레이저 소자(100)는 예를 들면 c면을 주면(主面)으로서 갖는 사파이어 기판으로 이루어지는 기판(12) 상에, n형 GaN으로 이루어지는 제 1 콘택트층(14), n형 AlGaN으로 이루어지는 제 1 클래드층(cladding;16), n형 InGaN으로 이루어지는 제 1 광 가이드층(18), GaN/InGaN의 다중 양자 우물 구조를 갖는 활성층(20), 활성층(20)의 열화를 방지하는 AlGaN으로 이루어지는 열화 방지층(21), p형 InGaN으로 이루어지는 제 2 광 가이드층(22), p형 AlGaN으로 이루어지는 제 2 클래드층(24), 및 p형 GaN으로 이루어지는 제 2 콘택트층(26)이 차례로 적층된 적층 구조를 갖는다. 또한, 기판(12) 상에 저온 성장시킨 GaN으로 이루어지는 버퍼층(도시하지 않음)을 개재하여, 버퍼층 상에서 횡방향 성장에 의해 GaN으로 이루어지는 하지층(도시하지 않음)을 형성한 후, 제 1 콘택트층(14)을 성장시키는 경우도 많다. 또한, 제 1 광 가이드층(18) 및 제 2 광 가이드층(22) 및 열화 방지층(21)을 형성하지 않는 경우도 있다.

<5> 제 2 클래드층(24)의 상층(24B) 및 제 2 콘택트층(26)은 예를 들면 스트라이프형으로 일방향으로 연장되는 릿지(ridge) 구조를 갖는다. 또한, 제 1 콘택트층(14)의 일부분, 제 1 클래드층(16), 제 1 광 가이드층(18), 활성층(20), 열화 방지층(21), 제 2 광 가이드층(22) 및 제 2 클래드층(24)의 하층(24A)은 예를 들면 스트라이프형으로 릿지 구조와 같은 방향으로 연장되는 메사(mesa) 구조를 갖는다. 즉, 이러한 구조를 갖는 GaN계 반도체 레이저 소자(100)에 있어서는 메사 구조의 폭을 W'_1, 릿지 구조의 폭을 W'_2로 하였을 때, $W'_1 > W'_2$ 의 관계에 있다.

<6> 릿지 구조, 메사 구조 및 메사 구조의 양측에 위치하는 제 1 콘택트층(14)의 부분은 릿지 구조에 있어서의 최상부면(즉, 제 2 콘택트층(26)의 상부면) 및 제 1 콘택트층(14)의 일부분에 각각 형성된 제 2 개구부(28A) 및 제 1 개구부(28B)를 제외하고, SiO_2로 이루어지는 보호막(28)으로 피복되어 있다. 또한, 제 2 개구부(28A)의 바닥

부에 위치하는 제 2 콘택트층(26) 상에는 Ti/Au(Ti가 하층, Au가 상층)와 같은 다층 구성을 갖는 제 2 전극(30)이 오믹(ohmic) 접합 전극으로서 설치되어 있다. 또한, 다층 구성의 설명에 있어서는 「/」의 앞의 재료가 하측의 층을 구성하고, 「/」의 뒤의 재료가 상측의 층을 구성한다. 이하에 있어서도 동일하다. 또한, 제 1 개구부(28B)의 바닥부에 위치하는 제 1 콘택트층(14) 상에는 Ti/Al과 같은 다층 구성을 갖는 제 1 전극(32)이 오믹 접합 전극으로서 설치되어 있다. 덧붙여, 제 2 전극(30) 및 제 1 전극(32) 상에는 인출용의 전극으로서, 각각, 제 2 전극(30) 및 제 1 전극(32)과 전기적으로 접속된 제 2 패드 전극(34) 및 제 1 패드 전극(36)이 형성되어 있다. 제 2 패드 전극(34)은 제 2 전극(30)으로부터 보호막(28)의 상부면까지 연장되어 있다.

<7> 상술한 바와 같이 구성된 일본특개2000-196201호 공보에 개시된 GaN계 반도체 레이저 소자(100)에서는 제 2 클래드층(24)의 상층(24B) 및 제 2 콘택트층(26)이 릿지 구조를 갖고, 주입 전류의 전류 통로를 제한함으로써 동작 전류의 저감화를 도모하는 동시에, 횡방향의 실효 굴절율차(△n)에 의해서 횡모드를 제어하고 있다. 여기서, 실효 굴절율차(△n)는 도 10의 선 A-A에 따른 실효 굴절율(n_{EFF1})과, 선 B-B에 따른 실효 굴절율(n_{EFF2})의 차($\triangle n=n_{EFF1}-n_{EFF2}$)이다.

<8> 그렇지만, 상술한 일본특개2000-196201호 공보에 개시된 GaN계 반도체 레이저 소자(100)에는 이하와 같은 문제가 있다.

<9> 제 1 문제는 GaN계 반도체 레이저 소자(100)의 동작 전압이 소정값 또는 설계치보다 높아지는 것에 있다.

<10> 제 2 문제는 횡방향의 실효 굴절율차(△n)에 의해서 횡모드를 제어하고 있지만, 제 2 클래드층(24)의 상층(24B)을 두껍게, 또한, 제 2 클래드층(24)의 하층(24A)을 얇게 하기 어렵기 때문에, 횡방향의 실효 굴절율차(△n)가 작고, 횡모드의 안정성이 낮은 것에 있다. 제 2 클래드층(24)의 상층(24B)을 두껍게, 또한, 제 2 클래드층(24)의 하층(24A)을 얇게 한 경우, 보호막(28) 및 제 2 클래드층(24)의 하층(24A)을 통해서 리크 전류가 흐를 우려가 있기 때문이다.

<11> 제 3 문제는 GaN계 에피택실 성장층의 적층 구조를 형성한 후의 프로세스가 복잡하고, 공정수가 많아 생산성의 향상을 도모하는 것이 어려운 것이다. 예를 들면, 적층 구조를 형성한 후, SiO_2로 이루어지는 에칭용 마스크를 형성하여, 제 2 콘택트층(26)을 에칭하고, 또한, 제 2 클래드층(24)의 상부를 에칭하여 릿지 구조를 형성하는 공정, 전체면에 ZrO_2막을 성막하고, 이어서 에칭용 마스크를 제거하여 에칭용 마스크상의 ZrO_2막을 제거하고, 제 2 콘택트층(26)을 노출시키는 공정, 릿지 구조의 상부면에 SiO_2로 이루어지는 에칭용 마스크를 다시 형성하여, 적층 구조에 있어서의 제 2 클래드층의 하층 및 이 층보다도 밑에 위치하는 각 층을 에칭하여 메사 구조를 형성하고, 또한, 제 1 콘택트층(14)을 노출시킨 후, 에칭용 마스크를 제거하는 공정, 노출된 제 2 콘택트층(26) 상에 제 2 전극(30)을 형성하는 공정을 필요로 하고 있다.

<12> 일본특개2000-307184호 공보에는 GaN계 반도체 레이저 소자의 다른 제조방법이 개시되어 있다. 이 특개2000-307184호 공보에 개시된 GaN계 반도체 레이저 소자의 제조방법에 있어서의 제 2 실시형태에 있어서는 GaN계 에피택실 성장층의 적층 구조를 형성한 후, 우선, 적층 구조를 에칭하여 메사 구조를 형성한다. 그 후, 전체면에 보호막을 형성하고, 이 보호막에 개구를 형성하고, 개구의 바닥부에 위치하는 제 2 콘택트층의 상부면에 제 2 전극을 형성한 후, 보호막을 제거한다. 이어서, 제 2 전극을 에칭용 마스크로서, 제 2 콘택트층 및 제 2 클래드층의 일부를 에칭하여, 릿지 구조를 형성한다. 그 후, 전체면에 절연층을 형성하고, 제 2 전극상의 절연층을 제거하여 제 2 전극의 상부면을 노출시킨다.

<13> 일본특개2000-307184호 공보에 개시된 GaN계 반도체 레이저 소자의 이러한 제조방법에 있어서는 우선, 적층 구조를 에칭하여 메사 구조를 형성하지만, 이 때, 제 2 전극과의 콘택트면으로 되는 제 2 콘택트층의 상부면에 오염이 생길 우려가 있다. 또한, 릿지 구조를 갖는 제 2 클래드층의 상층의 양측면에 두꺼운 절연층을 형성하기 어렵다는 문제가 있다.

<14> 따라서, 본 발명의 목적은 동작 전압이 낮고, 또한, 횡모드의 안정성이 양호한 질화물계 반도체 레이저 소자 및 이러한 질화물계 반도체 레이저 소자를 적은 프로세스 공정수로 제작할 수 있는 질화물계 반도체 레이저 소자의 제조방법을 제공하는 것에 있다.

발명의 상세한 설명

<15> 본 발명자들은 제 1 문제를 해결하기 위해 검토한 과정에서, 제 2 콘택트층(26)의 상부면(제 2 전극과의 콘택트면)이 오염되어 버리고, 그 결과, 제 2 콘택트층과 제 2 전극(30)의 접촉 저항이 커져서, 동작 전압이 상승하는

것을 발견하였다. 제 2 콘택트층(26)의 상부면(제 2 전극과의 콘택트면)의 오염은 제 3 문제와도 관련되지만, 제 2 콘택트층(26)을 노출시킨 후, 제 2 전극(30)을 제 2 콘택트층(26) 상에 형성할 때까지, 메사 구조를 형성하는 공정 등이 개재되어 있는 것에 기인하는 것을 판명하였다. 또한, 제 2 전극(30)과 제 2 콘택트층(26) 사이에서 위치 어긋남이 생기기 쉽고, 그 결과, 제 2 콘택트층(26)과 제 2 전극(30)의 접촉 면적이 감소되는 결과, 동작 전압이 높아지는 것을 알 수 있었다. 또한, 제 2 문제의 원인은 종래의 GaN계 반도체 레이저 소자에 있어서는 횡방향의 실효 굴절율차(△n)가 작고, 횡모드 제어의 실효성이 낮은 것에 있는 것을 발견하였다. 제 3 문제를 해결하기 위해서는 릿지 구조를 형성하기 위한 에칭용 마스크의 형성 및 제거, 메사 구조를 형성하기 위한 에칭용 마스크의 형성 및 제거의 공정을 다시 고찰함으로써, 질화물계 반도체 레이저 소자의 제조 공정수를 감소시킬 수 있는 것에 착안하였다.

<16> 상기 목적을 달성하기 위한 본 발명의 질화물계 반도체 레이저 소자는

<17> (A) 기판 상에 형성된 제 1 콘택트층,

<18> (B) 제 1 콘택트층 상에 형성된 제 1 전극,

<19> (C) 제 1 콘택트층 상에 형성된 제 1 클래드층,

<20> (D) 제 1 클래드층 상에 형성된 활성층,

<21> (E) 활성층 상에 형성된 제 2 클래드층,

<22> (F) 제 2 클래드층 상에 형성된 제 2 콘택트층, 및

<23> (G) 제 2 콘택트층 상에 형성된 제 2 전극으로 이루어지고,

<24> 제 2 클래드층은 하층 및 상층으로 구성되며,

<25> 제 1 콘택트층, 제 1 클래드층, 활성층, 제 2 클래드층, 및 제 2 콘택트층은 질화물계 화합물 반도체층으로 이루어지고,

<26> 제 1 클래드층, 활성층, 및 제 2 클래드층의 하층은 메사 구조를 가지며,

<27> 제 2 클래드층의 상층, 및 제 2 콘택트층은 메사 구조의 폭보다도 좁은 폭의 릿지 구조를 갖고,

<28> 제 2 콘택트층과 제 2 전극의 계면에 있어서 제 2 전극은 제 2 콘택트층과 실질적으로 동일한 폭을 가지며,

<29> 메사 구조의 상부면에 대응하는 제 2 클래드층의 하층 부분의 위에는 제 2 클래드층의 상층의 양측면의 각각의 적어도 일부분을 피복한 절연층이 형성되어 있고,

<30> 또한, 절연층의 상부면으로부터 제 2 전극의 상부면에 걸쳐 메사 구조의 폭과 실질적으로 동일한 폭을 갖는 금속층이 형성되어 있는 것을 특징으로 한다.

<31> 본 발명의 인덱스·가이드형의 질화물계 반도체 레이저 소자에 있어서, 「메사 구조의 폭과 실질적으로 동일한 폭을 갖는 금속층이 형성되어 있다」는 질화물계 반도체 레이저 소자의 제조 공정에서의 가공 정밀도에 의해서 생기는 격차의 범위 내에서, 메사 구조의 폭과 금속층의 폭이 동일한 것을 의미한다. 또한, 「제 2 콘택트층과 제 2 전극의 계면에 있어서, 제 2 전극이 제 2 콘택트층과 실질적으로 동일한 폭을 갖는다」는 질화물계 반도체 레이저 소자의 제조 공정에서의 가공 정밀도에 의해서 생기는 격차의 범위 내에서, 제 2 전극이 제 2 콘택트층과 동일한 폭을 갖는 것을 의미한다. 또한, 릿지 구조의 측면이 경사져 있는 경우, 릿지 구조의 폭은 릿지 구조의 폭의 가장 넓은 폭을 의미한다. 즉, 제 2 클래드층의 상층과 하층의 계면에서의 상층의 폭을 의미한다. 또한, 질화물계 반도체 레이저 소자의 레이저 광 출사 방향을 X축, 질화물계 반도체 레이저 소자의 두께 방향(기판 표면에 대한 법선 방향)을 Z축으로 하였을 때, 메사 구조의 측면, 릿지 구조의 측면, 또는 각 층의 측면은 이들의 외면으로 Y축과 교차하는 면을 의미한다. 또한, 메사 구조의 폭, 릿지 구조의 폭, 또는 각 층의 폭은 Y축에 따른 길이를 의미한다.

<32> 본 발명의 질화물계 반도체 레이저 소자에 있어서는 제 1 콘택트층의 표면 및 메사 구조의 측면으로부터 금속층의 상부면에 걸쳐 보호막이 형성되고, 제 1 콘택트층의 표면에 형성된 보호막의 일부분에는 제 1 개구부가 형성되며, 상기 제 1 개구부의 바닥부에 노출된 제 1 콘택트층 상에 제 1 전극이 형성되어 있고, 제 1 전극 상에 제 1 패드 전극이 형성되어 있고, 제 2 전극 위의 금속층 상의 보호막의 부분에는 제 2 개구부가 형성되어 있으며, 노출된 금속층의 부분에는 제 2 패드 전극이 형성되어 있는 구성으로 할 수 있다.

<33> 상기한 목적을 달성하기 위한 본 발명의 질화물계 반도체 레이저 소자의 제조방법은,

<34> (A) 기판 상에 형성된 제 1 콘택트층,

<35> (B) 제 1 콘택트층 상에 형성된 제 1 전극,

<36> (C) 제 1 콘택트층 상에 형성된 제 1 클래드층,

<37> (D) 제 1 클래드층 상에 형성된 활성층,

<38> (E) 활성층 상에 형성된 제 2 클래드층,

<39> (F) 제 2 클래드층 상에 형성된 제 2 콘택트층, 및

<40> (G) 제 2 콘택트층 상에 형성된 제 2 전극으로 이루어지고,

<41> 제 2 클래드층은 하층 및 상층으로 구성되며,

<42> 제 1 콘택트층, 제 1 클래드층, 활성층, 제 2 클래드층, 및 제 2 콘택트층은 질화물계 화합물 반도체층으로 이루어지고,

<43> 제 1 클래드층, 활성층, 및 제 2 클래드층의 하층은 메사 구조를 가지며,

<44> 제 2 클래드층의 상층, 및 제 2 콘택트층은 메사 구조의 폭보다도 좁은 폭의 릿지 구조를 갖고,

<45> 제 2 콘택트층과 제 2 전극의 계면에 있어서 제 2 전극은 제 2 콘택트층과 실질적으로 동일한 폭을 가지며,

<46> 메사 구조의 상부면에 대응하는 제 2 클래드층의 하층 부분의 위에는 제 2 콘택트층의 상층의 양측면의 각각의 적어도 일부분을 피복한 절연층이 형성되어 있고,

<47> 또한, 절연층의 상부면으로부터 제 2 전극의 상부면에 걸쳐 메사 구조의 폭과 실질적으로 동일한 폭을 갖는 금속층이 형성되어 있는 질화물계 반도체 레이저 소자의 제조방법에 있어서,

<48> (a) 기판 상에, 제 1 콘택트층, 제 1 클래드층, 활성층, 제 2 클래드층, 및 제 2 콘택트층을 차례로 퇴적시킨 후, 형성해야 할 제 2 콘택트층과 실질적으로 동일한 폭을 갖는 제 2 전극을 제 2 콘택트층 상에 형성하는 공정과,

<49> (b) 제 2 전극을 에칭용 마스크로서, 제 2 콘택트층을 에칭하고, 또한, 제 2 클래드층을 두께 방향으로 일부분 에칭하여, 릿지 구조를 갖는 제 2 콘택트층 및 제 2 클래드층의 상층을 형성하고, 아울러, 제 2 클래드층의 상층의 양측에 상부면이 노출된 부분을 갖는 제 2 클래드층의 하층을 형성하는 공정과,

<50> (c) 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에, 제 2 클래드층의 상층의 양측면의 각각의 적어도 일부분을 피복하고, 또한, 제 2 전극의 상부면이 노출된 상태의 절연층을 형성하는 공정과,

<51> (d) 절연층 위로부터 제 2 전극의 상부면에 걸쳐 형성해야 할 메사 구조의 폭과 실질적으로 동일한 폭을 갖는 금속층을 형성하는 공정과,

<52> (e) 금속층을 에칭용 마스크로서, 절연층, 제 2 클래드층의 하층, 활성층, 및 제 1 클래드층을 적어도 에칭하여, 메사 구조를 형성하는 공정을 구비하는 것을 특징으로 한다.

<53> 본 발명의 인덱스·가이드형의 질화물계 반도체 레이저 소자의 제조방법에 있어서 「메사 구조의 폭과 실질적으로 동일한 폭을 갖는 금속층이 형성되어 있다」는 질화물계 반도체 레이저 소자의 제조 공정에 있어서의 가공 정밀도에 의해서 생기는 격차의 범위 내에서, 메사 구조의 폭과 금속층의 폭이 동일한 것을 의미한다. 또한 「형성해야할 제 2 콘택트층과 실질적으로 동일한 폭을 갖는 제 2 전극을 형성한다」는 질화물계 반도체 레이저 소자의 제조 공정에 있어서의 가공 정밀도에 의해서 생기는 격차의 범위 내에 있어서, 제 2 전극과 제 2 콘택트층이 그들의 계면에 있어서 동일한 폭을 갖는 것을 의미한다. 또한 릿지 구조의 측면이 경사져 있는 경우, 릿지 구조의 폭은 릿지 구조의 폭의 가장 넓은 폭을 의미한다. 즉, 제 2 클래드층의 상층과 하층의 계면에서의 상층의 폭을 의미한다. 또한, 질화물계 반도체 레이저 소자의 레이저 광 출사 방향을 X축, 질화물계 반도체 레이저 소자의 두께 방향(기판 표면에 대한 법선 방향)을 Z축으로 하였을 때, 메사 구조의 측면, 릿지 구조의 측면, 또는 각 층의 측면은 이들의 외측면으로 Y축과 교차하는 면을 의미한다. 또한, 메사 구조의 폭, 릿지 구조의 폭, 또는 각 층의 폭은 Y축에 따른 길이를 의미한다.

<54> 본 발명의 질화물계 반도체 레이저 소자의 제조방법에 있어서, 공정 (e)에 있어서는 제 1 클래드층의 에칭에 이

어서, 제 1 콘택트층을 두께 방향으로 일부분 에칭하는 것이 바람직하다.

<55> 본 발명의 질화물계 반도체 레이저 소자의 제조방법에 있어서는 상기 공정 (e)에 이어서, 제 1 콘택트층의 표면 및 메사 구조의 측면으로부터 금속층의 상부면에 걸쳐 보호막을 형성하고, 이어서,

<56> ① 제 1 콘택트층의 표면에 형성된 보호막의 일부분에 제 1 개구부를 형성하고,

<57> ② 노출된 제 1 콘택트층 상에 제 1 전극을 형성하며,

<58> ③ 제 1 전극 상에 제 1 패드 전극을 형성하고,

<59> ④ 제 2 전극 위의 금속층 상의 보호막에 제 2 개구부를 형성하고,

<60> ⑤ 노출된 금속층의 부분에 제 2 패드 전극을 형성하는 공정을 또한 구비하고 있는 구성으로 할 수 있다. 또한, 상기 ① 내지 ⑤의 공정의 실행 순서로서, 이하의 순서를 들 수 있다.

<61> ① → ② → ③ → ④ → ⑤

<62> ① → ② → ④ → ⑤ → ③

<63> ④ → ⑤ → ① → ② → ③

<64> 여기서, 보호막을 구성하는 재료로서, SiO_2, SiN_x, AlN, Al_2O_3, Ta_2O_5 및 ZrO_2, ZnO, SiON, HfO_2, Sc_2O_3, Y_2O_3, MgO를 들 수 있다.

<65> 본 발명의 질화물계 반도체 레이저 소자 또는 그 제조방법에 있어서, 절연층은 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에, 제 2 클래드층의 상층의 양측면의 각각의 적어도 일부분을 피복하도록 형성되어 있으면 되고, 구체적으로는

<66> (1) 절연층이 제 2 클래드층의 상층의 양측면의 각각의 하부를 피복하는 형태, 및

<67> (2) 절연층이 적어도 제 2 클래드층의 상층의 양측면의 각각을 피복하고 있는 형태를 들 수 있다. 여기서, (2) 절연층이 적어도 제 2 클래드층의 상층의 양측면의 각각을 피복하고 있는 형태를 더욱 구체적으로 설명하면,

<68> (2-1) 절연층이 제 2 클래드층의 상층의 양측면의 각각을 피복하고 있는 형태,

<69> (2-2) 절연층이 제 2 클래드층의 상층의 양측면의 각각을 피복하고, 또한, 제 2 콘택트층의 양측면의 각각의 하부를 피복하고 있는 형태, 및

<70> (2-3) 절연층이 제 2 클래드층의 상층의 양측면의 각각을 피복하고, 또한, 제 2 콘택트층의 양측면의 각각을 피복하고 있는 형태를 들 수 있다. 여기서, 제 2 클래드층의 상층의 양측면 근방 이외의, 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에 형성된 절연층의 두께는 대강 균일한 두께인 것이 바람직하다.

<71> 본 발명의 질화물계 반도체 레이저 소자의 제조방법에 있어서는 이들 각종 형태에 대응하여, 상기 공정 (c)에 있어서 절연층을 형성하면 좋다. 즉, 예를 들면, 절연층이 적어도 제 2 클래드층의 상층의 양측면의 각각을 피복하고 있는 형태의 경우, 상기 공정 (c)에 있어서, 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에, 적어도 제 2 클래드층의 상층의 양측면의 각각을 피복하는 절연층을 형성하면 좋다.

<72> 본 발명의 질화물계 반도체 레이저 소자 또는 그 제조방법에 있어서, 절연층이 제 2 클래드층의 상층의 양측면의 각각의 하부를 피복하는 형태에 있어서는 금속층이 제 2 클래드층의 상층의 양측면의 각각의 상부와 접촉하고, 제 2 클래드층의 상층에 전류가 주입되지만, 아무런 문제는 생기지 않는다. 단지, 이러한 형태에 있어서는 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에 형성된 절연층의 두께가 얇기 때문에, 활성층에 있어서 발광된 광에 로스가 생기거나, 활성층과 금속층 사이에서 절연 파괴가 생길 우려가 있다. 따라서, 절연층이 적어도 제 2 클래드층의 상층의 양측면의 각각을 피복하고 있는 형태를 채용하는 것이 바람직하다. 또한, 이러한 형태를 채용함으로써, 제 2 클래드층의 상층을 두껍게, 또한, 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 두께를 얇게 하여도, 활성층과 금속층 사이에서 절연 파괴가 생기는 것을 확실히 방지할 수 있으며, 더구나, 횡방향의 실효 굴절율차($\triangle n$)를 충분히 크게 할 수 있어서, 횡모드의 안정성을 한층 더 높일 수 있다.

<73> 본 발명의 반도체 레이저 소자의 제조방법에 있어서는 상기 공정 (c)에 있어서, 전체면에 절연층을 형성한 후, 제 2 전극의 위쪽이 얇고, 또한, 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층의 부분의 위쪽이

두꺼워지도록, 절연층 상에 포토레지스트막을 형성하고, 이어서, 포토레지스트막 및 적어도 제 2 전극 위의 절연층을 에칭하여, 적어도 제 2 전극의 상부면(금속층과의 콘택트면)을 노출시키는 것이 바람직하다. 즉, 제 2 전극과 제 2 클래드층의 하층의 단차를 이용하고, 또한, 제 2 전극을 에칭 정지층으로서 기능시킴으로써, 적어도 제 2 전극의 상부면(금속층과의 콘택트면)을 노출시키는 것이 바람직하다. 이것에 의해서, 릿지 구조를 갖는 제 2 클래드층의 상층의 양측면에 두꺼운 절연층을 형성하는 것이 가능해진다.

<74> 상술한 바람직한 각종 형태를 포함하는 본 발명의 질화물계 반도체 레이저 소자 또는 그 제조방법에 있어서는 메사 구조의 상부면에 대응하는 제 2 클래드층의 하층 부분의 위에 형성된 절연층의 부분의 두께(T_{INSL} ; 보다 구체적으로는 제 2 클래드층의 상층의 양측면 근방 이외의, 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에 형성된 절연층의 두께)는 광 차폐 효과를 발휘할 수 있는 실효 굴절율을 고려하면, 5×10^{-8}m 내지 3×10^{-7}m, 바람직하게는 9×10^{-8}m 내지 2×10^{-7}m인 것이 바람직하다.

<75> 또는, 상술한 바람직한 각종 형태를 포함하는 본 발명의 질화물계 반도체 레이저 소자 또는 그 제조방법에 있어서는 제 2 클래드층의 총 두께를 T_{TOTAL}, 제 2 클래드층의 상층의 두께를 T_{UPPER}로 하였을 때, $0.4T_{TOTAL}\leq T_{UPPER}\leq 0.9T_{TOTAL}$, 바람직하게는 $0.5T_{TOTAL}\leq T_{UPPER}\leq 0.8T_{TOTAL}$을 만족하는 것이 바람직하다. 더욱 구체적으로는 T_{TOTAL}을 5×10^{-7}m 내지 1×10^{-6}m, 바람직하게는 6×10^{-7}m 내지 8×10^{-7}m로 하고, T_{UPPER}를 2×10^{-7}m 내지 9×10^{-7}m, 바람직하게는 3×10^{-7}m 내지 6.4×10^{-7}m로 하는 것이 바람직하다. 그리고, 이 경우, 메사 구조의 상부면에 대응하는 제 2 클래드층의 하층 부분의 위에 형성된 절연층의 부분의 두께(T_{INSL} ; 보다 구체적으로는 제 2 클래드층의 상층의 양측면 근방 이외의, 제 2 클래드층의 상층이 형성되지 않은 제 2 클래드층의 하층 부분의 위에 형성된 절연층의 두께)를 T_{INSL}로 하였을 때, $0.05T_{UPPER}\leq T_{INSL}$, 바람직하게는 $0.1T_{UPPER}\leq T_{INSL}$을 만족하는 것이 바람직하다.

<76> 상술한 바람직한 각종 형태를 포함하는 본 발명의 질화물계 반도체 레이저 소자 또는 그 제조방법에 있어서, 절연층은 SiO_2, SiN_x, AlN, Al_2O_3 , Ta_2O_5 및 ZrO_2으로 이루어지는 군으로부터 선택된 적어도 1종류의 재료로 이루어지는 것이 바람직하다. 절연층은 이들 재료로 이루어지는 단층 구성으로 할 수도 있고, 다층 구성으로 할 수도 있다. 또한, 절연층의 형성시에 제 2 클래드층의 하층의 노출된 부분에 손상이 발생하는 것을 방지하기 위해서, SiO_2, SiN_x, Al_2O_3 또는 ZrO_2으로 이루어지는 절연층을 진공 증착법으로 형성하거나, 또는 AlN, Al_2O_3, Ta_2O_5 또는 ZrO_2으로 이루어지는 절연층을 스퍼터링법으로 형성하는 것이 바람직하지만, 이들 방법에 한정되는 것은 아니다. 경우에 따라서는 절연층 위에 즉, 절연층과 금속층 사이에 실리콘층(구체적으로는 예를 들면 아몰퍼스 실리콘층)을 예를 들면 진공 증착법이나 그 밖의 방법에 근거하여 형성하여도 좋다. 실리콘층은 광 흡수층으로서 기능하여, 실리콘층을 형성함으로써, 1차 모드의 광에 대한 흡수가 커지고, 횡모드를 안정시킬 수 있다.

<77> 절연층을 SiO_2로 구성하는 경우, SiO_2로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 3×10^{-7}m, 바람직하게는 2×10^{-8}m 내지 2×10^{-7}m로 하는 것이 바람직하다. SiO_2로 이루어지는 절연층 위에 실리콘층을 형성하는 경우, SiO_2로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 8×10^{-8}m, 실리콘층의 두께를 5×10^{-9}m 이상, 바람직하게는 SiO_2으로 이루어지는 절연층의 두께(T_{INSL})를 4×10^{-8} 내지 8×10^{-8}m, 실리콘층의 두께를 5×10^{-9}m 이상, 더 바람직하게는 SiO_2으로 이루어지는 절연층의 두께(T_{INSL})를 4×10^{-8}m 내지 8×10^{-8}m, 실리콘층의 두께를 2×10^{-8} m 이상으로 하는 것이 바람직하다.

<78> 절연층을 SiN_x로 구성하는 경우, SiN_x로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 3×10^{-7}m, 바람직하게는 2×10^{-8}m 내지 2×10^{-7}m로 하는 것이 바람직하다. SiN_x로 이루어지는 절연층 위에 실리콘층을 형성하는 경우, SiN_x로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 2×10^{-7}m, 실리콘층의 두께를 5×10^{-9}m 이상, 바람직하게는 SiN_x로 이루어지는 절연층의 두께(T_{INSL})를 5×10^{-8}m 내지 8×10^{-8}m, 실리콘층의 두께를 5×10^{-9}m 이상, 더 바

람직하게는 SiN_x로 이루어지는 절연층의 두께(T_{INSL})를 5×10^{-8}m 내지 8×10^{-8}m, 실리콘층의 두께를 2×10^{-8} m 이상으로 하는 것이 바람직하다.

<79> 절연층을 AlN로 구성하는 경우, AlN으로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 3×10^{-7}m, 바람직하게는 2×10^{-8}m 내지 2×10^{-7}m로 하는 것이 바람직하다. AlN으로 이루어지는 절연층 위에 실리콘층을 형성하는 경우, AlN으로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 2×10^{-7}m, 실리콘층의 두께를 5×10^{-9}m 이상, 바람직하게는 AlN으로 이루어지는 절연층의 두께(T_{INSL})를 5×10^{-8}m 내지 1×10^{-7}m, 실리콘층의 두께를 5×10^{-9}m 이상, 더 바람직하게는 AlN으로 이루어지는 절연층의 두께(T_{INSL})를 5×10^{-8} 내지 1×10^{-7}m, 실리콘층의 두께를 2×10^{-8} m 이상으로 하는 것이 바람직하다.

<80> 절연층을 Al_2O_3로 구성하는 경우, Al_2O_3로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 3×10^{-7}m, 바람직하게는 2×10^{-8}m 내지 2×10^{-7}m로 하는 것이 바람직하다. Al_2O_3로 이루어지는 절연층 위에 실리콘층을 형성하는 경우, Al_2O_3로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 1.0×10^{-7}m, 실리콘층의 두께를 5×10^{-9}m 이상, 바람직하게는 Al_2O_3로 이루어지는 절연층의 두께(T_{INSL})를 4×10^{-8} m 내지 1×10^{-7}m, 실리콘층의 두께를 5×10^{-9}m 이상, 더 바람직하게는 Al_2O_3로 이루어지는 절연층의 두께(T_{INSL})를 4×10^{-8}m 내지 1×10^{-7}m, 실리콘층의 두께를 2×10^{-8} m 이상으로 하는 것이 바람직하다.

<81> 절연층을 Ta_2O_5로 구성하는 경우, Ta_2O_5로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 5×10^{-7}m, 바람직하게는 2×10^{-8}m 내지 4×10^{-7}m로 하는 것이 바람직하다. Ta_2O_5로 이루어지는 절연층 위에 실리콘층을 형성하는 경우, Ta_2O_5로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 2×10^{-7}, 실리콘층의 두께를 5×10^{-9}m 이상, 바람직하게는 Ta_2O_5으로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8} m 내지 1×10^{-7}m, 실리콘층의 두께를 5×10^{-9}m 이상, 더 바람직하게는 Ta_2O_5으로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 1×10^{-7}m, 실리콘층의 두께를 2×10^{-8} m 이상으로 하는 것이 바람직하다.

<82> 절연층을 ZrO_2로 구성하는 경우, ZrO_2로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 3×10^{-7}m, 바람직하게는 2×10^{-8}m 내지 2×10^{-7}m로 하는 것이 바람직하다. ZrO_2로 이루어지는 절연층 위에 실리콘층을 형성하는 경우, ZrO_2로 이루어지는 절연층의 두께(T_{INSL})를 2×10^{-8}m 내지 2×10^{-7}, 실리콘층의 두께를 5×10^{-9}m 이상, 바람직하게는 ZrO_2으로 이루어지는 절연층의 두께(T_{INSL})를 3×10^{-8}m 내지 1.1×10^{-7}m, 실리콘층의 두께를 5×10^{-9}m 이상, 더 바람직하게는 ZrO_2으로 이루어지는 절연층의 두께(T_{INSL})를 6×10^{-8}m 내지 1.1×10^{-7}m, 실리콘층의 두께를 2×10^{-8} m 이상으로 하는 것이 바람직하다.

<83> 또는, 절연층을 구성하는 재료로서, ZnO, SiON, HfO_2, Sc_2O_3, Y_2O_3, MgO, ThO_2 및 Bi_2O_3으로 이루어지는 군으로부터 선택된 적어도 1종류의 재료로 할 수도 있다. 절연층은 이들 재료로 이루어지는 단층 구성으로 할 수도 있고, 다층 구성으로 할 수도 있다. 또한, 상술한 재료와의 다층 구성으로 할 수도 있다. 또한, 절연층 대신에, 전류 협착층으로서 기능하는 예를 들면, 제 1 도전형의 $Al_xGa_{1-X}N$(단지, $X\geq0.02$)층을 형성하여도 좋다. 이 경우, 제 2 클래드층은 제 2 도전형을 갖는다. 즉, 제 2 클래드층의 도전형이 p형인 경우, n형 Al_xGa_{1-X}(단, $X\geq0.02$)층을 형성하면 좋다.

<84> 상술한 각종의 바람직한 각종 형태를 포함하는 본 발명의 질화물계 반도체 레이저 소자 또는 그 제조방법에 있

어서, 제 2 콘택트층에 대한 오믹 접합 전극으로서의 제 2 전극은 팔라듐(Pd), 백금(Pt), 니켈(Ni) 및 금(Au)으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖고 있고, 금속층은 백금(Pt), 티타늄(Ti) 및 니켈(Ni)로 이루어지는 군으로부터 선택된 적어도 1종류의 금속으로 예시되는 금속을 포함하는 단층 구성 또는 다층 구성을 갖는 것이 바람직하다. 제 2 전극의 막 두께는 1×10^{-8}m 내지 1×10^{-6}m로 하는 것이 바람직하다. 한편, 금속층의 막 두께는 5×10^{-8}m 내지 5×10^{-7}m로 하는 것이 바람직하다. 금속층을 사용하는 것으로, 금속층을 에칭용 마스크로서 질화물계 화합물 반도체층을 에칭하였을 때, 질화물계 화합물 반도체층에 대한 높은 에칭 선택성을 얻을 수 있다. 더구나, 금속층은 광 흡수층으로서 기능하여, 금속층을 형성함으로써, 고차 모드에 대한 광 흡수를 높게 할 수 있고, 횡모드의 안정화가 가능해진다.

<85> 구체적으로는 제 2 전극을 예를 들면 두께 0.05㎛의 Pd(팔라듐)으로 이루어지는 단층 구성으로 하면, 제 2 전극의 제 2 콘택트층에 대한 밀착성의 향상을 특히 도모할 수 있고, 제 2 콘택트층 내부의 질소 원자를 흡인하여 제 2 전극 바로 아래의 제 2 콘택트층에 있어서의 질소 빈 구멍을 없애고, 또한, 수소 저장 합금을 형성하기 때문에, 예를 들면 p형 불순물을 포함하는 제 2 콘택트층으로부터 수소를 빼앗아, p형 불순물(p형 도펀트)를 활성화시켜서 고캐리어 농도의 p형의 제 2 콘택트층을 얻을 수 있다. 또한, 제 2 전극을 예를 들면 두께 0.1㎛의 Pt(백금)으로 이루어지는 단층 구성으로 하면, 제 2 전극을 외부의 전극 또는 회로와 전기적으로 접속하기 위해서 땜납을 사용하는 경우, 땜납 중의 주석(Sn) 원자가 제 2 콘택트층으로 확산되는 것을 특히 방지할 수 있다. 또는, 제 2 전극을 Ni(니켈) 또는 금(Au)을 포함하는 합금으로 이루어지는 단층 구성으로 할 수도 있다. 또한, 제 2 전극을 Pd/Pt의 다층 구성, Pd/Ni의 다층 구성, Pd/Au의 다층 구성, Pt/Pd의 다층 구성, Pt/Ni의 다층 구성, Pt/Au의 다층 구성, Ni/Pd의 다층 구성, Ni/Pt의 다층 구성, Ni/Au의 다층 구성으로 예시되는 다층 구성으로 할 수도 있다. 또한, 다층 구성에 있어서, 「/」의 앞의 재료가 하측의 층을 구성하고, 「/」의 뒤의 재료가 상측의 층을 구성한다. 이하의 설명에 있어서도 동일하다.

<86> 한편, 금속층을 예를 들면 두께 0.1㎛의 Pt(백금)으로 이루어지는 단층 구성으로 하면, 제 2 전극을 외부의 전극 또는 회로와 전기적으로 접속하기 위해서 땜납을 사용하는 경우, 땜납 중의 주석(Sn) 원자가 제 2 콘택트층으로 확산되는 것을 특히 방지할 수 있다. 또한, 금속층을 예를 들면 두께 10㎚의 Ti(티타늄)이나 두께 0.1㎛의 Ni(니켈)로 이루어지는 단층 구성으로 하면, 금속층의 절연층에 대한 밀착성의 향상을 특히 도모할 수 있다. 또한, 금속층을 Ti/Pt의 다층 구성, Ti/Ru의 다층 구성, Ti/Rh의 다층 구성, Ti/Os의 다층 구성, Ti/Ir의 다층 구성, Ti/Ag의 다층 구성, Ti/Ni의 다층 구성, Ti/Pt의 다층 구성, Ti/Pt/Ni의 다층 구성, Ni/Pt의 다층 구성, Ni/Ru의 다층 구성, Ni/Rh의 다층 구성, Ni/Os의 다층 구성, Ni/Ir의 다층 구성, Ni/Ag의 다층 구성으로 예시되는 다층 구성으로 할 수도 있다.

<87> 제 1 콘택트층에 대한 오믹 접합 전극으로서의 제 1 전극은 금(Au), Al(알루미늄), Ti(티타늄), 텅스텐(W), Cu(동), Zn(아연), 주석(Sn) 및 인듐(In)으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖는 것이 바람직하고, 예를 들면, Ti/Al, Ti/Pt/Au를 예시할 수 있다. 또한, 제 1 전극을 Ti/Pt/Au의 다층 구성으로 하는 경우의 각 층의 막 두께로서, Ti층 5 내지 10㎚, Pt층 1×10^{-7}m, Au층 2×10^{-7}m 내지 3×10^{-7}m를 예시할 수 있다.

<88> 금속층 상에 형성된 제 2 패드 전극은 Ti(티타늄), Pt(백금), Au(금)으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖는 것이 바람직하다. 제 2 패드 전극을 예를 들면 두께 10㎚의 Ti(티타늄)으로 이루어지는 단층 구성으로 하면, 제 2 패드 전극의 금속층에 대한 밀착성의 향상을 특히 도모할 수 있다. 또한, 제 2 패드 전극을 예를 들면 두께 0.1㎛의 Pt(백금)으로 이루어지는 단층 구성으로 하면, 제 2 전극을 외부의 전극 또는 회로와 전기적으로 접속하기 위해서 땜납을 사용하는 경우, 땜납 중의 주석(Sn) 원자가 제 2 콘택트층으로 확산하는 것을 특히 방지할 수 있다. 또한, 금속층을 예를 들면 두께 0.3㎛의 Au(금)으로 이루어지는 단층 구성으로 하면, 제 2 전극을 외부의 전극 또는 회로와 전기적으로 접속하기 위해서 땜납을 사용하는 경우, 땜납 중의 주석(Sn) 원자와 합금을 생성시킬 수 있다. 제 2 패드 전극을 Ti/Pt/Au의 다층 구성, Ti/Au의 다층 구성으로 예시되는 다층 구성으로 할 수도 있다.

<89> 이상에서 설명한 제 2 전극, 금속층 및 제 2 패드 전극을 구성하는 재료의 바람직한 조합으로서,

<90> 제 2 전극을

<91> Pd의 단층 구성

<92> Pt의 단층 구성

<93> Ni의 단층 구성

<94> Pd/Pt의 다층 구성

<95> Pd/Ni의 다층 구성

<96> Pd/Au의 다층 구성의 6케이스의 어느 하나로 하고, 금속층을

<97> Ti/Pt의 다층 구성

<98> Ti/Ru의 다층 구성

<99> Ti/Ru/Ni의 다층 구성

<100> Ti/Rh의 다층 구성

<101> Ti/Rh/Ni의 다층 구성

<102> Ti/Os의 다층 구성

<103> Ti/Os/Ni의 다층 구성

<104> Ti/Ir의 다층 구성

<105> Ti/Ir/Ni의 다층 구성

<106> Ti/Ag의 다층 구성

<107> Ti/Ag/Ni의 다층 구성

<108> Ti/Ni의 다층 구성

<109> Ti/Pt/Ni의 다층 구성

<110> Ni/Pt의 다층 구성

<111> Ni/Pt/Ni의 다층 구성

<112> Ni/Ru의 다층 구성

<113> Ni/Ru/Ni의 다층 구성

<114> Ni/Rh의 다층 구성

<115> Ni/Rh/Ni의 다층 구성

<116> Ni/Os의 다층 구성

<117> Ni/Os/Ni의 다층 구성

<118> Ni/Ir의 다층 구성

<119> Ni/Ir/Ni의 다층 구성

<120> Ni/Ag의 다층 구성

<121> Ni/Ag/Ni의 다층 구성의 25케이스 중 어느 하나로 하고, 제 2 패드 전극을

<122> Au의 단층 구성

<123> Ti/Au의 다층 구성

<124> Ti/Pt/Au의 다층 구성의 3케이스 중 어느 하나(즉, 조합의 케이스 수로서, 6×25×3=450 케이스이며, 제 2 전극: 금속층: 제 2 패드 전극을 구성하는 재료의 조합으로 이들 450케이스 중 어느 하나)로 하면 좋지만, 그 중에서도 (제 2 전극: 금속층: 제 2 패드 전극)을 구성하는 재료의 조합으로서, (Pd:Pt:Au)의 조합, (Pd/Pt:Ti/Pt/Ni:Ti/Pt/Au)의 조합으로 하는 것이 한층 더 바람직하다.

<125> 본 발명의 질화물계 반도체 레이저 소자 또는 그 제조방법에 있어서, 릿지 구조의 폭을 1.0㎛ 이상 2.0㎛ 이하로 하는 것이, 질화물계 반도체 레이저 소자의 소비전력의 저하라는 관점에서 바람직하다.

<126> 제 1 전극 상에 형성된 제 1 패드 전극은 Ti(티타늄), Pt(백금), Au(금)으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속을 포함하는 단층 구성 또는 다층 구성을 갖는 것이 바람직하다.

<127> 본 발명에 있어서, 질화물계 화합물 반도체로서, V족으로서 질소원소를 갖는 III-V족 화합물 반도체, 예를 들면, GaN, AlGaN 혼정 또는 AlInGaN 혼정, BAlInGaN 혼정, InGaN 혼정, InN, AlN을 들 수 있다. 그리고, 질화물계 화합물 반도체층을 예를 들면, 유기 금속 화학적 기상 성장법(MOCVD법)이나 분자선 에피텍시법(MBE 법), 할로겐이 수송 또는 반응에 기여하는 하이드라이드 기상 성장법 등으로 퇴적, 형성할 수 있다. 본 발명의 질화물계 반도체 레이저 소자, 또는 본 발명의 질화물계 반도체 레이저 소자의 제조방법으로서 얻을 수 있는 질화물계 반도체 레이저 소자에 있어서는 질화물계 화합물 반도체층의 적층 구조를 레이저 구조로서 갖는 한, 질화물계 화합물 반도체의 종류, 조성에 특별히 제약은 없고, 질화물계 화합물 반도체층의 구조, 구성에도 특별히 제약은 없다.

<128> 기판으로서, c면을 주면으로 갖는 사파이어 기판, 또는 GaN 기판, SiC 기판을 들 수 있다.

<129> 본 발명에 있어서의 제 2 콘택트층, 제 2 클래드층은 p형 불순물을 포함하고, 제 1 전극, 제 1 콘택트층, 제 1 클래드층은 n형 불순물을 포함하고 있다. 또는, 본 발명에 있어서의 제 2 콘택트층, 제 2 클래드층은 n형 불순물을 포함하고, 제 1 전극, 제 1 콘택트층, 제 1 클래드층은 p형 불순물을 포함하고 있다. p형 불순물로서 Mg, Zn, Cd, Be, Ca, Ba, O를 들 수 있다. 한편, n형 불순물로서 Si, Ge, Se, Sn, C, Ti를 들 수 있다.

<130> 릿지 구조의 평면 형상으로서, 스트라이프 형상, 테이퍼 형상, 플레어 형상을 들 수 있다.

<131> 본 발명의 질화물계 반도체 레이저 소자에 있어서는 릿지 구조를 형성하는 제 2 클래드층의 상층이 절연층으로 끼워진, 말하자면, 얇은 매립 구조로 되어 있기 때문에, 즉, 제 2 클래드층의 상층을 두껍게, 또한, 제 2 클래드층의 하층을 얇게 할 수 있기 때문에, 더구나, 절연층이 형성되어 있기 때문에, 전류 협착 효과가 크고, 광출력 주입 전류 특성이 양호하고, 횡방향의 실효 굴절율차(△n)가 충분히 크고, 횡모드의 제어성이 높아져, 횡모드의 안정성이 높다. 제 2 클래드층의 상층을 두껍게, 또한, 제 2 클래드층의 하층을 얇게 하여도, 충분한 두께의 절연층을 형성할 수 있기 때문에, 제 2 패드 전극으로부터, 절연층 및 제 2 클래드층의 하층을 통해서 리크 전류가 흐를 우려가 없다.

<132> 본 발명의 질화물계 반도체 레이저 소자의 제조방법에 있어서는 제 2 콘택트층을 퇴적시킨 다음의 공정에서, 제 2 콘택트층 상에 제 2 전극을 형성하기 때문에, 제 2 콘택트층의 상부면(제 2 전극과의 콘택트면)의 오염 발생이 억제되고, 동작 전압이 소정값이나 설계치로부터 벗어나는 것을 방지할 수 있다. 또한, 절연층의 형성 전에 제 2 콘택트층 상에 제 2 전극을 형성하고 있기 때문에, 어느쪽의 방법으로 절연층을 형성하여도, 제 2 콘택트층의 상부면(제 2 전극과의 콘택트면)에 대한 손상은 발생하지 않는다. 또한, 제 2 전극을 에칭용 마스크로서, 셀프 얼라인 방식으로, 제 2 콘택트층을 에칭하고, 또한, 제 2 클래드층을 두께 방향으로 일부분 에칭하여, 릿지 구조를 형성하기 때문에, 제 2 콘택트층의 상부면(제 2 전극과의 콘택트면)과 실질적으로 같은 형상, 치수로 제 2 콘택트층 상에 제 2 전극을 설치할 수 있고, 종래의 기술과 같이, 제 2 전극과 제 2 콘택트층의 위치 어긋남이 생기지 않는다. 더구나, 제 2 전극을 릿지 구조 형성시의 에칭용 마스크로 하고 있기 때문에, 릿지 구조 형성을 위한 에칭용 마스크의 형성 및 제거 공정이 불필요하고, 금속층을 메사 구조 형성시의 에칭용 마스크로 하고 있기 때문에, 메사 구조 형성을 위한 에칭용 마스크의 형성 및 제거 공정도 불필요하고, 질화물계 반도체 레이저 소자의 제조 프로세스 공정수가 종래의 제조방법과 비교하여 적고, 생산성의 향상을 도모할 수 있다.

실 시 예

<143> 이하, 도면을 참조해서, 실시예에 근거하여 본 발명을 설명한다.

<144> (실시예 1)

<145> 실시예 1의 인덱스·가이드형의 질화물계 반도체 레이저 소자(이하, 반도체 레이저 소자(10)라고 함)의 모식적인 단면도를 도 1에 도시하고, 반도체 레이저 소자(10)의 구성 요소의 일부분을 확대한 모식적인 단면도를 도 2에 도시한다. 또한, 실시예 1의 반도체 레이저 소자(10)의 구성 요소를 도시하는 참조번호 중, 도 10과 동일한 것에는 동일한 참조번호를 붙이고 있다.

<146> 실시예 1의 반도체 레이저 소자(10)는 도 1에 도시하는 바와 같이,

<147> (A) 예를 들면 c면을 주면으로 갖는 사파이어 기판으로 이루어지는 기판(12) 상에 형성된 n형 GaN으로 이루어지는 제 1 콘택트층(14),

<148> (B) 제 1 콘택트층(14) 상에 형성된 제 1 전극(32),

<149> (C) 제 1 콘택트층(14) 상에 형성된 n형 AlGaN으로 이루어지는 제 1 클래드층(16),

<150> (D) 제 1 클래드층(16) 상에 형성된 GaN/InGaN의 다중 양자 우물 구조를 갖는 활성층(20),

<151> (E) 활성층(20) 상에 형성된 p형 AlGaN으로 이루어지는 제 2 클래드층(24),

<152> (F) 제 2 클래드층(24) 상에 형성된 p형 GaN으로 이루어지는 제 2 콘택트층(26), 및

<153> (G) 제 2 콘택트층(26) 상에 형성된 제 2 전극(30)으로 이루어진다.

<154> 또한, 제 1 클래드층(16)과 활성층(20) 사이에는 n형 InGaN으로 이루어지는 제 1 광 가이드층(18)이 형성되고, 활성층(20)과 제 2 클래드층(24) 사이에는 활성층(20)의 열화를 방지하는 AlGaN으로 이루어지는 열화 방지층(21) 및 p형 InGaN으로 이루어지는 제 2 광 가이드층(22)이 형성되어 있지만, 이들의 각 층은 형성하지 않아도 되는 경우가 있다.

<155> 또한, 거의 c축을 따라 연장되는 관통 전위가 사파이어 기판으로 이루어지는 기판(12)의 기판면으로부터 위쪽으로 발생할 수 있기 때문에, 기판(12) 상에 저온 성장의 GaN으로 이루어지는 버퍼층을 형성하고, 이어서, 버퍼층 위에, ELO(Epitaxial Lateral Overgrowth)법 등의 횡방향으로 에피택실 성장시키는 방법을 이용하여, 횡방향 성장에 의해 GaN으로 이루어지는 하지층을 성장시킨 후, 제 1 콘택트층(14)을 성장시킴으로써, 관통 전위 밀도를 저감시키는 것이 바람직하다. 단, 이들 각 층은 형성하지 않아도 되는 경우가 있다. 또한, 도면에는 버퍼층 및 하지층의 도시를 생략하였다.

<156> 또한, 제 2 클래드층(24)은 하층(제 2 클래드층(24)의 하층(24A))과 상층(제 2 클래드층(24)의 상층(24B))으로 구성되어 있다.

<157> 제 1 클래드층(16), 제 1 광 가이드층(18), 활성층(20), 열화 방지층(21), 제 2 광 가이드층(22), 및 제 2 클래드층(24)은 상술한 바와 같이, 질화물계 화합물 반도체층으로 구성되어 있다. 또한, 제 1 클래드층(16), 제 1 광 가이드층(18), 활성층(20), 열화 방지층(21), 제 2 광 가이드층(22), 및 제 2 클래드층의 하층(24A)은 메사 구조를 갖는다. 즉, 실시예 1에 있어서는 이들 각 층은 실질적으로 동일 폭(W_1)의 스트라이프 형상을 갖는다. 한편, 제 2 클래드층의 상층(24B) 및 제 2 콘택트층(26)은 메사 구조의 폭(W_1)보다도 좁은 폭의 릿지 구조를 갖는다. 즉, 실시예 1에 있어서는 이들의 각 층은 실질적으로 동일 폭(W_2)(단, $W_1>W_2$)의 스트라이프 형상을 갖고, 메사 구조가 연장되는 방향과 같은 방향으로 연장되어 있다. 제 2 클래드층의 상층(24B) 및 제 2 콘택트층(26)의 측면은 기판(12)에 대하여 대략 수직하다. 그리고, 제 2 콘택트층(26)과 제 2 전극(30)의 계면에서, 제 2 전극(30)은 제 2 콘택트층(26)과 실질적으로 동일한 폭을 갖는다.

<158> 또한, 메사 구조의 상부면에 대응하는 제 2 클래드층(24)의 하층(24A) 부분의 위에는 제 2 클래드층(24)의 상층(24B)의 양측면의 각각의 적어도 일부분(실시예 1의 반도체 레이저 소자(10)에 있어서는 더욱 구체적으로는 제 2 클래드층의 상층(24B)의 양측면의 각각 및 제 2 콘택트층(26)의 양측면의 각각의 하부)를 피복한 절연층(40)이 형성되어 있다. 절연층(40)은 SiO_2로 이루어진다. 메사 구조의 상부면에 대응하는 제 2 클래드층(24)의 하층(24A) 부분의 위에 형성된 절연층(40)의 부분의 두께(T_{INSL}; 더욱 구체적으로는 제 2 클래드층(24)의 상층(24B)의 양측면 근방 이외의, 제 2 클래드층(24)의 상층(24B)이 형성되지 않은 제 2 클래드층(24)의 하층(24A) 부분의 위에 형성된 절연층(40)의 두께이며, 이하에 있어서도 동일함)(도 2 참조)는 0.2㎛이다. 절연층(40)은 제 2 클래드층(24)의 상층(24B)을 사이에 두고, 얕은 매립 구조를 형성하도록, 즉, 제 2 클래드층의 상층을 두껍게, 또한 제 2 클래드층의 하층을 얇게 할 수 있도록, 메사 구조의 상부면에 대응하는 제 2 클래드층(24)의 하층(24A) 부분의 위에 형성되어 있다. 또한, 제 2 클래드층(24)의 총 두께(T_{TOTAL}; 도 2 참조)는 0.65㎛이고, 제 2 클래드층(24)의 상층(24B)의 두께(T_{UPPER}; 도 2 참조)는 0.15㎛이다.

<159> 제 2 콘택트층(26) 상에는 제 2 콘택트층(26)에 대한 오믹 접합 전극으로서의 제 2 전극(30)이 형성되어 있고, 제 2 전극(30)은 제 2 콘택트층(26)의 상부면과 실질적으로 같은 형상, 치수의 Pd/Pt(Pd가 하층이고, Pt가 상층임)로 이루어지는 다층 구성을 갖는다. 또한, 도면에 있어서는 제 2 전극(30)을 1층으로 도시하였다.

<160> 또한, 절연층(40)의 상부면으로부터 제 2 전극(30)의 상부면에 걸쳐 메사 구조의 폭(W_1)과 실질적으로 동일한 폭을 갖는 금속층(42)이 형성되어 있다. 금속층(42)은 Ti/Pt/Ni(막 두께가 10㎚, 0.1㎛, 0.1㎛이고, Pt가 최하

층, Ni가 최상층)로 이루어지는 다층 구성을 갖고, 제 2 전극(30)과 전기적으로 접속되어 있다. 또한, 도면에 있어서는 금속층(42)을 1층으로 나타낸다.

<161> 또한, 제 1 콘택트층(14)의 표면, 메사 구조의 측면으로부터 금속층(42)의 상부면에 걸쳐(더욱 구체적으로는 제 1 콘택트층(14)의 표면, 제 1 클래드층(16)의 측면, 제 1 광 가이드층(18)의 측면, 활성층(20)의 측면, 열화 방지층(21)의 측면, 제 2 광 가이드층(22)의 측면, 제 2 클래드층(24)의 하층(24A)의 측면, 절연층(40)의 측면, 금속층(42)의 측면, 및 금속층(42)의 상부면에는), SiO_2으로 이루어지는 보호막(28)이 형성되어 있다. 그리고, 제 1 콘택트층(14)의 표면에 형성된 보호막(28)의 일부분에는 제 1 개구부(28B)가 형성되어 있고, 이 제 1 개구부(28B)의 바닥부에 노출된 제 1 콘택트층(14) 상에, Ti/Pt/Au(Ti가 하층, Au가 상층)와 같은 다층 구성을 갖는 제 1 전극(32)이 제 1 콘택트층(14)에 대한 오믹 접합 전극으로서 설치되어 있다. 여기서, 제 1 전극(32)을 구성하는 Ti층, Pt층, Au층의 각각의 두께로서, 10㎚, 0.1㎛, 0.3㎛를 예시할 수 있다. 또한, 제 1 전극(32) 상에, 인출용의 전극으로서 Ti/Pt/Au로 이루어지고, 제 1 전극(32)과 전기적으로 접속된 제 1 패드 전극(36)이 형성되어 있다. 한편, 제 2 전극(30) 위의 금속층(42)상의 보호막(28)의 부분에는 제 2 개구부(28A)가 형성되어 있고, 노출된 금속층(42)의 부분에는 인출용의 전극으로서 금속층(42)과 전기적으로 접속된 제 2 패드 전극(34; 밑에서부터 Ti/Pt/Au의 각 층으로 이루어지는 다층 구성을 갖음)이 형성되어 있다. 또한, 도면에 있어서는 제 1 패드 전극(36), 제 2 패드 전극(34)을 1층으로 도시하였다.

<162> 이하, 실시예 1의 반도체 레이저 소자(10)의 제조방법을 기판 등의 모식적인 일부 단면도인 도 3a 내지 도 8을 참조하여 설명한다.

<163> [공정-100]

<164> 우선, 기판(12) 상에 제 1 콘택트층(14), 제 1 클래드층(16), 활성층(20), 제 2 클래드층(24), 및 제 2 콘택트층(26)을 차례로 퇴적시킨다. 구체적으로는 종래와 같이 하여, 도 3a에 도시하는 바와 같이, c면을 주면으로 갖는 사파이어 기판으로 이루어지는 기판(12) 상에, MOCVD법 등에 의해서 n형 GaN으로 이루어지는 제 1 콘택트층(14), n형 AlGaN으로 이루어지는 제 1 클래드층(16), n형 InGaN으로 이루어지는 제 1 광 가이드층(18), GaN/InGaN의 다중 양자 우물 구조를 갖는 활성층(20), 활성층(20)의 열화를 방지하는 AlGaN으로 이루어지는 열화 방지층(21), p형 InGaN으로 이루어지는 제 2 광 가이드층(22), p형 AlGaN으로 이루어지는 제 2 클래드층(24), 및 p형 GaN으로 이루어지는 제 2 콘택트층(26)이 순차 적층된 적층 구조를 형성(퇴적)한다. 또한, 기판(12) 상에 우선, 저온 성장의 GaN으로 이루어지는 버퍼층(도시하지 않음)을 형성하고, 버퍼층 위에 횡방향 성장에 의해 GaN으로 이루어지는 하지층(도시하지 않음)을 성장시킨 후, 제 1 콘택트층(14)을 성장시켜도 좋다.

<165> 버퍼층 및 활성층(20) 이외의 각종의 질화물계 화합물 반도체층의 성막 온도를 약 1000℃로 하고, 활성층(20)의 성막 온도를 In의 분해를 억제하기 위해서, 700 내지 800℃로 하고, 버퍼층의 성막 온도를 약 560℃으로 하면 좋다. 또한, MOCVD 법에 있어서의 각 질화물계 화합물 반도체층의 형성에 있어서는 Ga원으로서 트리메틸 갈륨(TMG) 가스를 사용하고, N원으로서 암모니아 가스를 사용하면 좋다. 또한, n형 질화물계 화합물 반도체층의 형성에 있어서는 예를 들면, n형 불순물로서 규소(Si)를 첨가하면 좋고, p형 질화물계 화합물 반도체층의 형성에 있어서는 예를 들면, p형 불순물로서 마그네슘(Mg)을 첨가하면 좋다. 또한, Al원으로서 트리메틸알루미늄(TMA) 가스를 사용하면 좋고, In원으로서 트리메틸 인듐(TMI) 가스를 사용하면 좋고, Si원으로서 모노실란 가스(SiH_4 가스)를 사용하고, Mg원으로서 시클로펜타디 에닐 마그네슘 가스를 사용하면 좋다.

<166> [공정-110]

<167> 이어서, 형성해야 할 제 2 콘택트층(26)과 실질적으로 동일한 폭을 갖는 (즉, 실시예 1에 있어서는 실질적으로 폭(W_2)의 스트라이프 형상을 갖는다) 제 2 전극(30)을 제 2 콘택트층(26) 상에 형성한다.

<168> 구체적으로는 제 2 콘택트층(26) 상에 막 두께 0.2㎛의 SiO_2로 이루어지는 마스크층(60)을 형성한다. 이어서, 마스크층(60) 상에 포토레지스트층(62)을 성막하고, 포토리소그래피 기술에 근거하여, 폭이 대강 W_2의 스트라이프형의 개구를 갖는 포토레지스트층(62)을 형성한다. 계속해서, 이 포토레지스트층(62)을 에칭용 마스크로서, 플루오르산계 에칭액에 의한 웨트 에칭법으로 마스크층(60)을 에칭한다. 이렇게 해서, 제 2 콘택트층(26)의 상부면이 노출된 개구(64)를 얻을 수 있다(도 3b 참조). 그 후, 포토레지스트층(62)상 및 개구(64)의 바닥부에 위치하는 제 2 콘택트층(26) 상에, 막 두께 50㎚의 Pd막 및 막 두께 0.1㎛의 Pt막으로 이루어지는 다층 금속막(30A)을 진공 증착법으로 차례로 형성한다. 또한, 도면에 있어서는 다층 금속막(30A)을 1층으로 도시하였다. 계속해서, 애싱법으로 포토레지스트층(62)을 제거하고, 또한, 플루오르산에 의한 웨트 에칭법으로서 마스크층

(60)을 제거한다. 이것에 의해서, 포토레지스트층(62)상의 다층 금속막(30A)이 제거되어, 개구(64)의 바닥부에 위치한 제 2 콘택트층(26) 부분의 위에만 다층 금속막(30A)이 남겨진다(도 4a 참조). 대강 폭(W_2)의 스트라이프 형상을 갖는 다층 금속막(30A)이 제 2 전극(30)에 상당한다. 제 2 전극(30)이 형성된 영역 이외의 영역의 제 2 콘택트층(26)은 상부면이 노출된 상태가 된다. 제 2 콘택트층(26)을 퇴적시킨 후의 공정에서, 즉시 제 2 전극(30)을 형성하기 때문에, 제 2 전극(30)과의 콘택트면인 제 2 콘택트층(26)의 상부면이 오염되는 것을 효과적으로 방지할 수 있다.

<169> [공정-120]

<170> 다음에, 제 2 전극(30)을 에칭용 마스크로서, 제 2 콘택트층(26)을 에칭하고, 또한, 제 2 클래드층(24)을 두께 방향으로 일부분 에칭하여, 실질적으로 폭(W_2)의 스트라이프 형상을 갖는 제 2 콘택트층(26) 및 제 2 클래드층(24)의 상층(24B)을 형성하고, 아울러, 제 2 클래드층(24)의 상층(24B)의 양측에 상부면이 노출된 부분을 갖는 제 2 클래드층(24)의 하층(24A)을 형성한다.

<171> 구체적으로는 제 2 전극(30)을 마스크로 하여, 염소계의 에칭 가스를 사용한 드라이 에칭법으로 제 2 콘택트층(26) 및 제 2 클래드층(24)의 상층의 부분을 에칭하고, 제 2 콘택트층(26) 및 제 2 클래드층(24)의 상층(24B)으로 이루어지는 스트라이프형의 릿지 구조(50)를 형성한다(도 4b 참조). 제 2 전극(30), 제 2 콘택트층(26) 및 제 2 클래드층(24)의 상층(24B)은 실질적으로 폭(W_2)의 스트라이프 형상을 갖는다. 제 2 전극(30)을 에칭용 마스크로서, 셀프 얼라인 방식으로 릿지 구조를 형성하기 때문에, 제 2 콘택트층(26)의 상부면(제 2 전극(30)과의 콘택트면)과 실질적으로 같은 형상, 치수로 제 2 콘택트층(26) 상에 제 2 전극(30)을 형성할 수 있고, 제 2 전극(30)과 제 2 콘택트층(26)의 위치 어긋남이 생기지 않는다. 더구나, 제 2 전극(30)을 에칭용 마스크로서 에칭하여 릿지 구조를 형성하기 때문에, 즉, 셀프 얼라인 방식으로 릿지 구조를 형성할 수 있기 때문에, 종래의 기술과 달리 릿지 구조의 형성에 필요한 에칭용 마스크의 형성 및 제거 공정을 생략할 수 있다.

<172> [공정-130]

<173> 다음에, 제 2 클래드층(24)의 상층(24B)이 형성되지 않은 제 2 클래드층(24)의 하층(24A) 부분의 위에, 제 2 클래드층의 상층의 양측면의 각각의 적어도 일부분(실시예 1에 있어서는 더욱 구체적으로는 제 2 클래드층의 상층(24B)의 양측면의 각각 및 제 2 콘택트층(26)의 양측면의 각각의 하부)을 피복하는 절연층(40)을 형성한다. 절연층(40)의 형성 전에 제 2 콘택트층(26) 상에 제 2 전극(30)을 형성하고 있기 때문에, 절연층(40)의 형성에 의해서 제 2 콘택트층과 제 2 전극의 콘택트면에 손상은 발생하지 않는다.

<174> 구체적으로는 우선, 전체면에 0.2㎛의 SiO_2로 이루어지는 절연층(40)을 형성한다. 계속해서, 제 2 전극(30)의 위쪽이 얇고, 또한, 제 2 클래드층(24)의 상층(24B)이 형성되지 않은 제 2 클래드층(24)의 하층(24A)의 위쪽이 두꺼워지도록, 절연층(40) 상에 포토레지스트막(66)을 형성(도포)한다(도 5a 참조). 제 2 전극(30)의 위쪽 및 제 2 클래드층(24)의 상층(24B)이 형성되지 않은 제 2 클래드층(24)의 하층(24A)의 위쪽의 포토레지스트막(66)의 상부면의 높이는 거의 같은 높이이다. 이어서, 제 2 전극(30)을 에칭 정지층으로서, 포토레지스트막(66) 및 적어도 제 2 전극(30) 위의 절연층(40)을 에칭하고(더욱 구체적으로는 포토레지스트막(66) 및 절연층(40)을 에치 백(etched back)함), 적어도 제 2 전극(30)의 상부면(실시예 1에 있어서는 더욱 구체적으로는 제 2 전극(30)의 상부면 및 양측면 및 제 2 콘택트층(26)의 양측면의 각각의 상부)을 노출시킨다(도 5b 참조). 요컨대, 릿지 구조(50)의 단차를 이용하여, 제 2 전극(30)을 에칭 정지층으로 하여, 제 2 전극(30)의 상부면을 노출시킨다. 절연층(40)은 제 2 클래드층의 상층(24B)의 양측면의 각각을 피복하고, 또한, 제 2 콘택트층(26)의 양측면의 각각의 하부를 피복한 상태로 남겨진다.

<175> [공정-140]

<176> 그 후, 절연층(40)의 상부면으로부터 제 2 전극의 상부면에 걸쳐 형성해야 할 메사 구조의 폭(W_1)과 실질적으로 같은 폭을 갖는 금속층(42)을 형성한다. 구체적으로는 실질적으로 폭(W_1)(>W_2)의 스트라이프 형상을 갖는 금속층(42)을 형성한다.

<177> 즉, 포토레지스트막(68)을 전체면에 형성(도포)하고, 실질적으로 폭(W_1)의 스트라이프 형상을 갖는 개구(70)를 포토레지스트막(68)에 형성한다. 개구(70)의 바닥부에는 제 2 전극(30) 및 절연층(40)의 일부분이 노출된 상태가 된다. 계속해서, 스퍼터링법으로, Ti/Pt/Ni로 이루어지는 다층 구성을 갖는 금속층(42)을 전체면에 형성한다(도 6a 참조). 즉, 두께 10㎚의 Ti막, 두께 0.1㎛의 Pt막, 두께 0.1㎛의 Ni막을 순차 스퍼터링법으로 퇴적시

킨다. 또한, 도면에 있어서는 금속층(42)을 1층으로 도시한다. 이어서, 포토레지스트막(68)을 애싱(ashing)법으로 제거하고, 포토레지스트막(68)상의 금속층(42)의 부분을 제거하여, 개구(70)의 바닥부에 위치한 제 2 전극(30) 및 절연층(40) 부분의 위에 금속층(42)을 남긴다(도 6b 참조).

<178> [공정-150]

<179> 다음으로, 금속층(42)을 에칭용 마스크로서, 절연층(40), 제 2 클래드층(24)의 하층(24A), 제 2 광 가이드층(22), 열화 방지층(21), 활성층(20), 제 1 광 가이드층(18), 제 1 클래드층(16) 및 제 1 콘택트층(14)의 일부분을 에칭한다. 이렇게 해서, 도 7a에 도시하는 바와 같은 메사 구조(52)를 얻을 수 있다. 금속층(42)을 메사 구조 형성시의 에칭용 마스크로 하고 있기 때문에, 메사 구조 형성을 위한 에칭용 마스크의 형성 및 제거 공정은 불필요하다.

<180> [공정-160]

<181> 이어서, 전체면에, 구체적으로는 제 1 콘택트층(14)의 표면, 메사 구조의 측면으로부터 금속층(42)의 상부면에 걸쳐(더욱 구체적으로는 제 1 콘택트층(14)의 표면, 제 1 클래드층(16)의 측면, 제 1 광 가이드층(18)의 측면, 활성층(20)의 측면, 열화 방지층(21)의 측면, 제 2 광 가이드층(22)의 측면, 제 2 클래드층(24)의 하층(24A)의 측면, 절연층(40)의 측면, 금속층(42)의 측면 및 금속층(42)의 상부면 위에), 막 두께 0.3㎛의 SiO_2로 이루어지는 보호막(28)을 형성한다. 그 후, 제 1 콘택트층(14)의 표면에 형성된 보호막(28)의 일부분에 제 1 개구부(28B)를 형성하고, 노출된 제 1 콘택트층(14) 상에 제 1 전극(32)을 형성한다(도 7b 참조). 또한, 제 2 전극(30) 위의 금속층(42)상의 보호막(28)의 부분에(더욱 구체적으로는 절연층(40)상의 금속층(42)의 일부분의 위로부터 제 2 전극(30)상의 금속층(42)의 부분에 걸친 보호막(28)의 부분에), 제 2 개구부(28A)를 형성한다. 그리고, 노출된 금속층(42)의 부분에 제 2 패드 전극(34)을 형성한다(도 8 참조). 제 2 패드 전극(34)은 밑에서부터, 두께 10㎚의 Ti층/두께 0.1㎛의 Pt층/두께 0.3㎛의 Au층의 각 층으로 이루어지는 다층 구성을 갖는다. 이어서, 제 1 전극(32) 위에 제 1 패드 전극(36)을 형성한다. 제 1 패드 전극(36)은 두께 10㎚의 Ti층/두께 0.1㎛의 Pt층/두께 0.3㎛의 Au층으로 이루어진다. 이렇게 해서, 도 1에 도시한 반도체 레이저 소자(10)를 제작할 수 있다. 그 후, 벽개처리(cleavage), 펠릿화, 다이 본딩이나 와이어 본딩, 캡 실 처리를 함으로써 반도체 레이저 소자(10)를 완성시킨다.

<182> 이상, 본 발명을 바람직한 실시예에 근거하여 설명하였지만, 본 발명은 이 실시예에 한정되는 것이 아니다. 실시예에서 설명한 기판, 질화물계 화합물 반도체층의 종류, 조성, 막 두께, 구성, 구조 등은 예시이며, 적합하게 변경할 수 있다. 또한, 실시예에 있어서 설명한 조건이나 각종 수치, 사용한 재료 등은 예시이며, 적합하게 변경할 수 있다. 질화물계 화합물 반도체로 이루어지는 각 층의 퇴적(성막)방법은 MOCVD법에 한정되지 않고, MBE법, 할로겐이 수송 또는 반응에 기여하는 하이드라이드 기상 성장법 등에 의해서 행할 수도 있다. 또한, 기판으로서 사파이어 기판 이외에도, GaN 기판, SiC 기판을 사용할 수 있다.

<183> 실시예 1의 반도체 레이저 소자의 변형예의 모식적인 단면도를 도 9a 및 9b에 도시한다. 또한, 도 9a 및 9b에 도시하는 반도체 레이저 소자(10a, 10b)의 구성 요소를 도시하는 참조번호 중, 도 1과 같은 것에는 같은 참조번호를 붙이고 있다. 도 9a에 도시하는 반도체 레이저 소자(10a)에서는 절연층(40) 위에(즉, 절연층(40)과 금속층(42) 사이에 실리콘층(구체적으로는 예를 들면 어몰퍼스 실리콘층(44))이, 예를 들면 진공 증착법이나 그 밖의 방법에 근거하여 형성되어 있다. 어몰퍼스 실리콘층(44)은 광 흡수층으로서 기능하여, 어몰퍼스 실리콘층(44)을 형성함에 따라, 횡방향의 실효 굴절율차(△n)를 크게 하는 것이 가능해진다. 도 9b에 도시하는 반도체 레이저 소자(10B)에서는 릿지 구조의 측면이 경사져 있다. 또한, 이 경우, 릿지 구조의 폭(W_2)은 릿지 구조의 폭의 가장 넓은 폭에 해당한다. 즉, 제 2 클래드층(24)의 상층(24B)과 하층(24A)의 계면에서의 상층(24B)의 폭에 해당한다.

<184> 본 발명의 질화물계 반도체 레이저 소자에 있어서는 제 2 클래드층의 상층을 사이에 두도록 하여, 메사 구조의 상부면을 구성하는 제 2 클래드층의 하층 상에 절연층이 형성되어 있기 때문에, 즉, 얕은 매립 구조로 되어 있기 때문에, 전류 협착 효과가 크고, 질화물계 반도체 레이저 소자는 뛰어난 광 출사 주입 전류 특성을 갖는다. 또한, 횡방향의 실효 굴절율차(△n)[도 1의 선 A-A에 따른 실효 굴절율(n_{EFF1})과, 선 B-B에 따른 실효 굴절율(n_{EFF2})의 차($\triangle n=n_{EFF1}-n_{EFF2}$)]를 크게 할 수 있는 결과, 횡모드의 제어성이 높아지고, 뛰어난 횡모드 안정성을 달성할 수 있다. 또한, 제 2 콘택트층에 대한 위치 어긋남이 없는 제 2 전극을 구비하고 있기 때문에, 동작 전압이 상승하지도 않는다.

<185> 본 발명의 질화물계 반도체 레이저 소자의 제조방법에 의하면, 제 2 콘택트층을 형성한 후, 즉시 제 2 전극을 제 2 콘택트층 상에 형성하기 때문에, 종래의 제조 방법과 같이, 제 2 콘택트층의 상부면(제 2 전극과의 콘택트면)이 오염되어 전기 저항이 커지고, 그 결과, 동작 전압이 상승한다는 문제의 발생을 확실히 회피할 수 있다. 또한, 제 2 전극을 에칭용 마스크로서 에칭하여 릿지 구조를 형성하기 때문에, 즉, 셀프 얼라인 방식으로 릿지 구조를 형성할 수 있기 때문에, 제 2 전극과 제 2 콘택트층 사이에 위치 어긋남이 생기지 않는다. 따라서, 종래와 같은 동작 전압이 소정값이나 설계치로부터 벗어나지 않는다. 또한, 제 2 전극을 릿지 구조시의 에칭용 마스크로서 사용함으로써, 릿지 구조의 형성에 필요한 에칭용 마스크의 형성 및 제거 공정을 생략할 수 있고, 금속층을 메사 구조 형성시의 에칭용 마스크로서 사용함으로써, 에칭용 마스크의 형성 및 제거 공정을 생략할 수 있기 때문에, 질화물계 반도체 레이저 소자의 제조 프로세스 공정수가 종래의 제조방법에 비교하여 적어, 생산성의 향상을 도모할 수 있다.

도면의 간단한 설명

<133> 도 1은 실시예 1의 질화물계 반도체 레이저 소자의 모식적인 일부 단면도.

<134> 도 2는 실시예 1의 질화물계 반도체 레이저 소자의 구성 요소의 일부분을 확대한 모식적인 단면도.

<135> 도 3a 및 도 3b는 실시예 1에 있어서의 질화물계 반도체 레이저 소자의 제조방법을 설명하기 위한 기판 등의 모식적인 일부 단면도.

<136> 도 4a 및 도 4b는 도 3b에 이어서, 실시예 1에 있어서의 질화물계 반도체 레이저 소자의 제조방법을 설명하기 위한 기판 등의 모식적인 일부 단면도.

<137> 도 5a 및 도 5b는 도 4b에 이어서, 실시예 1에 있어서의 질화물계 반도체 레이저 소자의 제조방법을 설명하기 위한 기판 등의 모식적인 일부 단면도.

<138> 도 6a 및 도 6b는 도 5b에 이어서, 실시예 1에 있어서의 질화물계 반도체 레이저 소자의 제조방법을 설명하기 위한 기판 등의 모식적인 일부 단면도.

<139> 도 7a 및 도 7b는 도 6b에 이어서, 실시예 1에 있어서의 질화물계 반도체 레이저 소자의 제조방법을 설명하기 위한 기판 등의 모식적인 일부 단면도.

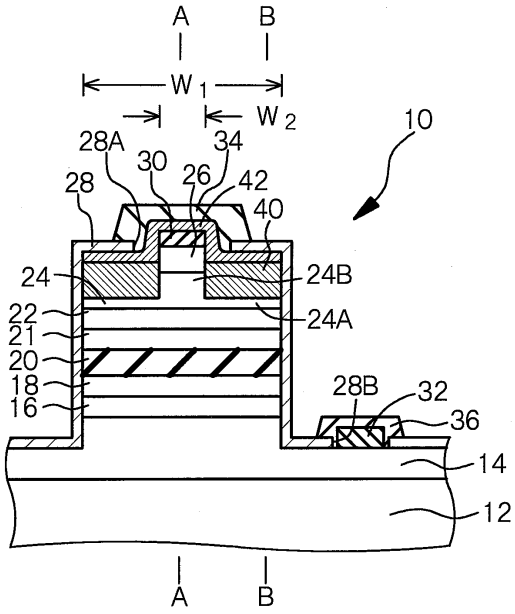
<140> 도 8은 도 7b에 이어서, 실시예 1에 있어서의 질화물계 반도체 레이저 소자의 제조방법을 설명하기 위한 기판 등의 모식적인 일부 단면도.

<141> 도 9a 및 도 9b는 실시예 1의 질화물계 반도체 레이저 소자의 변형예의 모식적인 일부 단면도.

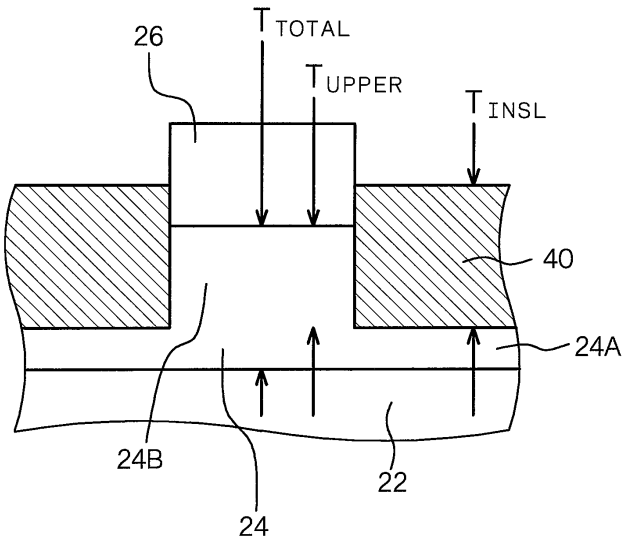
<142> 도 10은 종래의 질화물계 반도체 레이저 소자의 모식적인 일부 단면도.

도면

도면1

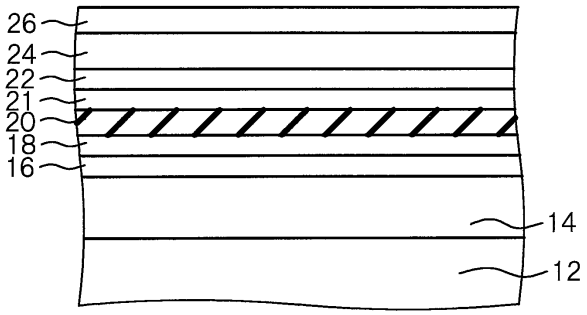

A
B
W 1
W 2
10
28A
34
30
26
42
28
40
24
24B
22
24A
21
20
18
16
28B
32
36
14
12
A
B

도면2


26
T TOTAL
T UPPER
T INSL
40
24A
24B
22
24

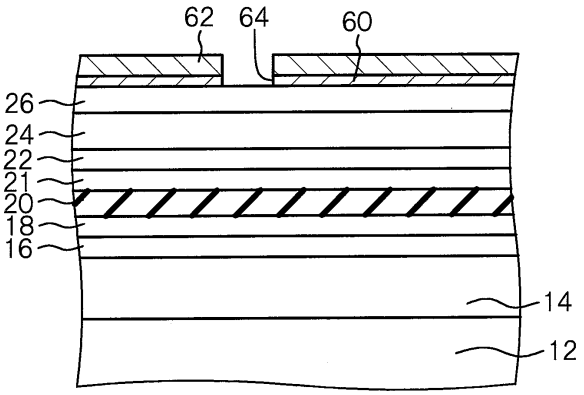
도면3a

[공정－１００]



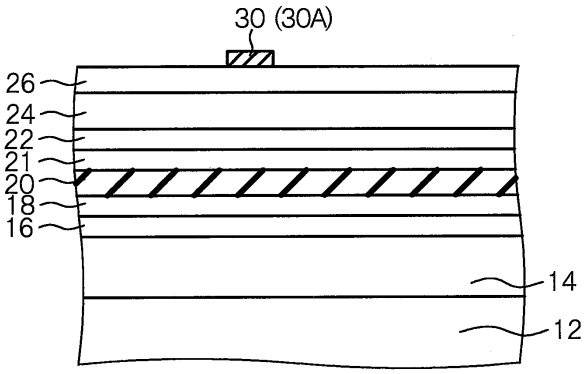
도면3b

[공정－１１０]

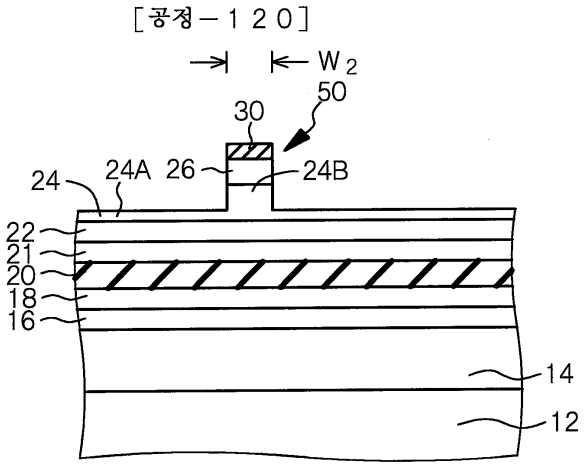


도면4a

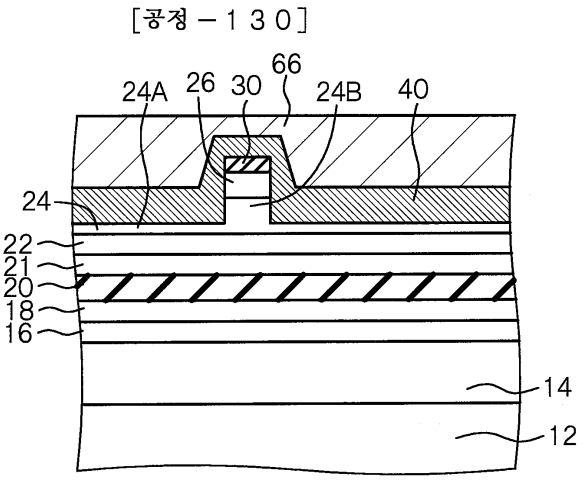
[공정－１１０] (계속)



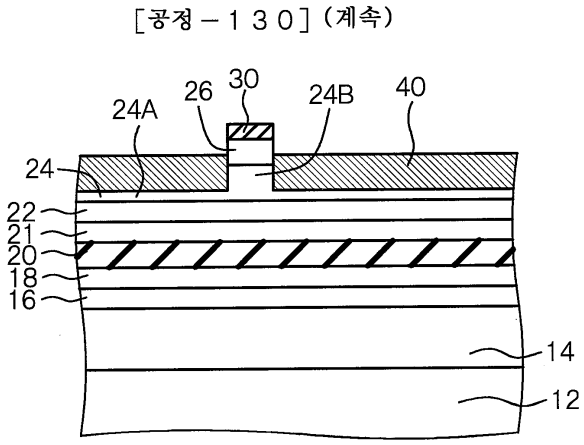
도면4b



도면5a

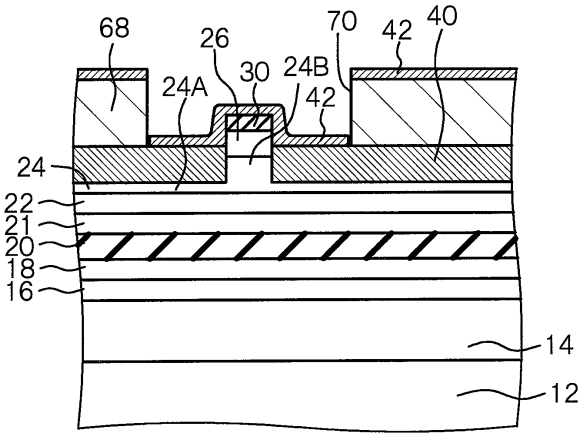


도면5b



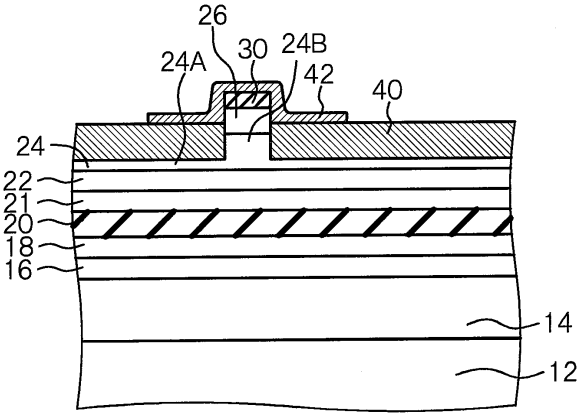
도면6a

[공정 - 140]

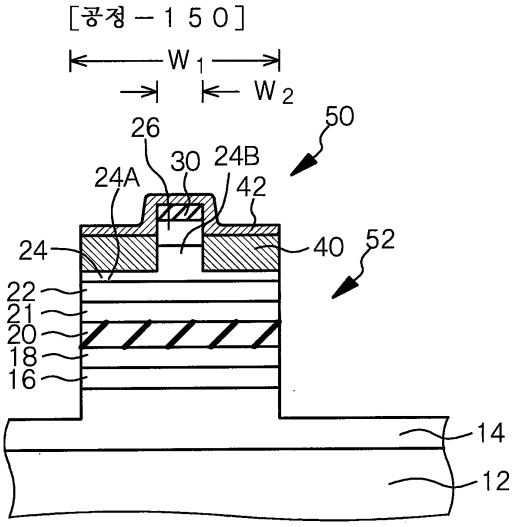


도면6b

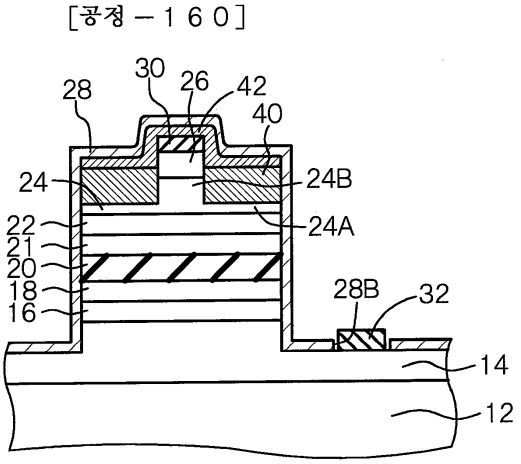
[공정 - 140] (계속)



도면7a

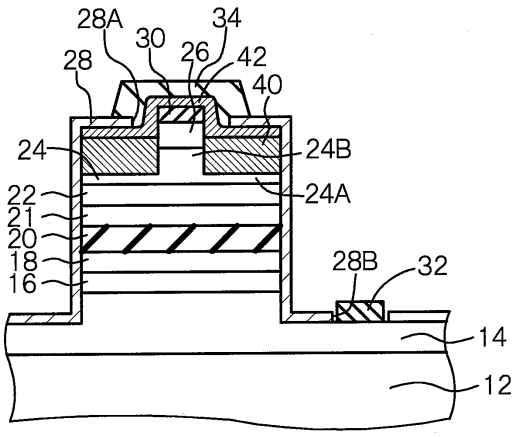

[공정 - 150]
W1
W2
50
26
30
24B
24A
42
24
40
52
22
21
20
18
16
14
12

도면7b

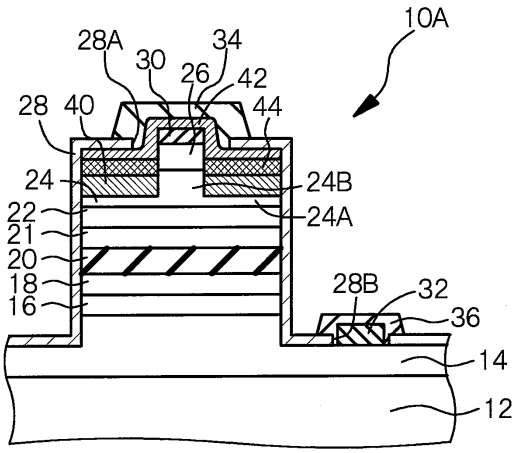

[공정 - 160]
30
28
26
42
40
24
24B
22
24A
21
20
18
28B
32
16
14
12

도면8

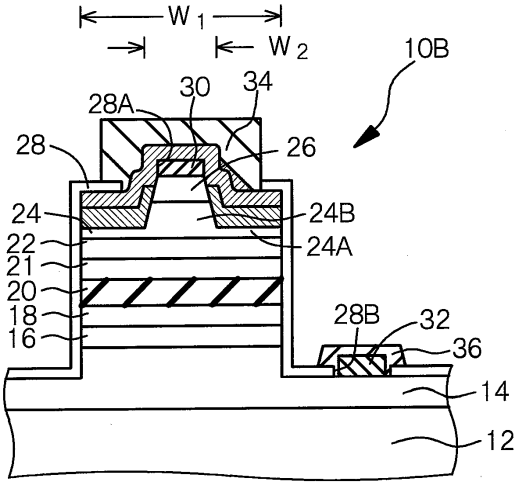
[공정－１６０](계속)



도면9a

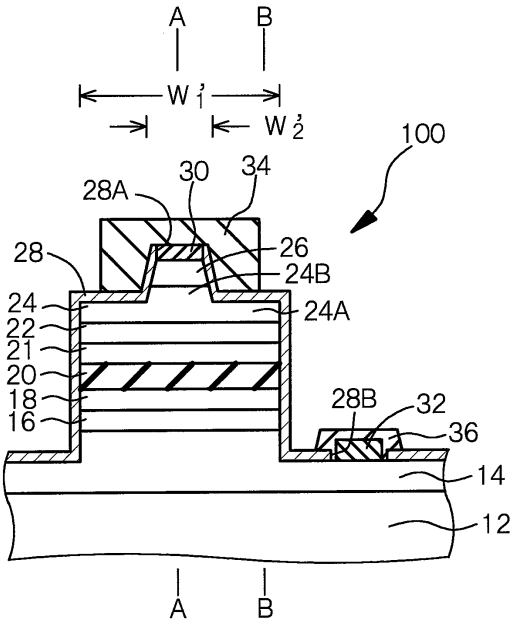


도면9b



도면10

(종래기술)


A
B
W1'
W2'
100
30
34
28A
28
26
24B
24
24A
22
21
20
18
16
28B
32
36
14
12
A
B