

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 5 日 (05.07.2018)



(10) 国际公布号
WO 2018/121109 A1

- (51) 国际专利分类号:
H01L 29/788 (2006.01)
- (21) 国际申请号: PCT/CN2017/110888
- (22) 国际申请日: 2017 年 11 月 14 日 (14.11.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201611249146.5 2016 年 12 月 29 日 (29.12.2016) CN
- (71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。
- (72) 发明人: 梁志彬 (LIANG, Zhibin); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。刘涛 (LIU, Tao); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。张松 (ZHANG, Song); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。金炎 (JIN, Yan); 中国江苏省无

锡市新区新洲路 8 号, Jiangsu 214028 (CN)。王德进 (WANG, Dejin); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) Title: FLASH STORAGE STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 闪存存储结构及其制造方法

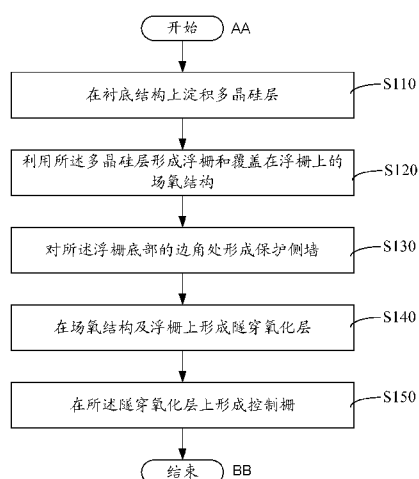


图 3

- S110 Deposit a polysilicon layer on a substrate structure
S120 Form, using the polysilicon layer, a floating gate and a field oxide structure covering the floating gate
S130 Form a protective side wall at the corner of the bottom of the floating gate
S140 Form a tunneling oxide layer on the field oxide structure and the floating gate
S150 Form a control gate on the tunneling oxide layer
AA Start
BB End

(57) Abstract: A flash storage structure and a manufacturing method therefor. The method comprises: depositing a polysilicon layer on a substrate structure (S110); forming, using the polysilicon layer, a floating gate and a field oxide structure covering the floating gate (S120); forming a protective side wall at the corner of the bottom of the floating gate (S130); forming a tunneling oxide layer on the field oxide structure and the floating gate (S140); and forming a control gate on the tunneling oxide layer (S150).

(57) 摘要: 一种闪存存储结构及其制造方法。该方法包括: 在衬底结构上沉积多晶硅层 (S110); 利用所述多晶硅层形成浮栅和覆盖在浮栅上的场氧结构 (S120); 在所述浮栅底部的边角处形成保护侧墙 (S130); 在场氧结构及浮栅上形成隧穿氧化层 (S140); 在所述隧穿氧化层上形成控制栅 (S150)。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

闪存存储结构及其制造方法

技术领域

本发明涉及半导体存储技术领域，特别是涉及一种闪存存储结构及其制造方法。

5 背景技术

半导体存储器件的基本单位为可以表示 0 和 1 两种状态的半导体结构，一般地，都采用半导体器件常见的 MOS 结构。传统的闪存（FLASH 存储）的基本结构大都是在 MOS 结构中加入浮栅存储或释放电荷以实现表示 0 和 1 两种状态。

10 传统的用作基本存储单元的 MOS 结构中，浮栅外缘为尖端结构，在需要擦除数据时，可通过在栅极施加高压驱使浮栅尖端放电，使电子从隧穿氧化层穿透到控制栅，释放浮栅中存储的电荷，改变基本存储单元的存储状态，达到擦除的目的。可以理解的是，隧穿氧化层越薄，电子越容易发生隧穿。

然而在该基本存储单元的制程中，形成浮栅后会进一步形成覆盖有隧穿
15 氧化层的中间结构。此后该中间结构会经历多次湿法腐蚀工艺。由于湿法腐蚀的不稳定性，在隧穿氧化层的底部的边角处会相对其他地方腐蚀得更多，因此在后续形成控制栅的过程中，控制栅在该处形成尖角。电子很容易从控制栅隧穿进入浮栅（该过程称为反隧穿），导致擦除不稳定。

20 发明内容

基于此，有必要提供一种闪存存储结构的制造方法，其可以消除浮栅底部边角处的过刻蚀，提高擦除的稳定性。

一种闪存存储结构的制造方法，包括：

在衬底结构上淀积多晶硅层；

5 利用所述多晶硅层形成浮栅和覆盖在浮栅上的场氧结构；

对所述浮栅底部的边角处形成保护侧墙；

在场氧结构及浮栅上形成隧穿氧化层；

在所述隧穿氧化层上形成控制栅。

在其中一个实施例中，所述对所述浮栅底部的边角处形成保护侧墙的步骤

10 骤包括：

在形成浮栅和场氧结构后的中间结构上沉积隔离层；所述隔离层覆盖场氧结构、浮栅的侧墙以及未覆盖浮栅的衬底结构上；

去除部分隔离层并仅保留位于浮栅底部的边角处的保护侧墙。

一种闪存存储结构，包括：

15 衬底结构；

浮栅，形成在所述衬底结构上；

场氧结构，覆盖在所述浮栅上；

保护侧墙，位于所述浮栅底部的边角处；

隧穿氧化层，形成在所述浮栅和场氧结构上；

20 控制栅，形成在所述隧穿氧化层上。

上述实施例的闪存存储结构及其制造方法，通过在浮栅底部边角处形成保护侧墙，后续形成隧穿氧化层后，即使经历多次湿法腐蚀，隧穿氧化层的底部边角处被腐蚀，也会被保护侧墙阻止进一步腐蚀。控制栅不会形成尖角，

可以有效地防止电子反隧穿。进一步地，保护侧墙采用不易被电子隧穿的材料，也可以有效防止电子反隧穿。因此所形成的半导体器件擦除更加稳定。

附图说明

5 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他实施例的附图。

图 1 为采用具有浮栅的基本结构形成的存储器的原理图；

10 图 2a 为图 1 中的基本存储单元的结构示意图；

图 2b 为图 1 中的基本存储单元在出现湿法刻蚀缺陷时的结构示意图；

图 3 为一实施例的闪存存储结构的制造方法流程图；

图 4a~图 4e 为图 3 所示流程中各步骤处理后的中间结构示意图；

图 5 为形成浮栅的流程图；

15 图 6a~图 6c 及图 4b 为图 5 所示流程中各步骤处理后的中间结构示意图；

图 7 为在中间结构上沉积隔离层后所形成的结构示意图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的较佳实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容的理解更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于发明的技术

领域的技术人员通常理解的含义相同。本文中在发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本申请。本文所使用的术语“和/或”包括一个或多个相关的所列项目的任意的和所有的组合。

图 1 为采用具有浮栅的基本结构形成的存储器的原理图。如图 2a 所示，
5 是这种基本存储单元的结构示意图。该基本存储单元 10 包括衬底结构 15、
设于衬底 15 上的多晶硅浮栅 11、形成在浮栅 11 上的场氧结构 12、覆盖在浮
栅 11 和场氧结构 12 上的隧穿氧化层 13、以及覆盖在隧穿氧化层 13 上的多
晶硅控制栅 14。其中，浮栅 11 具有尖端 111。

在对该基本存储单元 10 进行擦除时，是在控制栅 14 上加高压，使浮栅
10 11 尖端放电。浮栅 11 中存储的电子从隧穿氧化层 13 穿透到控制栅 14，改变
基本存储单元 10 的存储状态，达到擦除的目的。

在该基本存储单元 10 的制程中，控制栅 14 在隧穿氧化层 13 的底部形成
尖角 141，如图 2b 所示。电子很容易从控制栅 14 隧穿进入浮栅 11，导致擦
除不稳定。

以下实施例的方法可以用于更好地制造闪存存储结构，且可以避免在隧
穿氧化层的底部形成尖角。

15 图 3 为一实施例的闪存存储结构的制造方法流程图。该方法包括以下步
骤 S110~S150。图 4a~图 4e 为各步骤处理后的中间结构示意图。

步骤 S110: 在衬底结构 100 上淀积多晶硅层 200。衬底结构 100 包括衬
底、在衬底上形成的源极区、漏极区和沟道区，且沟道区上方具有栅氧层，
为简单起见，这些细节结构在图 4a~4e 中未明确示出，仅以整个衬底结构 100
20 来表示。本步骤是在完成衬底结构 100 之后的工序。本步骤处理后形成的结
构如图 4a 所示。

步骤 S120: 利用所述多晶硅层 200 形成浮栅 210 和覆盖在浮栅上的场氧结构 220。多晶硅层 200 经过处理, 形成浮栅 210 和场氧结构 220。本步骤处理后形成的结构如图 4b 所示。由于后续湿法清洗由经过很多步湿法工艺, 导致后续的隧穿氧化层 220 底部边角处内凹、甚至浮栅 210 的底部的边角处内凹, 因此需要执行以下步骤 S130。

步骤 S130: 对所述浮栅 210 底部的边角处形成保护侧墙 610。本步骤处理后形成的结构如图 4c 所示。

步骤 S140: 在场氧结构 220 及浮栅 210 上形成隧穿氧化层。隧穿氧化层 300 为二氧化硅层, 可以采用淀积的方式形成。本步骤处理后形成的结构如图 4d 所示。

步骤 S150: 在所述隧穿氧化层 300 上形成控制栅 400。本步骤处理后形成的结构如图 4e 所示。

上述实施例的方法, 通过在浮栅 210 底部边角处形成保护侧墙 610, 在后续形成隧穿氧化层 220 后, 即使经历多次湿法腐蚀, 隧穿氧化层 220 的底部边角处被腐蚀, 也会被保护侧墙 610 阻止进一步腐蚀。控制栅 400 不会形成尖角, 可以有效地防止电子反隧穿。进一步地, 保护侧墙 610 采用不易被电子隧穿的氮化硅材料, 也可以有效防止电子反隧穿。因此所形成的半导体器件擦除更加稳定。

在一个实施例中, 如图 5 所示, 上述步骤 S120 可以包括以下子步骤 S121~S124。图 6a~图 6c 及图 4b 为各步骤处理后的中间结构示意图。

子步骤 S121: 在所述多晶硅层 200 上形成掩膜层 500。所述掩膜层 500 可以为氮化硅 (SiN) 层。本步骤处理后形成的结构如图 6a 所示。

子步骤 S122: 图形化所述掩膜层 500 形成浮栅窗口 510 露出部分多晶硅

层。本步骤处理后形成的结构如图 6b 所示。

子步骤 S123: 在所述浮栅窗口内进行氧化生长形成场氧结构。本步骤在生长场氧结构的同时, 可以形成浮栅的尖端。本步骤处理后形成的结构如图 6c 所示。

5 子步骤 S124: 去除所述掩膜层并刻蚀场氧结构覆盖区域之外的多晶硅层以形成浮栅。本步骤处理后形成的结构如图 4b 所示。

在一个实施例中, 上述步骤 S130 可以包括以下子步骤 S131~S132。以下结合图 4b、图 7 和图 4c 进行说明。

10 步骤 S131: 在形成浮栅和场氧结构后的中间结构上沉积隔离层。该中间结构如图 4b 所示。经过本步骤处理后, 如图 7 所示, 该隔离层 600 覆盖场氧结构 220、浮栅 210 的侧墙以及未覆盖浮栅 210 的衬底结构 100 上。该隔离层 500 可以采用氮化硅材料。可以理解, 经过沉积隔离层, 浮栅 210 的边角处也会有部分隔离层。

15 步骤 S132: 去除部分隔离层并仅保留位于浮栅边角处的隔离层形成保护侧墙。去除的部分隔离层包括覆盖在场氧结构表面的部分、覆盖在浮栅侧墙的部分以及覆盖在衬底结构上的部分。本步骤可以采用干法刻蚀。在刻蚀位于浮栅侧墙的部分时, 采用自对准刻蚀。经过本步骤处理后, 形成的结构如图 4c 所示。

20 可以理解, 还可以采用其他方式在所述浮栅边角处形成保护侧墙, 不限于上述方式。

基于相同发明构思, 提供一种闪存存储结构。如图 4e 所示, 该闪存存储结构包括依次层叠的衬底结构 100、浮栅 210、场氧结构 220、隧穿氧化层 300 以及控制栅 400。

衬底结构 100 包括衬底、在衬底上形成的源极区、漏极区和沟道区，且沟道区上方具有栅氧层，浮栅 210 位于栅氧层上。为简单起见，这些细节结构在图 4e 中未明确示出，仅以整个衬底结构 100 来表示。浮栅 210 形成在所述衬底结构 100 上，且位于所述源极区和漏极区之间的沟道之上。浮栅 210 为多晶硅材料。所述浮栅 210 具有放电尖端 211。场氧结构 220 覆盖在所述浮栅 210 上，场氧结构 220 为二氧化硅材料。隧穿氧化层 300 形成在所述浮栅 210 和场氧结构 220 上，隧穿氧化层 300 为二氧化硅材料。其中，浮栅 210 底部的边角处的设有保护侧墙 610，所述保护侧墙 610 可以采用减弱电子隧穿的材料，例如氮化硅材料。隧穿氧化层 300 覆盖在浮栅 210 的侧墙以及保护侧墙 610 上。控制栅 400 形成在所述隧穿氧化层 300 上，控制栅 400 为多晶硅材料。保护侧墙 610 的高度为浮栅侧墙高度的 $1/5 \sim 1/2$ 。

上述实施例的闪存存储结构，通过在浮栅 210 底部边角处形成保护侧墙 610，在后续形成隧穿氧化层 300 后，即使经历多次湿法腐蚀，隧穿氧化层 220 的底部边角处被腐蚀，也会被保护侧墙 610 阻止进一步腐蚀。控制栅 400 不会形成尖角，可以有效地防止电子反隧穿。进一步地，保护侧墙 610 采用不易被电子隧穿的氮化硅材料，也可以有效防止电子反隧穿。所形成的半导体器件擦除更加稳定。

以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对本发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明的保护范围应以所附权利要求为准。

权利要求书

1、一种闪存存储结构的制造方法，包括：

在衬底结构上淀积多晶硅层；

利用所述多晶硅层形成浮栅和覆盖在浮栅上的场氧结构；

对所述浮栅底部的边角处形成保护侧墙；

5 在场氧结构及浮栅上形成隧穿氧化层；

在所述隧穿氧化层上形成控制栅。

2、根据权利要求1所述的方法，其中，所述对所述浮栅底部的边角处形成保护侧墙的步骤包括：

在形成浮栅和场氧结构后的中间结构上沉积隔离层；所述隔离层覆盖场
10 氧结构、浮栅的侧墙以及未覆盖浮栅的衬底结构上；

去除部分隔离层并仅保留位于浮栅底部的边角处的保护侧墙。

3、根据权利要求2所述的方法，其中，去除部分所述隔离层时采用干法刻蚀和自对准。

4、根据权利要求2所述的方法，其中，所述隔离层采用氮化硅材料。

15 5、根据权利要求1所述的方法，其中，所述利用所述多晶硅层形成浮栅和覆盖在浮栅上的场氧结构的步骤包括：

在所述多晶硅层上形成掩膜层；

图形化所述掩膜层形成浮栅窗口露出部分多晶硅层；

在所述浮栅窗口内进行氧化生长形成场氧结构；

20 去除所述掩膜层并刻蚀场氧结构覆盖区域之外的多晶硅层以形成浮栅。

6、根据权利要求5所述的方法，其中，去除所述掩膜层并干法蚀刻多晶

硅层以形成浮栅。

7、根据权利要求 5 所述的方法，其中，所述掩膜层为氮化硅层。

8、根据权利要求 1 所述的方法，其中，在所述场氧结构及浮栅上形成隧穿氧化层的步骤中，采用淀积法形成所述隧穿氧化层。

9、根据权利要求 1 所述的方法，其中，所述隧穿氧化层为二氧化硅层。

10、根据权利要求 1 所述的方法，其中，在所述在衬底结构上淀积多晶硅层的步骤之前，形成衬底结构，包括：

形成衬底；

在衬底上形成源极区、漏极区和沟道区；

在沟道区上方形成栅氧层。

5 11、一种闪存存储结构，包括：

衬底结构；

浮栅，形成在所述衬底结构上；

场氧结构，覆盖在所述浮栅上；

保护侧墙，位于所述浮栅底部的边角处；

10 隧穿氧化层，形成在所述浮栅和场氧结构上；

控制栅，形成在所述隧穿氧化层上。

12、根据权利要求 11 所述的闪存存储结构，其中，所述保护侧墙为减弱电子隧穿的材料。

13、根据权利要求 11 所述的闪存存储结构，其中，所述保护侧墙为氮化
15 硅材料。

14、根据权利要求 11 所述的闪存存储结构，其中，所述保护侧墙覆盖在浮栅侧墙上的部分的高度为浮栅侧墙高度的 $1/5 \sim 1/2$ 。

15、根据权利要求 11 所述的闪存存储结构，其中，所述衬底结构包括衬底和形成在衬底上的源极区和漏极区，所述浮栅位于源极区和漏极区的沟道之上。

16、根据权利要求 11 所述的闪存存储结构，其中，所述隧穿氧化层为二氧化硅材料。

17、根据权利要求 11 所述的闪存存储结构，其中，所述控制栅为多晶硅材料。

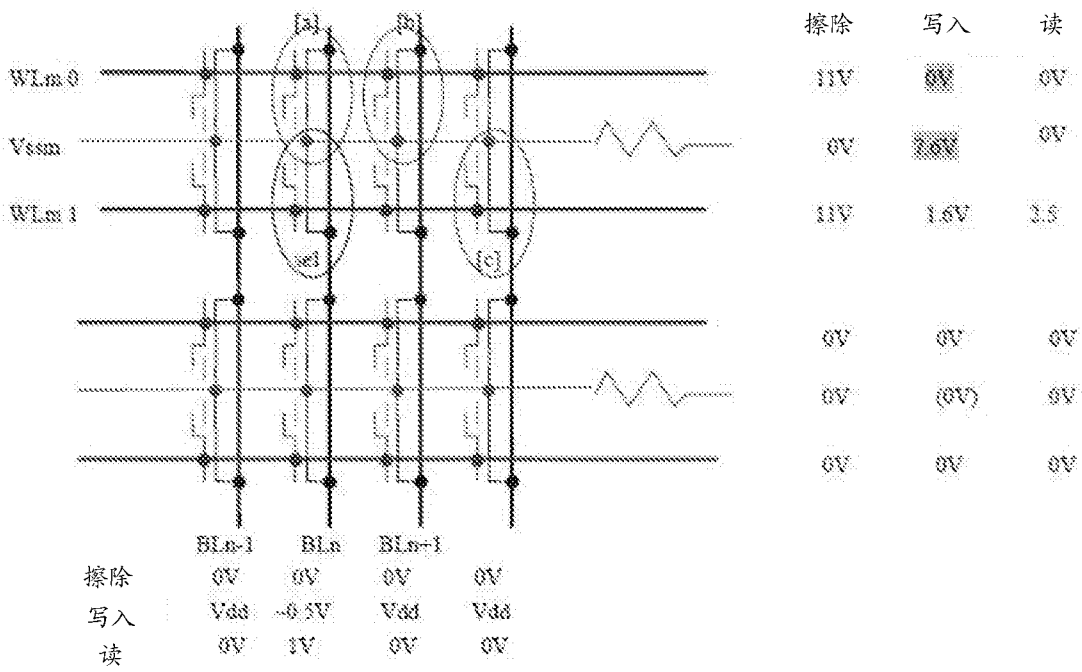


图 1

10

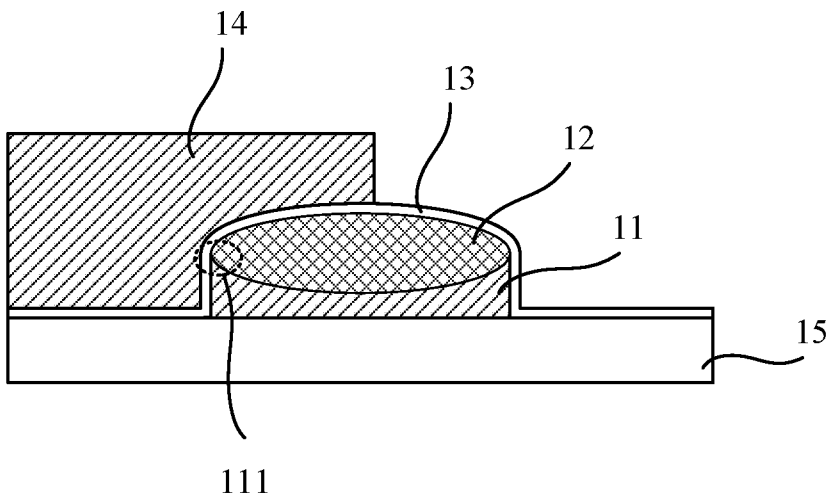


图 2a

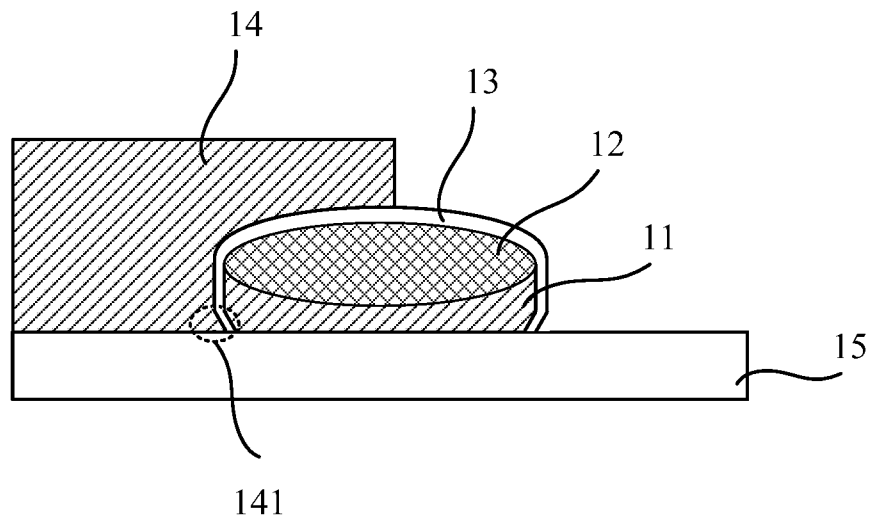


图 2b

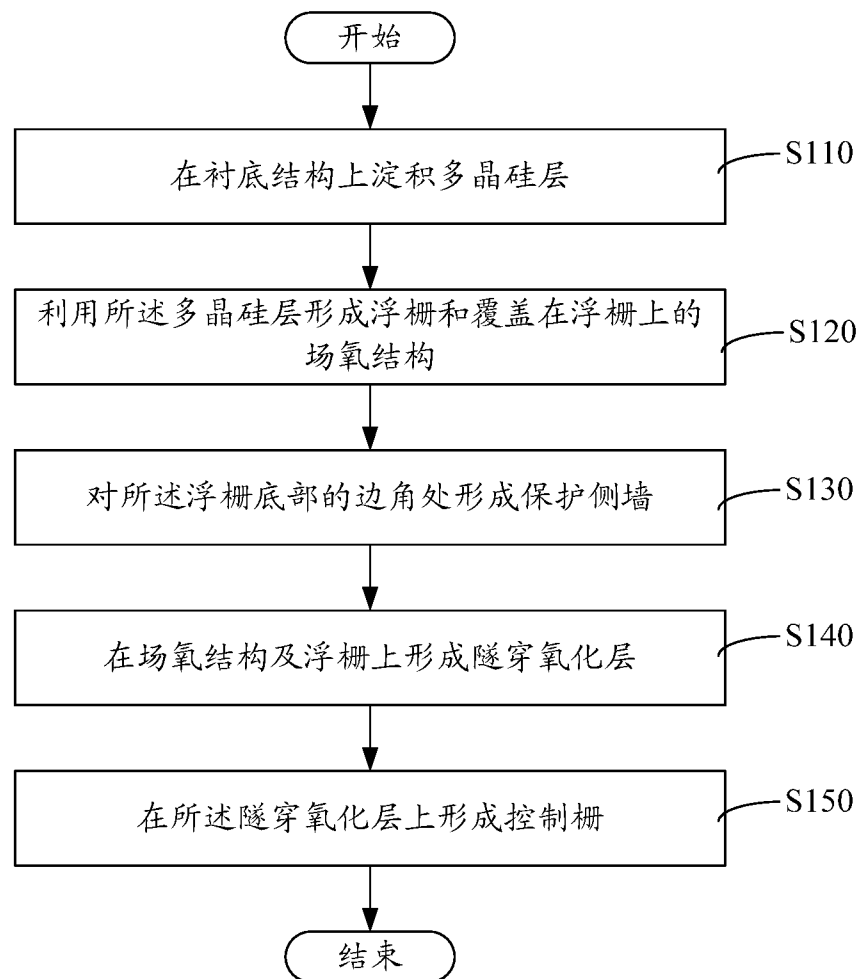


图 3

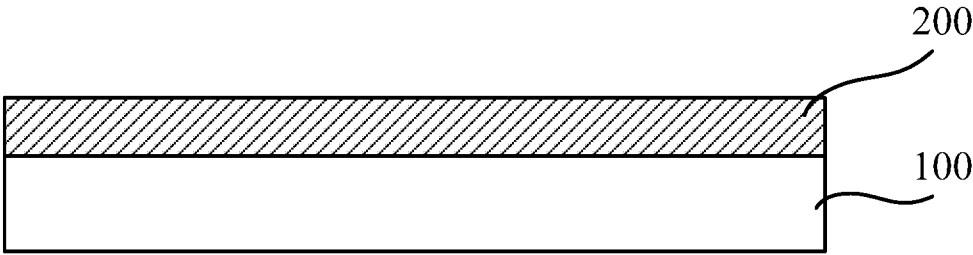


图 4a

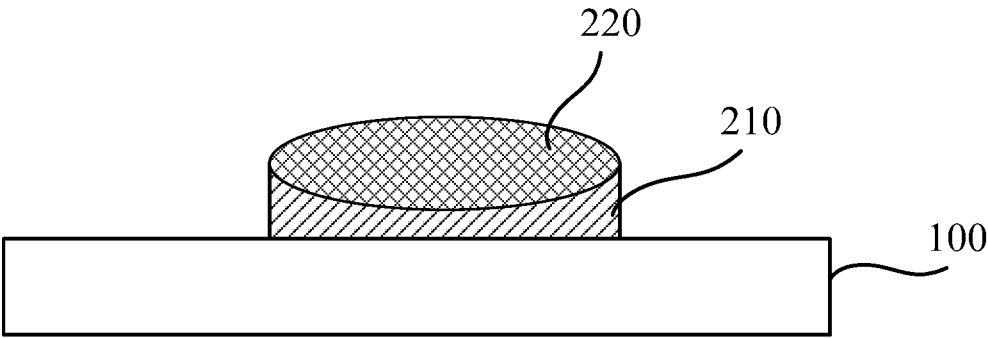


图 4b

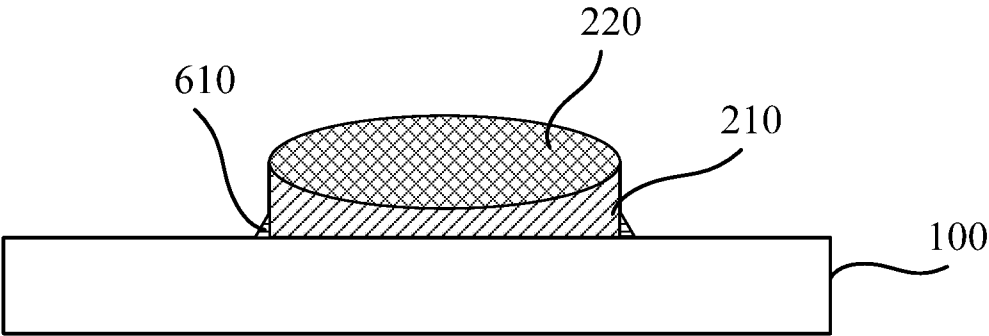


图 4c

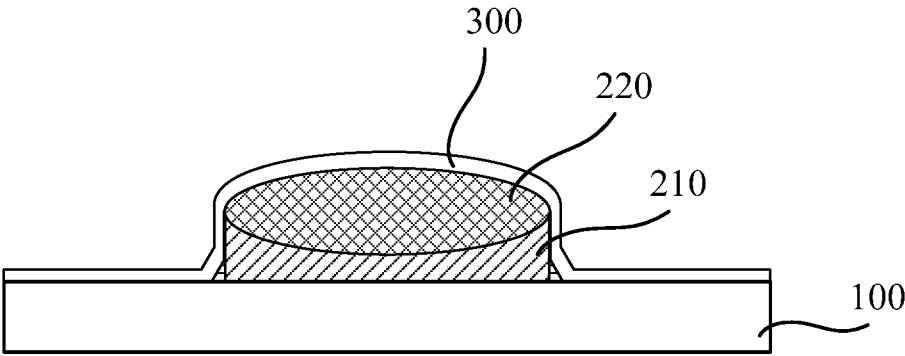


图 4d

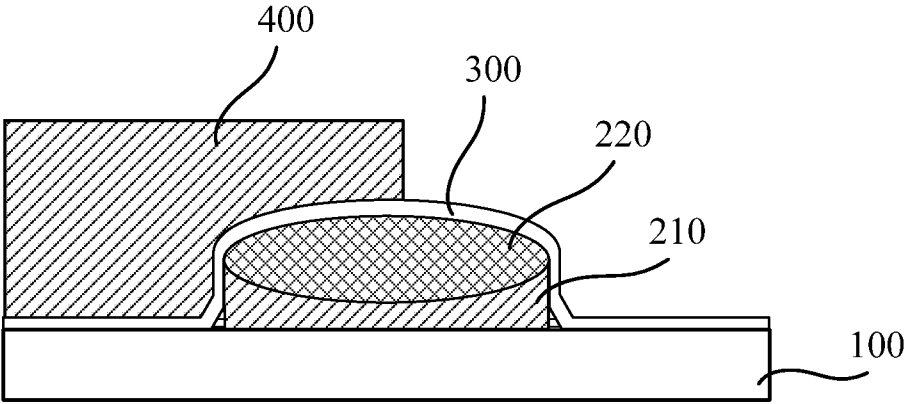


图 4e

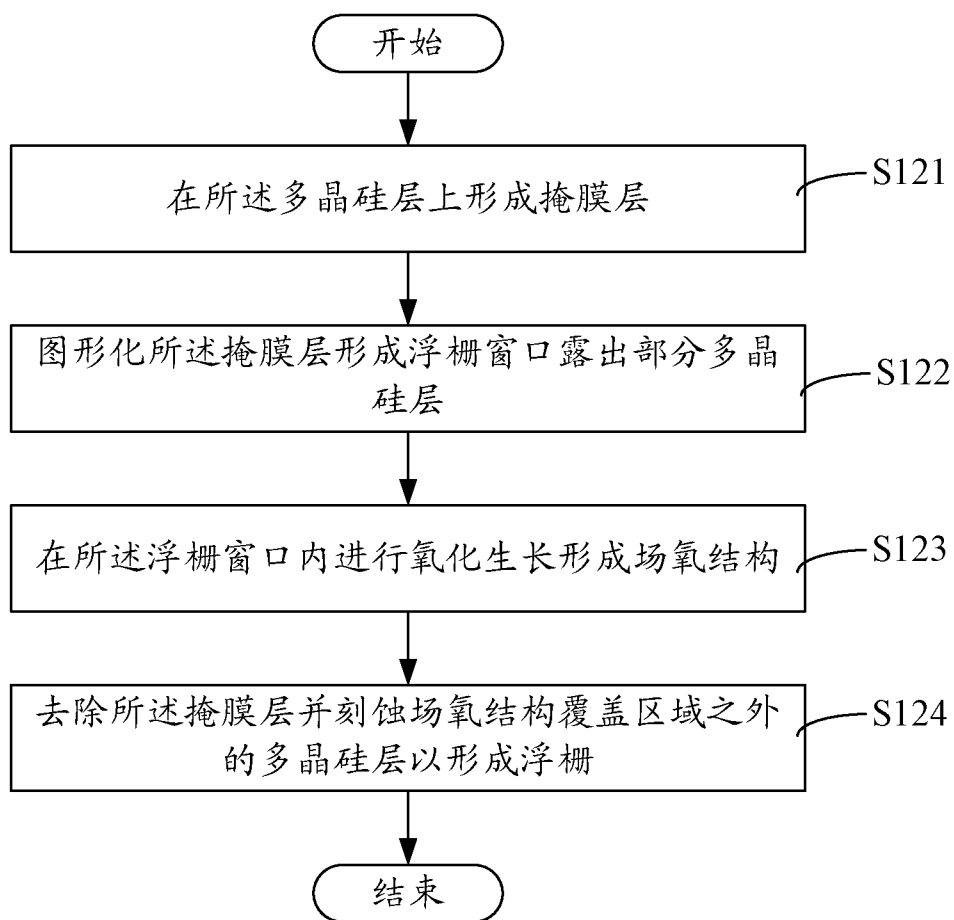


图 5

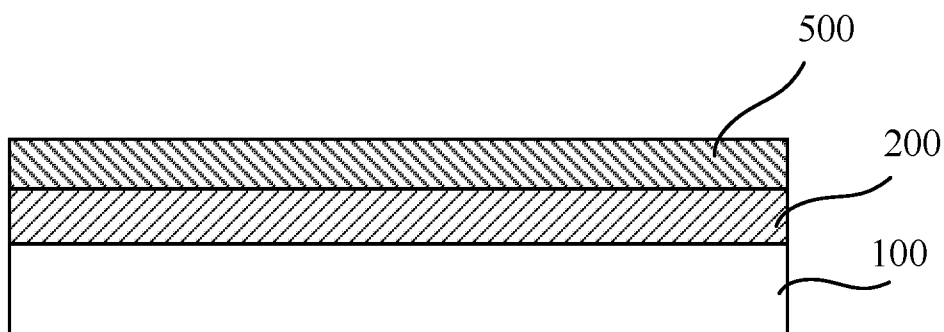


图 6a

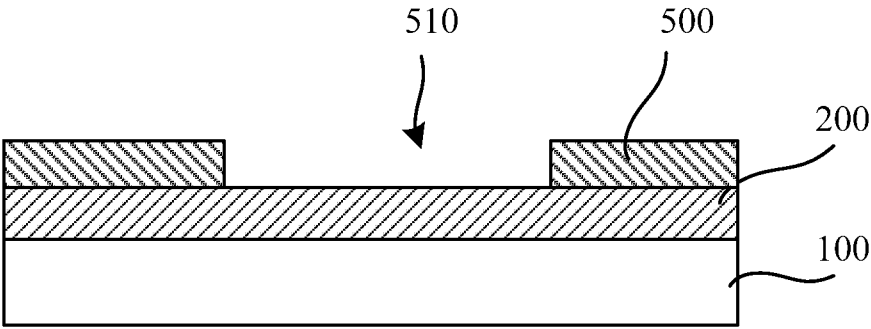


图 6b

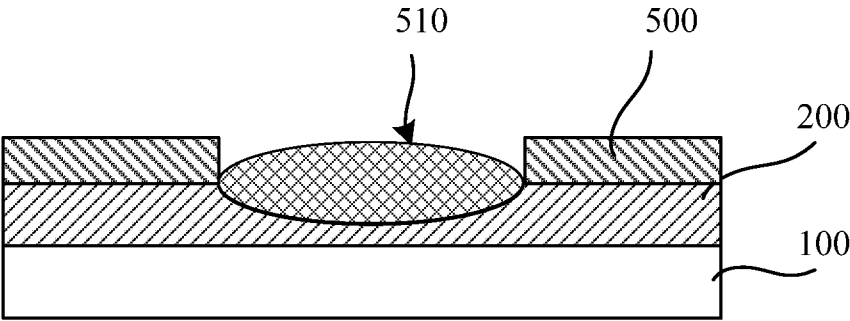


图 6c

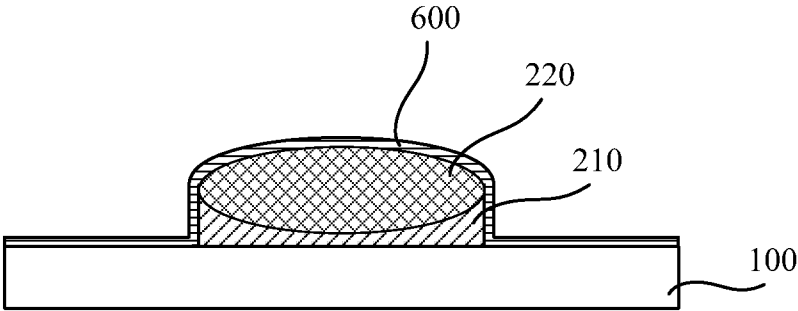


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/110888

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/788 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: flash, float+, split+, gate, side, wall, protect+, 闪存, 浮栅, 分裂, 侧壁, 保护, 底角

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 08204034 A (SANYO ELECTRIC CO., LTD.), 09 August 1996 (09.08.1996), description, paragraphs [0019]-[0044], and figures 1-9	1-17
A	US 6914290 B2 (SAMSUNG ELECTRONICS CO., LTD.), 05 July 2005 (05.07.2005), entire document	1-17
A	US 6646301 B2 (SEIKO EPSON CORPORATION), 11 November 2003 (11.11.2003), entire document	1-17
A	CN 1945798 A (SAMSUNG ELECTRONICS CO., LTD.), 11 April 2007 (11.04.2007), entire document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 January 2018	Date of mailing of the international search report 31 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Yuan Telephone No. (86-10) 53961205

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/110888

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 08204034 A	09 August 1996	None	
US 6914290 B2	05 July 2005	JP 2003209195 A	25 July 2003
		KR 20030060139 A	16 July 2003
		US 2003127684 A1	10 July 2003
		US 2005162926 A1	28 July 2005
US 6646301 B2	11 November 2003	US 6368976 B1	09 April 2002
		US 2002048961 A1	25 April 2002
		JP 2000216274 A	04 August 2000
CN 1945798 A	11 April 2007	US 2007042539 A1	22 February 2007
		KR 100718253 B1	16 May 2007
		KR 20070020821 A	22 February 2007
		CN 100495648 C	03 June 2009
		JP 2007053362 A	01 March 2007

国际检索报告

国际申请号

PCT/CN2017/110888

A. 主题的分类 H01L 29/788(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, EPODOC, CNPAT, CNKI: flash, float+, split+, gate, side, wall, protect+, 闪存, 浮栅, 分裂, 侧壁, 保护, 底角																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 08204034 A (SANYO ELECTRIC CO., LTD.) 1996年 8月 9日 (1996 - 08 - 09) 说明书第[0019]-[0044]段、附图1-9</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>US 6914290 B2 (SAMSUNG ELECTRONICS CO., LTD.) 2005年 7月 5日 (2005 - 07 - 05) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>US 6646301 B2 (SEIKO EPSON CORPORATION) 2003年 11月 11日 (2003 - 11 - 11) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 1945798 A (三星电子株式会社) 2007年 4月 11日 (2007 - 04 - 11) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	JP 08204034 A (SANYO ELECTRIC CO., LTD.) 1996年 8月 9日 (1996 - 08 - 09) 说明书第[0019]-[0044]段、附图1-9	1-17	A	US 6914290 B2 (SAMSUNG ELECTRONICS CO., LTD.) 2005年 7月 5日 (2005 - 07 - 05) 全文	1-17	A	US 6646301 B2 (SEIKO EPSON CORPORATION) 2003年 11月 11日 (2003 - 11 - 11) 全文	1-17	A	CN 1945798 A (三星电子株式会社) 2007年 4月 11日 (2007 - 04 - 11) 全文	1-17
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	JP 08204034 A (SANYO ELECTRIC CO., LTD.) 1996年 8月 9日 (1996 - 08 - 09) 说明书第[0019]-[0044]段、附图1-9	1-17															
A	US 6914290 B2 (SAMSUNG ELECTRONICS CO., LTD.) 2005年 7月 5日 (2005 - 07 - 05) 全文	1-17															
A	US 6646301 B2 (SEIKO EPSON CORPORATION) 2003年 11月 11日 (2003 - 11 - 11) 全文	1-17															
A	CN 1945798 A (三星电子株式会社) 2007年 4月 11日 (2007 - 04 - 11) 全文	1-17															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2018年 1月 15日		国际检索报告邮寄日期 2018年 1月 31日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 李元 电话号码 (86-10)53961205															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/110888

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
JP	08204034	A	1996年 8月 9日	无			
US	6914290	B2	2005年 7月 5日	JP	2003209195	A	2003年 7月 25日
				KR	20030060139	A	2003年 7月 16日
				US	2003127684	A1	2003年 7月 10日
				US	2005162926	A1	2005年 7月 28日
US	6646301	B2	2003年 11月 11日	US	6368976	B1	2002年 4月 9日
				US	2002048961	A1	2002年 4月 25日
				JP	2000216274	A	2000年 8月 4日
CN	1945798	A	2007年 4月 11日	US	2007042539	A1	2007年 2月 22日
				KR	100718253	B1	2007年 5月 16日
				KR	20070020821	A	2007年 2月 22日
				CN	100495648	C	2009年 6月 3日
				JP	2007053362	A	2007年 3月 1日