

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年5月17日(2018.5.17)

【公表番号】特表2017-511547(P2017-511547A)

【公表日】平成29年4月20日(2017.4.20)

【年通号数】公開・登録公報2017-016

【出願番号】特願2016-562524(P2016-562524)

【国際特許分類】

G 06 F 12/08 (2016.01)

G 06 F 11/10 (2006.01)

【F I】

G 06 F 12/08 5 4 1 Z

G 06 F 12/08 5 0 7 Z

G 06 F 12/08 5 4 3 B

G 06 F 11/10 6 6 4

【手続補正書】

【提出日】平成30年3月30日(2018.3.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

キャッシュメモリ内の有効インジケータにおけるビットフリップを検出するためのキャッシュメモリエラー検出回路であって、

前記キャッシュメモリに対して実行された無効化動作に基づいて無効化インターバルステートを進めるための手段と、

少なくとも1つのキャッシュエントリの確立に応じて、前記無効化インターバルステートに基づいて前記キャッシュメモリ内の前記少なくとも1つのキャッシュエントリの各々について冗長情報インジケータを生成するための手段と、

前記キャッシュメモリ内のアクセスされたキャッシュエントリのための有効インジケータが有効状態を示すことに応じて、

前記キャッシュメモリ内の前記アクセスされたキャッシュエントリのための前記冗長情報インジケータを受信し、

前記無効化インターバルステートを受信し、

前記無効化インターバルステートに基づいて現在の冗長情報インジケータを生成し、

前記アクセスされたキャッシュエントリのための前記冗長情報インジケータを前記現在の冗長情報インジケータと比較するための手段と

を備えるキャッシュメモリエラー検出回路。

【請求項2】

前記進めるための手段が、前記キャッシュメモリにおいて実行された前記無効化動作に基づいて前記無効化インターバルステートを進めるように構成された少なくとも1つの無効化インターバルインジケータであり、

前記生成するための手段が、前記キャッシュメモリ内の少なくとも1つのキャッシュエントリの確立に応じて、前記無効化インターバルステートに基づいて前記少なくとも1つのキャッシュエントリの各々について前記冗長情報インジケータを生成するように構成さ

れた冗長情報インジケータ生成回路であり、

前記有効インジケータに応じた手段が、前記キャッシュメモリ内の前記アクセスされたキャッシュエントリのための前記有効インジケータが前記有効状態を示すことに応じて、

前記キャッシュメモリ内の前記アクセスされたキャッシュエントリのための前記冗長情報インジケータを受信し、

前記少なくとも1つの無効化インターバルインジケータから前記無効化インターバルステートを受信し、

前記無効化インターバルステートに基づいて前記現在の冗長情報インジケータを生成し、

前記アクセスされたキャッシュエントリのための前記冗長情報インジケータを前記現在の冗長情報インジケータと比較する

ように構成された少なくとも1つの冗長情報インジケータ検証回路である、請求項1に記載のキャッシュメモリエラー検出回路。

#### 【請求項3】

前記少なくとも1つの冗長情報インジケータ検証回路が、前記冗長情報インジケータと前記現在の冗長情報インジケータの前記比較に基づいて、前記アクセスされたキャッシュエントリにおいてピットフリップが発生したかどうかを示すキャッシュエントリエラーインジケータを生成するようにさらに構成される、請求項2に記載のキャッシュメモリエラー検出回路。

#### 【請求項4】

前記少なくとも1つの無効化インターバルインジケータが、前記無効化インターバルステートを現在の無効化インターバルステートとして提供するようにさらに構成され、

前記冗長情報インジケータ生成回路が、前記キャッシュメモリ内の前記少なくとも1つのキャッシュエントリの確立に応じて、前記現在の無効化インターバルステートに基づいて前記少なくとも1つのキャッシュエントリの各々について前記冗長情報インジケータを生成するように構成され、

前記少なくとも1つの冗長情報インジケータ検証回路が、

前記少なくとも1つの無効化インターバルインジケータから前記無効化インターバルステートを前記現在の無効化インターバルステートとして受信し、

前記現在の無効化インターバルステートに基づいて前記現在の冗長情報インジケータを生成する

ように構成される、

請求項2に記載のキャッシュメモリエラー検出回路。

#### 【請求項5】

前記少なくとも1つの無効化インターバルインジケータが、前記現在の無効化インターバルステートに基づかずに前記無効化インターバルステートを提供するようにさらに構成される、請求項4に記載のキャッシュメモリエラー検出回路。

#### 【請求項6】

前記冗長情報インジケータ生成回路が、前記冗長情報インジケータを前記少なくとも1つのキャッシュエントリに記憶するようにさらに構成される、請求項2に記載のキャッシュメモリエラー検出回路。

#### 【請求項7】

前記少なくとも1つの冗長情報インジケータ検証回路が、前記冗長情報インジケータと前記現在の冗長情報インジケータの前記比較に基づいて、前記アクセスされたキャッシュエントリにおいて前記ピットフリップが発生したかどうかを示す前記キャッシュエントリエラーインジケータを生成するように構成される、請求項3に記載のキャッシュメモリエラー検出回路。

#### 【請求項8】

前記キャッシュエントリエラーインジケータを受信し、前記受信されたキャッシュエントリエラーインジケータに基づいてキャッシュヒット/ミスインジケータを生成するよう

に構成されたキャッシュヒット/ミスインジケータ回路をさらに備える、請求項<sup>3</sup>に記載のキャッシュメモリエラー検出回路。

【請求項 9】

前記キャッシュヒット/ミスインジケータ回路が、

前記受信されたキャッシュエントリエラーインジケータが、前記アクセスされたキャッシュエントリにおいて前記ビットフリップが発生したことを示す場合、前記キャッシュヒット/ミスインジケータをキャッシュミスとして生成し、

前記受信されたキャッシュエントリエラーインジケータが、前記アクセスされたキャッシュエントリにおいて前記ビットフリップが発生したことを示さない場合、前記キャッシュヒット/ミスインジケータをキャッシュヒットとして生成する

ように構成される、請求項<sup>8</sup>に記載のキャッシュメモリエラー検出回路。

【請求項 10】

前記少なくとも1つの無効化インターバルインジケータが、前記キャッシュメモリに対する前記無効化動作を示す無効化イネーブル入力上で無効化イネーブル信号を受信するようさらに構成される、

前記冗長情報インジケータが、前記無効化インターバルステートから成る、

前記少なくとも1つの冗長情報インジケータ検証回路が、前記少なくとも1つのキャッシュエントリのために生成されるエラー検出コードにおいて、前記冗長情報インジケータを符号化冗長情報インジケータとして生成するようにさらに構成される、

前記冗長情報インジケータ生成回路が、エラー検出コード生成回路に含まれる、または

前記少なくとも1つの無効化インターバルインジケータが、無効化インターバル構成設定に基づいた無効化インターバルステート範囲にわたって、前記無効化インターバルステートを進めるようにさらに構成される、請求項<sup>2</sup>に記載のキャッシュメモリエラー検出回路。

【請求項 11】

前記少なくとも1つのキャッシュエントリが、複数のキャッシュエントリから成り、前記少なくとも1つの無効化インターバルインジケータが、各々が関連する無効化インターバルステートを有する複数の無効化インターバルインジケータから成り、前記複数の無効化インターバルインジケータの各々が、前記複数のキャッシュエントリの中の前記少なくとも1つのキャッシュエントリの選択的な群に関連付けられ、

前記複数の無効化インターバルインジケータがそれぞれ、前記複数の無効化インターバルインジケータのうちの対応する無効化インターバルインジケータに関連付けられた前記少なくとも1つのキャッシュエントリの前記選択的な群に対して実行された前記無効化動作に基づいて、前記関連する無効化インターバルステートを進めるように構成される、請求項<sup>2</sup>に記載のキャッシュメモリエラー検出回路。

【請求項 12】

前記複数の無効化インターバルインジケータの各々が、前記キャッシュメモリに対して実行されたフラッシュ無効化動作に基づいて、前記関連する無効化インターバルステートを進めるように構成され、

前記複数の無効化インターバルインジケータの中の無効化インターバルインジケータが、前記複数の無効化インターバルインジケータのうちの前記対応する無効化インターバルインジケータに関連付けられた前記少なくとも1つのキャッシュエントリの前記選択的な群に対する選択的な無効化動作に基づいて、前記関連する無効化インターバルステートを進めるように構成される、請求項<sup>11</sup>に記載のキャッシュメモリエラー検出回路。

【請求項 13】

前記少なくとも1つの冗長情報インジケータ検証回路が、複数の冗長情報インジケータ検証回路から成り、前記少なくとも1つの無効化インターバルインジケータが、前記無効化インターバルステートを前記複数の冗長情報インジケータ検証回路に提供するように構成される、または、

前記少なくとも1つの冗長情報インジケータ検証回路が、前記少なくとも1つのキャッシュエントリのために生成されるエラー検出コードにおいて、前記冗長情報インジケータを符号化冗長情報インジケータとして生成するようにさらに構成され、

前記少なくとも1つの冗長情報インジケータ検証回路が、

前記キャッシュメモリ内の前記アクセスされたキャッシュエントリのための前記符号化冗長情報インジケータを受信し、

前記少なくとも1つの無効化インターバルインジケータから前記無効化インターバルステートを受信し、

前記無効化インターバルステートに基づいて前記現在の冗長情報インジケータを生成する

ように構成された前記冗長情報インジケータ生成回路と、

前記アクセスされたキャッシュエントリのための前記符号化冗長情報インジケータを前記現在の冗長情報インジケータと比較し、

前記符号化冗長情報インジケータと前記現在の冗長情報インジケータの前記比較に基づいて、前記アクセスされたキャッシュエントリにおいて前記ビットフリップが発生したかどうかを示すキャッシュエントリエラーインジケータを生成する

ように構成された冗長情報インジケータ比較回路と  
を備える、または、

前記少なくとも1つの無効化インターバルインジケータが、前記キャッシュメモリ内の対象とされるキャッシュエントリに対して実行された前記無効化動作に基づいて、前記無効化インターバルステートを進めないようにさらに構成され、

前記冗長情報インジケータ生成回路が、前記キャッシュメモリ内の前記対象とされるキャッシュエントリの確立に応じて、前記無効化インターバルステートではない状態に基づいて、前記対象とされるキャッシュエントリのための冗長情報インジケータを生成するようさらに構成される、

請求項2に記載のキャッシュメモリエラー検出回路。

#### 【請求項14】

無効化動作後のキャッシュメモリ内の有効インジケータにおけるビットフリップからキャッシュメモリエラーを検出する方法であって、

前記キャッシュメモリに対して実行された無効化動作に基づいて少なくとも1つの無効化インターバルインジケータの無効化インターバルステートを進めるステップと、

少なくとも1つのキャッシュエントリを確立したことに応じて、前記キャッシュメモリ内の前記少なくとも1つのキャッシュエントリの各々について冗長情報インジケータを生成するステップと、

前記キャッシュメモリ内のアクセスされたキャッシュエントリのための有効インジケータが有効状態を示すことに応じて、

前記キャッシュメモリ内のアクセスされたキャッシュエントリのための前記冗長情報インジケータを受信するステップと、

前記少なくとも1つの無効化インターバルインジケータから前記無効化インターバルステートを受信するステップと、

前記無効化インターバルステートに基づいて現在の冗長情報インジケータを生成するステップと、

前記アクセスされたキャッシュエントリのための前記冗長情報インジケータを前記現在の冗長情報インジケータと比較するステップと  
を含む方法。

#### 【請求項15】

プロセッサベースのキャッシュメモリエラー検出回路に、請求項14に記載の方法を実行させるコンピュータ実行可能命令を記憶したコンピュータ可読記憶媒体。