



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0043518
(43) 공개일자 2016년04월21일

(51) 국제특허분류(Int. Cl.)
H01L 23/495 (2006.01) H01L 23/00 (2006.01)
H01L 23/48 (2006.01) H01L 23/522 (2006.01)
(52) CPC특허분류
H01L 23/4952 (2013.01)
H01L 23/481 (2013.01)
(21) 출원번호 10-2015-0142769
(22) 출원일자 2015년10월13일
심사청구일자 없음
(30) 우선권주장
14/512,562 2014년10월13일 미국(US)

(71) 출원인
제네럴 일렉트릭 컴퍼니
미국, 뉴욕 12345, 쉐넬타디, 원 리버 로드
(72) 발명자
고우다 애런 바이루파크사
미국 뉴욕주 12309 니스카유나 리서치 서클 1
맥콘넬 폴 앨란
미국 뉴욕주 12309 니스카유나 리서치 서클 1
(74) 대리인
김태홍, 김진희

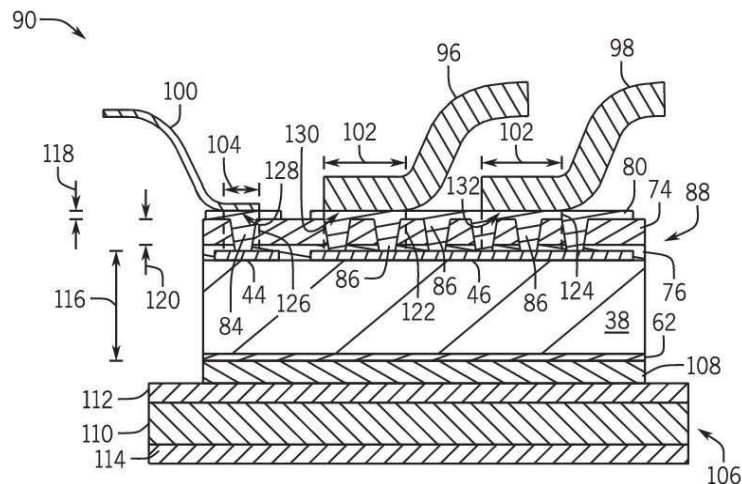
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 와이어 본드를 갖는 파워 오버레이 구조 및 그 제조 방법

(57) 요약

파워 오버레이(POL) 구조는 파워 디바이스의 상부 표면에 배치되는 적어도 하나의 상부 콘택 패드를 갖는 파워 디바이스, 및 상기 파워 디바이스의 상부면과 결합되는 유전체층과 상기 유전체층을 통하여 형성되는 비아들을 통해 연장되고 상기 파워 디바이스의 상기 적어도 하나의 상부 콘택 패드와 전기적으로 결합되는 금속 상호 연결들을 갖는 금속층을 갖는 POL 상호 연결층을 포함한다. 상기 POL 구조는 또한, 상기 금속층과 직접 결합되는 적어도 하나의 구리 와이어 본드를 포함한다.

대표도 - 도7



(52) CPC특허분류

H01L 23/522 (2013.01)

H01L 24/44 (2013.01)

H01L 24/47 (2013.01)

명세서

청구범위

청구항 1

파워 오버레이(POL) 구조로서,

파워 디바이스의 상부면 상에 배치되는 적어도 하나의 상부 콘택 패드를 갖는 파워 디바이스와,

상기 파워 디바이스의 상부면과 결합되는 유전체층 및 상기 유전체층을 통하여 형성되는 비아들을 통해 연장되고 상기 파워 디바이스의 상기 적어도 하나의 상부 콘택 패드와 전기적으로 결합되는 금속 상호 연결을 갖는 금속층을 포함하는 POL 상호 연결층과,

상기 금속층에 직접 결합되는 적어도 하나의 구리 와이어 본드를 포함하는 것인 POL 구조.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 상부 콘택 패드는 알루미늄을 포함하는 것인 POL 구조.

청구항 3

제 1 항에 있어서,

솔더층과 함께 상기 파워 디바이스의 하부 콘택 패드와 열적으로 또한 전기적으로 결합되는 다층 기판을 더 포함하며, 상기 다층 기판은 직접 본드 구리(DBC)와 직접 본드 알루미늄(DBA) 기판 중 하나를 포함하는 것인 POL 구조.

청구항 4

제 1 항에 있어서,

상기 유전체층은 상기 적어도 하나의 구리 와이어 본드의 콘택 위치 아래에서 실질적으로 균일한 두께를 갖는 것인 POL 구조.

청구항 5

제 1 항에 있어서,

상기 유전체층은 접착제층을 통해 상기 파워 디바이스의 상부면과 결합되는 것인 POL 구조.

청구항 6

제 1 항에 있어서,

상기 와이어 본드의 콘택 표면과 상기 파워 디바이스 사이에 배치되는 POL 상호 연결층의 일부는 상기 유전체층을 갖지 않는 것인 POL 구조.

청구항 7

제 1 항에 있어서,

상기 금속층의 상부면 아래에 위치되는 상부 콘택 표면을 갖는 금속 상호 연결과,

상기 금속 상호 연결의 상부 콘택 표면에 결합되는 구리 와이어 본드를 더 포함하고,

상기 상부 와이어 본드의 콘택 표면의 표면 영역은 상기 금속 상호 연결의 상부 콘택 표면의 표면 영역보다 작은 것인 POL 구조.

청구항 8

제 1 항에 있어서,

상기 적어도 하나의 와이어 본드의 콘택 표면은 금속 상호 연결을 갖는 상기 POL 상호 연결층의 일부와 결합되는 것인 POL 구조.

청구항 9

과워 오버레이(POL) 구조를 제조하는 방법으로서,

복수의 반도체 디바이스들을 포함하는 웨이퍼를 제공하는 단계와,

상기 복수의 반도체 디바이스들의 각각의 상부면과 유전체층을 결합하는 단계와,

상기 복수의 반도체 디바이스들 중 적어도 하나의 콘택 패드를 노출시키기 위해 상기 유전체층을 통해 복수의 비아들을 형성하는 단계와,

상기 유전체층의 상부면 상에 금속층을 형성하는 단계와,

상기 금속층의 상부 표면과 적어도 하나의 와이어 본드를 결합하는 단계를 포함하며,

상기 금속층은 상기 복수의 비아들을 통해 연장되며 상기 복수의 반도체 디바이스들 중 적어도 하나의 콘택 패드와 전기적으로 결합되는 금속 상호 연결을 갖는 것인 POL 구조 제조 방법.

청구항 10

제 9 항에 있어서,

상기 복수의 반도체 디바이스들 각각의 상기 상부면과 유전체층을 결합하는 단계는 그들 사이에 접착제층을 배치하는 것을 포함하는 것인 POL 구조 제조 방법.

청구항 11

제 9 항에 있어서,

상기 웨이퍼를 복수의 POL 구조들로 개별화(singulating)하는 단계를 더 포함하며, 상기 복수의 POL 구조들 각각은 유전체층의 일부와 그 위에 형성되는 금속층의 일부를 갖는 적어도 하나의 반도체 디바이스를 포함하는 것인 POL 구조 제조 방법.

청구항 12

제 9 항에 있어서,

적어도 하나의 와이어 본드의 표면 영역보다 큰 콘택 패드의 표면 영역을 노출시키도록 비아를 형성하는 단계와,

상기 비아 내에 형성되는 금속 상호 연결과 적어도 하나의 와이어 본드를 결합하는 단계를 더 포함하는 것인 POL 구조 제조 방법.

청구항 13

제 9 항에 있어서,

금속 상호 연결들이 없는 상기 금속층의 일부와 적어도 하나의 와이어 본드를 결합하는 단계를 더 포함하는 것인 POL 구조 제조 방법.

청구항 14

제 9 항에 있어서,

상기 복수의 반도체 디바이스들의 상부면과 상기 유전체층을 결합하는 단계에 앞서, 상기 복수의 반도체 디바이스들의 하부면과 제거 가능한 지지 구조를 결합하는 단계를 더 포함하는 것인 POL 구조 제조 방법.

청구항 15

제 9 항에 있어서,

상기 유전체층과 웨이퍼의 제 1 반도체 디바이스 및 제 2 반도체 디바이스를 결합하는 단계를 더 포함하며, 상기 제 1 반도체 디바이스는 상기 제 2 반도체 디바이스의 두께보다 큰 두께를 갖는 것인 POL 구조 제조 방법.

청구항 16

제 15 항에 있어서,

상기 제 1 반도체 디바이스와 상기 제 2 반도체 사이에 갭이 형성되도록, 상기 제 1 반도체 디바이스를 상기 제 2 반도체 디바이스와 거리를 두어 위치시키는 단계를 더 포함하는 것인 POL 구조 제조 방법.

청구항 17

제 15 항에 있어서,

상기 제 1 반도체 디바이스의 상부면이 상기 제 2 반도체 디바이스의 상부면과 실질적으로 동일 평면이 되도록, 상기 지지 구조와 상기 제 2 반도체 디바이스의 하부면 사이에 shim을 배치하는 단계를 더 포함하는 것인 POL 구조 제조 방법.

청구항 18

제 15 항에 있어서,

상기 제 1 반도체 디바이스와 상기 유전체층의 제 1 부분을 결합하는 단계와,

상기 제 2 반도체 디바이스와 상기 유전체층의 제 2 부분을 결합하는 단계를 더 포함하고,

상기 유전체층의 제 2 부분의 두께는 상기 유전체층의 제 1 부분의 두께보다 큰 것인 POL 구조 제조 방법.

청구항 19

과워 오버레이(POL) 조립체로서,

제 1 반도체 디바이스 및 제 2 반도체 디바이스와,

상기 제 1 및 제 2 반도체 디바이스들의 상부 콘택 패드와 접촉식으로 결합되는 폴리이미드 필름 및 상기 폴리이미드 필름 상에 형성되는 금속 경로를 포함하는 POL 상호 연결 조립체와,

상기 금속 경로와 직접 결합되는 복수의 구리 와이어 본드들을 포함하며,

상기 금속 경로는 상기 폴리이미드 필름을 통해 형성되는 비아들을 통해 연장되며 상기 제 1 및 제 2 반도체 디바이스들의 상부 콘택 패드들과 전기적으로 결합되는 복수의 금속 상호 연결을 포함하며,

상기 복수의 구리 와이어 본드들 중 제 1 와이어 본드는 상기 제 1 반도체 디바이스의 상부 콘택 패드와 전기적으로 결합되고,

상기 복수의 구리 와이어 본드들 중 제 2 와이어 본드는 상기 제 2 반도체 디바이스의 상부 콘택 패드와 전기적으로 결합되는 것인 POL 조립체.

청구항 20

제 19 항에 있어서,

상기 제 1 POL 구조 중 적어도 하나의 구리 와이어 본드는 상기 제 2 POL 구조 중 적어도 하나의 구리 와이어 본드와 전기적으로 결합되는 것인 POL 조립체.

청구항 21

제 19 항에 있어서,

상기 제 1 반도체 디바이스의 두께는 상기 제 2 반도체 디바이스의 두께와 다르고,

상기 POL 조립체는 가변 두께를 갖는 폴리이미드 필름과, 상기 제 1 및 제 2 반도체 디바이스들 중 하나의 하부

면과 결합되는 심 중 적어도 하나를 포함하는 것인 POL 조립체.

청구항 22

제 19 항에 있어서,

상기 제 1 와이어 본드는 실질적으로 폴리이미드 필름이 없는 상기 POL 상호 연결 조립체의 일부와 결합되는 것인 POL 조립체.

청구항 23

제 19 항에 있어서,

상기 제 1 와이어 본드는 상기 POL 상호 연결 조립체의 일부와 결합되며, 상기 폴리이미드 필름은 실질적으로 균일한 두께를 갖는 것인 POL 조립체.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 일반적으로 파워 디바이스들의 와이어 본딩을 위한 구조들 및 방법들에 관한 것이며, 보다 구체적으로는 파워 디바이스의 콘택 패드 재료의 유형에 관계없이 파워 디바이스들의 구리 와이어 본딩을 가능하게 하는 파워 오버레이(POL) 구조에 관한 것이다.

배경 기술

[0002] 파워 반도체 디바이스들은, 예를 들면 스위치드 모드 파워 공급기와 같은 파워 전자 회로들에서 스위치들 또는 정류기들로서 사용되는 반도체 디바이스들이다. 사용시, 파워 반도체 디바이스들은 통상적으로 패키징 구조에 의해 외부 회로에 탑재되며, 상기 패키징 구조는 외부 회로에 전기적 접속을 제공하고, 또한 디바이스들에 의해 발생하는 열을 제거하고 외부 환경으로부터 디바이스들을 보호하는 방법을 제공한다. 파워 반도체 디바이스들에 는 디바이스를 외부 회로와 전기적으로 연결하기 위한 다수의 입/출력(I/O) 상호 연결들(interconnections)이 제공된다. 이들 I/O 상호 연결은 솔더볼들, 도금 범프들(plated bumps) 또는 와이어 본드 연결들의 형태로 제공 될 수 있다. 와이어 본드 패키징의 경우에, 상기 파워 반도체 디바이스에 제공되는 본드 패드들 또는 콘택 패드 들을 회로 보드 또는 리드프레임일 수 있는 패키징의 다음 레벨에서의 대응하는 패드 또는 전도성 요소에 연결 하는 와이어 본드들이 제공된다. 대부분의 기존 파워 디바이스 패키징 구조들은 각각의 반도체 디바이스의 양면 에 I/O 상호 연결들을 제공하기 위해 와이어 본드와 기판[예를 들면, 직접 본딩된 구리(direct bonded copper)(DBC) 기판]의 조합을 사용한다. 패키징 구조들은 패키징 구조에 전기적 연결을 제공하기 위해 납땜되거나(leaded)(리드 프레임 등) 또는 볼트 단자들이 제공될 수 있다. 와이어 본드들은 패키징 구조의 한쪽 면으로 부터 패키지 핀들로의 전기적 연결들을 형성하고, 이어서 외부 회로에 접속되며, DBC 기판은 패키징 구조의 다른쪽 면을 외부 회로에 전기적으로 결합시킨다.

[0003] 도 1은 공지된 종래 기술에 따른 반도체 디바이스(12)를 갖는 와이어 본딩된 파워 패키지 구조(10)를 도시한 것으로서, 게이트 콘택 패드(14) 및 이미터 콘택 패드(16)가 반도체 디바이스(12)의 상부면(18)에 결합된다. 도시 된 바와 같이, 와이어 본드(20, 22, 24)들은 반도체 디바이스(12)의 콘택 패드(14, 16)들에 직접 본딩된다. 와 이어 본드(20, 22, 24)들과 반도체 디바이스(12)의 상부 콘택 패드들(14, 16) 사이의 신뢰적인 연결을 형성하기 위해, 와이어 본드(20, 22, 24)들의 재료는 통상적으로 상부 콘택 패드들(14, 16)의 금속과 일치하도록 선택된 다.

[0004] 주로 니켈-금 금속 또는 니켈-은 금속의 형태인 콜렉터 패드(26)가 반도체 디바이스(12)의 하부면(28)에 형성된 다. 솔더(30) 또는 소결된(sintered) 은 다이 부착 재료가 반도체 디바이스(12)를 DBC 또는 직접 본드 알루미늄 (DBA) 기판(32)과 결합하기 위해 사용된다.

[0005] 파워 디바이스들은 통상적으로 알루미늄 콘택 패드들로 제조되기 때문에 대응하는 와이어 본드들 역시 마찬가지로 파워 디바이스에 신뢰적인 전기적 접속을 형성하기 위해 알루미늄 또는 알루미늄 합금으로 형성된다. 현재, 업계의 경향은, 전기적 저항을 낮게 하여 저 손실 및 고 효율에 이르게 하는 구리 와이어 본드들을 지향한다. 그러나, 구리 와이어 본드들은 콘택 패드들의 알루미늄 금속에 대한 신뢰적인 전기적 연결들을 형성하지 못한다.

- [0006] 구리 콘택 패드들은 제조시에 파워 디바이스에 통합될 수 있지만, 구리를 파워 디바이스에 통합하면 제조 공정은 단순한 것이 아니며, 상당한 개발 비용 및 시간을 부가한다. 또한, 제조업자들은 통상적으로 그들이 제조하는 모든 파워 디바이스들에 단일 유형의 금속 재료를 제공한다. 파워 모듈이 다수의 제조업자들로부터의 파워 디바이스들을 통합할 수 있음을 감안해볼 때, 주어진 모듈 내의 다양한 파워 디바이스들이 이종(dissimilar)의 금속 재료들을 포함할 수 있기 때문에, 그 파워 디바이스들 상에 신뢰적인 와이어 본드들을 형성하기 어렵다.
- [0007] 파워 디바이스에 구리 금속이 제공되는 경우에도, 구리 금속과 구리 본드들을 결합하는 것은 어려움이 따른다. 예를 들면, 구리 와이어 본드, 특히 높은 과도 전류를 견딜 수 있는 헤비 게이지(heavy gauge) 구리 와이어 본드를 금속 또는 콘택 패드에 부착하는 것은 보다 얇은 게이지 또는 알루미늄 와이어 본드보다 파워 디바이스에 상당량의 응력을 인가한다. 이는, 구리 대 구리(copper to copper) 와이어 본딩은 알루미늄 대 알루미늄 와이어 본딩에 비해 재료 특성으로 인해, 본딩을 위한 높은 에너지를 필요로 하기 때문이다. 이들 높은 에너지들로 인해, 와이어 본딩 공정은 파워 디바이스를 손상시킬 수 있다.
- [0008] 구리 대 구리 와이어 본딩의 또 하나의 문제는 전류가 파워 디바이스의 콘택 패드로부터 와이어 본드들로 흐를 때의 전류 협착(constriction of current)이다. 파워 디바이스의 콘택 패드의 금속층은 얇으며 (예를 들면, 수 마이크로), 전류가 이러한 얇은 금속층을 통해, 와이어 본드에 이른 후 이 금속층을 통해 흐를 때까지 이동해야만 한다. 와이어 본드들은 장비의 제약으로 인해 일정한 간격으로만 위치될 수 있으며, 따라서 각 파워 디바이스는 콘택 패드에 걸쳐 분산된 단지 소수의 와이어 본드만을 가지게 될 것이다. 각각의 콘택 패드에 다수의 와이어 본드들을 제공하는 것이 전류 흐름을 분배하는 데 도움이 되는 한편, 상호 연결 구조에 있어서의 저항은 여전히 고유 손실을 초래한다.
- [0009] 비록 종래의 시도들이 가령 콘택 패드의 구리 재료의 특성을 최적화하고 그리고 구리 패드의 두께를 조정함으로써, 구리 대 구리 와이어 본딩과 관련된 상술한 문제점을 완화해오고 있는 한편, 본 기술 분야에서 더 개선이 이루어져야 할 여지가 있다.

발명의 내용

해결하려는 과제

- [0010] 따라서, 파워 디바이스의 콘택 패드들의 구리로의 금속성 변경 없이 구리 와이어 본드들의 사용을 허용하는 POL 구조를 제공하는 것이 바람직하다. 또한, 와이어 본딩 공정 동안 인가되는 응력으로 인한 디바이스 손상을 감소 시킴으로써 공정 수율을 증가시키고, 파워 디바이스로부터 와이어 본드들로의 효율적인 전류 분포를 제공하는 와이어 본드 형태의 I/O 상호 연결을 제조하는 방법을 갖는 것이 바람직할 것이다.

과제의 해결 수단

- [0011] 본 발명의 일 양상에 따르면, 파워 오버레이(POL) 구조는 파워 디바이스의 상부면에 배치되는 적어도 하나의 상부 콘택 패드를 갖는 파워 디바이스, 및 상기 파워 디바이스의 상부면과 결합되는 유전체층과 상기 유전체층을 통하여 형성되는 비아들을 통해 연장되고 상기 파워 디바이스의 상기 적어도 하나의 상부 콘택 패드와 전기적으로 결합되는 금속 상호 연결들을 갖는 금속층을 갖는 POL 상호 연결층을 포함한다. 상기 POL 구조는 또한, 상기 금속층과 직접 결합되는 적어도 하나의 구리 와이어 본드를 포함한다.
- [0012] 본 발명의 다른 양상에 따르면, POL 구조를 제조하는 방법은 복수의 반도체 디바이스들을 포함하는 웨이퍼를 제공하는 단계와, 상기 복수의 반도체 디바이스들의 각각의 상부면과 유전체층을 결합하는 단계와, 상기 복수의 반도체 디바이스들 중 적어도 하나의 콘택 패드를 노출시키기 위해 상기 유전체층을 통해 복수의 비아들을 형성하는 단계와, 상기 유전체층의 상부면에 금속층을 형성하는 단계를 포함하며, 상기 금속층은 상기 복수의 비아들을 통해 연장되며 상기 복수의 반도체 디바이스들 중 적어도 하나의 콘택 패드와 전기적으로 결합되는 금속 상호 연결들을 갖는다. 상기 방법은 또한, 적어도 하나의 와이어 본드를 상기 금속층의 상부면과 결합하는 단계를 포함한다.
- [0013] 본 발명의 또 다른 양상에 따르면, POL 조립체는 제 1 반도체 디바이스와, 제 2 반도체 디바이스와, 상기 제 1 및 제 2 반도체 디바이스들의 상부 콘택 패드들과 접촉식으로 결합되는 폴리이미드 필름을 갖는 POL 상호 연결 조립체와, 상기 폴리이미드 필름에 형성되는 금속 경로를 포함하며, 상기 금속 경로는 상기 폴리이미드 필름을 통해 형성되는 비아들을 통해 연장되며 상기 제 1 및 제 2 반도체 디바이스들의 상부 콘택 패드들과 전기적으로 결합되는 복수의 금속 상호 연결들을 포함한다. POL 조립체는 또한, 상기 금속 경로와 직접 결합되는 복수의 구

리 와이어 본드들을 포함하며, 상기 복수의 와이어 본드들 중 제 1 와이어 본드가 상기 제 1 반도체 디바이스의 상부 콘택 패드와 전기적으로 결합되고, 상기 복수의 와이어 본드들 중 제 2 와이어 본드가 상기 제 2 반도체 디바이스의 상부 콘택 패드와 전기적으로 결합된다.

[0014] 이들 및 다른 장점들 및 특징들이 첨부되는 도면과 관련하여 제공되는 본 발명의 바람직한 실시예들의 다음의 상세한 설명으로부터 쉽게 이해될 것이다.

도면의 간단한 설명

[0015] 도면들은 본 발명을 수행하기 위해 현재 고려되는 실시예들을 도시한다.

도면에서,

도 1은 공지된 종래 기술에 따른 와이어 본딩된 파워 패키지 구조의 개략적인 측부 단면도이다.

도 2 내지 도 6은 본 발명의 실시예에 따른 파워 오버레이(POL) 구조를 제조하는 다양한 단계 동안의 개략적인 측부 단면도이다.

도 7은 본 발명의 다른 실시예에 따른, 와이어 본드가 통합된 도 6의 POL 구조들 중 하나의 개략적인 측부 단면도이다.

도 8 및 도 9는 본 발명의 다른 실시예에 따른, 와이어 본드를 갖는 POL 구조의 개략적인 상부도 및 측부 단면도이다.

도 10 및 도 11은 본 발명의 또 다른 실시예에 따른, 와이어 본드를 갖는 POL 구조의 개략적인 상부도 및 측부 단면도이다.

도 12는 본 발명의 실시예에 따른, POL 구조가 통합된 재구성된 웨이퍼를 도시하는 개략적인 측부 단면도이다.

도 13은 본 발명의 다른 실시예에 따른, POL 구조가 통합된 재구성된 웨이퍼를 도시하는 개략적인 측부 단면도이다.

도 14는 본 발명의 실시예에 따른, POL 조립체의 개략적인 측부 단면도이다.

도 15는 본 발명의 다른 실시예에 따른, POL 조립체의 개략적인 측부 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명의 실시예들은 POL 상호 연결층을 포함하는 파워 오버레이(POL) 구조뿐만 아니라 그러한 POL 구조를 형성하는 방법을 제공한다. 본 명세서에서 사용되는 바와 같이, 용어 "POL"은 파워 디바이스의 콘택 패드들의 재료 유형에 관계없이 파워 디바이스들의 구리 와이어 본딩을 가능하게 하는 구조를 묘사한다. POL 상호 연결층은 게이트와 이미터 패드들의 재료에 관계없이 POL 구조에 대한 구리 와이어 본드들의 신뢰적인 연결을 허용한다. 또한, POL 상호 연결층은 디바이스 콘택 패드들에 와이어 본드들을 부착하는 공정 동안, 파워 디바이스에 대한 손상을 감소시키는 능력 버퍼로서 기능하도록 설계된다. 전류가 와이어 본드들에 진입하기 전에 파워 디바이스의 금속을 통해 흐르게 하기 위한 병렬 경로들을 제공함으로써, 본 명세서에 개시되는 POL 구조는 종래의 와이어 본딩된 파워 디바이스들에 비해 상호 연결 저항 및 손실을 감소시킨다.

[0017] 도 2 내지 도 6은 본 발명의 실시예에 따른 POL 구조(34)를 제조하는 기술을 도시하며, 도 2 내지 도 6 각각은 빌드업 공정 동안의 POL 구조(34)의 단면을 도시한다. 먼저 도 2를 참조하면, 웨이퍼(36)가 도시된다. 일 실시예에 따르면, 웨이퍼(36)는 복수의 반도체 다이들 또는 반도체 디바이스들(38, 40, 42)을 포함한다. 반도체 디바이스들(38, 40, 42)은 비제한적인 예로서, 절연 게이트 바이폴라 트랜지스터(IGBT), 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET), 바이폴라 접합 트랜지스터(BJT), 집적 게이트 정류 사이리스터(IGCT), 게이트 턴-오프(GTO) 사이리스터, 실리콘 제어 정류기(SCR), 다이오드 또는 다른 디바이스들 또는 실리콘(Si), 실리콘 카바이드(SiC), 갈륨 질화물(GaN), 갈륨 비소(GaAs)와 같은 재료를 포함하는 장치의 조합들과 같은 파워 디바이스들이다. 도 2가 3개의 반도체 디바이스들(38, 40, 42)을 갖는 웨이퍼(36)를 도시하는 한편, 이 웨이퍼(36)는 3개보다 많거나 적은 반도체 디바이스들을 포함할 수 있음이 고려된다.

[0018] 각 반도체 디바이스(38, 40, 42)는 그 개별 반도체 디바이스(38, 40, 42)의 상부면(56, 58, 60)에 배치되는 하나 이상의 상부 콘택 패드들(44, 46, 48, 50, 52, 54)을 포함한다. 이들 상부 콘택 패드들(44 내지 54)은 각 반도체 디바이스(38, 40, 42) 내의 내부 콘택들에 전도성 경로를 제공한다. 도시된 실시예에서, 각 반도체 디바이

스(38, 40, 42)는 반도체 디바이스(38, 40, 42)의 대응하는 이미터 및/또는 게이트 또는 애노드 영역들과 결합되는 한 쌍의 상부 콘택 패드들을 포함한다. 일 실시예에서, 반도체 디바이스(38, 40, 42)는 개별 반도체 디바이스(38, 40, 42)의 개별 이미터 영역 및 게이트 영역과 결합되는 콘택 패드들(44 내지 54)을 갖는 IGBT들이다. 특히, 반도체 디바이스(38)는 게이트 패드(44) 및 이미터 패드(46)를 포함하고, 반도체 디바이스(40)는 게이트 패드(48) 및 이미터 패드(50)를 포함하고, 반도체 디바이스(42)는 게이트 패드(52) 및 이미터 패드(54)를 포함한다. 상술한 것과는 달리, 다른 수의 콘택 패드들 및/또는 다른 조합들의 콘택 패드들을 갖는 반도체 다이(38, 40, 42)가 제공될 수 있다는 것이 고려된다. 하나의 비제한적인 예로서, 한 쌍의 이미터 패드들 갖는 반도체 다이(38)가 제공될 수 있다. 일 실시예에서, 콘택 패드들(44, 46, 48)은 알루미늄을 포함할 수 있다. 그러나, 콘택 패드들(44, 46, 48)이 예를 들면 구리와 같은 다른 유형의 전기 전도성 재료들로 형성될 수 있다는 것이 고려된다. 각 반도체 디바이스(38, 40, 42)는 또한, 그 개별 반도체 디바이스(38, 40, 42)의 하부면(68, 70, 72) 상에 배치되는 적어도 하나의 하부 콘택 패드 또는 콜렉터 패드(62, 64, 66)를 포함한다.

[0019] 도 3에 도시되는 바와 같이, POL 구조(34)의 제조는 접착제층(76)을 사용하여 반도체 디바이스(38, 40, 42)의 상부면(56, 58, 60)과 유전체층(74)을 결합하는 것으로 시작된다. 유전체층(74)은 다양한 실시예들에 따르면, 안정된 비흐름(non-flowing) 적층체(lamination) 또는 필름의 형태일 수 있으며, Kapton®, Ultem®, 폴리테트라플루오로에틸렌(PTFE), Upilex®, 폴리술폰 재료들(예를 들면, Udel®, Radel®), 또는 액정 폴리머(LCP) 또는 폴리이미드 재료와 같은 다른 폴리머 필름과 같은 복수의 유전체 재료들 중 하나로 형성될 수 있다. 일 실시예에서, 유전체층(74)은 제조 공정 동안 왜곡(distortion)을 제어하기 위해, 프레임(도시 생략) 상에 펼쳐질(stretched) 수 있다. 접착제층(76)은 스핀 코팅 기술을 사용하여 유전체층(74)에 도포될 수 있으며, 그 후 웨이퍼(36)가 종래의 픽 앤드 플레이스(pick and place) 장비 및 방법들을 사용하여 접착제층(76)에 위치된다.

[0020] 도 3은 POL 구조(34)가 분리된 유전체층과 접착제층들(74, 76)을 포함하는 것을 도시하는 한편, 대안적인 실시예에서 층들(74, 76)은 접착 특성들을 갖는 단일 유전체층에 의해 대체될 수 있다는 것이 고려된다. 그러한 접착성 유전체층의 비제한적인 예들은 폴리이미드 또는 폴리벤조옥사졸(polybenzoxazole)(PBO)과 같은 스핀-온 유전체를 포함한다.

[0021] 이제 도 4를 참조하면, 복수의 비아들(78)이 각 반도체 디바이스(38, 40, 42)의 콘택 패드들(44, 46, 48)을 노출시키도록 유전체층(74)과 접착제층(76)을 통해 형성된다. 비아들(78)은, 예를 들면 레이저 드릴링 또는 드라이 에칭에 의해 형성될 수 있으며, 이에 한정되는 것은 아니다. 도 5에 도시된 바와 같이, 금속 경로 또는 금속층(80)은 제조 공정의 다음 단계에서, 유전체층(74)의 상부면(82) 상에 형성된다. 금속층(80)은 비아들(78)을 통해 연장되며 반도체 디바이스들(38, 40, 42)의 콘택 패드들(44, 48, 52)과 전기적으로 결합되는 금속 상호 연결들(84)의 제 1 부분 및 비아들(78)을 통해 연장되며 반도체 디바이스들(38, 40, 42)의 콘택 패드들(46, 50, 54)과 전기적으로 결합되는 금속 상호 연결들(86)의 제 2 부분을 포함한다. 바람직한 실시예에서, 금속 경로들(80)은 구리의 층을 포함한다. 그러나, 이 제조 기술은 금속 경로들(80)을 위한 다른 전기 전도성 재료들의 사용으로 확장될 수 있음이 고려된다. 일 실시예에서, 금속 경로들(80)은 리소그래피 공정에 이은 스퍼터링 및 도금 기술을 사용하여 형성될 수 있다. 금속 경로들(80), 비아들(78), 유전체층(74) 및 접착제층(76)이 함께 POL 상호 연결층(88)을 형성한다.

[0022] 이제 도 6을 참조하면, POL 구조(34)가 개별 POL 구조들(90, 92, 94)로 절단 또는 개별화(singulated)된다. 각 POL 구조(90, 92, 94)는 반도체 디바이스(38, 40, 42)에 본딩되는 POL 상호 연결층(88)의 부분을 갖는 개별 반도체 디바이스(38, 40, 42)를 포함한다. 웨이퍼(36)가 3개의 반도체 디바이스들(38, 40, 42)보다 많거나 적은 반도체 디바이스를 포함할 수 있기 때문에, POL 구조(34)가 3개 POL 구조들(90, 92, 94)보다 많거나 적은 POL 구조로 분리될 수 있음이 고려된다.

[0023] 이제 도 7을 참조하면, POL 구조(34)가 개별 POL 구조들(90, 92, 94)로 절단 또는 개별화된 후, 하나 이상의 와이어 본드들이 제조 기술의 다음 단계에서 금속 경로(80)와 결합된다. 도시된 실시예에서, 와이어 본드들(96, 98)이 금속 경로(80)의 금속 상호 연결들(86)과 결합되고, 와이어 본드(100)가 와이어 본딩 공정에 의해 금속 상호 연결들(84)과 본딩된다. 그러나, 대안적인 실시예들이 금속 상호 연결들(86)의 제 2 부분과 본딩되는 2개보다 많거나 적은 와이어 본드들 및/또는 금속 상호 연결들(84)의 제 1 부분과 본딩되는 1개보다 많은 와이어 본드(100)를 포함할 수 있는 것이 고려된다. 본 발명의 예시적인 실시예에 따르면, 와이어 본드들(96, 98, 100)은 구리이다.

[0024] 일 실시예에서, 와이어 본드(100)보다 큰 게이지 또는 큰 직경을 갖는 와이어 본드(96, 98)가 제공되므로, 와이어 본드들(96, 98)이 낮은 전기 저항을 갖고 콘택 패드(46)를 통과하는 많은 양의 전류를 처리할 수 있게 한다.

하나의 비제한적인 예로서, 와이어 본드들(96, 98)은 대략 10 내지 20밀(mil)의 직경을 갖는 "헤비(heavy)" 구리 와이어 본드들로서 제공될 수 있다. 한편, 와이어 본드(100)는, 예를 들면 약 3-10밀 범위의 직경을 갖는 와이어 본드(96, 98)에 대해 "얇은" 구리 와이어 본드로서 제공될 수 있다. 본 발명의 그러한 비제한적인 실시예에서, 헤비 와이어 본드들(96, 98)과 금속 경로(80) 사이의 표면 콘택 영역(102)은 대략 50밀x80밀일 수 있다. 다른 한편으로, 얇은 게이지 와이어 본드(100)와 금속 경로(80) 사이의 표면 콘택 영역(104)은 예를 들면 대략 10 내지 15밀x20밀의 범위일 수 있다. 본 발명의 예시적인 실시예에서, 표면 콘택 영역들(102, 104)의 폭은 개별 와이어 본드(96, 98, 100) 직경의 2배 또는 3배이며, 표면 콘택 영역들(102, 104)의 길이는 개별 와이어 본드(96, 98, 100) 직경의 4배 내지 5배이다. 그러나, 당업자는 본 발명의 실시예들이 와이어 본드들(96, 98, 100)에 사용되는 특정 와이어 게이지에 한정되지 않으며, 와이어 본드들(96, 98, 100)의 직경 또는 게이지가 주어진 애플리케이션을 위해 요구됨에 따라 변경될 수 있고, 대응하는 표면 콘택 영역도 이에 따라 변경될 수 있음을 인지할 것이다.

[0025] 다층 기판(106)이 솔더(108)를 통해 반도체 디바이스(38)의 콘택 패드(62)와 열적으로 또한 전기적으로 결합된다. 하나의 실시예에서, 다층 기판(106)은 예를 들면 알루미늄, 알루미늄 질화물, 실리콘 질화물 등과 같은 비-유기(non-organic) 세라믹 기판(110)을 포함하는 미리 제작된 직접 본드 구리(DBC) 컴포넌트이며, 구리(112, 114)의 상부 및 하부 시트들이 직접 본드 구리 인터페이스 또는 브레이즈(braze)층을 통해 그 양측에 본딩된다. 본 발명의 다른 실시예에서, 다층 기판(106)은 상부 및 하부 알루미늄 시트들(112, 114)을 갖는 직접 본드 알루미늄(DBA) 기판일 수 있음이 고려된다.

[0026] 도 7 및 이어지는 도면이 열적으로 또한 전기적으로 콘택 패드(62)와 결합되는 다층 기판(106)을 도시하는 한편, 대안적인 실시예들이 예를 들면 다층 기판(106) 대신에 리드 프레임과 같은 단층 기판을 포함할 수 있음이 고려된다.

[0027] 도 7에 도시된 바와 같이, 대략 50-500미크론의 두께(116)를 갖는 반도체 디바이스(38)가 제공된다. 또한, 금속 경로(80)의 두께(118)는 대략 5-150미크론 범위일 수 있는 한편, 유전체층(74)의 두께(120)는 대략 0.5 내지 2 밀일 수 있다.

[0028] 도 7에 도시된 실시예에서, 각 와이어 본드(96, 98, 100)는 적어도 하나의 금속 상호 연결(84, 86) 또는 그의 부분을 포함하는 POL 상호 연결층(88)의 각 부분(122, 124, 126)과 결합된다. 구체적으로, 와이어 본드(100)의 콘택 표면(128) 아래의 POL 상호 연결층(88)의 부분(126)은 하나의 금속 상호 연결(84)을 포함하고, 와이어 본드들(96, 98) 각각의 개별 콘택 표면들(130, 132) 아래의 POL 상호 연결층(88)의 부분들(122, 124)은 적어도 2 개의 금속 상호 연결들(86)의 부분들을 포함한다. 따라서, 금속 상호 연결들(86)은 전류가 반도체 디바이스(38)로부터 와이어 본드들(96, 98)로 이동하도록 하는 다수의 병렬 경로들을 형성한다.

[0029] 도 8 및 도 9는 본 발명의 다른 실시예에 따른 POL 구조(134) 내의 와이어 본드(96)의 위치를 도시한다. POL 구조(134) 및 POL 구조(34)와 공통적인 요소들 또는 컴포넌트들은 여기서 적절한 경우 유사한 도면 번호들로 지칭된다. 도시된 바와 같이, 와이어 본드(96)는 유전체층(74) 내에 형성되는 오목부 또는 웰(136) 내에 위치된다. 웰(136)은 와이어 본드(96)의 표면 영역(142)보다 더 큰 표면 영역(140)을 갖는 콘택 패드(46)의 일부를 노출시키는 접착제층(76) 및 유전체층(74) 내에 큰 비아(138)를 생성함으로써 형성된다. 금속 경로(80)가 생성될 때, 금속 경로(80)는 비아(138) 내로 연장되어 비교적 평평한 상부 콘택 표면(146)을 갖는 금속 상호 연결(144)을 형성한다. 상부 콘택 표면(146)의 표면 영역(148)은 와이어 본드(96)의 대응하는 표면 영역(142)보다 크다. 따라서, 와이어 본드(96)의 콘택 표면(150)은 금속 경로(80)의 상부면(152) 아래에 위치된다. 본 실시예에서, 금속 경로(80)는 도 9에 도시된 바와 같이 그들 사이에 위치되는 접착제층(76) 또는 유전체층(74)의 어떤 부분과도 접촉하지 않고 콘택 패드(46)와 직접 접촉한다. 따라서, 와이어 본드(96)의 콘택 표면(150) 아래의 POL 구조(134)의 일부(154)는 실질적으로 유전체층(74) 또는 접착제층(76)의 어느 부분과도 접촉하지 않는다. 본 실시예에서, 금속 경로(80)와 콘택 패드(46)의 증가된 표면은 콘택 패드(46)와 와이어 본드(96) 사이의 전류 경로에서의 저항을 감소시킨다.

[0030] 다른 실시예에서, 금속 경로(80)가 비아(138) 내로 연장되어 금속 상호 연결들(144)을 형성함으로써 생성될 때, 평평한 상부 콘택 표면(146)과 금속 경로(80)의 표면(152)이 동일 평면 상에 있는 것이 고려된다. 이와 같이, 와이어 본드(96)는 금속 경로(80)의 상부면(152)과 동일한 높이에 위치된다. 본 실시예에서, 와이어 본드(96)의 콘택 표면(150) 아래의 POL 구조(134)의 부분(154)은 여전히 실질적으로 유전체층(74) 또는 접착제층(76)의 어떤 부분과도 접촉하지 않는다.

[0031] 이제 도 10 및 도 11을 참조하면, 본 발명의 대안적인 실시예에 따라 POL 구조(156)가 도시된다. 다시, POL 구

조(156) 및 POL 구조(34)와 공통적인 요소들 또는 컴포넌트들은 적절한 경우 유사한 도면 번호로 지칭된다. 도시된 바와 같이, 와이어 본드(96, 100)는 비아들(78)이 없는 POL 구조(156)의 일부에서 금속 경로(80)와 결합된다. 따라서, 본 실시예에서, 와이어 본드(96, 100)의 개별 콘택 위치들(162, 164) 바로 아래에 위치되는 유전체층(74)의 부분들(158, 160) 내에 어떤 비아(78)도 위치되지 않는다. 유전체층(74)의 두께(120)는 와이어 본드(96, 100) 아래의 POL 구조(156)의 부분에서 실질적으로 균일하고, 와이어 본딩 공정 동안 반도체 디바이스(38)에 잠재적인 손상을 감소시키기 위한 응력 범퍼로서 작용한다.

[0032] 도 7 내지 도 11에서, 와이어 본드들(96, 98, 100) 및 DBC 기판(106)은 개별 반도체 디바이스(38)와 결합되는 것으로 상술하였지만, DBC 기판(106) 및/또는 와이어 본드들(96, 98, 100)이 웨이퍼 레벨에서(즉, 개별화 이전) 개별 반도체 디바이스들(38, 40, 42)에 적용될 수 있는 것이 고려된다.

[0033] 대안적인 실시예에서, POL 상호 연결층(166)은 패키지 또는 재구성된 웨이퍼 내에 제공되는 다수의 개별 반도체 디바이스들 상에 동시에 형성될 수 있다. 이제 도 12를 참조하면, 제거 가능한 지지 구조(174)와 결합되는 복수의 반도체 디바이스들(170, 172)을 갖는 재구성된 웨이퍼(168)가 도시된다. 당업자는 대안적인 실시예들에서, 재구성된 웨이퍼(168)가 2개보다 많은 반도체 디바이스들(170, 172)을 포함할 수 있음을 인식할 수 있을 것이다. 도 2 내지 6의 반도체 디바이스들(38, 40, 42)과 유사하게, 반도체 디바이스들(170, 172)은 복수의 상부 콘택 패드들(176, 178, 180, 182), 적어도 하나의 하부 콘택 패드 또는 콜렉터 패드(184, 186)를 포함한다. 상부 콘택 패드들(176 내지 182)은 이미터 및/또는 게이트 패드들의 다양한 조합들을 포함할 수 있다. 바람직한 실시예에서, 상부 콘택 패드들(176 내지 182)은 알루미늄 또는 구리이다. 그러나, 상부 콘택 패드들(176 내지 182)이 대안적인 금속 재료를 포함할 수 있음이 고려된다.

[0034] 도 12에 도시된 바와 같이, 반도체 디바이스들(170, 172)은 가변 두께(188, 190)를 갖고, 반도체 디바이스(170)의 두께(188)는 반도체 디바이스(172)의 두께(190)보다 두껍다. 이러한 두께에 있어서의 변화를 고려하여, 반도체 디바이스(170)의 콘택 패드들(176, 178)의 상부면(194)이 웨이퍼(168) 내의 반도체 디바이스(172)의 콘택 패드들(180, 182)의 상부면(196)과 실질적으로 동일 평면이 되도록, shim(192)이 얇은 반도체 디바이스와 제거 가능한 지지 구조체(174) 사이에 위치될 수 있다.

[0035] 반도체 디바이스들(170, 172)의 상부면들(194 내지 196)이 실질적으로 동일 평면으로 위치되면, POL 상호 연결층(166)은 도 3 내지 도 5에 관하여 설명된 바와 유사한 방식으로 반도체 디바이스들(170, 172) 상부(atop)에 형성된다. 반도체 디바이스들(170, 172)에 유전체층(200)을 적용하는데 있어서, (도 3에서) 유전체층(74)에 관하여 설명된 바와 유사한 방식으로, 단일 접착제층이 유전체층(200)에 스핀 코팅되거나 또는 개별 접착제층들(202, 204)이 도 11에 도시된 바와 같이 각각의 반도체 디바이스(170, 172) 상부에 형성될 수 있음이 고려된다. 어느 경우에서든, 유전체층(200)은 인접 반도체 디바이스들(170, 172) 사이의 갭(206)을 넓히도록(span) 위치된다. 다양한 실시예들에 따르면, 유전체층(170, 172)은 적층(lamination) 또는 필름의 형태일 수 있고, 유전체층(74)과 유사한 복수의 유전 재료들 중 하나로 형성될 수 있다.

[0036] 본 발명의 대안적인 실시예에서, 반도체 디바이스들(170, 172)은 개별 접착제층들(202, 204)(또는 단일 접착제층)을 통해 유전체층(200)과 결합된다. 여기서, 반도체 디바이스들(170, 172)은 유전체층(200)을 반도체 디바이스들(170, 172)에 적용하는 것과 반대로, 반도체 디바이스들(170, 172)을 접착제층(202, 204) 상에 위치시킴으로써 유전체층(200)과 결합된다. 이와 같이, 제거 가능한 지지 구조(174)가 생략될 수 있다.

[0037] 도 13에 도시된 본 발명의 또 다른 실시예에서, 반도체 디바이스들(170, 172)의 서로 다른 두께(188, 190)를 보상하도록 구성되는 유전체층(210)을 갖는 POL 상호 연결층(208)이 형성될 수 있다. 도시된 바와 같이, 반도체 디바이스(170)와 정렬되는 유전체층(210)의 제 1 부분(212)은 제 1 두께(214)를 갖고, 반도체 디바이스(172)와 정렬되는 유전체층(210)의 제 2 부분은 제 2 두께(218)를 갖는다. 계단(step)(220)이 상기 제 1 부분(212) 및 제 2 부분(216) 사이의 천이부(transition)에 위치된다. 본 발명의 또 다른 실시예에서, 반도체 디바이스들(170, 172)의 서로 다른 높이들은 접착제층들(202, 204)의 두께를 변화시킴으로써 보상될 수 있다.

[0038] 도 12 및 도 13을 함께 참조하면, 각 POL 상호 연결층(166)을 완성하기 위해, 복수의 비아들(222)이 콘택 패드들(176, 178, 180, 182)을 노출시키도록 유전체층(200) 및 접착제층들(202, 204)을 통해 형성된다. 이어서, 금속 경로(224)가 유전체층(200)의 상부면(226) 상에 형성된다. 금속 경로(224)는 비아들(222)을 통해 연장되며 콘택 패드들(176, 180)과 전기적으로 결합되는 금속 상호 연결들(228) 및 비아들(222)을 통해 연장되며 콘택 패드들(178, 182, 214)과 전기적으로 결합되는 금속 상호 연결(230)을 포함한다. 금속 경로들(224)은 구리층을 포함할 수 있고, 리소그래피 공정에 이은 스퍼터링 및 도금 기술을 사용하여 형성될 수 있다.

- [0039] POL 상호 연결층(166) 또는 POL 상호 연결층(208)의 형성에 이어서, 지지 구조(174) 및 어떤 심들(192)이 필요에 따라 제거될 수 있다. 각각의 결과적인 POL 조립체(232, 234)는 그 후 하나 또는 복수의 반도체 디바이스들을 갖는 개별 POL 구조들로 절단 또는 개별화될 수 있다. 결과적인 POL 구조가 복수의 반도체 다이들을 포함하는 경우, 갭(206) 내부에 있는 유전체층(200, 210)의 부분은 가령 레이저 절제(ablation)에 의해 제거되거나, 또는 POL 구조에 추가적인 구조적 강성을 제공하도록 유지될 수 있다. 개별화 이전 또는 이후에 도 7 내지 도 11 중 어느 하나와 관련하여 설명된 것과 유사한 방식으로, 와이어 본드들이 금속 상호 연결들(228, 230)과 결합될 수 있다.
- [0040] 이제 도 14를 참조하면, 본 발명의 다른 실시예에 따른, POL 조립체(238) 내의 다른 POL 구조(236)와 전기적으로 결합되는 개별화된 POL 구조(90)가 도시된다. 도시된 바와 같이, 각 POL 구조(90, 236)는 개별 POL 구조들(90, 236)의 와이어 본드들(96, 100, 240, 242)이 결합되는 개별 POL 상호 연결층(88)을 포함한다. 와이어 본드들(96, 240)은 반도체 디바이스(38)의 콘택 패드(46)를 반도체 디바이스(246)의 콘택 패드(244)와 전기적으로 결합한다. 도 14가 서로 다른 높이들을 갖는 것으로 POL 구조들(90, 236)을 도시하는 한편, POL 구조(90, 236)가 동일한 높이를 가질 수 있음이 고려된다.
- [0041] 일 실시예에서, 도 14에 도시된 바와 같이 POL 구조들(90, 236)은 동일한 다층 기관(106)에 열적으로 결합된다. 그러나, 당업자는 POL 구조들(90, 236)이 분리된 다층 기관(106)과 열적으로 결합될 수 있음을 인식할 수 있을 것이다. 또한, 다층 기관(106)은 대안적인 실시예들에서, DBC 기관 또는 DBA 기관일 수 있음이 고려된다.
- [0042] 다음으로, 도 15는 도 14와 관련하여 설명된 개별화된 POL 구조들(90, 236)이 적어도 2개의 반도체 디바이스들(170)을 갖는 재구성된 웨이퍼(232)로 대체된 POL 조립체(238)의 대안적인 실시예를 도시한다. 도시된 바와 같이, POL 상호 연결층(166)은 반도체 디바이스들(170, 172) 양자의 상향(upward-facing) 면들을 가로질러 형성되고, 반도체 디바이스들(170, 172) 사이의 갭을 넓힌다. 도 15가 동일한 다층 기관(106)에 열적으로 결합되는 것으로 반도체 디바이스들(170, 172)을 도시하는 한편, 각 반도체 디바이스들(170, 172)이 자신의 분리된 다층 기관(106)과 결합될 수 있음이 고려된다.
- [0043] 와이어 본드들(96, 100, 240, 242)은 POL 상호 연결층(166)과 결합된다. 본 실시예에서, 금속 경로(224)는 POL 조립체(238)의 반도체 디바이스들(180, 182)의 콘택 패드들(176, 178, 180, 182)을 전기적으로 연결한다. 결과적으로, 반도체 디바이스들(170, 172)은 와이어 본드들(96, 240) 사이에 직접적인 연결 없이 서로 전기적으로 결합될 수 있다. 따라서, 와이어 본드들(96, 240)은 POL 조립체(238)를 다른 POL 조립체들과 전기적으로 결합하는데 사용될 수 있다.
- [0044] 바람직하게, 본 발명의 실시예들은 반도체 디바이스의 콘택 패드들의 재료에 관계없이, 구리 와이어 본딩을 가능하게 하는 POL 구조를 제공한다. POL 상호 연결층은 반도체 디바이스의 콘택 패드들과 전기적으로 연결되고, 구리 와이어 본드가 신뢰적으로 부착될 수 있는 콘택 표면을 형성하는 구리 금속 경로를 제공한다. 이것은 예를 들면, 구리 및 알루미늄 콘택 패드들과 같은 다른 금속층들을 갖는 서로 다른 유형의 파워 디바이스들을 포함하는 POL 모듈들에서 구리 와이어 본드들을 사용할 수 있게 한다.
- [0045] 결과적인 POL 구조는 또한, 종래 기술의 구조들에 비해, 반도체 파워 디바이스로부터 와이어 본드들로의 보다 효율적인 전류 분포를 제공한다. POL 상호 연결층 내에 제공되는 금속 상호 연결 구조는 전류가 와이어 본드들에 진입하기 전, 파워 디바이스의 콘택 패드들의 얇은 금속으로부터 이동하도록 하는 병렬 경로들을 제공한다.
- [0046] 또한, POL 상호 연결층의 두께는 알루미늄 대 알루미늄 와이어 본딩에 비해, 구리 대 구리 와이어 본딩과 관련된 더 높은 에너지로부터 파워 디바이스를 보호하는, 와이어 본드들과 파워 디바이스 사이의 보호 버퍼층을 형성한다. POL 상호 연결층이 와이어 본딩 공정 동안 파워 디바이스에 대한 응력 버퍼로서 작용하기 때문에, 종래 구리 대 구리 와이어 본딩에 사용되는 것보다 더 헤비한 게이지를 갖는 와이어 본드들은 디바이스 손상의 위험 없이 파워 디바이스와 전기적으로 결합될 수 있다. 이들 헤비 게이지 와이어 본드들은 또한 상호 연결 저항을 감소시키며 따라서 파워 디바이스와 와이어 본드들 사이의 관련 손실을 감소시킨다.
- [0047] 따라서, 본 발명의 일 실시예에 따르면, 파워 오버레이(POL) 구조는 파워 디바이스의 상부면 상에 배치되는 적어도 하나의 상부 콘택 패드를 갖는 파워 디바이스, 및 상기 파워 디바이스의 상부면과 결합되는 유전체층과 상기 유전체층을 통하여 형성되는 비아들을 통해 연장되고 상기 파워 디바이스의 상기 적어도 하나의 상부 콘택 패드에 전기적으로 결합되는 금속 상호 연결들을 갖는 금속층을 갖는 POL 상호 연결층을 포함한다. 상기 POL 구조는 또한 상기 금속층과 직접 결합되는 적어도 하나의 구리 와이어 본드를 포함한다.
- [0048] 본 발명의 다른 양상에 따르면, POL 구조를 제조하는 방법은 복수의 반도체 디바이스들을 포함하는 웨이퍼를 제

공하는 단계와, 상기 복수의 반도체 디바이스들의 각각의 상부면과 유전체층을 결합하는 단계와, 상기 복수의 반도체 디바이스들의 적어도 하나 이상의 콘택 패드를 노출시키기 위해 상기 유전체층을 통해 복수의 비아들을 형성하는 단계와, 상기 유전체층의 상부면에 금속층을 형성하는 단계를 포함하며, 상기 금속층은 상기 복수의 비아들을 통해 연장되며 상기 복수의 반도체 디바이스들 중 적어도 하나의 콘택 패드와 전기적으로 결합되는 금속 상호 연결을 갖는다. 상기 방법은 또한, 적어도 하나의 와이어 본드를 상기 금속층의 상부면과 결합하는 단계를 포함한다.

[0049] 본 발명의 또 다른 양상에 따르면, POL 조립체는 제 1 반도체 디바이스와, 제 2 반도체 디바이스와, 상기 제 1 및 제 2 반도체 디바이스들의 상부 콘택 패드들과 접착식으로 결합되는 폴리이미드 필름을 갖는 POL 상호 연결 조립체와, 상기 폴리이미드 필름 상에 형성되는 금속 경로를 포함하며, 상기 금속 경로는 상기 폴리이미드 필름을 통해 형성되는 비아들을 통해 연장되며 상기 제 1 및 제 2 반도체 디바이스들의 상부 콘택 패드들과 전기적으로 결합되는 복수의 금속 상호 연결들을 포함한다. POL 조립체는 또한, 상기 금속 경로와 직접 결합되는 복수의 구리 와이어 본드들을 포함하며, 상기 복수의 와이어 본드들 중 제 1 와이어 본드가 상기 제 1 반도체 디바이스의 상부 콘택 패드와 전기적으로 결합되고, 상기 복수의 와이어 본드들 중 제 2 와이어 본드가 상기 제 2 반도체 디바이스의 상부 콘택 패드와 전기적으로 결합된다.

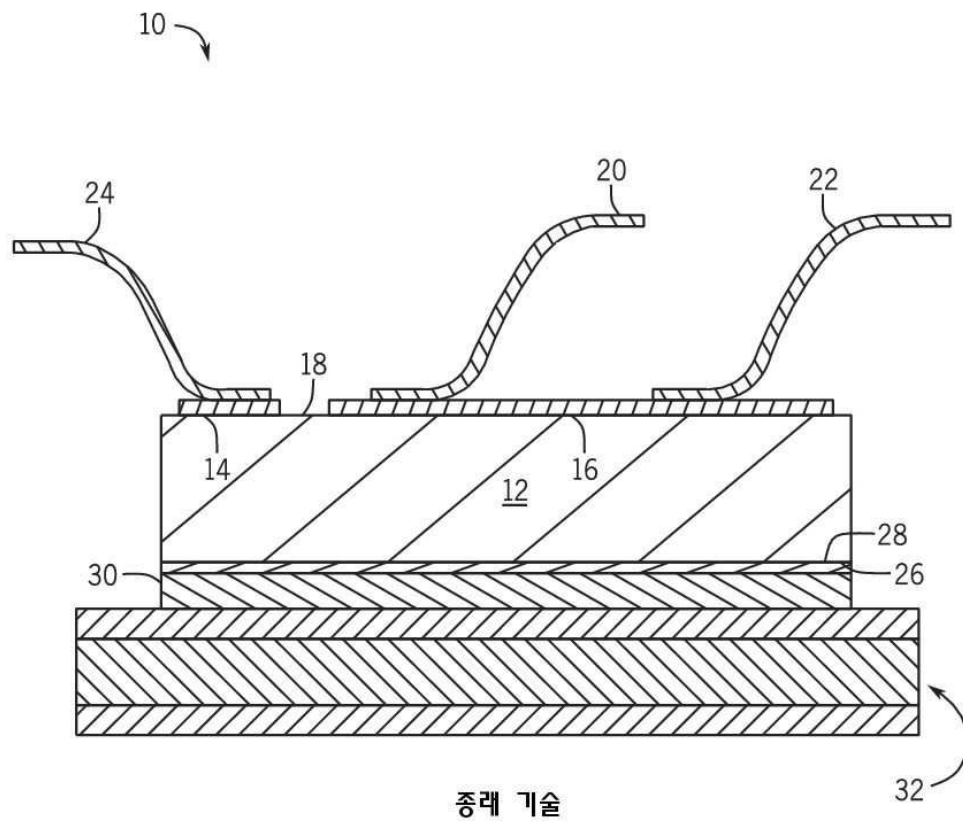
[0050] 본 발명이 단지 제한된 수의 실시예들에만 관련하여 상세히 설명되는 한편, 본 발명이 그러한 개시된 실시예들에 한정되는 것이 아님이 쉽게 이해되어야 한다. 오히려, 본 발명은 지금까지 설명하지 않았지만 본 발명의 사상 및 범위 내에서 상응되는 모든 수의 변형예들, 변경예들, 치환 또는 등가 구성을 포함하도록 수정될 수 있다. 또한, 본 발명의 다양한 실시예들이 설명되었지만, 본 발명의 양상이 단지 설명된 실시예들의 일부만을 포함할 수 있다는 것을 이해해야 한다. 따라서, 본 발명은 상술한 설명에 의해 한정되는 것으로 보아서는 아니 되며, 오직 첨부된 특허 청구의 범위에 의해서만 제한되는 것으로 보아야 한다.

부호의 설명

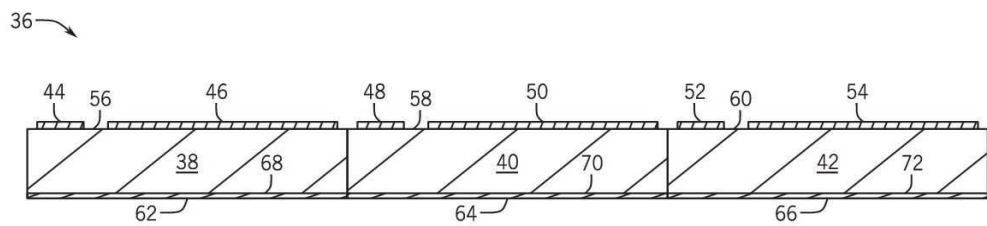
[0051] 34: POL 구조
38: 반도체 디바이스
80: 금속 경로
84, 86: 금속 상호 연결
96, 98, 100: 와이어 본드
90, 92, 94: 개별 POL 구조
128: 콘택 표면

도면

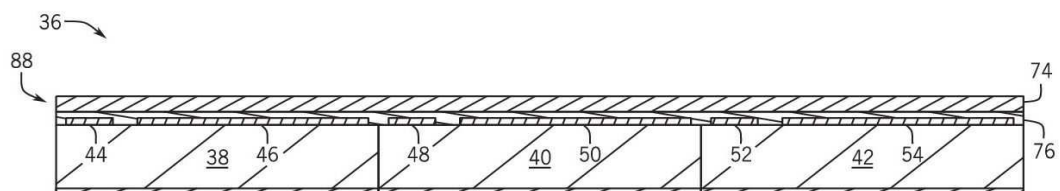
도면1



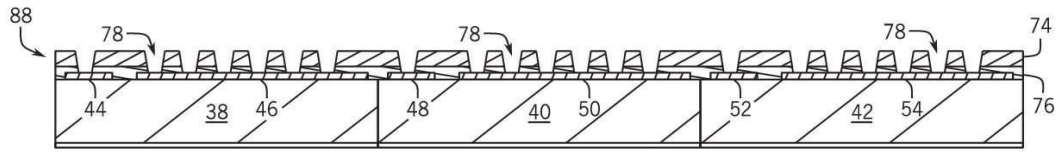
도면2



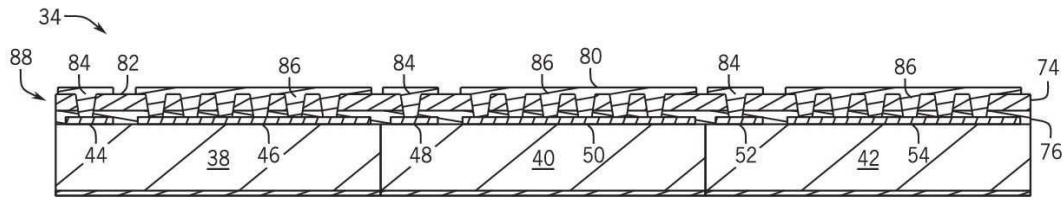
도면3



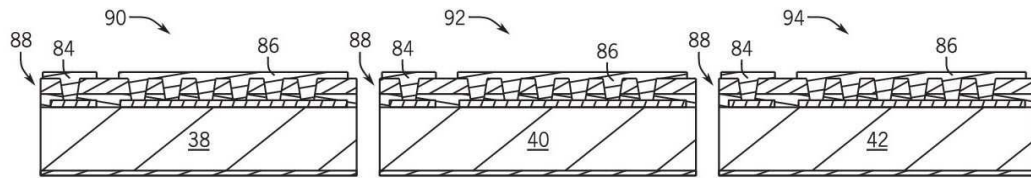
도면4



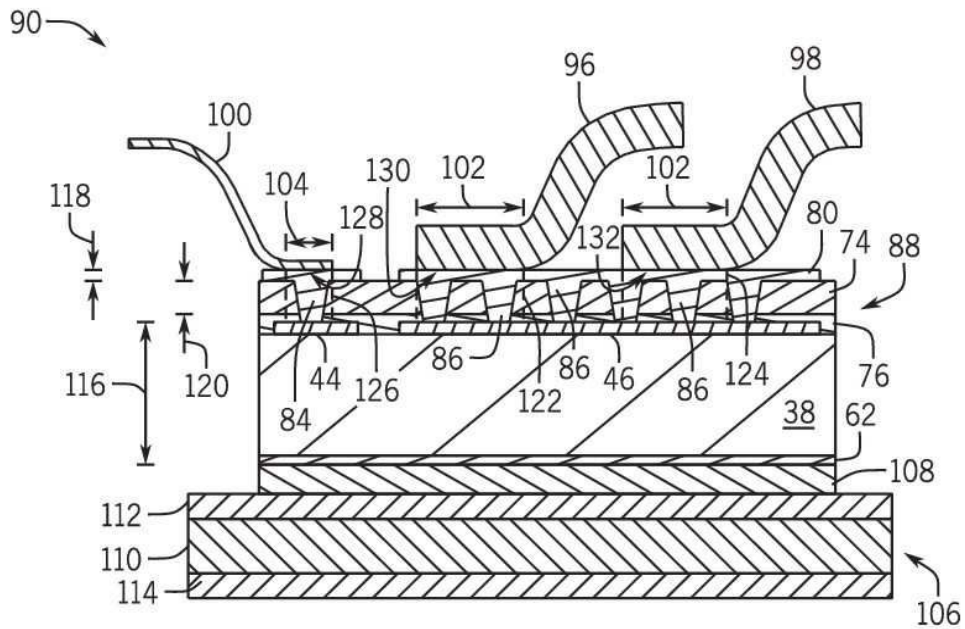
도면5



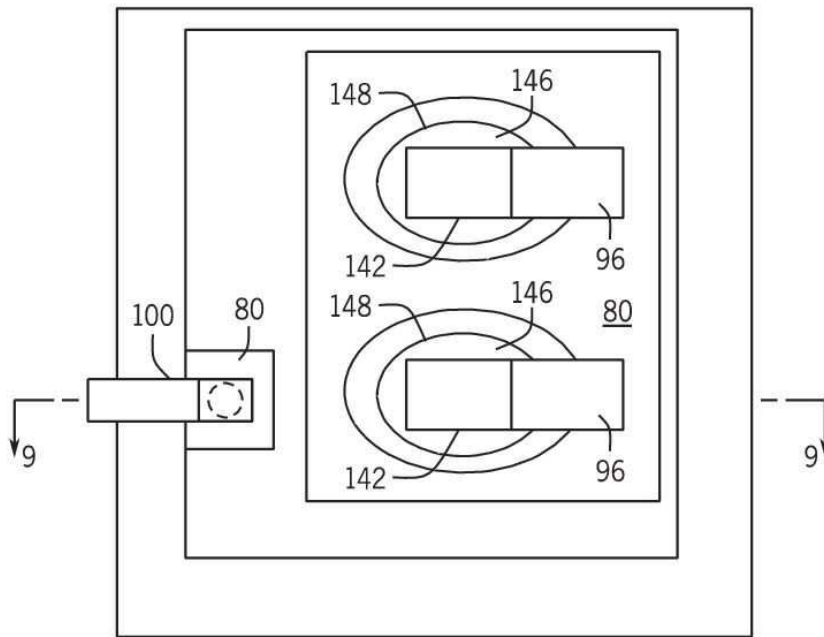
도면6



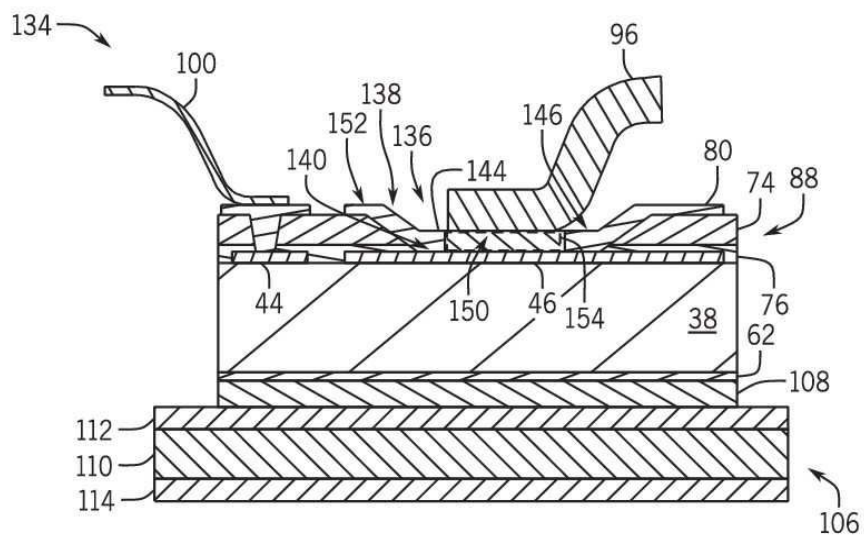
도면7



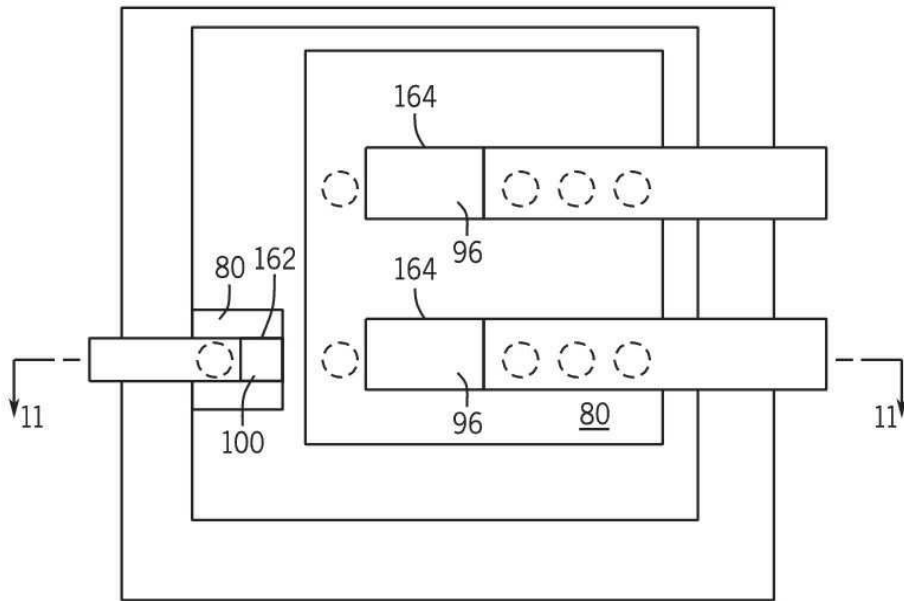
도면8



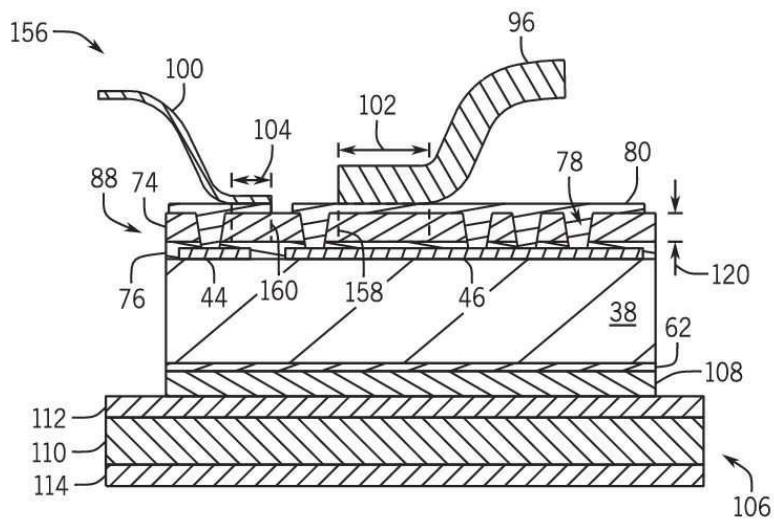
도면9



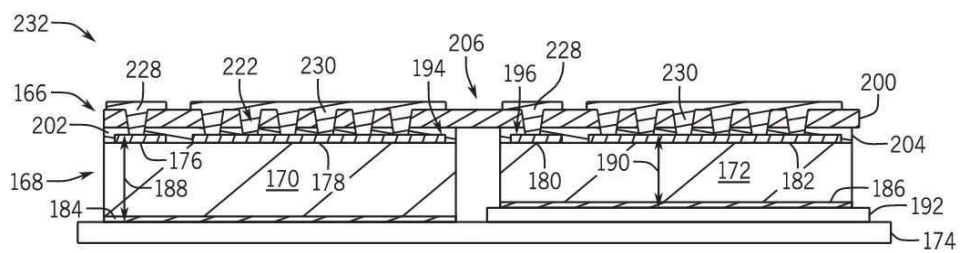
도면10



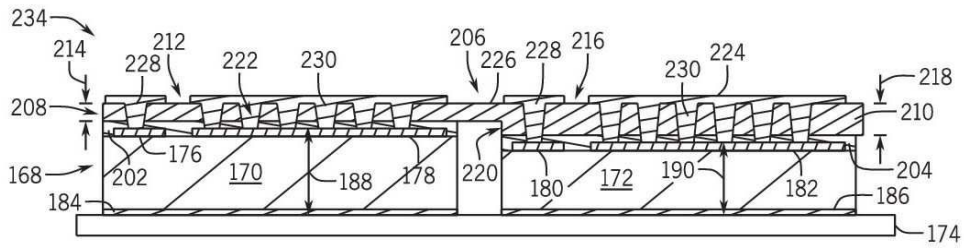
도면11



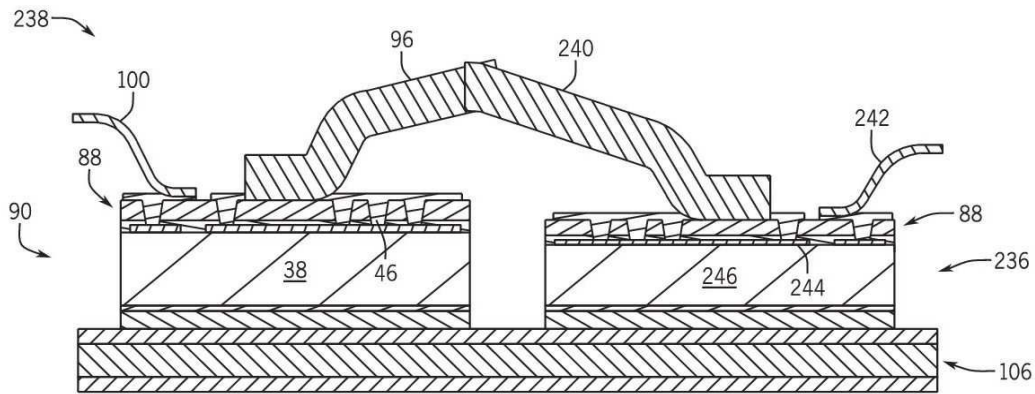
도면12



도면13



도면14



도면15

