

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-133544  
(P2008-133544A)

(43) 公開日 平成20年6月12日(2008.6.12)

(51) Int.Cl.	F I	テーマコード (参考)
<b>C23C 16/04 (2006.01)</b>	C23C 16/04	4K030
<b>H01L 21/205 (2006.01)</b>	H01L 21/205	4M104
<b>C23C 16/42 (2006.01)</b>	C23C 16/42	5F033
<b>H01L 21/285 (2006.01)</b>	H01L 21/285	C 5F045
<b>H01L 21/3205 (2006.01)</b>	H01L 21/88	B

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2008-16029 (P2008-16029)  
 (22) 出願日 平成20年1月28日 (2008.1.28)  
 (62) 分割の表示 特願平8-108784の分割  
 原出願日 平成8年3月25日 (1996.3.25)

(71) 出願人 595062573  
 半那 純一  
 神奈川県横浜市緑区上山2丁目29番12号  
 (71) 出願人 000002897  
 大日本印刷株式会社  
 東京都新宿区市谷加賀町一丁目1番1号  
 (74) 代理人 100117226  
 弁理士 吉村 俊一  
 (72) 発明者 半那 純一  
 神奈川県横浜市緑区上山2丁目29番12号  
 Fターム(参考) 4K030 AA04 AA06 BA09 BA48 BB14  
 CA05 CA06 FA10 HA01 JA10  
 LA15

最終頁に続く

(54) 【発明の名称】 導電性パターンの形成方法及び導電性パターン

(57) 【要約】

【課題】 p型またはn型に制御された低抵抗のSiGeからなる導電性パターンを基材上に選択的に500以下の低温で形成することを可能にする。

【解決手段】 ガラス又は酸化ケイ素からなる非晶質基材上にアルミニウム薄膜又はクロム薄膜をパターン状に形成し、フッ化ゲルマニウムとジシランを原料とした熱CVD法によって、前記パターン状に形成されたアルミニウム薄膜又はクロム薄膜上のみ選択的にSiGeを堆積する。得られた導電性パターンは、SiGe膜が、非晶質基材上にパターン状に形成されたアルミニウム薄膜又はクロム薄膜上のみ選択的に形成され、非晶質基材上には形成されない。

【選択図】 なし

## 【特許請求の範囲】

## 【請求項 1】

ガラス又は酸化ケイ素からなる非晶質基材上にアルミニウム薄膜又はクロム薄膜をパターン状に形成し、

フッ化ゲルマニウムとジシランを原料とした熱CVD法によって、前記パターン状に形成されたアルミニウム薄膜又はクロム薄膜上にもみ選択的にSiGeを堆積する、導電性パターンの形成方法。

## 【請求項 2】

前記原料がドーパントガスを含む、請求項 1 に記載の導電性パターンの形成方法。

## 【請求項 3】

SiGe膜が、非晶質基材上にパターン状に形成されたアルミニウム薄膜又はクロム薄膜上にもみ選択的に形成され、前記非晶質基材上には形成されていない、導電性パターン

。

## 【請求項 4】

前記SiGe膜がp型又はn型である、請求項 3 に記載の導電性パターン。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、本発明は、電子デバイス等の接合層、電極とのオーミック層、配線などに用いる導電性パターンを基材上に形成する方法に関する。

## 【背景技術】

## 【0002】

薄膜トランジスタをはじめとする各種Si系電子デバイスには、整合層、電極とのオーミック層、あるいは配線の形成のために、p型あるいはn型に制御された低抵抗のSi系半導体層が広く用いられている。この半導体層の形成にあたって、必要とする特定の部分にもみ選択的に半導体層を形成することができればデバイス作製におけるプロセス行程の短縮と素子の微細化に伴う信頼性、歩留まりの向上に極めて有効である。こうした考えから、基材に単結晶Siを用いる高温プロセスを利用する半導体プロセスでは、HCLを含むハロシラン類を原料とするCVD技術によって選択的に特定の部分にのみ半導体層を形成することが行なわれている。

## 【0003】

しかしながら、安価な低融点基材を用いる薄膜トランジスタや太陽電池をはじめとする大面積電子デバイスの作製では材料作製に500以下の低温プロセスを必要とするため、特定の部分にもみ選択的にSi系半導体層を形成することが困難である。このため、一般に、これらの半導体層の形成には、各種CVD技術等を用いてまず均一に半導体層を形成した後、フォトリソグラフィ技術を用いてレジスト層をパターンニングし、これをマスクとするエッチング等との組み合わせによって、特定の部分にもみ半導体層を形成することが行なわれる。このため、デバイス作製の際の工程数が増えるばかりでなく、素子の信頼性や歩留まりを損ねる要因の一つとなっている。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

本発明は、従来困難であった500以下の低温において、電子デバイスの接合層、電極とのオーミック層、素子間の配線などに用いる低抵抗の半導体層を特定の基材上にもみ選択的に形成する方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0005】

本発明者は、研究の結果、ハロゲン化ゲルマニウムとシラン類との熱CVDにおいて、従来結晶質Si/SiO<sub>2</sub>系、例えばSiO<sub>2</sub>でパターンニングされたSi基板などSi基材においてのみ見出されていたSiGeの選択成長が、ガラス、窒化ケイ素、あるいは、

10

20

30

40

50

酸化ケイ素などの非晶質基材上、あるいは、サファイヤをはじめとする絶縁性結晶質基材上にパターン状に形成された各種無機導電性基材を用いても同様にSiGeをパターニングされた基材上にのみ選択的に成長することができることを見出した。

【0006】

さらに、当該熱CVD技術において、原料ガスに半導体プロセスで用いられるジボラン、フォスフィン、アルシン等のドーパントガスを添加しておくことによって、p型あるいはn型に制御された低抵抗のSiGeを堆積できることを確認した。この知見をもとに、前述の導電性材料でパターニングされた基材を用いて、ドーピングガスを含む原料ガスによる熱CVD法によりSiGeの堆積を行なうことによって、従来困難であった500以下の低温において、パターニングされた導電性の基材上にのみ選択的にp型あるいはn型に制御された低抵抗のSiGeからなる導電性パターンを容易に形成する技術を確立した。

10

【0007】

本発明は、500以下の温度で、ジボラン、フォスフィン、アルシン等のドーパントガスを含むハロゲン化ゲルマニウムとシラン類を原料とする熱CVD法を用いて、基材上にパターン状に形成された導電性の基材上にp型あるいはn型に制御された低抵抗のSiGeを選択的に形成することを特徴とする導電性パターンの形成方法である。

【0008】

すなわち、本発明の導電性パターンの形成方法は、ガラス又は酸化ケイ素からなる非晶質基材上にアルミニウム薄膜又はクロム薄膜をパターン状に形成し、フッ化ゲルマニウムとジシランを原料とした熱CVD法によって、前記パターン状に形成されたアルミニウム薄膜又はクロム薄膜上にのみ選択的にSiGeを堆積することを特徴とする。このとき、前記原料がドーパントガスを含んでいるように構成されることが好ましい。

20

【0009】

また、本発明の導電性パターンは、SiGe膜が、非晶質基材上にパターン状に形成されたアルミニウム薄膜又はクロム薄膜上にのみ選択的に形成され、前記非晶質基材上には形成されていないことを特徴とする。このとき、前記SiGe膜がp型又はn型であるように構成されることが好ましい。

【発明の効果】

【0010】

本発明は、熱CVD法により500以下の低温で、p型またはn型に制御された低抵抗SiGeを導電性の基材上に選択的に堆積することによって導電性パターンを形成する方法である。これは、従来、大面積デバイスの作製などに用いられる500以下の低温プロセスでは実現が困難であった選択成長技術によって、特定の部分にのみ選択的にSi系低抵抗半導体層を形成することを可能にするものである。これによって、デバイスの接合層、活性層と電極をつなぐオーミック層、配線などを、膜成長とこれに引き続くフォトリソグラフィとエッチングプロセスによらないで形成することを可能にするもので、電子デバイスの作製に新たな発展をもたらすきわめて有益な発明である。

30

【発明を実施するための最良の形態】

【0011】

パターニングされた基材上への選択的なSiGeの堆積には、フッ化ゲルマニウムや塩化ゲルマニウムなどのハロゲン化ゲルマニウムとその還元有効なシラン、ジシラン、あるいはそのハロゲン誘導体を原料ガスに用いることが重要である。この場合、原料ガスは、He、Ar、窒素などの不活性ガスや水素などで希釈して用いることが出来る。希釈ガスを選ぶことによって、選択的なSiGeの堆積が実現できる堆積温度や反応圧力などの作製条件の範囲を制御することが可能となる。

40

【0012】

原料ガスの流量比によって堆積するSiGeの組成をかえることができるが、ジシラン、フッ化ゲルマニウムを原料に用いる場合、その流量比(ジシラン/フッ化ゲルマニウム)は0.5~40が適当であり、好ましくは0.5~20とすることが望ましい。

50

## 【0013】

本CVD系に見られる選択成長性は、表面での原料ガスの選択的な活性化が重要な役割を果たしていると考えられ、表面近傍での熱によるホモジニアスな原料ガスの分解が誘起される条件では選択性が消失する。したがって、選択性の実現にあたっては、基材の選択が重要であるとともに、膜の成長条件、特に表面近傍での原料ガス間の反応を支配する堆積温度および反応圧力が重要なパラメータとなる。該CVD系の膜堆積には250～300以上の堆積温度を必要とするが、選択的な成長が実現できる温度領域は、一般的に比較的低い温度領域、500以下に限られる。また、反応圧力は堆積温度との関係で選択されるが、一般的な傾向として、表面近傍での反応が支配的となる圧力の高い条件では選択性は失われ、数十Torr以下の低圧ほど選択的な堆積が起こりやすい。

10

## 【0014】

p型SiGeの作製には、p型ドーパントとしてジボランが有効である。キャリア濃度は、ジボランの流量(シラン類に対し10ppm～10%)によって制御可能であるが、導電率が10S/cm程度(キャリア濃度が $10^{17} \sim 10^{18} \text{ cm}^{-3}$ )の場合には本系の固有の特徴からドーピングガスを用いなくとも作製が可能である。一方、n型SiGeの作製には、n型ドーパントガスを用いる必要があり、フォスフィン、アルシンが有効である。導電率、キャリア濃度は、同様にドーパントガスの流量(シラン類に対し10ppm～10%)によって制御することができる。

## 【0015】

選択的にSiGeを堆積する基材は、無機導電性基材、例えば、アルミニウム、クロム、タンゲステン、ニッケル、銅、銀、金などの金属やその合金のほか、ITO、酸化スズなどの一部の導電性酸化物から選ぶことができる。酸化物の場合、それを構成する金属酸化物がシラン類によって一部還元されてできる金属が同様の膜の成長を促すことが考えられる。これらの基材をパターン状に前記基材上に形成することによって、選択的にSiGeからなる該導電性パターンを形成することができるが、これは、形状は特にパターンに限られるわけではない。

20

## 【実施例】

## 【0016】

以下の実施例によって、本発明を詳細に説明するが、これらによって限定されるものではない。

30

## 【0017】

## (実施例1)

Siウェーハの熱酸化によって形成したSiO<sub>2</sub>上にアルミニウム薄膜をパターン状に形成した基板を用いて、フッ化ゲルマニウムとジシランをそれぞれ2.7sccmおよび20sccm、希釈のためにHeを300sccm反応容器に流し、圧力を0.45torr、基板温度を325で20分堆積を行なったところ、アルミニウム上にのみ選択的にSiGeが0.38μm堆積した。堆積膜はp型で導電率は10～15S/cmであった。さらに、基板温度を変化させて成長を行なったところ、375までは選択成長性が維持され、基板温度が400では非選択的なSiGe膜の堆積が見られた。膜厚は、350では0.55μm、375では1.1μmであった。膜厚が大きくなるにつれて導電率が上昇する傾向は見られるが、いずれの膜も電気特性に大きな変化が見られなかった。

40

## 【0018】

## (実施例2)

ガラス基板上にアルミニウム薄膜をパターン状に形成した基板を用いて実施例1と同じ条件で膜を成長したところ、アルミニウム上にのみ選択的にSiGeが0.4μm堆積した。基板材質をSiO<sub>2</sub>からガラスに代えても、膜の電気特性を含む選択性成長の特性には大きな違いは見られなかった。

## 【0019】

## (実施例3)

50

実施例 1 と同様な条件下で、S i ウェーハの熱酸化によって形成した S i O<sub>2</sub> 上にクロム薄膜をパターン状に形成した基板を用いて膜の堆積を行なったところ、クロム上のみ選択的に 0.17 μm の S i G e が堆積した。堆積膜の導電率は実施例 1 と同様であった。さらに、基板温度を変化させて成長を行なったところ、375 °C までは選択成長性が維持され、基板温度が 400 °C では非選択的な S i G e 膜の堆積が見られた。膜厚は、350 °C では 0.35 μm、375 °C では 0.7 μm であった。いずれの膜も電気特性には大きな違いは見られなかった。

【0020】

(実施例 4)

実施例 2 と同様に、ガラス基板上にクロム薄膜をパターン状に形成したガラス基板を用いて膜を成長したところ、0.2 μm の S i G e 膜が選択的にクロム上に堆積した。堆積膜の電気特性は、実施例 1 と同じであった。

10

【0021】

(実施例 5)

S i ウェーハの熱酸化によって形成した S i O<sub>2</sub> 上にアルミニウム薄膜をパターン状に形成した基板を用いて、フッ化ゲルマニウムとジシランをそれぞれ 2 s c c m、15 s c c m、n 型ドーパントガスとしてジシランに対しフォスフィン濃度を 1000 p p m、希釈のために A r を 300 s c c m 反応容器に流し、圧力を 1 t o r r、基板温度を 350 °C で 20 分堆積を行なったところ、アルミニウム上のみ選択的に S i G e が 0.6 μm 堆積した。膜は n 型で、導電率は 45 S / c m であった。

20

【0022】

(実施例 6)

実施例 5 と同様な条件下で、p 型ドーパントガスとしてジボランを 1000 p p m 含むジシランを用いて C V D を行なったところ、アルミニウム上のみ S i G e 膜が 0.5 μm 堆積した。堆積膜は p 型で、導電率は 22 S / c m であった。

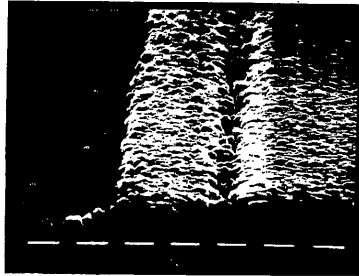
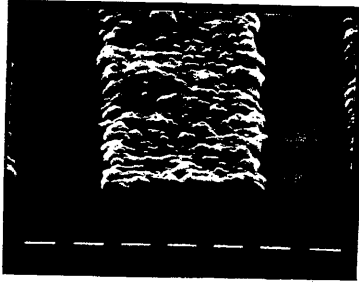
【図面の簡単な説明】

【0023】

【図 1】実施例 1 および 3 において、アルミニウム上(上)およびクロム上(下)に選択的に形成された S i G e 膜の電子顕微鏡写真である。平坦に見える部分が S i G e の堆積が見られない S i O<sub>2</sub> 部分である。

30

【 図 1 】



---

フロントページの続き

Fターム(参考) 4M104 AA03 AA09 AA10 BB01 BB02 BB04 BB05 BB08 BB09 BB13  
BB18 BB36 BB40 DD45 DD46 EE02 EE16 FF13  
5F033 GG01 GG04 HH03 HH07 HH08 HH11 HH13 HH14 HH17 HH35  
LL01 MM05 PP03 PP04 PP07 RR04 VV15  
5F045 AA03 AB01 AC01 AC02 AD07 AE19 AF10 AF20 BB07 CB10