



(51) 국제특허분류:

H05K 3/12 (2006.01)

H05K 3/46 (2006.01)

H05K 3/18 (2006.01)

(21) 국제출원번호:

PCT/KR2020/011159

(22) 국제출원일:

2020년 8월 21일 (21.08.2020)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2019-0130550 2019년 10월 21일 (21.10.2019) KR

(71) 출원인: 한밭대학교산학협력단 (HANBAT NATIONAL UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION) [KR/KR]; 34158 대전시 유성구 동서대로 125, Daejeon (KR).

(72) 발명자: 정민훈 (JUNG, Minhun); 59620 전라남도 여수시 신덕2길 64-4, Jeollanam-do (KR). 김동수 (KIM, Dong-su); 35218 대전시 서구 청사로 70, 106-802, Daejeon (KR). 이현아 (LEE, Hyunah); 30098 세종시 보듬2로 42 1413-603, Sejong-si (KR).

(74) 대리인: 특허법인 플러스 (PLUS INTERNATIONAL IP

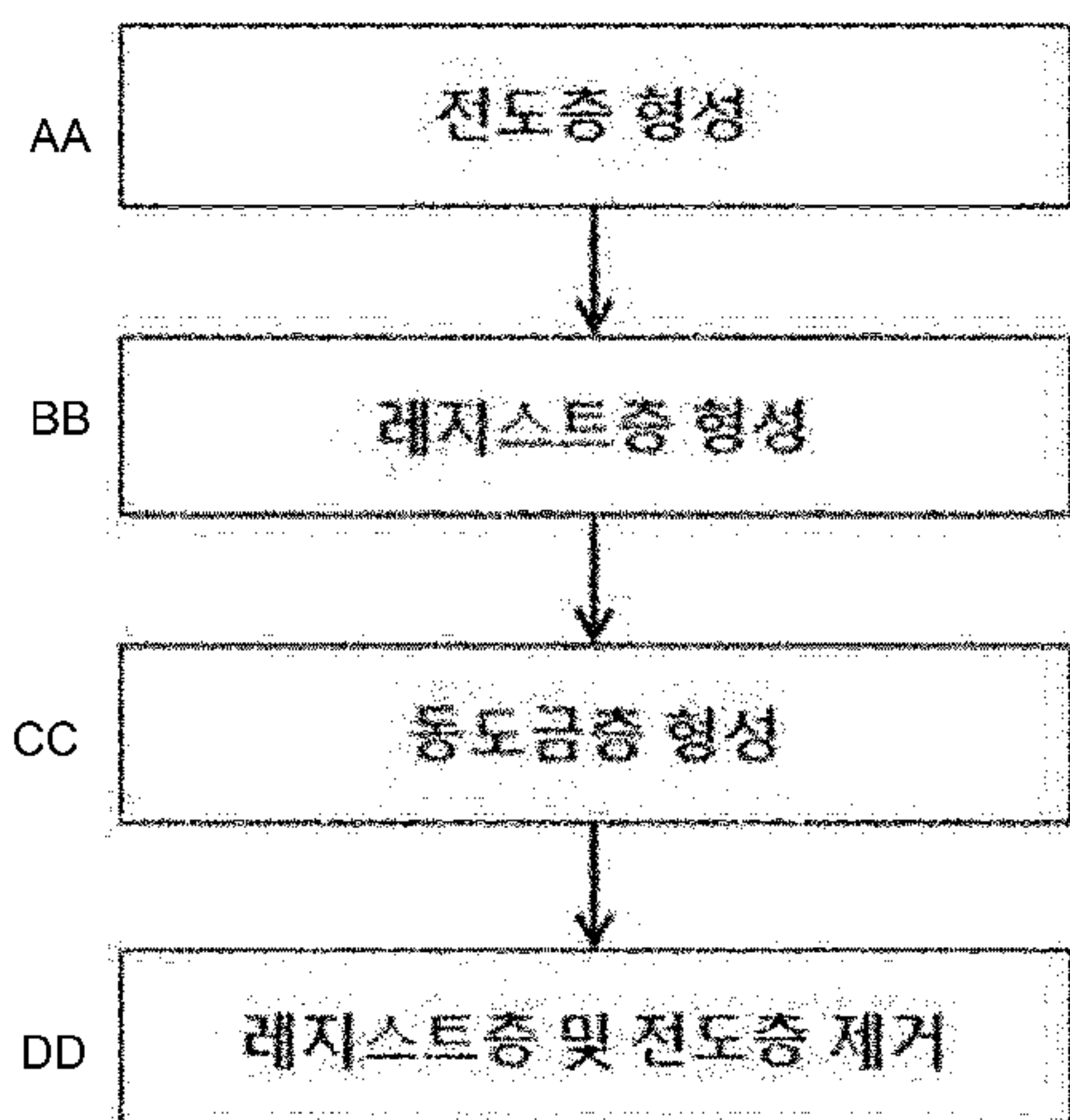
LAW FIRM); 35209 대전시 서구 한밭대로 809, 10층, Daejeon (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: METHOD FOR MANUFACTURING MULTILAYER PRINTED CIRCUIT BOARD

(54) 발명의 명칭: 다층 인쇄회로기판의 제조방법



AA ... Form conductive layer

BB ... Form resist layer

CC ... Form copper plating layer

DD ... Remove resist layer and conductive layer

(57) Abstract: The present invention relates to a multilayer printed circuit board and a method for manufacturing same. The method for manufacturing a multilayer printed circuit board comprises the steps of: (S1) forming a conductive layer on a first surface at the top of a base substrate; (S2) forming a patterned resist layer on the conductive layer; (S3) forming a copper plating layer in an area where the resist layer is not formed on the conductive layer; and (S4) removing the resist layer and the conductive layer under the resist layer.

(57) 요약서: 본 발명은 다층 인쇄회로기판 및 이의 제조방법에 관한 것으로, 다층 인쇄회로기판의 제조방법은 (S1) 베이스 기판 상부의 제1 표면에 전도층을 형성하는 단계; (S2) 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계; (S3) 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계; 및 (S4) 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계;를 포함한다.

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 다층 인쇄회로기판의 제조방법

기술분야

- [1] 본 발명은 다층 인쇄회로기판의 제조방법 및 이에 따른 다층 인쇄회로기판에 관한 것이다.

배경기술

- [2] 산업발달이 가속화되면서 전자부품들은 점점 더 경박, 단소화되고 있으며, 이에 부응하여 전자부품 내부에 수납되는 인쇄회로기판 역시 점점 더 소형화 및 고집적화 되고 있고, 수많은 인쇄회로기판 업체의 경쟁으로 인하여 가격경쟁력 확보를 위한 제조공정의 단순화 역시 필연화되고 있다.
- [3] 인쇄회로기판에는 절연기판의 한쪽 면에만 배선을 형성한 단면 인쇄회로기판, 양쪽 면에 배선을 형성한 양면 인쇄회로기판 및 다층으로 배선한 다층 인쇄회로기판 (Multilayer Printed Circuit Board)가 있다. 과거에는 부품 소자들이 단순하고 회로 패턴도 간단하여 단면 인쇄회로기판을 사용하였으나, 최근에는 회로의 복잡도가 증가하고 고밀도 및 소형화 회로에 대한 요구가 증가하여 대부분 양면 인쇄회로기판 또는 다층 인쇄회로기판을 사용하는 것이 일반적이다.
- [4] 기존의 다층 인쇄회로기판의 제조방법은 기본적으로 베이스 기판을 드릴링하는 단계, 1차 무전해 동도금 단계, 2차 무전해 동도금 단계, 1차 라미네이팅 단계, 2차 라미네이팅 단계, 현상단계, 에칭단계, 박리단계, 1차 PSR (Photo Solder Resist) 인쇄단계, 2차 PSR 인쇄단계, PSR 노광단계 및 PSR 현상단계를 포함하며, 적층되는 층수에 따라 상기 공정을 여러 번 반복해야 하므로, 공정이 매우 복잡한 문제가 있다. 즉, 상술한 단계 중 어느 한 단계에서 오류가 발생할 경우, 제품불량이 발생하므로, 복잡한 제조공정에 따른 높은 불량률로 인해 생산성이 떨어지며, 비용 또한 증가하는 문제점이 있다.
- [5] 따라서, 공정이 간단하면서도 불량률을 줄이고, 생산성 및 비용절감 면에서 현저한 효과를 가지는 다층 인쇄회로기판의 제조방법이 필요한 실정이다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명의 목적은 다층 인쇄회로기판의 복잡한 제조공정 문제를 해결하여, 제조시간을 단축시킬 뿐만 아니라, 제조비용을 절감할 수 있으며, 불량률이 현저히 감소된 다층 인쇄회로기판 및 이의 제조방법 및 을 제공하는 것이다.

과제 해결 수단

- [7] 본 발명은 다층 인쇄회로기판의 제조방법을 제공하며,
- [8] (S1) 베이스 기판 상부의 제1표면에 전도층을 형성하는 단계;
- [9] (S2) 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계;

- [10] (S3) 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계; 및
- [11] (S4) 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계;를 포함한다.
- [12] 본 발명에 따른 일 실시예에 있어, 상기 (S1) 단계는 전도성 잉크를 이용한 정전식 스프레이 (Electrostatic spray)에 의해 이루어지는 것일 수 있다.
- [13] 본 발명에 따른 일 실시예에 있어, 상기 (S2) 단계는 상기 베이스 기판 제1표면에 형성된 전도층 상에 레지스트 잉크를 인쇄하는 것일 수 있다.
- [14] 본 발명에 따른 일 실시예에 있어, 상기 (S4) 단계 후,
- [15] (S5) 상기 레지스트층 및 레지스트층 하부의 전도층이 제거된 베이스 기판 상에 프리프레그 (Prepreg)를 적층하는 단계;
- [16] (S6) 상기 프리프레그 상부 표면에 홈을 형성하는 단계;
- [17] (S7) 상기 홈이 형성된 프리프레그 상부 표면에 전도층을 형성하는 단계;
- [18] (S8) 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계;
- [19] (S9) 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계; 및
- [20] (S10) 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계;를 더 포함하며,
- [21] 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 1회 이상 반복하는 단계를 포함하고,
- [22] 상기 (S3) 단계 및 (S9) 단계에서 형성된 동도금층은 (S7) 단계에서 형성된 전도층에 의해 서로 연결될 수 있다.
- [23] 본 발명에 따른 일 실시예에 있어, 상기 (S8) 단계는 상기 프리프레그 표면에 형성된 홈 표면을 제외한 영역에 형성된 전도층 상에 레지스트 잉크를 인쇄하는 것일 수 있다.
- [24] 본 발명에 따른 일 실시예에 있어, 상기 (S6) 단계는 레이저 드릴링에 의해 홈을 형성하는 것일 수 있다.
- [25] 본 발명에 따른 일 실시예에 있어, 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 반복하는 단계를 수행한 후, 상기 동도금층 상에 동도금층을 보호하는 솔더레지스트 (Solder Resist)를 인쇄하는 단계를 더 포함할 수 있다.
- [26] 본 발명에 따른 일 실시예에 있어, 상기 베이스 기판은 유리포 에폭시, 종이 페놀 및 종이 에폭시로 이루어진 군에서 선택되는 하나 이상을 포함하는 기판일 수 있다.
- [27] 본 발명에 따른 일 실시예에 있어, 상기 베이스 기판 하부의 제2표면에 상기 (S1) 내지 (S4) 단계를 수행하는 것을 더 포함할 수 있다.
- [28] 본 발명에 따른 일 실시예에 있어, 상기 (S4) 단계 후,
- [29] 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 1회 이상 반복하는 단계를 더 포함할 수 있다.

[30] 본 발명에 따른 일 실시예에 있어, 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 반복하는 단계를 수행한 후, 상기 동도금층 상에 동도금층을 보호하는 솔더레지스트 (Solder Resist)를 인쇄하는 단계를 더 포함할 수 있다.

[31] 본 발명은 또한 본 발명의 일 실시예에 따라 제조된 다층 인쇄회로기판을 제공한다.

발명의 효과

[32] 본 발명에 따른 다층 인쇄회로기판의 제조방법은 공정을 단순화 함으로써 제조시간을 단축시킬 수 있을 뿐만 아니라, 제조비용을 현저히 절감시킬 수 있는 장점이 있다.

[33] 또한, 본 발명에 따른 다층 인쇄회로기판의 제조방법은 불량률을 현저히 감소함으로써, 대량생산 공정에서도 수율을 증가시킬 수 있는 장점이 있다.

[34] 본 발명에 따른 다층 인쇄회로기판은 신뢰성이 우수하며, 미세 회로 구현에 유리한 장점이 있다.

[35] 본 발명에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 명세서에서 기재된 효과 및 그 내재적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

[36] 도 1은 본 발명에 따른 다층 인쇄회로기판 제조방법의 간략한 흐름도를 나타낸 도면이다.

[37] 도 2는 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S1) 단계인 전도층 형성단계를 나타낸 도면이다.

[38] 도 3은 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S2) 단계인 레지스트층 형성단계를 나타낸 도면이다.

[39] 도 4는 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S3) 단계인 동도금층 형성단계를 나타낸 도면이다.

[40] 도 5는 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S4) 단계인 레지스트층 및 레지스트층 하부의 전도층 제거단계를 나타낸 도면이다.

[41] 도 6은 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S5) 단계인 프리프레그를 적층하는 단계를 나타낸 도면이다.

[42] 도 7은 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S6) 단계인 프리프레그 표면에 홈을 형성하는 단계를 나타낸 도면이다.

[43] 도 8은 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S7) 단계인 전도층 형성단계를 나타낸 도면이다.

[44] 도 9는 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S8) 단계인 레지스트층 형성단계를 나타낸 도면이다.

[45] 도 10은 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S9) 단계인 동도금층 형성단계를 나타낸 도면이다.

- [46] 도 11은 본 발명에 따른 다층 인쇄회로기판 제조방법에서 (S10) 단계인 레지스트층 및 레지스트층 하부의 전도층 제거단계를 나타낸 도면이다.
- [47] 도 12는 본 발명에 따른 다층 인쇄회로기판 제조방법에서 솔더레지스트층 형성단계를 나타낸 도면이다.
- [48] 도 13은 본 발명의 일 실시예에 따라 제조한 다층 인쇄회로기판을 나타낸 도면이다.

발명의 실시를 위한 최선의 형태

- [49] 본 명세서에서 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.
- [50] 또한, 본 명세서에서 사용되는 단수 형태는 문맥에서 특별한 지시가 없는 한 복수 형태도 포함하는 것으로 의도할 수 있다.
- [51] 또한, 본 명세서에서 특별한 언급 없이 사용된 단위는 중량을 기준으로 하며, 일 예로 % 또는 비의 단위는 중량% 또는 중량비를 의미하고, 중량%는 달리 정의되지 않는 한 전체 조성물 중 어느 하나의 성분이 조성물 내에서 차지하는 중량%를 의미한다.
- [52] 또한, 본 명세서에서 사용되는 수치 범위는 하한치와 상한치와 그 범위 내에서의 모든 값, 정의되는 범위의 형태와 폭에서 논리적으로 유도되는 증분, 이중 한정된 모든 값 및 서로 다른 형태로 한정된 수치 범위의 상한 및 하한의 모든 가능한 조합을 포함한다. 본 발명의 명세서에서 특별한 정의가 없는 한 실험 오차 또는 값의 반올림으로 인해 발생할 가능성이 있는 수치범위 외의 값 역시 정의된 수치범위에 포함된다.
- [53] 본 명세서의 용어, '포함한다'는 '구비한다', '함유한다', '가진다' 또는 '특징으로 한다' 등의 표현과 등가의 의미를 가지는 개방형 기재이며, 추가로 열거되어 있지 않은 요소, 재료 또는 공정을 배제하지 않는다.
- [54] 또한, 본 명세서의 용어, '실질적으로'는 특정된 요소, 재료 또는 공정과 함께 열거되어 있지 않은 다른 요소, 재료 또는 공정이 발명의 적어도 하나의 기본적인고 신규한 기술적 사상에 허용할 수 없을 만큼의 현저한 영향을 미치지 않는 양 또는 정도로 존재할 수 있는 것을 의미한다.
- [55] 본 발명은 (S1) 베이스 기판 상부의 제1표면에 전도층을 형성하는 단계;
- [56] (S2) 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계;
- [57] (S3) 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계; 및
- [58] (S4) 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계;를 포함하는 다층 인쇄회로기판의 제조방법을 제공한다.
- [59] 앞서 서술한 바와 같이, 다층 인쇄회로기판은 기본적으로 드릴링, 동도금,

라미네이팅, 현상, 에칭, 박리, PSR 인쇄, PSR 노광 및 PSR 현상 등 일련의 복잡한 과정을 거친 후 다시 적층하여 제조되며, 상기 복잡한 공정으로 인해, 불량률이 높을 뿐만 아니라, 생산성 또한 떨어져 비용이 증가하는 문제점이 있다. 하지만, 본 발명에 따른 다층 인쇄회로기판의 제조방법은 공정을 단순화 함으로써, 제조시간을 단축시킬 수 있을 뿐만 아니라, 제조비용을 현저히 절감할 수 있는 장점이 있다. 나아가, 본 발명에 따른 다층 인쇄회로기판의 제조방법은 신뢰성이 우수하여, 대량생산 공정에서도 수율을 현저히 증가시킬 수 있는 장점이 있다.

- [60] 본 발명에 따른 다층 인쇄회로기판 제조방법의 간략한 흐름도를 도 1에 도시하였다. 도 1에 도시된 바와 같이, 본 발명에 따른 다층 인쇄회로기판은 베이스 기판 표면에 전도층 형성, 레지스트층 형성, 동도금층 형성 및 레지스트층과 전도층 제거 등 4 단계를 거쳐 제조될 수 있다.
- [61] 구체적으로, 상기 (S1) 단계는 상기 베이스 기판 상부의 제1표면에 전도층을 형성하는 단계로, 도 2에 도시된 바와 같이, 전도성 잉크를 이용한 정전식 스프레이에 의해 이루어질 수 있다. 상기 전도성 잉크는 용융 금속, 전도성 고분자, 금속염 또는 금속 나노 입자로 이루어진 군에서 선택되는 하나 이상 포함할 수 있으나, 본 발명에서는 금속 나노 입자를 선호한다. 구체적으로 상기 금속 나노 입자는 금, 은, 백금 및 구리 나노 입자로 이루어진 군에서 선택되는 하나 이상 일 수 있으며, 평균 입자크기 1 내지 100 nm, 총계는 10 내지 100 nm를 가질 수 있고, 상기 전도성 잉크 기준 10 내지 60 중량%, 총계는 15 내지 50 중량%를 포함할 수 있다. 상기 범위에서 상기 베이스 기판 상부의 제1표면에 용이하게 스프레이 될 수 있을 뿐만 아니라, 적은 비용으로도 높은 전기 전도도를 나타낼 수 있다. 또한 상기 전도성 잉크를 사용하여 정전식 스프레이에 의해 전도층을 형성함으로써, 평균 두께 5 내지 500nm의 전도층을 균일하게 형성할 수 있으며, 형성된 전도층의 산화 안정성을 개선할 수 있을 뿐만 아니라, 나아가, (S3) 단계에서 형성할 동도금층과의 우수한 접착력을 유지하여 도금두께의 편차를 현저히 줄일 수 있다.
- [62] 상기 (S2) 단계는 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계로, 구체적으로, 도 3에 도시된 바와 같이, 상기 베이스 기판 제1표면에 형성된 전도층 상에 레지스트 잉크를 인쇄하는 것일 수 있다. 상기 레지스트 잉크는 열경화형 잉크, 자외선 경화형 잉크 및 사진 현상형 잉크로 이루어진 군에서 선택되는 하나 이상 일 수 있으나, 이에 제한되는 것은 아니다. 구체적으로, 열경화형 잉크는 적외선 경화 잉크일 수 있으며, 에폭시 수지 및 아민계 경화제로 구성될 수 있다. 상기 열경화형 잉크는 인쇄 후, 열로 경화시킬 수 있다. 또한 자외선 경화형 잉크는 빛의 스펙트럼 중 자외선 영역에서 광반응에 의해 경화되는 잉크로서 에폭시 아크릴레이트 및 파장범위 200 내지 400 nm의 최대 흡수량을 가지는 개시제를 포함하며, 인쇄 후, 자외선으로 경화시킬 수 있다. 사진 현상형 잉크는 열과 자외선 혼합 경화형 잉크이다. 상기 레지스트 잉크를 상기 베이스 기판 제1표면에 형성된 홈 표면을 제외한 영역에 인쇄함으로써,

다음 단계에 수행할 동도금 과정을 위한 마스크 역할을 할 수 있다. 이는 부식과정을 통한 동도금층의 에칭단계를 생략할 수 있어, 기판의 손상을 방지하여, 기판상에 형성되는 회로의 성능향상에 유리하다. 나아가, 본 발명에 따른 다층 인쇄회로기판의 제조방법은 (S4) 단계에서 상기 레지스트층을 제거함으로써, 열경화 또는 자외선 경화 등 일련의 경화과정을 수행하지 않아도 되는 장점을 가지고 있어, 이에 따른 시간 및 비용을 현저히 줄일 수 있다.

- [63] 상기 (S3) 단계는 도 4에 도시된 바와 같이, 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계로, 구체적으로, 무전해도금 또는 전해도금에 의해 수행될 수 있으나, 이에 제한되는 것은 아니다. 상기 무전해도금은 전기를 사용하지 않고 화학적인 반응에 의한 환원도금하는 방법으로, 구체적으로, 상기 무전해도금에 사용되는 도금액은 농도 0.5 내지 2 M, 총계는 0.8 내지 1.8 M의 구리이온 및 환원제를 포함할 수 있다. 상기 구리이온은 황산동, 아세트산동, 염화동, 피로인산동 및 설펜산구리를 포함하는 수용성 금속염으로 이루어진 군에서 선택되는 하나 이상일 수 있으며, 상기 환원제는 포름알데히드를 사용할 수 있으나, 이에 제한되는 것은 아니다. 상기 도금액은 또한 수산화나트륨과 같은 pH 조정제; 및 약산과 그 알칼리 금속염과의 혼합 용액과 같은 pH 완충제를 더 포함함으로써, 상기 도금액의 pH 변화를 줄일 수 있다. 또한, 상기 도금액은 착화제를 더 포함함으로써 불용성 물질인 수산화동의 침전을 방지할 수 있으며, 구체적으로 상기 착화제는 주석산염, 구연산염, 트리에탄올아민 및 글리콜산으로 이루어진 군에서 선택되는 하나 이상 포함할 수 있으나, 이에 제한되는 것은 아니다.

- [64] 상기 전해도금은 전기를 사용하여 도금하는 방법으로, 구체적으로 도금하고자 하는 대상을 음극으로 하고, 전착하고자 하는 금속을 양극으로 하여, 전착시키고자 하는 금속의 이온을 함유한 도금액 속에 넣고, 전기를 공급하여 전해함으로써 금속 이온이 상기 도금 대상 물질의 표면에 전해 석출하는 것이다. 본 발명에서 상기 도금 대상 물질은 상기 (S2) 단계에서 제조된 전도층 및 레지스트층이 형성된 베이스 기판일 수 있으며, 상기 금속은 구리일 수 있다. 구체적으로, 상기 전해도금에 사용되는 도금액은 황산동을 동 공급원으로 하며, 농도 0.5~2 M, 총계는 0.8 내지 1.8 M일 수 있다. 또한 상기 도금액은 0.2 내지 0.8 M의 황산 및 5 내지 50 ppm의 염소를 포함할 수 있다. 상기 범위에서 상기 베이스 기판 제1표면에 형성된 홈 내부공간 전체에 동도금이 이루어질 수 있을 뿐만 아니라, 상기 (S2) 단계에서 형성된 레지스트층과 동일한 두께 범위인 평균 두께 2 내지 20 μm , 총계는 3 내지 18 μm 를 가지는 동도금층을 균일하게 형성할 수 있어, 상기 전도층과의 우수한 접착력을 나타낼 수 있다.

- [65] 상기 (S4) 단계는 도 5에 도시된 바와 같이, 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계로, 박리액을 사용하여 수행할 수 있으며, 구체적으로 1 내지 3 중량%의 수산화나트륨 또는 수산화칼륨을 사용하여 박리제거할 수 있으나, 이에 제한되는 것은 아니다. 상기 과정을 통해, 신속하고

간편하게 레지스트층 및 레지스트층 하부의 전도층을 동시에 제거할 수 있을 뿐만 아니라, 베이스 기판 표면 상에 잔여물 없이 깨끗하게 제거할 수 있다.

- [66] 상기 베이스 기판은 유리포 에폭시, 종이 페놀 및 종이 에폭시로 이루어진 군에서 선택되는 하나 이상을 포함하는 기판일 수 있다. 구체적으로, 상기 유리포 에폭시는 유리포에 에폭시 수지를 함침시킨 것이며, 종이 페놀은 크라프트지 (Graft paper)에 페놀수지를 함침한 후 적층한 것이고, 종이 에폭시는 크라프트지에 에폭시 수지를 함침시킨 것이다. 상기 베이스 기판은 평균 두께 20 내지 100 μm , 종게는 30 내지 90 μm 일 수 있으나, 이에 제한되는 것은 아니다.
- [67] 본 발명의 일 실시예에 따른 다층 인쇄회로기판의 제조방법은 상기 (S4) 단계 후, (S5) 상기 레지스트층 및 레지스트층 하부의 전도층이 제거된 베이스 기판 상에 프리프레그 (Prepreg)를 적층하는 단계; (S6) 상기 프리프레그 상부 표면에 홈을 형성하는 단계; (S7) 상기 홈이 형성된 프리프레그 상부 표면에 전도층을 형성하는 단계; (S8) 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계; (S9) 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계; 및 (S10) 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계;를 더 포함하며, 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 1회 이상 반복하는 단계를 포함할 수 있으며, 상기 (S3) 단계 및 (S9) 단계에서 형성된 동도금층은 (S7) 단계에서 형성된 전도층에 의해 서로 연결될 수 있다. 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 1회 이상 반복함으로써, 원하는 층수를 가지는 다층 인쇄회로기판을 제조할 수 있으며, 나아가, 상기 과정을 포함함으로써 별도의 압축과정 없이도, 각 층 사이의 우수한 접착력을 나타내는 다층 구조를 형성할 수 있고,
- [68] 구체적으로, 상기 (S5) 단계는 도 6에 도시된 바와 같이, 베이스 기판 상에 프리프레그를 적층하는 단계로, 상기 레지스트층 및 레지스트층 하부의 전도층이 제거된 베이스 기판상에 적층하여 형성할 수 있다. 구체적으로 상기 프리프레그는 에폭시 수지로써, B-Stage, 즉 완전히 경화되지 않아 무른 고체 상태에 있는 경화단계의 물질로, 상기 베이스 기판 상에 위치하여 절연층 역할을 수행할 수 있다.
- [69] 상기 (S6) 단계는 홈을 형성하는 단계로, 구체적으로 도 7에 도시된 바와 같이, 상기 (S5) 단계에서 적층된 프리프레그 상에 레이저 드릴링을 이용하여 홈을 형성할 수 있다. 상기 레이저 드릴링을 사용함으로써 홈의 형상이나 깊이 제어가 용이할 뿐만 아니라, 내층 회로층에 대한 손상을 현저히 줄일 수 있다. 상기 레이저 드릴링은 CO₂ 레이저, YAG (Yttrium Aluminium Garnet) 레이저 등을 이용할 수 있으나, 이에 제한되는 것은 아니다.
- [70] 상기 (S7) 단계는 상기 프리프레그 상에 전도층을 형성하는 단계로, 도 8에 도시된 바와 같이, 상기 홈이 형성된 프리프레그 상부 표면 전체에 상술한 (S1) 단계와 동일하게, 전도성 잉크를 이용한 정전식 스프레이에 의해 이루어질 수 있다. 상기 전도성 잉크는 평균 입자크기 1 내지 100 nm, 종게는 10 내지 100 nm인

금속 나노 입자를 포함할 수 있으며, 구체적으로 금, 은, 백금 및 구리 나노 입자로 이루어진 군에서 선택되는 하나 이상 일 수 있으며, 상기 전도성 잉크 기준 10 내지 60 중량%, 종계는 15 내지 50 중량%를 포함할 수 있다. 상기 범위에서 균일한 두께의 전도층을 형성할 수 있어 높은 전기 전도도를 나타낼 수 있다.

- [71] 상기 (S8) 단계는 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계로, 구체적으로 도 9에 도시된 바와 같이, 상기 프리프레그 표면에 형성된 홈 표면을 제외한 영역에 형성된 전도층 상에 레지스트 잉크를 인쇄하는 것일 수 있다. 상기 레지스트 잉크는 앞서 설명한 바와 같이, 열 경화형 잉크, 자외선 경화형 잉크 및 사진 현상형 잉크로 이루어진 군에서 선택되는 하나 이상 일 수 있으나, 이에 제한되는 것은 아니다. 또한, 상기 레지스트 잉크를 상기 프리프레그 표면에 형성된 홈 표면을 제외한 영역에 인쇄함으로써, 다음 단계에서 수행할 동도금 과정을 위한 마스킹 역할을 할 수 있을 뿐만 아니라, (S10) 단계에서 상기 레지스트 잉크를 제거하기에, 별도의 경화과정을 수행하지 않아도 되는 장점을 가진다.
- [72] 상기 (S9) 단계는 도 10에 도시된 바와 같이, 동도금 단계로 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 것으로, 상기 (S3) 단계와 동일하게 무전해도금 또는 전해도금에 의해 수행될 수 있으나, 이에 제한되는 것은 아니다. 상기 과정에 의해 형성된 동도금층은 상기 (S8) 단계에서 형성된 레지스트층과 동일한 두께 범위인 평균 두께 2 내지 20 μm , 종계는 3 내지 18 μm 를 가지는 동도금층을 균일하게 형성할 수 있어, 상기 전도층과의 우수한 접착력을 나타낼 수 있다.
- [73] 상기 (S10) 단계는 도 11에 도시된 바와 같이, 상기 레지스트층 및 레지시트층 하부의 전도층을 제거하는 단계로, 박리액을 사용하여 박리제거할 수 있으나, 이에 제한되는 것은 아니다. 상기 과정을 통해, 잔여물 없이 깨끗하고 효율적으로 제거가 가능하다.
- [74] 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 반복함으로써, 적층 구조의 다층 인쇄회로기판을 제작할 수 있다. 구체적으로, 상기 적층 구조는 2 내지 50층, 종계는 4 내지 40층으로 적층 할 수 있으며, 적층 후, 60 내지 150°C, 종계는 80 내지 150°C에서 0.1 내지 0.8 MPa, 종계는 0.2 내지 0.6 MPa 조건에서 열압착을 수행할 수 있다.
- [75] 또한 상기 (S3) 및 (S9) 단계에서 형성된 동금층은 상기 (S7) 단계에서 형성된 전도층에 의해 서로 연결된 것일 수 있다. 즉, 상기 (S9) 단계에서 형성된 프리프레그 상의 동도금층과 (S3) 단계에서 형성된 베이스 기판 상의 동도금층은 상기 (S7) 단계에서 형성된 전도층을 사이에 두고 서로 연결되어 있어, 각 적층 구조를 서로 전기적으로 연결시킬 수 있다.
- [76] 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 반복하는 단계를 수행한 후, 도 12에 도시된 바와 같이, 상기 동도금층 상에 동도금층을 보호하는 솔더레지스트

(Solder Resist)를 인쇄하는 단계를 더 포함할 수 있다. 구체적으로, 상기 솔더레지스트는 상술한 레지스트 잉크를 이용하여 인쇄하는 것일 수 있으며, 인쇄단계 후, 건조하는 단계를 더 포함할 수 있다. 상기 건조단계는 사용하는 잉크의 종류에 따라 달라질 수 있으며, 구체적으로, 열 경화형 잉크일 경우에는 80 내지 200°C에서 5분 내지 40분 동안 경화시킬 수 있으며, 자외선 경화형 잉크일 경우에는 20 내지 250 W/cm, 종계는 30 내지 220 W/cm 세기의 자외선에 노출하는 방법으로 경화시킬 수 있다. 상술한 바와 같이 동도금층 상에 솔더레지스트층을 형성함으로써, 표면 회로간의 쇼트방지, 표면 회로간의 전기 절연성의 안정적인 유지 및 공기중 산화를 방지함으로써 회로 자체의 저항발생을 방지하고, 외부 충격 등 영향으로부터 보호할 수 있다.

[77] 본 발명의 일 실시예에 따른 다층 인쇄회로기판의 제조방법은 상기 베이스 기판 하부의 제2표면에 상기 (S1) 내지 (S4) 단계를 수행하는 것을 더 포함할 수 있다. 구체적으로, 상기 베이스 기판 하부의 제2표면에 전도층을 형성하는 단계, 상기 전도층 위에 패터닝된 레지스트층을 형성하는 단계, 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계, 및 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계를 수행함으로써, 다층 인쇄회로기판의 양면 모두를 전자부품 탑재 등 용도로 사용할 수 있다.

[78] 상기 전도층은 금, 은, 백금 및 구리 나노입자로 이루어진 군에서 선택되는 하나 이상의 금속 나노 입자를 포함하는 전도성 잉크를 이용한 정전식 스프레이에 의해 이루어질 수 있다. 구체적으로, 상기 전도성 잉크는 상기 금속 나노 입자 10 내지 60 중량%, 종계는 15 내지 50 중량%를 포함할 수 있으며, 상기 금속 나노 입자는 평균 입자크기 1 내지 100 nm를 가질 수 있다. 상기 범위에서 상기 베이스 기판 하부의 제2표면 전체에 평균 두께 5 내지 500nm의 균일한 전도층을 형성할 수 있으며, 다음 단계에서 형성할 동도금층을 위한 “예비층” 역할을 할 수 있다. 여기서 “예비층”은 균일한 동도금층 형성을 위한 것으로, 상기 동도금층을 상기 베이스 기판 하부의 제2표면에 직접 형성하는 것보다, 상술한 바와 같이 형성한 “예비층”, 즉 전도층 상에 형성하는 경우, 훨씬 우수한 접착력 및 균일한 두께로 도금될 수 있어, 기존의 동도금층 형성과정에서 발생하는 두께 불균일 및 낮은 접착력 등 문제를 해결할 수 있다.

[79] 상기 레지스트층은 상기 전도층 위에 일정한 간격을 두고 패터닝되어 형성되는 층으로써, 구체적으로 열 경화형 잉크, 자외선 경화형 잉크 및 사진 현상형 잉크로 이루어진 군에서 선택되는 하나 이상의 레지스트 잉크를 인쇄하여 형성할 수 있다. 상기 레지스트층은 기존의 다층 인쇄회로기판 상의 레지스트층과는 달리, 별도의 경화과정이 필요하지 않으며, 다음 단계에서 수행할 동도금층 형성을 위한 절연 및 마스크 역할한다. 상술한 방법을 통하여, 동도금층을 에칭하는 과정 없이도, 일정한 패턴으로 동도금이 가능하며, 나아가, 상기 에칭과정에 따른 기판의 손상 및 동도금층의 데미지를 현저히 줄일 수 있어, 성능을 향상시킬 수 있다.

- [80] 상기 동도금층은 구리이온을 포함하는 도금액을 이용한 무전해도금 또는 황산구리를 포함하는 도금액을 이용한 전해도금에 의해 형성될 수 있다. 구체적으로 상기 도금액은 농도 0.5 내지 2 M, 종계는 0.8 내지 1.8 M의 구리이온 포함할 수 있으며, 상기 동도금층의 평균 두께는 2 내지 20 μm , 종계는 3 내지 18 μm 를 가질 수 있다. 상기 범위에서 전 단계에서 형성한 전도층과의 우수한 접착력을 나타낼 수 있을 뿐만 아니라, 동도금층의 두께 편차를 줄일 수 있다.
- [81] 상기 동도금층 형성 후, 상기 레지스트층 및 레지스트층 하부의 전도층을 박리액을 사용하여 박리제거 할 수 있다. 구체적으로, 상기 박리액은 수산화나트륨 또는 수산화칼륨을 사용할 수 있으나, 이에 제한되는 것은 아니다. 본 발명에 따른 상기 레지스트층은 앞서 서술한 바와 같이 경화과정을 거치지 않았으므로, 신속하고 정확하게 제거가 가능하다.
- [82] 본 발명에 따른 다층 인쇄회로기판의 제조방법은 상기 (S4) 단계 후, 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 1회이상 반복하는 단계를 더 포함하는 단계를 더 포함할 수 있다. 구체적인 방법은 앞서 서술한 상기 베이스 기판 상부의 제1표면에 수행하는 (S5) 내지 (S10) 단계와 동일할 수 있다.
- [83] 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 반복하는 단계를 수행한 후, 상기 동도금층 상에 동도금층을 보호하는 솔더레지스트 (Solder Resist)를 인쇄하는 단계를 더 포함할 수 있다. 구체적인 방법은 앞서 서술한 상기 베이스 기판 상부의 제1표면에 수행되는 솔더레지스트 인쇄단계와 동일할 수 있다.
- [84] 본 발명은 또한 도 13에 도시된 바와 같이, 베이스 기판 (110); 상기 베이스 기판 상부의 제1표면에 형성된 전도층 (120); 상기 전도층 상에 형성된 동도금층 (130); 상기 동도금층 상에 형성된 프리프레그 (140); 상기 프리프레그 상부 표면에 형성된 전도층 (150); 상기 전도층 상에 형성된 동도금층 (160); 및 적층된 구조의 최외층인 동도금층을 덮는 솔더레지스트층 (170);을 포함하는 다층 인쇄회로기판 (100)을 제공한다. 본 발명에 따른 다층 인쇄회로기판은 상기 전도층 및 동도금층 간의 접착력이 우수하여 층간의 계면저항이 현저히 감소되어 우수한 전기적 접속을 형성할 수 있다. 나아가, 반복사용에 따른 온도 상승 및 열팽창률 증가에 따른 파손율을 감소시킬 수 있어, 제품의 신뢰성이 향상되는 장점이 있다.
- [85] 본 발명에 따른 다층 인쇄회로기판은 상기 베이스 기판 하부의 제2 표면에 상기 제1 표면과 동일하게, 베이스 기판 상에 형성된 전도층, 상기 전도층 상에 형성된 동도금층, 상기 동도금층 상에 형성된 프리프레그, 상기 프리프레그 상에 형성된 전도층, 상기 전도층 상에 형성된 동도금층 및 적층된 구조의 최외층인 동도금층을 덮는 솔더레지스트층을 더 포함함으로써, 양면 다층 인쇄회로기판으로 사용할 수 있다.
- [86]
- [87] (부호의 설명)
- [88] 100: 다층 인쇄회로기판; 110: 베이스 기판

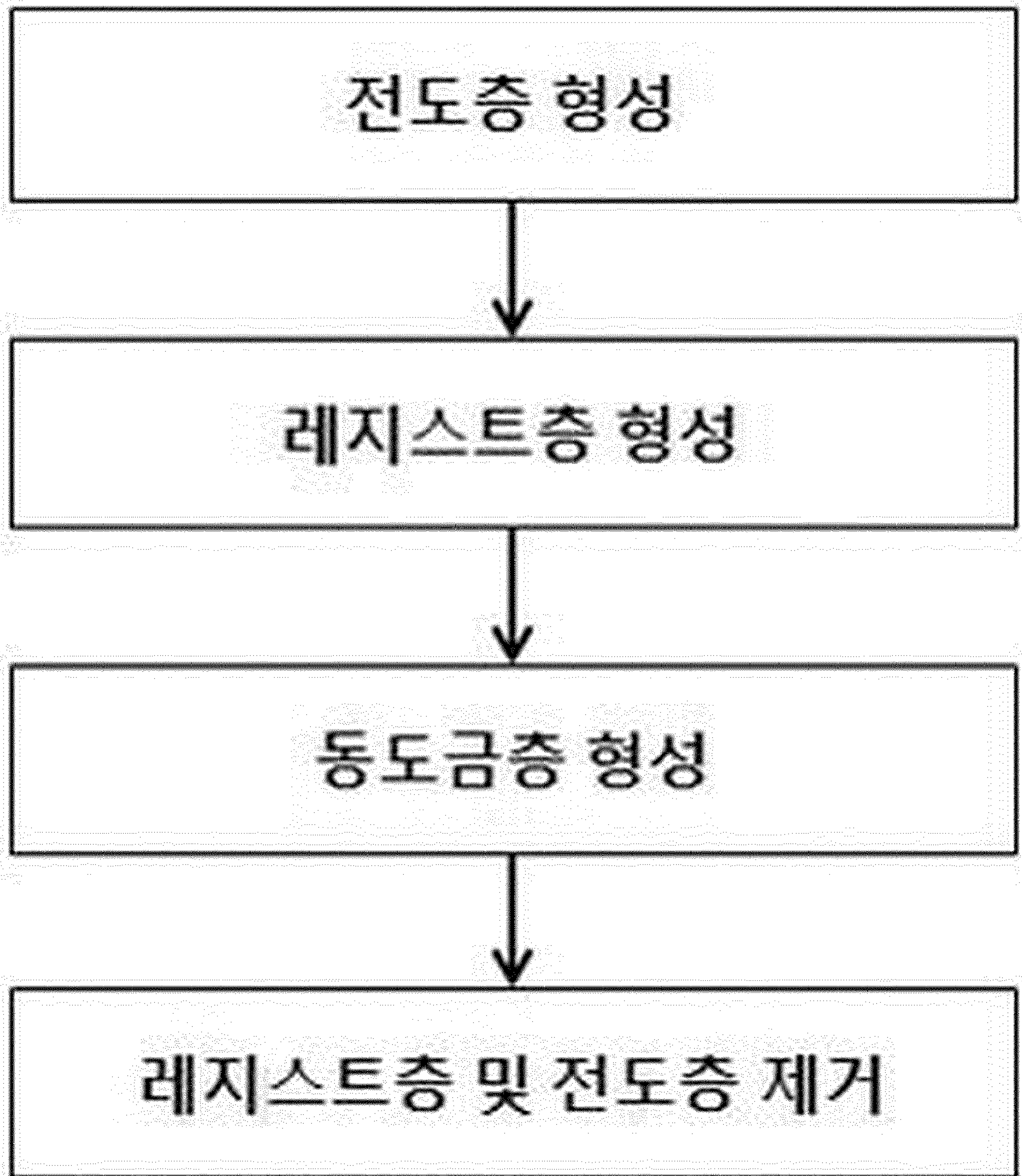
- [89] 120, 150: 전도층; 130, 160: 동도금층
[90] 140: 프리프레그; 170: 솔더레지스트층

청구범위

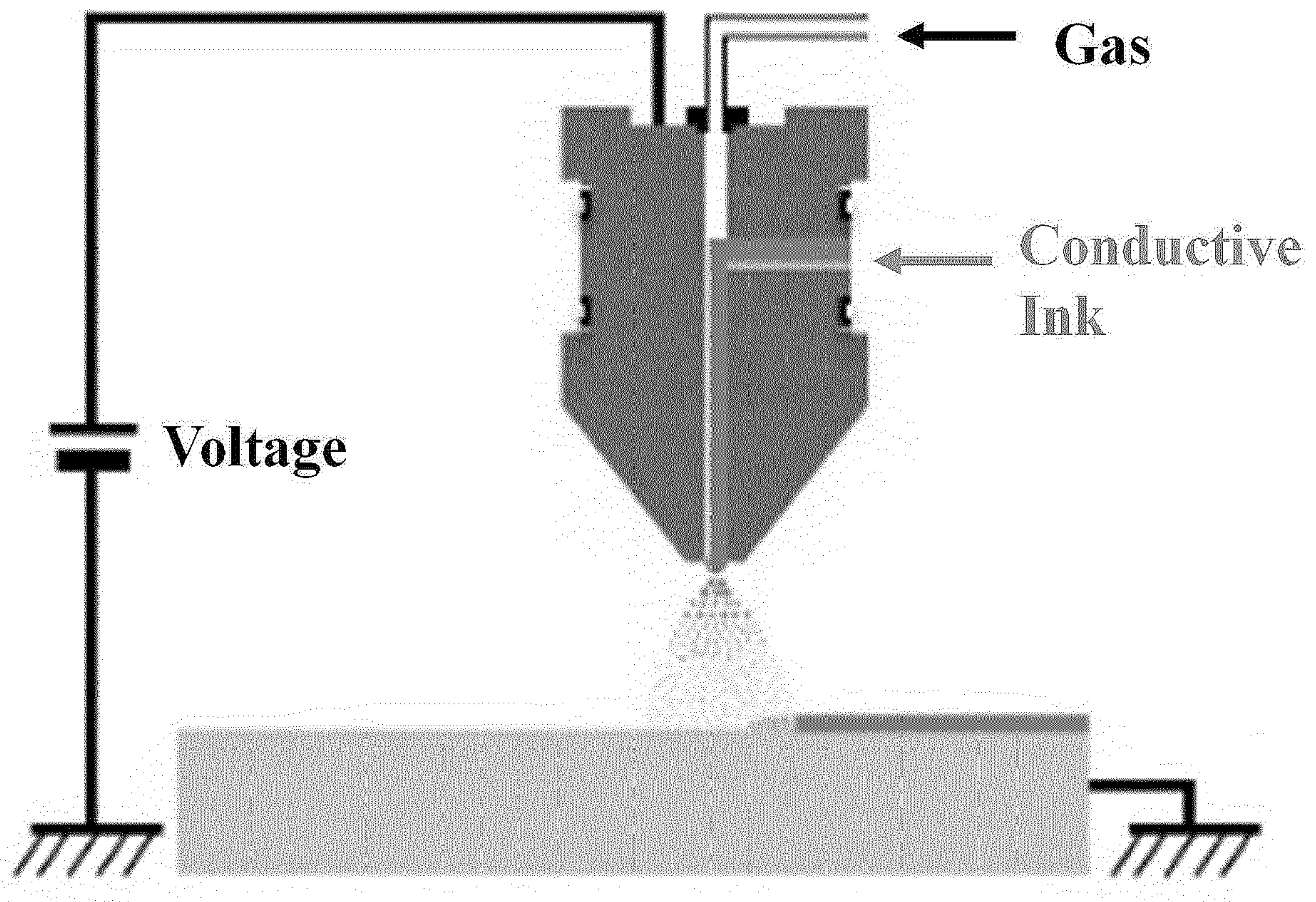
- [청구항 1] (S1) 베이스 기판 상부의 제1표면에 전도층을 형성하는 단계;
 (S2) 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계;
 (S3) 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계; 및
 (S4) 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계;를 포함하는 다층 인쇄회로기판의 제조방법.
- [청구항 2] 제1항에 있어서,
 상기 (S1) 단계는 전도성 잉크를 이용한 정전식 스프레이 (Electrostatic spray)에 의해 이루어지는 것인 다층 인쇄회로기판의 제조방법.
- [청구항 3] 제1항에 있어서,
 상기 (S2) 단계는 상기 베이스 기판 제1표면에 형성된 전도층 상에 레지스트 잉크를 인쇄하는 것인 다층 인쇄회로기판의 제조방법.
- [청구항 4] 제1항에 있어서,
 상기 (S4) 단계 후,
 (S5) 상기 레지스트층 및 레지스트층 하부의 전도층이 제거된 베이스 기판 상에 프리프레그 (Prepreg)를 적층하는 단계;
 (S6) 상기 프리프레그 상부 표면에 홈을 형성하는 단계;
 (S7) 상기 홈이 형성된 프리프레그 상부 표면에 전도층을 형성하는 단계;
 (S8) 상기 전도층 위에 패턴화된 레지스트층을 형성하는 단계;
 (S9) 상기 전도층 상에 레지스트층이 형성되지 않은 영역에 동도금층을 형성하는 단계; 및
 (S10) 상기 레지스트층 및 레지스트층 하부의 전도층을 제거하는 단계;를 더 포함하며,
 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 1회 이상 반복하는 단계를 포함하고,
 상기 (S3) 단계 및 (S9) 단계에서 형성된 동도금층은 (S7) 단계에서 형성된 전도층에 의해 서로 연결된 다층 인쇄회로기판의 제조방법.
- [청구항 5] 제4항에 있어서,
 상기 (S8) 단계는 상기 프리프레그 표면에 형성된 홈 표면을 제외한 영역에 형성된 전도층 상에 레지스트 잉크를 인쇄하는 것인 다층 인쇄회로기판의 제조방법.
- [청구항 6] 제4항에 있어서,
 상기 (S6) 단계는 레이저 드릴링에 의해 홈을 형성하는 것인 다층 인쇄회로기판의 제조방법.
- [청구항 7] 제4항에 있어서,
 상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 반복하는 단계를 수행한

- 후 후, 상기 동도금층 상에 동도금층을 보호하는 솔더레지스트 (Solder Resist)를 인쇄하는 단계를 더 포함하는 다층 인쇄회로기판의 제조방법.
- [청구항 8] 제1항에 있어서,
상기 베이스 기판은 유리포 에폭시, 종이 페놀 및 종이 에폭시로 이루어진 군에서 선택되는 하나 이상을 포함하는 기판인 다층 인쇄회로기판의 제조방법.
- [청구항 9] 제4항에 있어서,
상기 베이스 기판 하부의 제2표면에 상기 (S1) 내지 (S4) 단계를 수행하는 것을 더 포함하는 다층 인쇄회로기판의 제조방법.
- [청구항 10] 제9항에 있어서,
상기 (S4) 단계 후,
상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 1회 이상 반복하는 단계를 더 포함하는 다층 인쇄회로기판의 제조방법.
- [청구항 11] 제10항에 있어서,
상기 (S5) 내지 (S10) 단계를 단위공정으로 하여 반복하는 단계를 수행한 후, 상기 동도금층 상에 동도금층을 보호하는 솔더레지스트 (Solder Resist)를 인쇄하는 단계를 더 포함하는 다층 인쇄회로기판의 제조방법.
- [청구항 12] 제1항 내지 제11항에서 선택되는 어느 한 항에 따라 제조된 다층 인쇄회로기판.

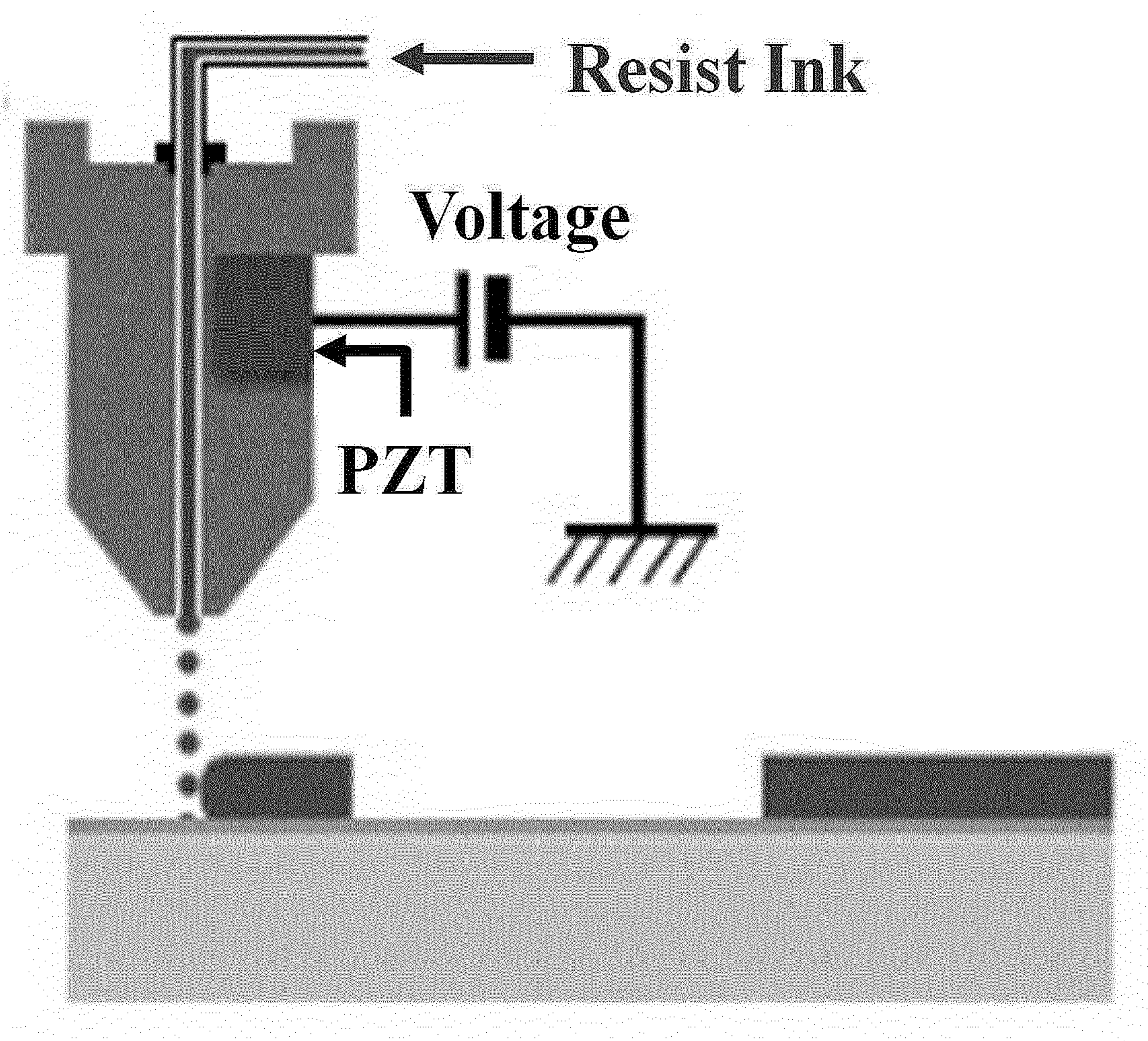
[도1]



[도2]

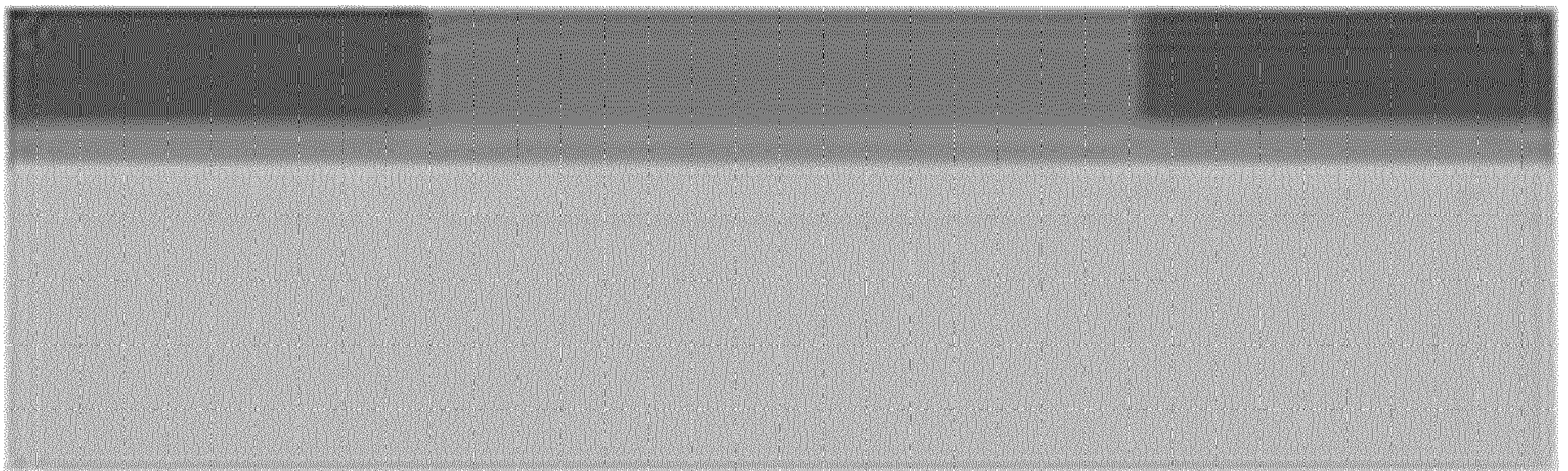
**Electrostatic Spray Process**

[도3]

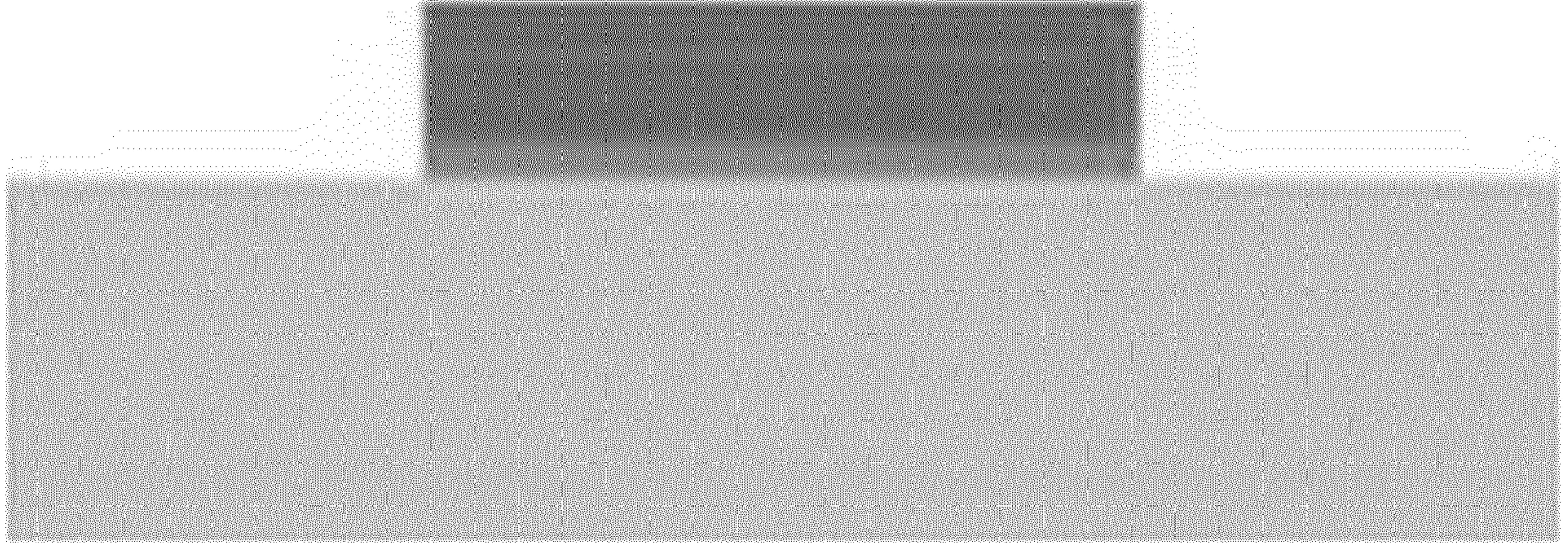


Inkjet Printing Process

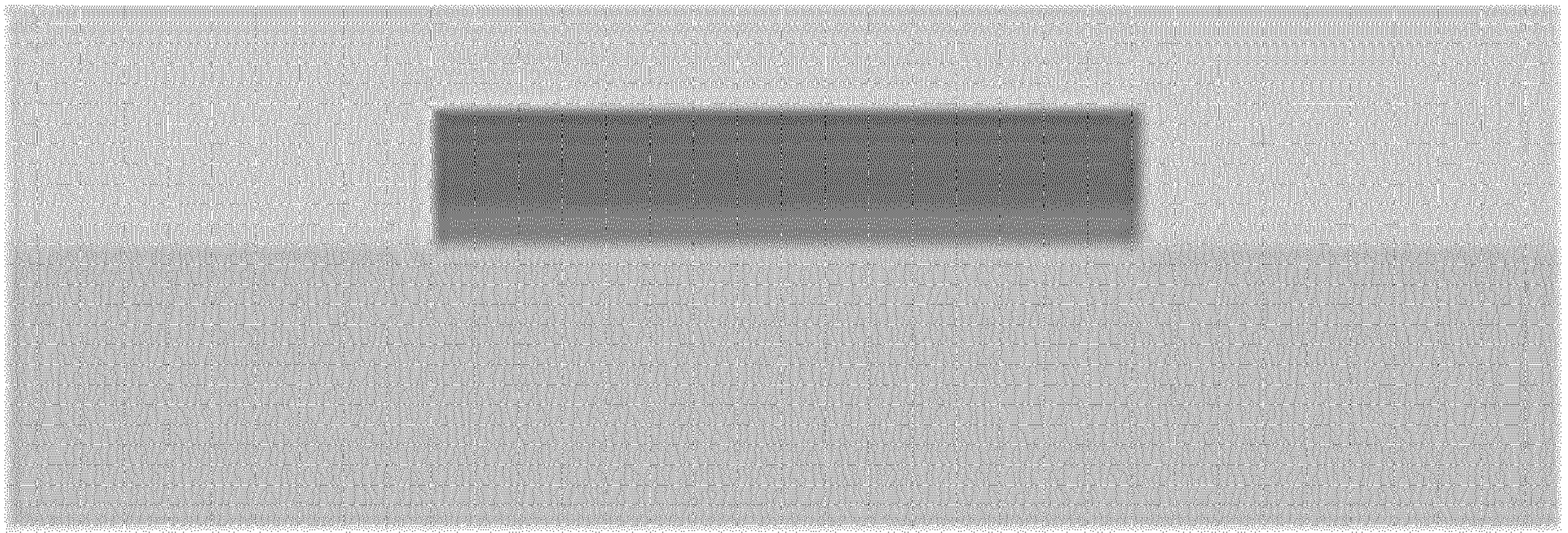
[도4]



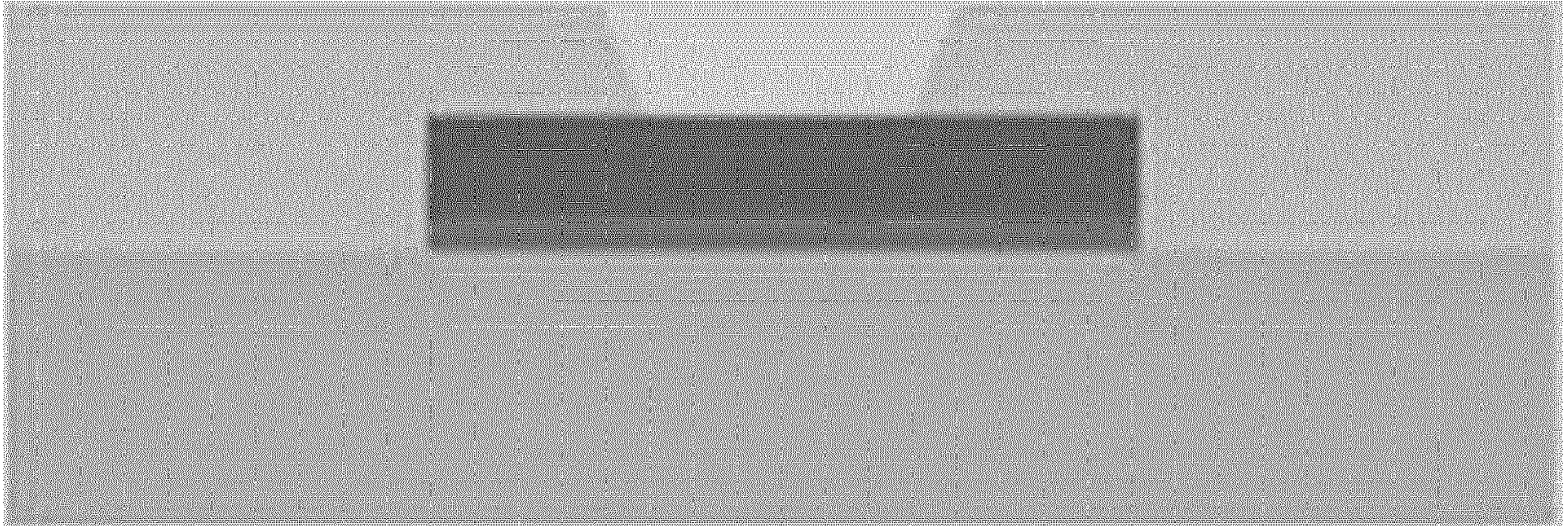
[도5]



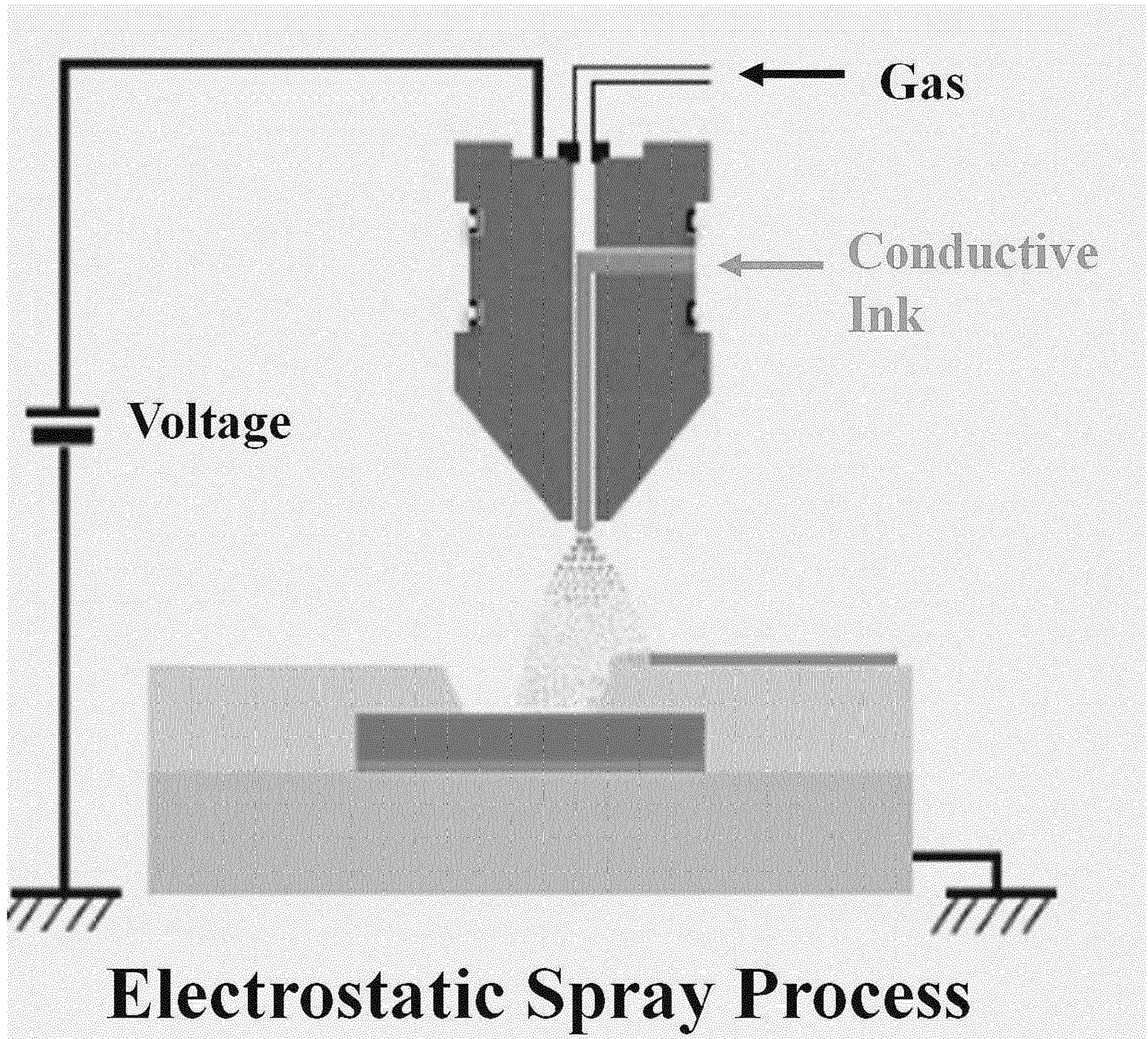
[도6]



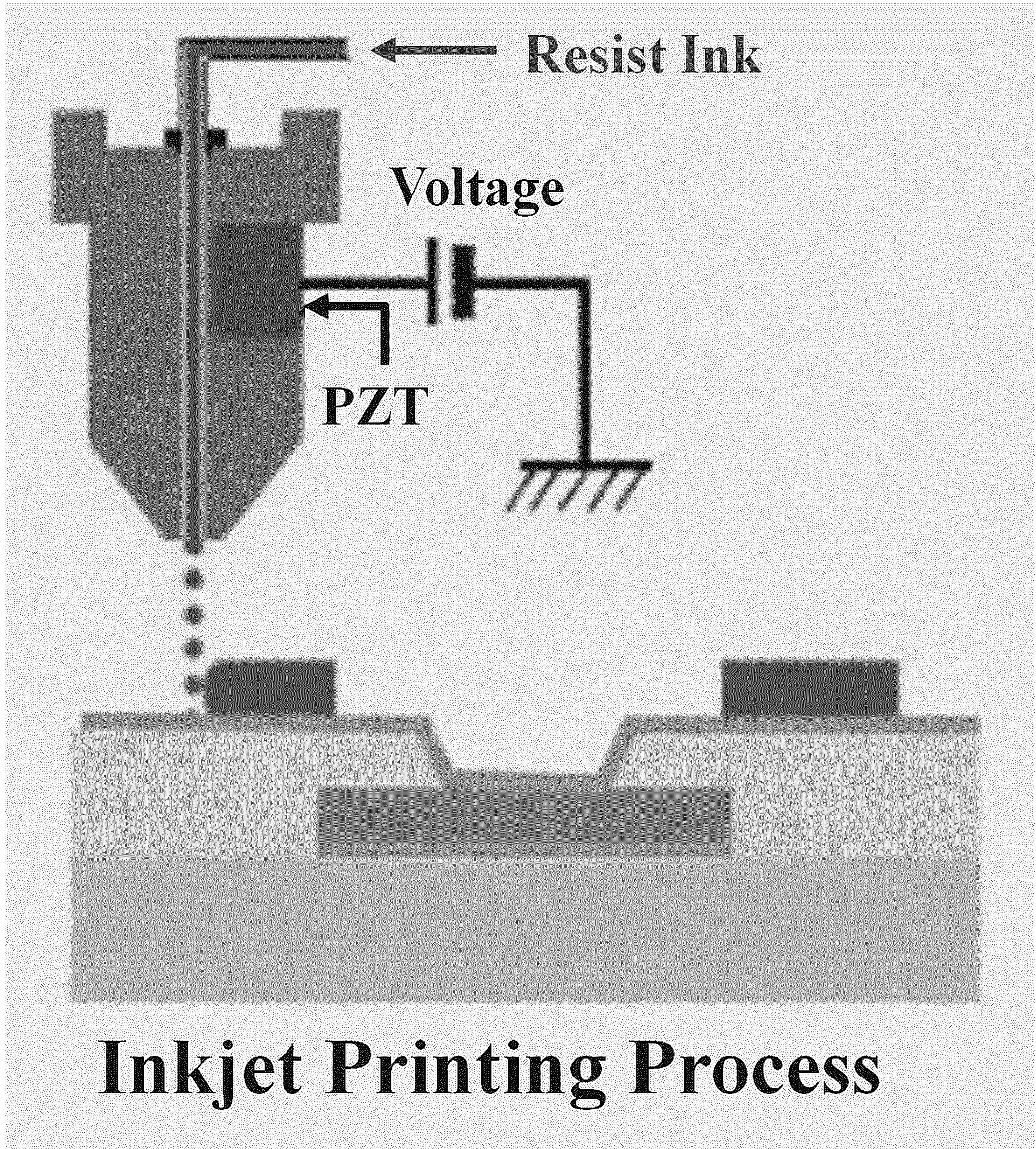
[도7]



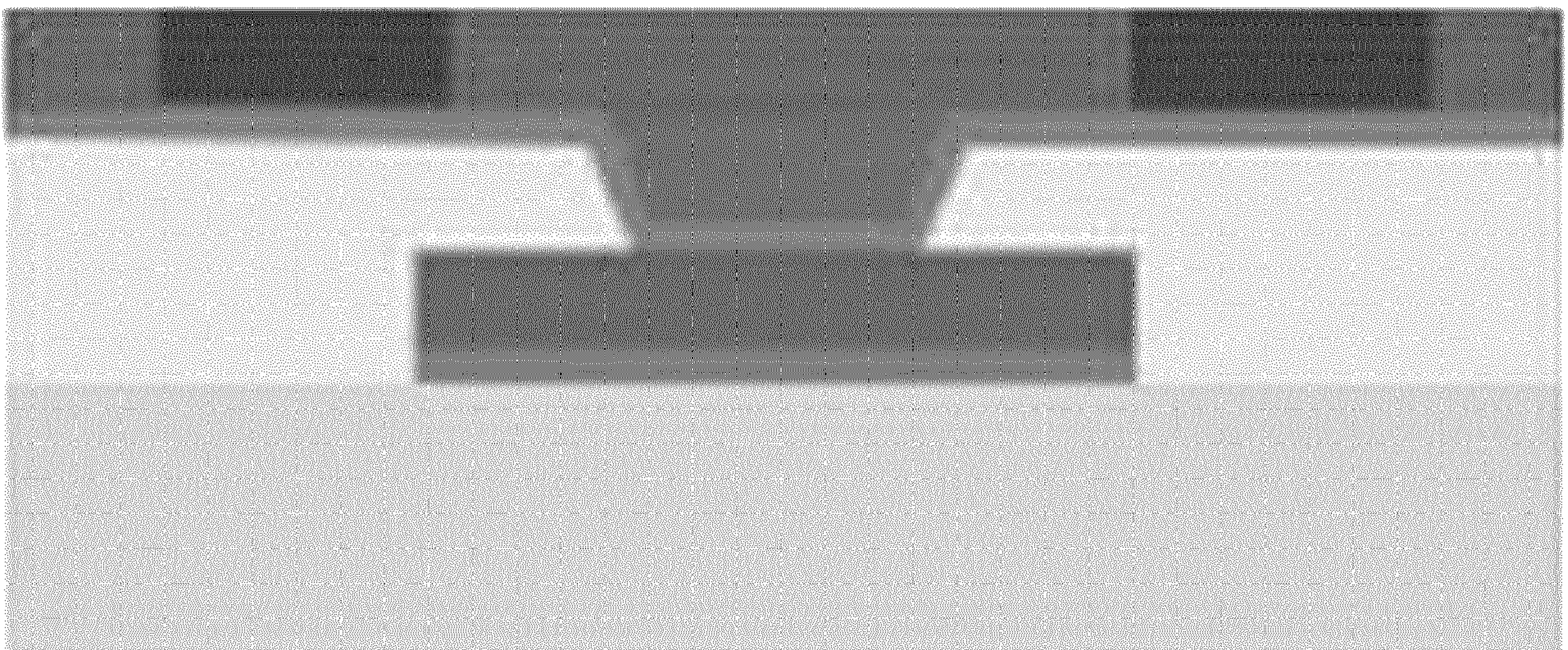
[도8]



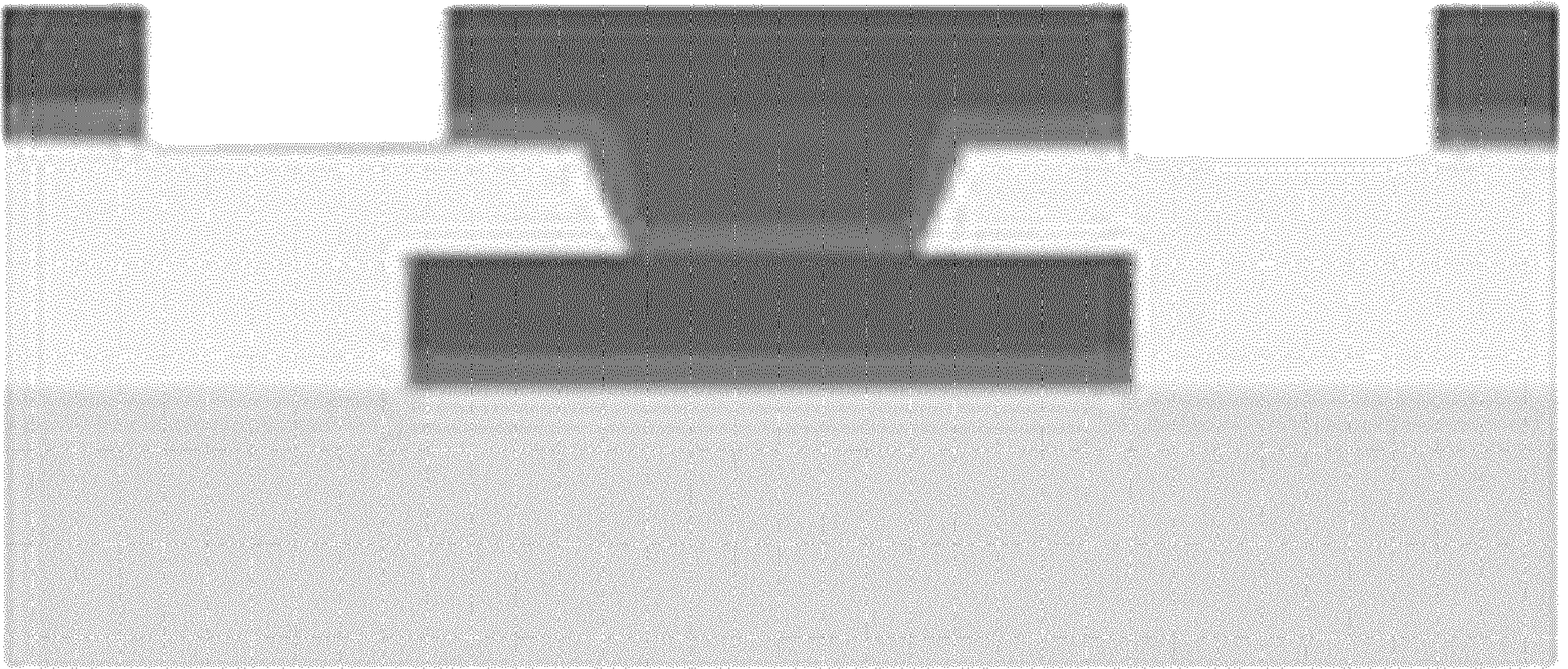
[도9]



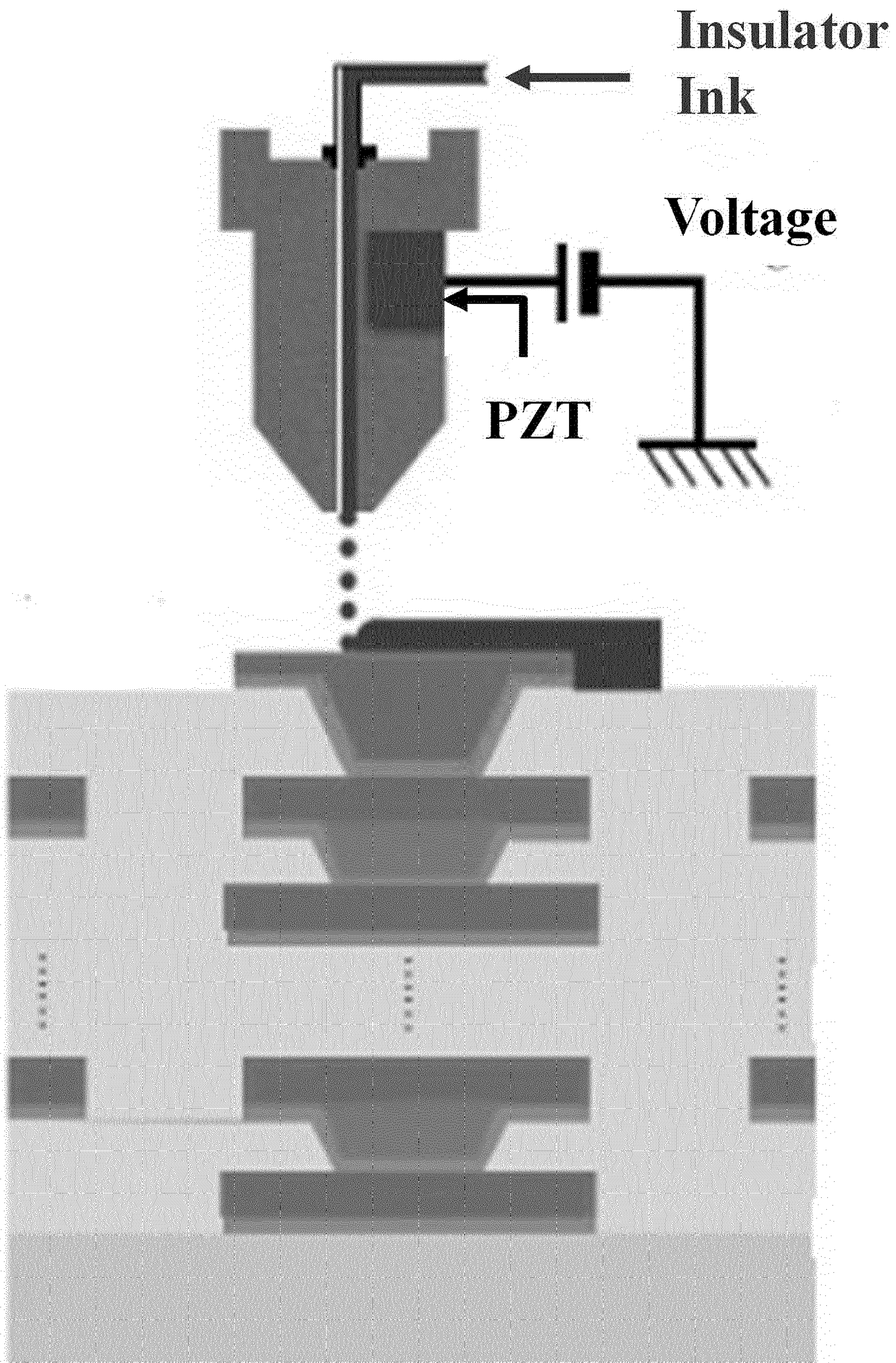
[도10]



[도11]

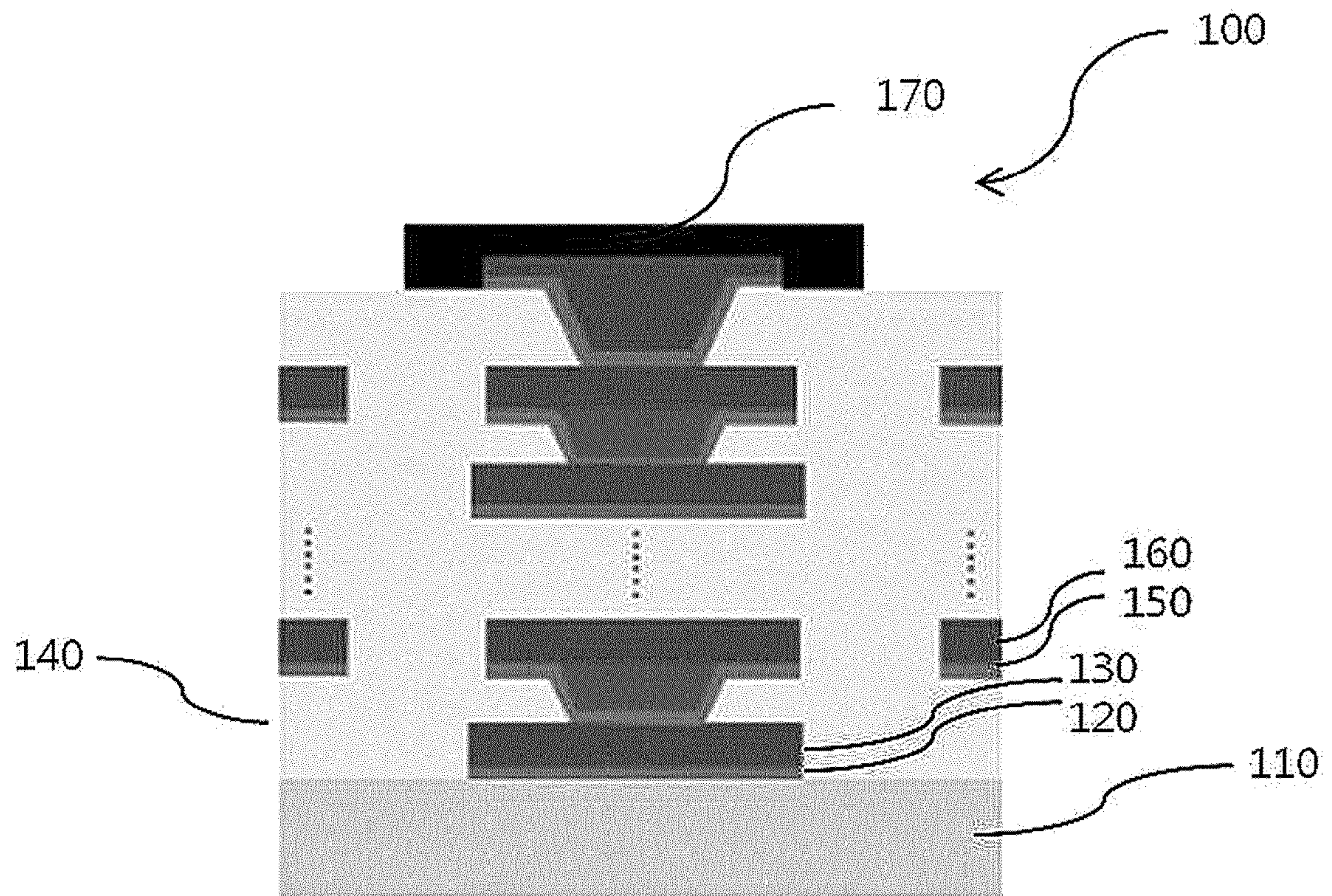


[도12]



Inkjet Printing Process

[도13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/011159

A. CLASSIFICATION OF SUBJECT MATTER

H05K 3/12(2006.01)i; H05K 3/18(2006.01)i; H05K 3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K 3/12; B05D 1/06; B05D 5/06; H05K 3/06; H05K 3/18; H05K 3/24; H05K 3/28; H05K 3/38; H05K 3/40; H05K 3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 전도층(conductive layer), 레지스트층(resist layer), 동도금층(copper plating layer), 다층 인쇄회로기판(multilayer printed circuit board)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2011-0078835 A (DOOSAN CORPORATION) 07 July 2011. See paragraphs [0024]-[0069] and figures 4a-4b.	1,3-6,8-10,12
Y		2,7,11
Y	JP 2013-525102 A (DE HELLER DESIGN B.V.) 20 June 2013. See paragraph [0041] and figures 1-4.	2
Y	KR 10-2013-0057314 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 31 May 2013. See paragraphs [0069]-[0070] and figure 20.	7,11
A	KR 10-0771293 B1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 29 October 2007. See paragraphs [0046]-[0106] and figures 3-5m.	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“D” document cited by the applicant in the international application	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“E” earlier application or patent but published on or after the international filing date	“&” document member of the same patent family
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

27 November 2020

Date of mailing of the international search report

27 November 2020

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/011159

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2012-0079260 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 12 July 2012. See paragraphs [0042]-[0051] and figures 2-11.	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2020/011159

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2011-0078835	A	07 July 2011	None			
JP	2013-525102	A	20 June 2013	AU	2011-247636	A1	15 November 2012
				AU	2011-247636	B2	08 September 2016
				CA	2797470	A1	03 November 2011
				CA	2797470	C	05 November 2019
				CN	105127069	A	09 December 2015
				CN	102905800	A	30 January 2013
				CN	102905800	B	22 July 2015
				CN	105127069	B	08 June 2018
				EP	2563525	A1	06 March 2013
				JP	5986069	B2	06 September 2016
				NL	2004623	C2	31 October 2011
				RU	2569082	C2	20 November 2015
				RU	2012150922	A	10 June 2014
				US	2013-0236653	A1	12 September 2013
				US	2014-0377474	A1	25 December 2014
				US	8828497	B2	09 September 2014
				US	10000848	B2	19 June 2018
				WO	2011-134956	A1	03 November 2011
KR	10-2013-0057314	A	31 May 2013	US	9042113	B2	26 May 2015
				US	2013-0126224	A1	23 May 2013
KR	10-0771293	B1	29 October 2007	None			
KR	10-2012-0079260	A	12 July 2012	KR	10-1194552	B1	24 October 2012

A.발명이 속하는 기술분류(국제특허분류(IPC))
H05K 3/12(2006.01)i, H05K 3/18(2006.01)i, H05K 3/46(2006.01)i

B.조사된 분야
조사된 최소문헌(국제특허분류를 기재)
H05K 3/12; B05D 1/06; B05D 5/06; H05K 3/06; H05K 3/18; H05K 3/24; H05K 3/28; H05K 3/38; H05K 3/40; H05K 3/46
조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 전도층(conductive layer), 레지스트층(resist layer), 동도금층(copper plating layer), 다층 인쇄회로기판(multilayer printed circuit board)

C.관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2011-0078835 A (주식회사 두산) 2011.07.07 단락 [0024]-[0069] 및 도면 4a-4b 참조. JP 2013-525102 A (DE HELLER DESIGN B.V.) 2013.06.20 단락 [0041] 및 도면 1-4 참조. KR 10-2013-0057314 A (삼성전기주식회사) 2013.05.31 단락 [0069]-[0070] 및 도면 20 참조. KR 10-0771293 B1 (삼성전기주식회사) 2007.10.29 단락 [0046]-[0106] 및 도면 3-5m 참조. KR 10-2012-0079260 A (삼성전기주식회사) 2012.07.12 단락 [0042]-[0051] 및 도면 2-11 참조.	1,3-6,8-10,12
Y		2,7,11
Y		2
Y		7,11
A		1-12
A		1-12

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
“D” 본 국제출원에서 출원인이 인용한 문헌
“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신
에 공개된 선출원 또는 특허 문헌 규정 또는 진보성이 없는 것으로 본다.
“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과
또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명
은 진보성이 없는 것으로 본다.
“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일
2020년 11월 27일 (27.11.2020)

국제조사보고서 발송일
2020년 11월 27일 (27.11.2020)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
강민정
전화번호 +82-42-481-8131



서식 PCT/ISA/210 (두 번째 용지) (2019년 7월)

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2011-0078835 A	2011/07/07	없음	
JP 2013-525102 A	2013/06/20	AU 2011-247636 A1 AU 2011-247636 B2 CA 2797470 A1 CA 2797470 C CN 102905800 A CN 102905800 B CN 105127069 A CN 105127069 B EP 2563525 A1 JP 5986069 B2 NL 2004623 C2 RU 2012150922 A RU 2569082 C2 US 10000848 B2 US 2013-0236653 A1 US 2014-0377474 A1 US 8828497 B2 WO 2011-134956 A1	2012/11/15 2016/09/08 2011/11/03 2019/11/05 2013/01/30 2015/07/22 2015/12/09 2018/06/08 2013/03/06 2016/09/06 2011/10/31 2014/06/10 2015/11/20 2018/06/19 2013/09/12 2014/12/25 2014/09/09 2011/11/03
KR 10-2013-0057314 A	2013/05/31	US 2013-0126224 A1 US 9042113 B2	2013/05/23 2015/05/26
KR 10-0771293 B1	2007/10/29	없음	
KR 10-2012-0079260 A	2012/07/12	KR 10-1194552 B1	2012/10/24