

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200580015590.4

[51] Int. Cl.

H01L 29/06 (2006.01)
H01L 31/0328 (2006.01)
H01L 31/0336 (2006.01)
H01L 29/739 (2006.01)
H01L 31/072 (2006.01)
H01L 21/337 (2006.01)

[45] 授权公告日 2009 年 4 月 22 日

[11] 授权公告号 CN 100481490C

[51] Int. Cl. (续)

H01L 21/3205 (2006.01)

H01L 21/8249 (2006.01)

H01L 21/331 (2006.01)

H01L 21/8222 (2006.01)

[22] 申请日 2005.5.10

[21] 申请号 200580015590.4

[30] 优先权

[32] 2004.6.24 [33] US [31] 10/876,155

[86] 国际申请 PCT/US2005/016223 2005.5.10

[87] 国际公布 WO2006/007068 英 2006.1.19

[85] 进入国家阶段日期 2006.11.15

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 尚慧玲 M·艾昂 J·O·舒

K·W·古亚里尼

[56] 参考文献

US6730551B2 2004.5.4

US2004/0005740A1 2004.1.8

US2003/0052334A1 2003.3.20

"Strained Ge channel p-type metal-oxide-semiconductor field-effect transistors grown on SiGe/Si virtual substrate". Minjoo Lee et al., 3344.3346, Applied Physics Letter. 2001

审查员 朱红来

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 刘瑞东

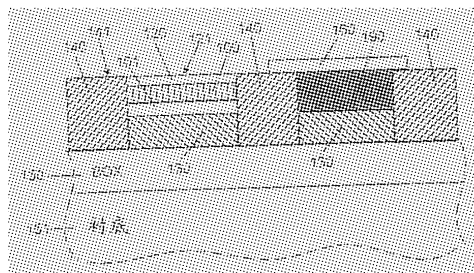
权利要求书 4 页 说明书 9 页 附图 5 页

[54] 发明名称

在先进 CMOS 技术中应变 Ge 的集成

[57] 摘要

本发明公开了一种在压缩应变 Ge 层(100)中制造 PFET 器件的结构和方法。该器件的制造方法与标准 CMOS 技术兼容,并且完全可升级。该方法包括选择性外延沉积 Ge 含量大于 50% 的缓冲层(101)、纯 Ge 层(100)和 SiGe 顶层(120)。制造的在压缩应变 Ge 层中寄宿的掩埋沟道 PMOS 器件相对于类似的 Si 器件显示出较好的器件特性。



1. 一种叠层结构, 包括:

SiGe 籽晶层 (101), 其中所述 SiGe 籽晶层是单晶, 并且 Ge 浓度在 50 % 到 90 % 之间;

压缩应变 Ge 层 (100), 覆盖所述 SiGe 籽晶层 (101), 其中所述压缩应变 Ge 层是单晶, 并且与所述 SiGe 籽晶层有外延关系; 以及

SiGe 顶层 (120), 覆盖所述压缩应变 Ge 层 (100), 其中所述 SiGe 顶层是单晶, 并且与所述压缩应变 Ge 层有外延关系, 其中所述 SiGe 顶层的 Ge 浓度高达 10 %。

2. 根据权利要求 1 的叠层结构, 其中所述压缩应变 Ge 层 (100) 的厚度在 5nm 到 20nm 之间。

3. 根据权利要求 1 的叠层结构, 其中所述 SiGe 籽晶层 (101) 的厚度在 0.3nm 到 3nm 之间。

4. 根据权利要求 3 的叠层结构, 其中在所述 SiGe 籽晶层 (101) 中的所述 Ge 有浓度梯度。

5. 根据权利要求 1 的叠层结构, 还包括在所述 SiGe 籽晶层 (101) 下面的弛豫 SiGe 层 (130), 其中所述弛豫 SiGe 层是单晶, 并且与所述 SiGe 籽晶层有外延关系, 其中所述弛豫 SiGe 层的 Ge 浓度高达 50 %。

6. 根据权利要求 1 的叠层结构, 其中所述 SiGe 顶层 (120) 的厚度在 0.3nm 到 10nm 之间。

7. 根据权利要求 1 的叠层结构, 其中所述叠层结构被介质 (140) 包围, 其中所述介质为所述叠层结构提供隔离。

8. 根据权利要求 1 的叠层结构, 其中所述叠层结构和所述隔离介质 (140) 具有共面顶表面 (121, 141)。

9. 根据权利要求 1 的叠层结构, 还包括寄宿在所述压缩应变 Ge 层 (100) 中的空穴传导型器件。

10. 根据权利要求 9 的叠层结构, 其中所述空穴传导型器件是 PMOS

(210) 器件。

11. 根据权利要求 10 的叠层结构, 其中所述 PMOS (210) 器件是掩埋沟道 PMOS 器件。

12. 根据权利要求 9 的叠层结构, 其中所述 PMOS 器件的栅极绝缘体 (310) 包括高 K 材料。

13. 根据权利要求 9 的叠层结构, 其中所述 PMOS 器件的栅极绝缘体 (310) 包括沉积氧化物。

14. 一种 CMOS 电路, 包括:

寄宿在压缩应变 Ge 层 (100) 中的 PMOS (210) 器件, 其中所述压缩应变 Ge 层以外延关系覆盖 SiGe 籽晶层 (101), 其中所述 SiGe 籽晶层是单晶, 并且 Ge 浓度在 50% 到 90% 之间, 并且其中所述压缩应变 Ge 层 (100) 被 SiGe 顶层 (120) 覆盖, 其中所述 SiGe 顶层是单晶, 并且与所述压缩应变 Ge 层有外延关系, 其中所述 SiGe 顶层的 Ge 浓度高达 10%。

15. 根据权利要求 14 的 CMOS 电路, 其中在所述 SiGe 籽晶层 (101) 下面具有弛豫 SiGe 层 (130), 其中所述弛豫 SiGe 层是单晶, 并且与所述 SiGe 籽晶层有外延关系, 并且其中所述弛豫 SiGe 层的 Ge 浓度高达 50%。

16. 根据权利要求 15 的 CMOS 电路, 其中所述 SiGe 顶层 (120) 的厚度在 0.3nm 到 10nm 之间。

17. 根据权利要求 15 的 CMOS 电路, 其中所述 PMOS 器件是掩埋沟道 PMOS 器件。

18. 根据权利要求 17 的 CMOS 电路, 其中所述 PMOS 器件具有栅极绝缘体 (310), 并且所述栅极绝缘体包括高 K 材料。

19. 根据权利要求 17 的 CMOS 电路, 其中所述 PMOS 器件具有栅极绝缘体 (310), 并且所述栅极绝缘体包括沉积氧化物。

20. 一种制造 PMOS 器件的方法, 包括以下步骤:

在 Ge 浓度高达 50% 的弛豫 SiGe 层 (130) 上外延沉积 Ge 浓度在 50% 到 90% 之间的单晶 SiGe 籽晶层 (101);

在所述 SiGe 籽晶层上外延沉积压缩应变 Ge 层 (100);

在所述压缩应变 Ge 层 (100) 中寄宿所述 PMOS 器件; 以及

在所述压缩应变 Ge 层 (100) 上外延沉积 SiGe 顶层 (120), 其中所述 SiGe 顶层的 Ge 浓度选择为高达 10%。

21. 根据权利要求 20 的方法, 其中所述 SiGe 籽晶层 (101) 的厚度选择为在 0.3nm 到 3nm 之间, 并且所述压缩应变 Ge 层 (100) 的厚度选择为在 5nm 到 20nm 之间。

22. 根据权利要求 20 的方法, 其中所述 SiGe 顶层 (120) 的厚度选择为在 0.3nm 到 10nm 之间。

23. 根据权利要求 20 的方法, 其中以对介质材料具有选择性的方式实施外延沉积所述 SiGe 籽晶层 (101) 和所述压缩应变 Ge 层 (100) 的步骤。

24. 根据权利要求 20 的方法, 其中以对介质材料具有选择性的方式实施外延沉积所述 SiGe 顶层 (120) 的步骤。

25. 根据权利要求 20 的方法, 还包括在所述 PMOS 器件的栅极绝缘体 (310) 中采用高 K 材料的步骤。

26. 根据权利要求 20 的方法, 还包括在所述 PMOS 器件的栅极绝缘体 (310) 中采用沉积氧化物的步骤。

27. 一种制造 CMOS 电路的方法, 包括以下步骤:

提供 SGOI 晶片 (151, 150, 130), 具有 Ge 浓度高达 50% 的弛豫 SiGe 层 (130);

在所述 SGOI 晶片上限定 NMOS (220) 和 PMOS (210) 区域;

用介质材料 (160) 覆盖所述 NMOS 区域;

以选择性方式在所述弛豫 SiGe 层上外延沉积 Ge 浓度在 50% 到 90% 之间的单晶 SiGe 籽晶层 (101);

以选择性方式在所述 SiGe 籽晶层 (101) 上外延沉积压缩应变 Ge 层 (100); 以及

在所述压缩应变 Ge 层 (100) 中寄宿所述 PMOS 器件。

28. 根据权利要求 27 的方法, 还包括以选择性方式在所述压缩应变 Ge 层 (100) 上外延沉积 SiGe 顶层 (120) 的步骤, 其中所述 SiGe 顶层

的 Ge 浓度选择为高达 10 %。

29. 根据权利要求 28 的方法，其中所述 SiGe 顶层 (120) 的厚度选择为在 0.3nm 到 10nm 之间。

30. 根据权利要求 27 的方法，还包括剥离覆盖所述 NMOS 区域的所述介质材料 (160)，并且在所述 NMOS 区域中制造 NMOS 器件的步骤。

在先进 CMOS 技术中应变 Ge 的集成

技术领域

本发明涉及半导体技术,更具体地说,涉及在应变 Ge 中寄宿的 PMOS 器件。该器件以这种方式制造,其能够有效缩小并且集成到基于 CMOS 技术的高性能硅中。

背景技术

今天的集成电路包括大量的器件。较小的器件是增强性能和提高可靠性的关键。随着 MOSFET (金属氧化物半导体场效应晶体管,名称的历史内涵通常意指隔离栅极场效应晶体管) 器件正在缩小尺寸,技术变得越来越复杂,并且需要新的方法以保持器件从一代到下一代的期望性能增强。

潜在器件性能最重要的指示之一是载流子迁移率。在深亚微米代保持器件中的高载流子迁移率具有很大的困难。为了较好的载流子迁移率,一种有希望的途径是改进作为器件制造原材料的半导体。公知并近期还在研究的是,拉伸或压缩应变半导体具有引起兴趣的载流子特性。特别是,在应变硅(Si)沟道 NMOS 中获得电子迁移率 90~95% 的改进,详细描述见 J.O. Chu 的美国专利 No. 6,649,492 B2, 题为“Strained Si Based Layer Made By UHV-CVD, and Device Therein”, 这里通过参考引入其内容。类似的对于空穴增强,压缩应变掩埋锗(Ge) MODFET 已经产生高空穴迁移率,详细描述见 S.J. Koester 等人的“Extremely high transconductance Ge/Si_{0.4}Ge_{0.6} p-MODFET's grown by UHV-CVD”, IEEE Elect. Dev. Lett. 21, 110 (2000)。在相同晶片中结合拉伸和压缩应变 SiGe 区域,详细描述见 J.O. Chu 的 PCT 专利申请“Dual Strain-State SiGe Layer for Microelectronics”, No. PCT/US2004/005481, 于 09/30/2004 公开为 WO2004084264。

由于增强的空穴迁移率,针对高性能 CMOS 逻辑电路,在基于 Ge 的 MOSFET 器件中具有更新技术的注意。特别是,采用氮氧化物 (GeON) 作为栅极绝缘体的表面沟道 Ge MOSFET 器件,已经被 H. Shang 等人论证,IEDM, p. 441, 2002。或者,采用高-K 作为栅极绝缘体的 Ge PMOS 在以下文献中详细描述: C. Chui 等人, IEDM, p. 437, 2002, C.H. Huang 等人, VLSI symp. p. 119, 2003, 还有 A. Ritenour 等人, IEDM, p. 433, 2003, 以上三篇文献在这里通过参考引入其内容。

掩埋沟道应变 Ge PMOS 也已经报道具有空穴迁移率增强,详细描述见以下文献, M. Lee 等人, IEDM, p. 429 2003 和 H. Shang 等人, VLSI symp. 2004, 两篇文献在这里通过参考引入其内容。虽然如此,报道的 Ge 器件使用简单器件结构,例如环型栅极结构布图来简化集成,并且通常具有相对大的尺寸。这样的特征不适合集成在先进高性能 CMOS 技术中。

为了在 PMOS 器件中结合应变 Ge 结构来增强空穴迁移率,与标准 CMOS 技术兼容的工艺不可获得。

发明内容

本发明描述了一种先进 CMOS 技术的集成方案,其结合了高迁移率应变 Ge 掩埋沟道结构,导致 PMOS 器件改进。该方案随着尺寸减小易于升级。

公开了一种叠层结构,包括 SiGe 籽晶层,其中 SiGe 籽晶层是单晶,并且 Ge 浓度大约在 50% 到 90% 之间,以及压缩应变 Ge 层,覆盖 SiGe 籽晶层,其中压缩应变 Ge 层是单晶,并且与 SiGe 籽晶层有外延关系。

还公开了一种 CMOS 电路,包括寄宿在压缩应变 Ge 层中的 PMOS 器件,其中压缩应变 Ge 层以外延关系覆盖 SiGe 籽晶层,其中 SiGe 籽晶层是单晶,并且 Ge 浓度大约在 50% 到 90% 之间。

还公开了一种制造 PMOS 器件的方法,包括以下步骤: 在 Ge 浓度大约高达 50% 的弛豫 SiGe 层上外延沉积 Ge 浓度大约在 50% 到 90% 之间的单晶 SiGe 籽晶层; 在 SiGe 籽晶层上外延沉积压缩应变 Ge 层; 以及在压

缩应变 Ge 层中寄宿所述 PMOS 器件。

还公开了一种制造 CMOS 电路的方法，包括以下步骤：提供 SGOI 晶片，具有 Ge 浓度大约高达 50 % 的弛豫 SiGe 层；采用浅沟槽，或者其它，隔离技术在 SGOI 晶片上限定 NMOS 和 PMOS 区域；用介质材料覆盖所述 NMOS 区域；以选择性方式在弛豫 SiGe 层上外延沉积 Ge 浓度大约在 50 % 到 90 % 之间的单晶 SiGe 籽晶层；以选择性方式在 SiGe 籽晶层上外延沉积压缩应变 Ge 层；以及在压缩应变 Ge 层中寄宿 PMOS 器件。还公开了制造 CMOS 电路的方法还包括在压缩应变 Ge 层上选择性外延沉积 SiGe 顶层的步骤，其中 SiGe 顶层的 Ge 浓度选择为大约高达 10 %。

附图说明

通过下面的详细说明和附图本发明上述和其它特征将显而易见，其中：

图 1 示出了用于制造器件的叠层结构的示意截面图；

图 2 示出了隔离和 NMOS 和 PMOS 区域的示意顶视图；

图 3 示出了寄宿在压缩应变 Ge 层中的掩埋沟道 PMOS 器件的示意截面图；

图 4 示出了寄宿在压缩应变 Ge 层中的掩埋沟道 PMOS 器件的测量迁移率值的曲线图；

图 5 示出了寄宿在压缩应变 Ge 层中的掩埋沟道 PMOS 器件的测量跨导值的曲线图；以及

图 6 示出了寄宿在压缩应变 Ge 层中的掩埋沟道 PMOS 器件的测量导电性的曲线图。

具体实施方式

在先进 CMOS 技术中应变 Ge 的集成中，优选保持尽可能可行的主要 Si CMOS 的全部标准制造工艺。本发明在这种工艺中集成压缩应变 Ge，在典型先进 Si CMOS 工艺的百余步骤上只改变/增加了很少步骤。在一个示例性实施例中，CMOS 制造的全部工艺流程，包括应变 Ge 寄宿 PMOS，

将参照以下步骤：以绝缘体上硅（SOI）或绝缘体上硅锗（SGOI）晶片开始；通过标准浅沟槽隔离（STI）工艺，如本领域的技术人员所公知；用掩模覆盖 NMOS 区域；仅在 PMOS 区域中打开 Si 或 SiGe 岛；在暴露的 Si 或 SiGe 表面顶部选择性生长 Ge；在 NFET 区域上剥离掩模覆盖；继续标准 CMOS 制造，如本领域的技术人员所公知。本发明还教导了 CMOS 制造工艺构架以外新颖的步骤和结构。

图 1 示出了用于制造器件的叠层结构的示意截面图。图 2 示出了隔离和 NMOS 和 PMOS 区域的示意顶视图。在代表性实施例中，开始点是 SOI 或 SGOI 晶片。衬底 151，通常是 Si，具有所谓的掩埋氧化物（BOX）150 在其上覆盖，如本领域的技术人员所公知。在 BOX 顶部，具有弛豫单晶 SiGe 层 130，典型 Ge 浓度大约高达 50%，具有基本上是纯硅的可能性。开始的时候，弛豫 SiGe 是在 BOX150 顶部的覆盖层，但是图 1 示出了已经施加隔离介质 140 并且 SiGe 层 130 成为片断的工艺状态。在示例性实施例中的隔离是所谓的浅沟槽隔离（STI），但是也可以是其它不同种类，如本领域的技术人员所公知。隔离 140 从用于 NMOS 器件 220 的区域分开或限定了用于 PMOS 器件 210 的区域。在本发明中引入的应变 Ge 层优选用于 PMOS 区域 210 中的 PMOS 器件。NMOS 区域可能以本领域的技术人员所公知的方式处理，在弛豫 SiGe130 上具有材料层 190。仅象征性示出在 NMOS 区域中的层或叠层 190，因为层 190 在工艺的此状态中可能甚至不存在，或者可能从未使用。本发明采用在 NFET 区域和器件的工艺中本领域的技术人员所公知的方法。在此状态中，如图所示，NMOS 区域被掩模 160 覆盖。掩模 160 优选是介质，例如 SiO_2 ，或者氮化物，或者如本领域的技术人员所公知的其它物质。

引入多层用于 Ge 空穴传导型器件，例如 PMOS，或者 P-MODFET，开始于在弛豫 SiGe 层 130 上外延沉积 Ge 浓度大约在 50% 到 90% 之间的单晶 SiGe 籽晶层 101。SiGe 籽晶层 101 的外延生长优选以选择性方式进行，并且 Ge 浓度大约在 70% 左右。沉积选择性是相对于介质材料，例如 STI 介质 140，或者 NMOS 掩模 160。在 SiGe 籽晶层 101 中的 Ge 浓度没

有必要均匀，可以依据特定实施例需要具有不同 Ge 浓度梯度。非均匀浓度通常用于提高材料质量。SiGe 籽晶层 101 的优选厚度范围大约在 0.3nm 到 3nm 之间。SiGe 籽晶层 101 的一些优先选择是提高 SGOI 晶片的弛豫 SiGe 130 的表面质量。SiGe 籽晶层的相对高 Ge 浓度对于压缩应变器件质量 Ge 层 100 的引入是有利方面。

压缩应变单晶 Ge 层 100 在 SiGe 籽晶层 101 上外延沉积。压缩应变 Ge 层 100 的外延生长优选以选择性方式进行。沉积选择性是相对于介质材料，例如 STI 介质 140，或者 NMOS 掩模 160。压缩应变 Ge 层 100 的优选厚度范围大约在 5nm 到 20nm 之间。Ge 层 100 是压缩应变的，因为 Ge 的弛豫晶格常数比 SiGe 的大，并且通过多层的外延关系促使 Ge 层 100 的晶格与下面的层一致，所有这些层的弛豫晶格常数都比 Ge 的小。压缩应变 Ge 层用来寄宿空穴传导型器件，例如 PMOS。术语在特定材料或层中寄宿 (host) 器件，意味着器件的关键部分，即主要对载流子性质敏感的部分，举例来说，MOS 器件的沟道，存在于特定材料或层中、由特定材料或层组成、或位于特定材料或层中。

如果需要表面沟道 PMOS 器件，材料沉积可以利用压缩应变 Ge 层 100 停止。为了具有掩埋沟道 PMOS，也为了优选提高 p-沟道的界面质量，外延沉积单晶 SiGe 顶层 120，覆盖压缩应变 Ge 层 100。SiGe 顶层 120 的 Ge 浓度大约高达 10%。在一个示例性实施例中，SiGe 顶层基本上是纯硅，其中优选厚度大约在 0.3nm 到 10nm 之间。SiGe 顶层 120 的外延生长优选以选择性方式进行。沉积选择性是相对于介质材料，例如 STI 介质 140，或者 NMOS 掩模 160。或者 SiGe 顶层 120，或者压缩应变 Ge 层 100 是沉积的最后一层，这种叠层结构具有限定好的顶表面 121。优选简单的是表面 121 与隔离介质的顶表面 141 共面的工艺。然而，缺乏这样的共面性并不是限制因素。

在 PMOS 区域的选择区域中局部形成或生长掩埋 Ge 沟道异质结构必需采用选择性 CVD 生长工艺，其中器件层的生长对于已知介质材料 SiO₂、Si₃N₄、SiON 等具有选择性。典型的或可用的针对 Si、SiGe 或 Ge 薄膜的

选择性生长工艺可以在不同的生长技术中找到，例如 RT-CVD、UHV-CVD、LP-CVD、AP-CVD 等，如本领域的技术人员所公知。在超高真空化学气相沉淀（UHV-CVD）的优选选择性生长工艺中，针对 SiGe 籽晶层 101 和压缩应变 Ge 层的生长温度范围是 250 ~ 350℃。

关于针对生长外延层的 UHV-CVD 技术的详细介绍，参照 S. Akbar 等人的美国专利 No. 5,259,918 “Heteroepitaxial Growth of Germanium on Silicon by UHV/CVD”，公开日 11/09/1993，转让给这里的受让人并且通过参考引入其内容。更多关于 UHV-CVD 生长技术的讨论见 J.O. Chu 等人的美国专利 No. US6,350,993 B1 “High Speed Composite p-Channel Si/SiGe Heterostructure for Field Effect Devices”，公开日 02/26/2003，转让给这里的受让人并且通过参考引入其内容。SiGe 籽晶层 101、压缩应变 Ge 层 100 和 SiGe 顶层 120 的叠层结构的外延沉积以超高真空完整性进行：在外延沉积之前约 10^{-9} Torr 的范围内。特别是，使用热墙等温 CVD 设备，其中在进行优选生长工艺的选择温度和压力情况下，在少于 1 秒的停留时间期间，基板上没有硅和/或锗前体例如硅烷（ SiH_4 ）或锗烷（ GeH_4 ）源气体的均匀气相热解发生。通常，将一批预构图的 SG01 晶片加载到 UHV-CVD 反应室中，然后在 300℃到 480℃的范围内加热。典型生长压力在 1 ~ 5 毫托的范围。在代表性实施例中，在 SG01 区域上生长 SiGe 籽晶层 101，采用 SiH_4 25 sccm 和 GeH_4 95 sccm 的流量组合。为了生长压缩应变 Ge 层 100，降低生长温度接近 300℃，然后 GeH_4 以 50 sccm 的流量开始。层 100 完成后，生长温度升到较高，并且 SiH_4 以 30 sccm 的流量开始和 GeH_4 以 0 到 15 sccm 的流量开始，以在压缩应变 Ge 层 100 上形成薄 SiGe 顶层 120。在代表性实施例中，薄 SiGe 顶层 120 基本上是纯硅。

典型地，但不是必要地，如本领域的技术人员所公知，选择性 CVD 生长技术优选另外采用基于氯的前体或气体源，例如 HCl 、 Cl_2 、 SiCl_4 、 SiHCl_3 、 SiH_2Cl_2 ，以通过除去在标准掩模材料上的任何薄膜生长促使选择性生长。

图 3 示出了寄宿在压缩应变 Ge 层 100 中的掩埋沟道 PMOS 器件的示

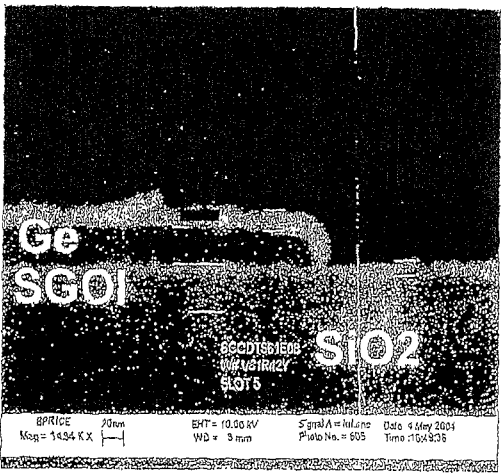
意截面图。在形成图 1 的叠层结构后，器件制造进行如本领域的技术人员所公知的步骤。在一刻，形成源极/漏极结 380。如图所示的源极/漏极 380 向下延伸接触到 BOX 层 150。这里仅是图解说明，在代表性实施例中，源极/漏极 380 可以或者没有向下达到 BOX 层界面 150，或者可能甚至发生穿透进入 BOX 层 150。在工艺中的另一刻，采用栅极绝缘体 310。优选的栅极绝缘体包括但不限于典型地通过等离子体低温工艺形成的沉积氧化物，并且所谓的高-K（高介质）材料，例如 HfO_2 、 HfSiO ，还有如本领域的技术人员所公知的其它材料。同样，大量不同种类的材料可以用于栅极 390，如本领域的技术人员所公知。在器件更进一步制造中，例如在栅极绝缘体 310 工艺期间，可能，或者可能没有，从 Si/SiGe 顶层 120 消耗。例如，附图示出了层 120 的微小消耗。空穴在压缩应变 Ge 层 100 的顶表面 301 上的沟道中传导，其是与 Si 或 SiGe 顶层 120 的界面。这里形成沟道，由于众所周知的在 Ge 和 Si 之间的带隙对准。

图 4 示出了寄宿在压缩应变 Ge 层中的掩埋沟道 PMOS 器件的测量迁移率值作为反型电荷的函数的曲线图。在公开的器件中，最大空穴迁移率是 Si 通常空穴迁移率的六倍，在图中示出以作比较。

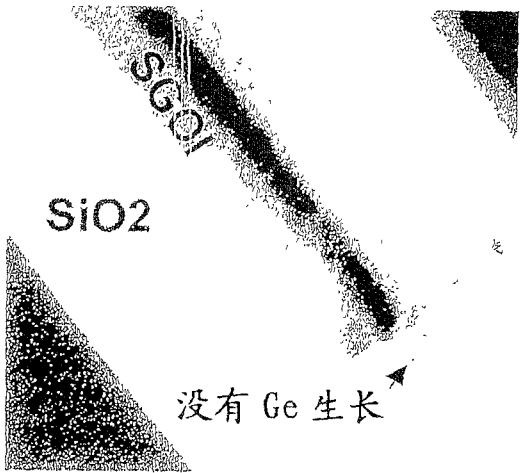
图 5 示出了寄宿在压缩应变 Ge 层中的掩埋沟道 PMOS 器件的测量跨导值的曲线图。显示的特性是具有沉积氧化物栅极绝缘体的器件。如图所示，公开的器件的跨导比起 Si 器件增强了两倍。

图 6 示出了寄宿在压缩应变 Ge 层中的掩埋沟道 PMOS 器件的测量导电性的曲线图。示出了具有高-K、具体是 HfO_2 的栅极绝缘体的掩埋沟道 PMOS 的亚阈值和传导特性，用于低和高漏极电压。示出具有相同 HfO_2 作为栅极绝缘体的 Si 控制器件，以作比较。s-Ge（应变-Ge）器件示出驱动电流大约两倍的增强。

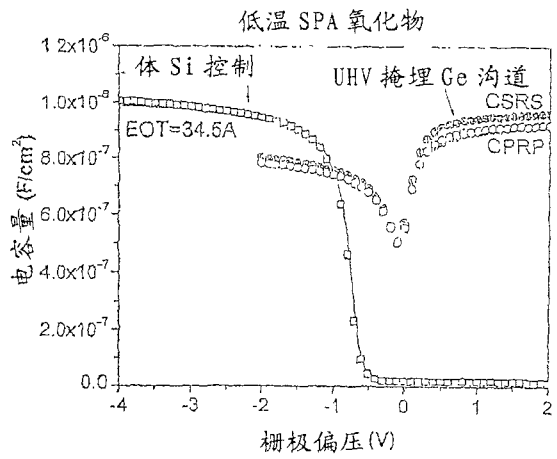
根据上述教导，本发明的许多改进和变化是可能的，并且对于本领域的技术人员来说显而易见。本发明的范围将通过附加的权利要求限定。



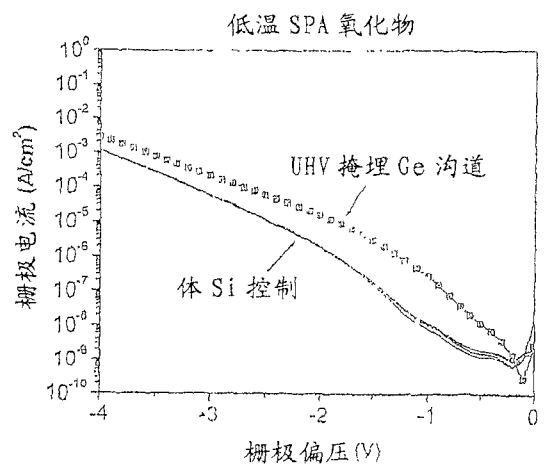
x-SEM 图像示出了只在 SGOI 顶部上选择性生长 Ge 层，没有发现在 STI 区域顶部上的 Ge 生长。



TEM 图像示出了只在 SGOI 顶部上选择性生长 Ge 层，没有发现在 STI 区域顶部上的 Ge 生长。

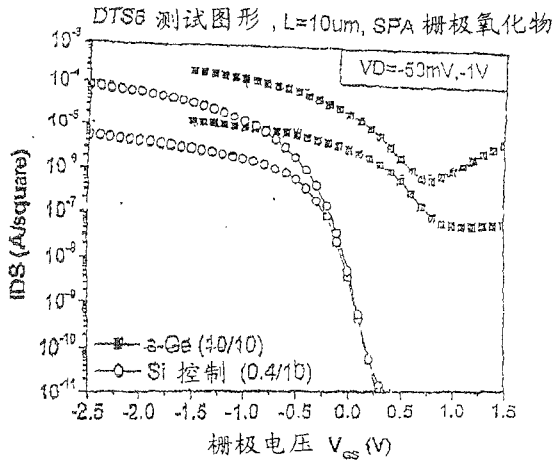


在 Si 衬底和掩埋应变 Ge 衬底上具有低 D_{it} 的在 500℃ 形成的低温 SPA 氧化物的 C-V 特性。该技术对于应变 Ge 掩埋沟道高性能 MOSFET 的说明是关键的。

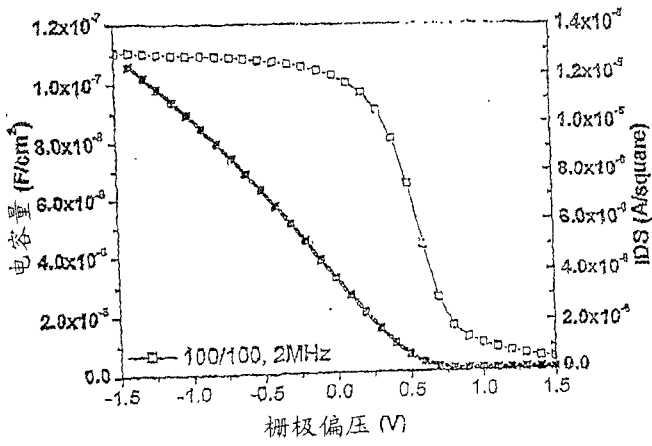


在 Si 衬底和掩埋应变 Ge 衬底上具有低 D_{it} 的在 500℃ 形成的低温 SPA 氧化物的 I-V 特性。在两个衬底上获得了可比较的泄漏特性。

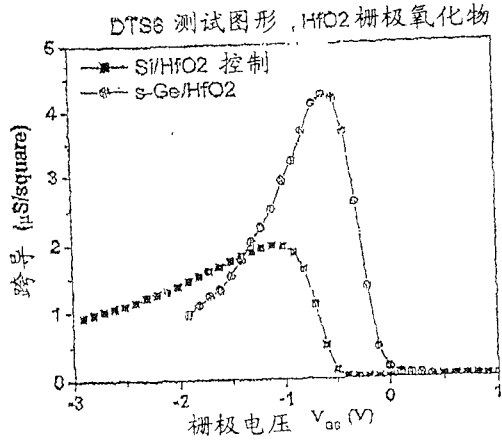
A2



在选择性形成的应变-Ge掩埋沟道衬底和具有STI隔离的Si控制上的PMOSFET的亚阈值特性。获得了>2X的驱动电流增强。较高截止电流大概与缺陷有关。



在应变Ge掩埋沟道PMOSFET上测量的线性驱动电流和反型层电容, 用于进行有效迁移率提取。



具有HfO2栅极介质的应变Ge掩埋沟道PMOSFET的线性跨导特性。示出了具有相同HfO2的Si控制器件用于比较。S-Ge示出了~2X的跨导增强。

A3

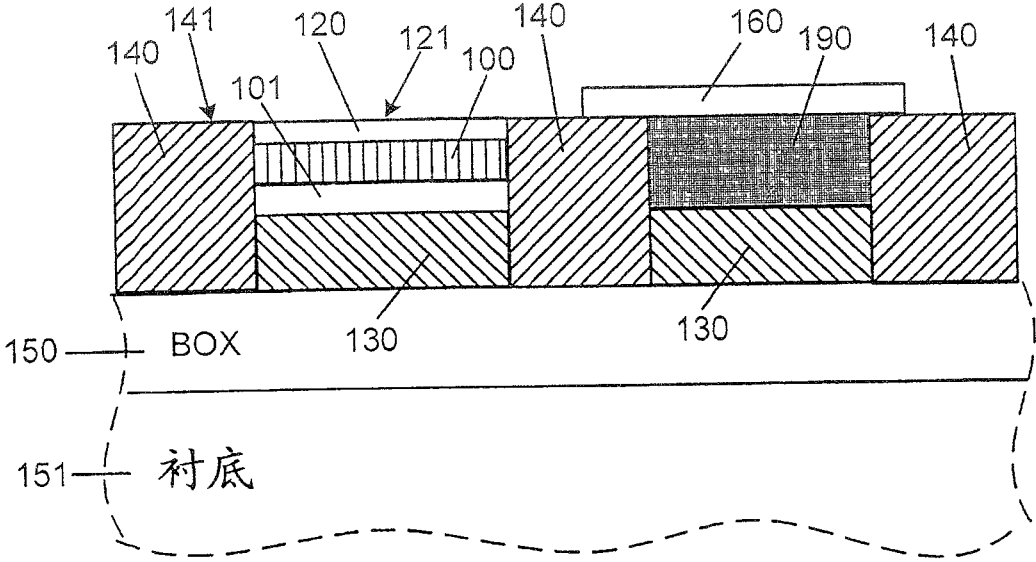


图 1

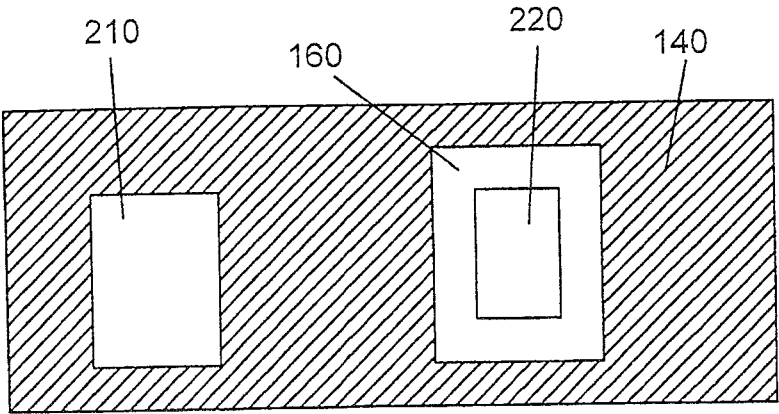


图 2

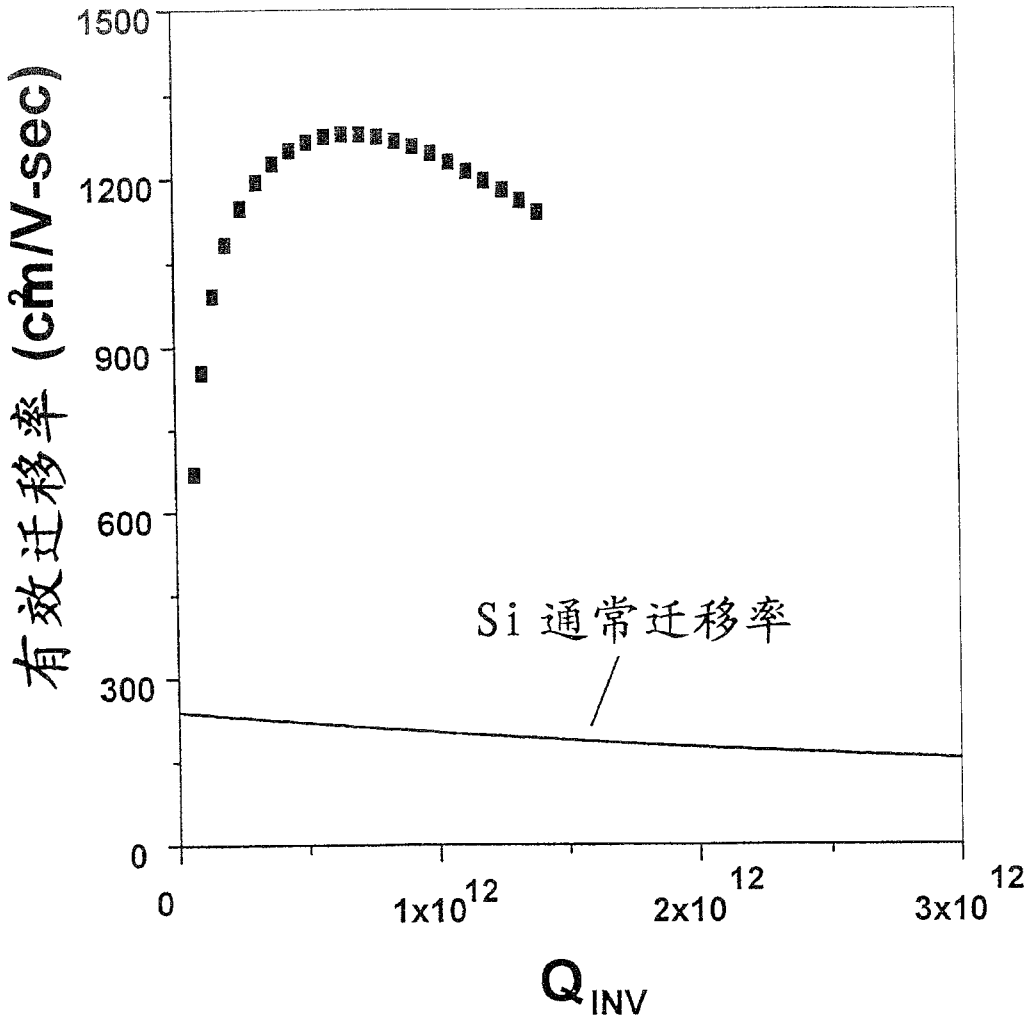


图 4

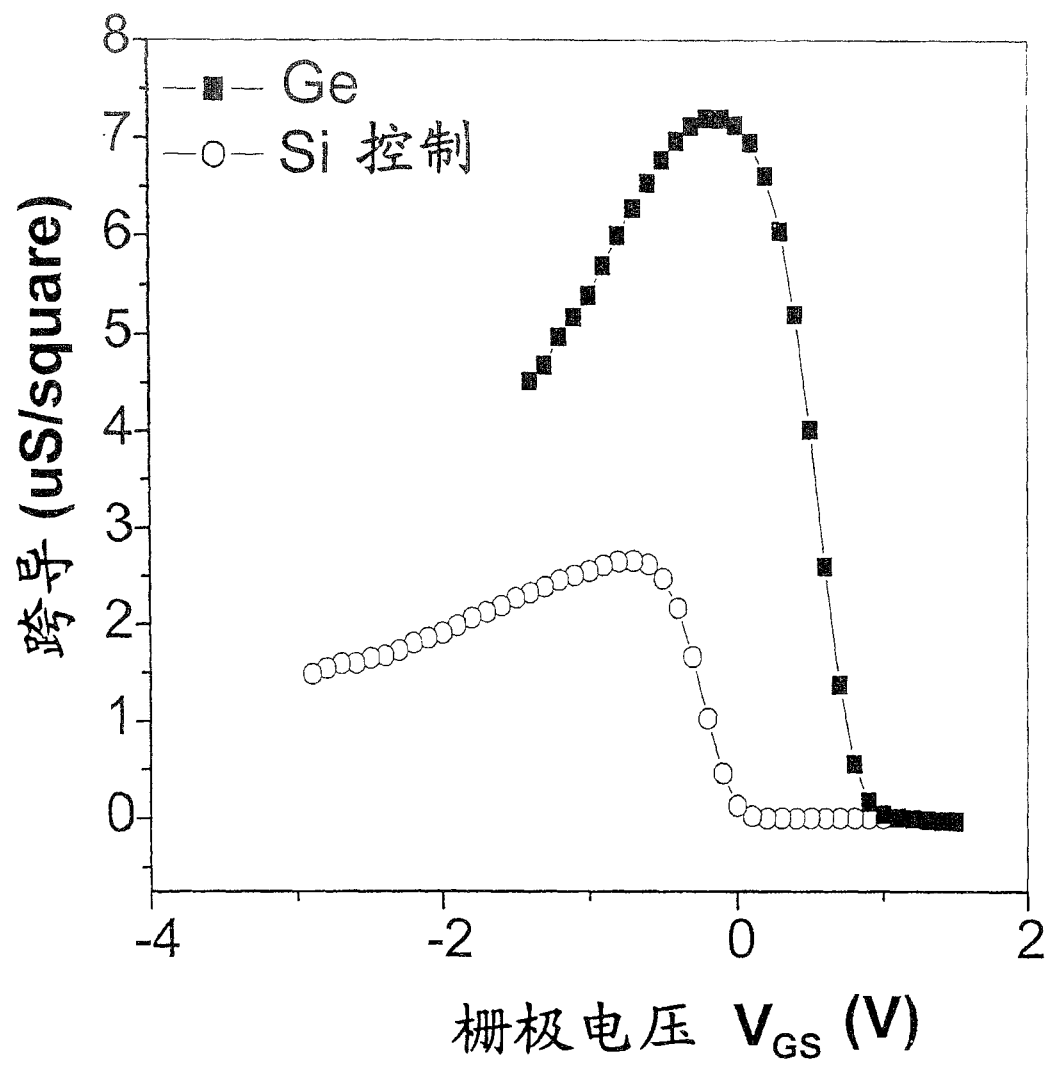


图 5

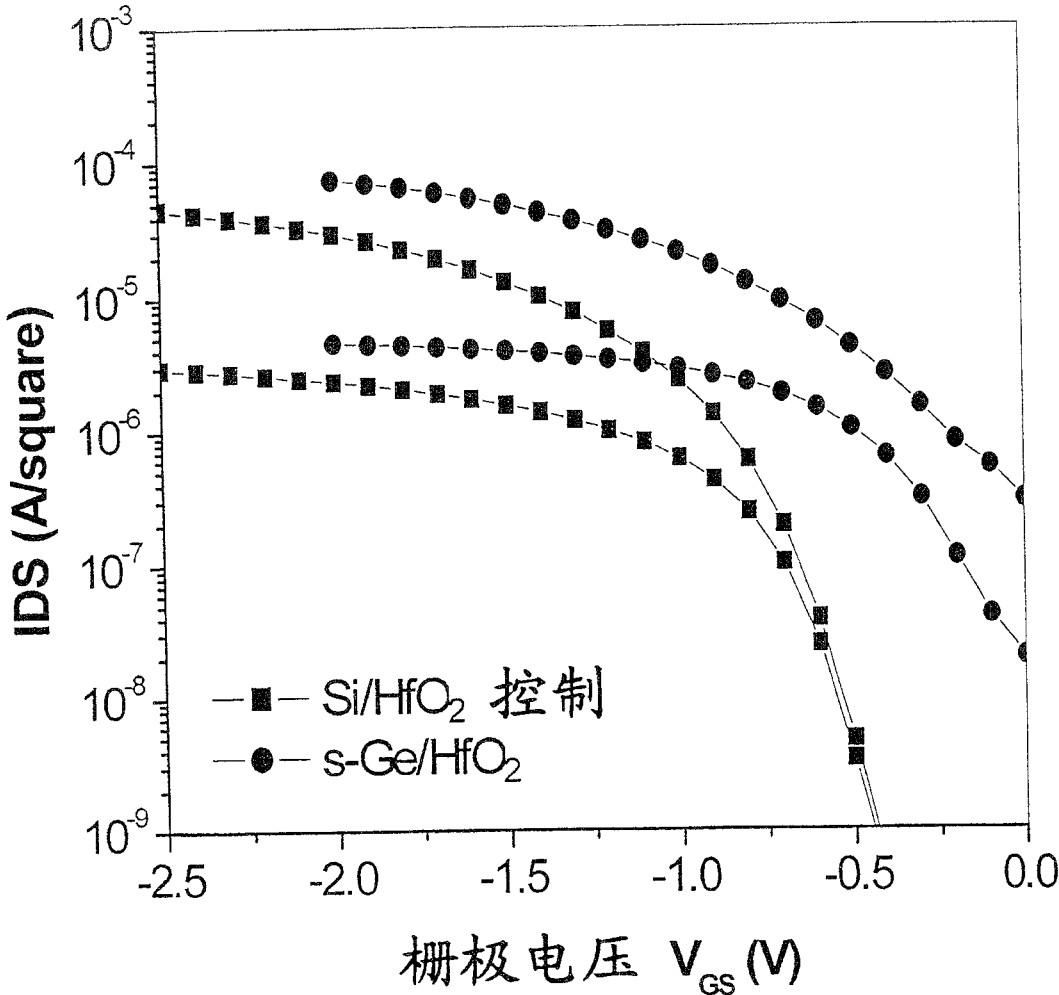


图 6