

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-77567

(P2004-77567A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int.Cl.⁷

G09F 9/30

G09G 3/20

G09G 3/30

H05B 33/08

H05B 33/14

F I

G09F 9/30

G09G 3/20

G09G 3/20

G09G 3/20

G09G 3/20

338

611J

621F

621M

622K

テーマコード (参考)

3K007

5C080

5C094

審査請求 未請求 請求項の数 13 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-234216 (P2002-234216)

(22) 出願日 平成14年8月9日 (2002.8.9)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB06 CC03 DD05 DD07

DD08 DD12 EE19 EE29 EE30

FF03 FF11 FF13 GG12 HH09

JJ02 JJ03 JJ04 JJ06 KK04

KK07 KK43

最終頁に続く

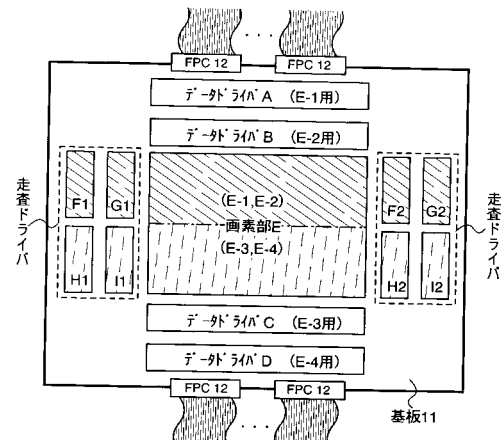
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】表示装置の大型化及び高解像度化に伴って書き込み時間不足が生じる。

【解決手段】本発明は、1列毎にx本のデータ線(xは4以上の自然数)を配置し、該x本のデータ線の各々を介してx個の画素に映像信号を同時に供給することが可能な表示装置及びその駆動方法を提供する。本発明は、従来点順次駆動では1画素毎に信号を供給していたところをx個の画素に同時に映像信号を供給することを可能とし、さらに従来線順次駆動では1列目から最終列目(ここでは最終列はn列とおく)までのn個の画素に信号を供給していたところを(x×n)個の画素に同時に映像信号を供給することを可能とした表示装置およびその駆動方法を提供する。これにより、本発明では、画素に対する映像信号の書き込み時間を従来比x倍とすることが可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の画素が配置された画素部を有し、
前記画素部には 1 列毎に 4 本以上のデータ線が配置されていることを特徴とする表示装置。

【請求項 2】

複数の画素が配置された画素部を有し、
前記複数の画素の各々には 2 本以上のデータ線が配置されていることを特徴とする表示装置。

【請求項 3】

請求項 2 において、
前記画素はスイッチング用素子と発光素子を備え、
前記スイッチング用素子は、前記 2 本以上のデータ線のうち、画素毎に定められたいずれか 1 本のデータ線に接続し、他のデータ線には接続しないことを特徴とする表示装置。

【請求項 4】

列方向に複数本のデータ線及び行方向に複数本の走査線、並びに各々が発光素子を有する複数の画素がマトリクス状に配置された表示装置であって、
前記複数本のデータ線のうち 1 列毎に x 本のデータ線 (x は 4 以上の自然数) が配置され、
前記複数本の走査線のうち 1 行毎に 1 本の走査線が配置され、
前記複数本の走査線のうち、 x 本の走査線を同時に選択する y 個の走査ドライバ (y は 1 以上の自然数) と、
1 列毎に配置された前記 x 本のデータ線の各々を介して前記複数の画素から選択された x 個の画素に同時に信号を供給する x 個のデータドライバとを有することを特徴とする表示装置。

【請求項 5】

1 列毎に配置された x 本のデータ線 (x は 4 以上の自然数) 及び 1 列毎に配置された 1 本の走査線、並びに前記データ線と前記走査線の交点に配置され各々が発光素子を有する複数の画素がマトリクス状に複数配置された表示装置であって、
前記複数本の走査線のうち、 x 本の走査線を同時に選択する y 個の走査ドライバ (y は 1 以上の自然数) と、
1 列毎に配置された前記 x 本のデータ線の各々を介して前記複数の画素から選択された x 個の画素に同時に信号を供給する x 個のデータドライバを有することを特徴とする表示装置。

【請求項 6】

請求項 4 又は 5 において、
前記 x 個のデータドライバの各々は、それぞれ独立に動作する複数のシフトレジスタと、
前記複数のシフトレジスタの各々に対応したサンプリング回路を有することを特徴とする表示装置。

【請求項 7】

請求項 4 又は 5 において、
前記 x 個のデータドライバの各々は、それぞれ独立に動作する複数のシフトレジスタと、
前記複数のシフトレジスタの各々に対応した第 1 ラッチ及び第 2 ラッチ並びにサンプリング回路を有することを特徴とする表示装置。

【請求項 8】

請求項 3 乃至 5 のいずれか一項において、
前記発光素子は OLED であることを特徴とする表示装置。

【請求項 9】

請求項 4 又は 5 において、
前記複数の画素並びに前記 y 個の走査ドライバ及び前記 x 個のデータドライバは同じ絶縁体上に形成されることを特徴とする表示装置。

10

20

30

40

50

【請求項 10】

請求項 4 又は 5 において、

前記画素には、前記発光素子の電流値を制御する駆動用トランジスタ及び前記画素に対するビデオ信号の入力を制御するスイッチ用トランジスタ、並びに前記ビデオ信号を保持する容量体を有することを特徴とする表示装置。

【請求項 11】

請求項 4 又は 5 において、

前記画素には、前記発光素子の電流値を制御する駆動用トランジスタ及び前記画素に対するビデオ信号の入力を制御するスイッチ用トランジスタ、並びに前記ビデオ信号を保持する容量体及び前記容量体に保持された電荷を放電する消去用トランジスタを有することを特徴とする表示装置。

10

【請求項 12】

列方向の複数本のデータ線及び行方向の複数本の走査線、並びに各々が発光素子を有する複数の画素がマトリクス状に配置され、

前記複数本のデータ線のうち 1 列毎に x 本のデータ線 (x は 2 以上の自然数) が配置され、前記複数本の走査線のうち 1 行毎に 1 本の走査線が配置された表示装置の駆動方法であって、

1 フレーム期間は、複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々は、書き込み期間及び発光期間、又は書き込み期間及び発光期間並びに消去期間を有し、

20

前記書き込み期間において、 y 個の走査ドライバ (y は 1 以上の自然数) により x 本の走査線は同時に選択され、且つ x 個のデータドライバにより 1 列毎に配置された前記 x 本のデータ線の各々を介して前記複数の画素から選択された x 個の画素に信号が同時に供給されることを特徴とする表示装置の駆動方法。

【請求項 13】

1 列毎に配置された x 本のデータ線及び 1 列毎に配置された 1 本の走査線、並びに前記データ線と前記走査線の交点に配置され発光素子を有する画素がマトリクス状に複数配置された表示装置の駆動方法であって、

1 フレーム期間は、複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々は、書き込み期間及び発光期間、又は書き込み期間及び発光期間並びに消去期間を有し、

30

前記書き込み期間において、 y 個の走査ドライバ (y は 1 以上の自然数) により x 本の走査線は同時に選択され、且つ x 個のデータドライバにより 1 列毎に配置された前記 x 本のデータ線の各々を介して前記複数の画素から選択された x 個の画素に信号が同時に供給されることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は発光素子を用いた表示装置に係り、特に大型で高解像度の表示装置の技術分野に属する。

40

【0002】

【従来の技術】

近年、画像の表示を行う表示装置の重要性はますます高まってきている。現在表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。またその他の表示装置として、有機発光ダイオード (OLED: Organic Light Emitting Diode) 等の発光素子を用いた表示装置 (発光装置) の開発も進められている。OLED を用いた発光装置 (OLED 表示装置) は、既存の液晶表示装置がもつ上記利点の他、応答速度が速く動画表示に優れ、視野特性が広いなどの特徴を有し、大きく注目されている。発光装置に採用される代表的な発光素子である OLED は、導電性の陽極と陰極の間に、単層ないし積層

50

の薄膜を有する構造をしており、この薄膜の一部又は全部の層に有機材料が含まれるものである。有機発光ダイオードの輝度とその電流値は正比例の関係を満たすのが通例である。

【0003】

以下において、発光装置は発光素子（例えばO L E D）と少なくとも2つのトランジスタを有する画素をマトリクス状に複数有するものとする。画素において、発光素子と直列に接続されたトランジスタであって、発光素子の輝度を制御するものは、駆動用トランジスタと表記する。画素の制御には、電圧又は電流形式の映像信号が用いられるが、電圧形式の信号を用いる場合には、通常信号電圧を駆動用トランジスタのゲート電極に入力し、該駆動用トランジスタを用いて発光素子の輝度を制御する。電流形式の信号を用いる場合には、所定の信号電流に相当する電流を駆動用トランジスタから発光素子に供給することで、該発光素子の輝度を制御する。なお映像信号が電圧形式と電流形式のどちらにも関わらず、アナログ値の信号を用いる場合（以下アナログ駆動と称する）と、ディジタル値の信号を用いる場合（以下ディジタル駆動と称する）がある。ディジタル駆動の場合には、中間階調を時間比の形で表現する時分割駆動（例えば特開2001-5426号公報）や面積比の形で表現する面積階調駆動（例えば特願2001-382530号参照）と組み合わせることが出来る。O L E Dの応答速度は液晶等に比較して高速であるため、ディジタル駆動の時分割駆動に好適である。

10

【0004】

ここで従来のマトリクス表示を行う表示装置の画素部及び駆動回路の概略を図7に示す。画素部は、水平走査が行われる行方向に配置された複数の走査線及び行に直交する列方向に配置された複数のデータ線、並びにマトリクス状に配置された複数の画素から構成される。このように、画素部には複数の画素が規則的に配置され、さらに1行毎に1本の走査線、1列毎に1本のデータ線が配置される。

20

【0005】

【発明が解決しようとする課題】

フレーム周波数が一定であれば、画素部の高解像度化に伴い、1水平走査期間は短くなる。例えば、フレーム周波数が60Hzで、画素数がSXGA規格（1280×1024）ならば、1水平走査期間は16μsec程度となる。このような場合、画素に対する映像信号の書き込み時間を確保することは容易でない。特に配線に対する寄生容量が大きくなる大型画面の表示装置の場合、この傾向は顕著である。

30

【0006】

具体的な場合を検討してみる。まず映像信号が電流値形式か電圧値形式かを問わず、ディジタル時分割階調の場合を考える。例えば、1フレームを15サブフレーム程度に分割して時分割駆動を行う場合、画素数がSXGA規格（1280×1024）の場合の1水平走査期間は代表的には1μsec以下となり、書き込み時間は不足する。次に、電流値形式の映像信号を用いるアナログ駆動の場合を考える。発光素子に供給する映像信号電流が小さい低輝度階調を表示するときには、書き込み速度が著しく遅くなり、現実的に書き込み時間は不足する。

【0007】

本発明は上述の課題を鑑みてなされたものであり、表示装置の大型化及び高解像度化に伴って生じる書き込み時間不足を解消した表示装置及びその駆動方法を提供することを課題とする。特に本発明は、ディジタル時分割駆動やアナログ駆動で電流値形式の映像信号を用いる場合において顕著な書き込み時間不足を解消した表示装置及びその駆動方法を提供することを課題とする。

40

【0008】

【課題を解決するための手段】

上記課題を解決するために、本発明は、1列毎にx本のデータ線（xは4以上の自然数）を配置し、該x本のデータ線の各々を介してx個の画素に映像信号を同時に供給することが可能な表示装置及びその駆動方法を提供する。本発明は、従来点順次駆動では1画素毎

50

に信号を供給していたところを x 個の画素に同時に映像信号を供給することを可能とし、さらに従来線順次駆動では1列目から最終列目（ここでは最終列は n 列とおく）までの n 個の画素に信号を供給していたところを（ $x \times n$ ）個の画素に同時に映像信号を供給することを可能とした表示装置およびその駆動方法を提供する。これにより、本発明では、画素に対する映像信号の書き込み時間を従来比 x 倍とすることが可能となる。

【0009】

本発明は、列方向に複数本のデータ線及び行方向に複数本の走査線、並びに各々が発光素子（代表的には有機発光ダイオード、OLED）を有する複数の画素がマトリクス状に配置された表示装置であって、

前記複数本のデータ線のうち1列毎に x 本のデータ線（ x は4以上の自然数）が配置されることを特徴とする。 10

【0010】

データドライバを上下各々に配置し、画面上半分の画素と画面下半分の画素とを独立に動作させて映像信号を書きこむ場合（以下、上下分割駆動と称する）にも本発明を適用することができる。この場合、上下合わせると、1列あたりのデータ線の本数は（ $2 \times x$ ）本（ x は2以上の自然数）とすることができる。

【0011】

上記構成を有する本発明は、表示装置の大型化及び高精細化に伴って生じる書き込み時間不足を解消した表示装置及びその駆動方法を提供する。特に本発明は、デジタル時分割駆動やアナログ駆動で電流値形式の信号を用いる場合において顕著な書き込み時間不足を 20 解消した表示装置及びその駆動方法を提供する。

【0012】

【発明の実施の形態】

（実施の形態1）

本発明について、図1～3、8、9、13、14を用いて説明する。

【0013】

最初に本発明の表示装置の構成例について図1を用いて説明する。表示装置は、基板11上に形成された画素部Eを有し、さらに該画素部Eの周辺に配置されたデータドライバ（ここでは4つのデータドライバA～D）及び走査ドライバ（8つの走査ドライバF1～I1、F2～I2）を有する。画面上半分の画素E-1はA、F1、F2、画面上半分の画 30 素E-2はB、G1、G2により駆動される。同様に画面下半分の画素E-3はC、H1、H2、画面下半分の画素E-4はD、I1、I2により駆動される。

なお本形態では上下分割駆動を前提としているが、この上下分割駆動は本発明の実施に必須ではない。しかしながら、本発明と組み合わせることで、画素に対する映像信号の書き込み時間の確保はより効果的に行われる。

【0014】

データドライバA～D及び走査ドライバF1～I1、F2～I2にはFPC12を介して外部より信号が供給される。なお上記ドライバは基板11上に形成してもよいし、別ICとして外部に配置してもよい。また上記ドライバの個数は特に限定されず、画素の構成等に応じて設定することができる。但し、データドライバの個数は、1列毎に配置されたデータ線の本数と同じであることが好ましい。またここでは画素部Eを4つの領域E-1～E-4に大別したが、本発明はこれに限定されず、いくつかの領域に大別してもよい。 40

【0015】

なお表示装置とは、発光素子を有する画素部及び駆動回路を基板とカバー材との間に封入したパネル、前記パネルにIC等を実装したモジュール、パソコンのモニターとして用いられるディスプレイなどを範疇に含む。つまり表示装置とは、パネル、モジュール及びディスプレイなどの総称に相当する。

【0016】

画素部Eの構成例についてここでは4つの形態について説明するが、まず第1の構成について図13（A）を用いて説明する。図13（A）において、画素部Eには複数の画素が 50

マトリクス状に配置され、さらに各画素を列方向に 2 本のデータ線、各画素を行方向に 1 本の走査線が通っている。本形態では、画素部が中央で分割され、画面上半分にはデータ線 S A、S B が配置され、画面下半分にはデータ線 S C、S D が配置される。そして、データ線 S A に接続した画素を E - 1、データ線 S B に接続した画素を E - 2、データ線 S C に接続した画素を E - 3、データ線 S D に接続した画素を E - 4 と表記する。つまり画素 E - 1 はデータドライバ A、画素 E - 2 はデータドライバ B、画素 E - 3 はデータドライバ C、画素 E - 4 はデータドライバ D にそれぞれ制御される。

【0017】

そして画面の左側には走査ドライバ F 1 ~ I 1 が配置され、画面の右側には走査ドライバ F 2 ~ I 2 が配置される。そして画素 E - 1 の選択は、走査ドライバ F 1 及び F 2 によって画面の左側及び右側の両方の方向から行われる。その他の画素 E - 2 ~ E - 4 も同様である。

10

なお走査ドライバは、必ずしも画面の両側に配置しなくてもよいが、画面の両側に配置することで、片側の場合に比べて画素の選択速度を向上させることができる。そのため、特に負荷が重くなる大画面の高解像度の表示装置では、走査ドライバは画面の両側に配置することが望ましい。

上記構成を有する本発明は、大型画面の表示装置に顕著である、配線に対する寄生容量が大きいために生ずる書き込み時間不足を解消することができる。

【0018】

ここで、画素部 E の画面上半分には $(i \times j)$ 個の画素、画面下半分には $(n \times m)$ 個の画素が配置されると仮定し、座標 $(i, j - 1)$ 、 (i, j) 、 $(n, m - 1)$ 、 (n, m) に配置された 4 つの画素 E - 1 ~ E - 4 の構成について、図 13 (B) (C) を用いて説明する。なお画素の回路構成は自由に設計可能であるため、図中、画素内にはスイッチング用素子と発光素子のみを示す。

20

図 13 (B) (C) に示す 4 つの画素の各々は、異なるデータ線 S A ~ S D に制御される。そのため、画素 E - 1 ~ E - 4 を制御する 4 本の走査線 $G_{(j-1)} \sim G_j$ 、 $G_{(m-1)} \sim G_m$ は同時に選択することが可能となり、その結果 4 つの画素には同じタイミングで信号を書き込むことが可能となる。そうすると、従来点順次駆動ならば 1 画素毎に信号を供給していたところを x 個の画素に同時に信号を供給することが可能となり、さらに従来線順次駆動ならば 1 列目から最終列目（ここでは最終列は n 列とおく）までの n 個の画素に同時に信号を供給していたところを $(x \times n)$ 個の画素に同時に信号を供給することが可能となる。本構成により、画素に対する書き込み時間を向上させることが可能となり、書き込み時間不足を解消することができる。

30

なお図 13 (C) は、隣接する画素間において、走査線を共通にした場合を示す。本発明は、1 列に複数本の信号線を配置するため、開口率の向上のために、隣接する画素同士で走査線を共有してもよい。

【0019】

次いで第 2 の構成について、図 2 を用いて説明する。図 2 において、画素部 E には複数の画素がマトリクス状に配置され、さらに各画素を列方向に 4 本のデータ線、各画素を行方向に 1 本の走査線が通っている。そしてここでは、1 列に配置された 4 本のデータ線を S A ~ S D と表記し、上記の形態と同様に、データ線 S A に接続した画素を E - 1、データ線 S B に接続した画素を E - 2、データ線 S C に接続した画素を E - 3、データ線 S D に接続した画素を E - 4 と表記する。

40

【0020】

次いで、座標 $(i, j) \sim (i, j + 3)$ に配置された 4 つの画素 E - 1 ~ E - 4 の構成例について、図 2 (B) (C) を用いて図示する。図 2 (B) (C) に示す 4 つの画素の各々は、異なるデータ線 S A ~ S D に制御される。そのため、画素 E - 1 ~ E - 4 は同時に選択することが可能となり、その結果 4 つの画素には同じタイミングで信号を書き込むことが可能となる。

【0021】

50

次いで第3の構成について、図8を用いて説明する。図8(A)において、画素部Eには複数の画素がマトリクス状に配置され、さらに各画素を列方向に2本のデータ線、各画素を行方向に1本の走査線が通っている。本形態では、画素部が中央で分割され、画面上半分にはデータ線SA、SB、画面下半分にはSC、SDが配置される。

そして、データドライバAに制御されるデータ線をSA、データドライバBに制御されるデータ線をSB、データドライバCに制御されるデータ線をSC、データドライバDに制御されるデータ線をSDと表記する。また上記第1、第2の形態と同様に、データ線SAに接続した画素をE-1、データ線SBに接続した画素をE-2、データ線SCに接続した画素をE-3、データ線SDに接続した画素をE-4と表記する。つまり画素E-1はデータドライバA、画素E-2はデータドライバB、画素E-3はデータドライバC、画素E-4はデータドライバDにそれぞれ制御される。

10

【0022】

ここで、画素E-1～E-4の構成について、図8(B)(C)に示す。図8(B)(C)に示す4つの画素の各々は、異なるデータ線SA～SDに制御される。そのため、画素E-1～E-4は同時に選択することが可能となり、その結果4つの画素には同じタイミングで信号を書き込むことが可能となる。

【0023】

次いで第4の構成について、図14を用いて説明する。図14において、画素部Eには複数の画素がマトリクス状に配置され、さらに各画素を列方向に4本のデータ線、各画素を行方向に1本の走査線が通っている。そしてここでは、1列に配置された4本のデータ線をSA～SDと表記し、上記の形態と同様に、データ線SAに接続した画素をE-1、データ線SBに接続した画素をE-2、データ線SCに接続した画素をE-3、データ線SDに接続した画素をE-4と表記する。つまり画素E-1はデータドライバA、画素E-2はデータドライバB、画素E-3はデータドライバC、画素E-4はデータドライバDにそれぞれ制御される。

20

【0024】

ここで、画素E-1からE-4の構成について、図14(B)(C)に示すE-1～E-4の4つの画素の各々は、異なるデータ線SA～SDに制御される。そのため、画素E-1～E-4は同時に選択することが可能となり、その結果4つの画素には同じタイミングで信号を書き込むことが可能となる。

30

【0025】

次いで、上記の第1～第4の構成の走査方法の例について、図9を用いて説明する。図8に示した第3の構成については図9(A)、図13に示した第1の構成については図9(B)、また図2、14に示した第2及び第4の構成については図9(C)を用いて説明する。

【0026】

図13に示した第1の構成では、画素部を1行目から $m/2$ 行目までと、 $(m/2 + 1)$ 行目から最終行目(ここでは m 行とする)までの2つの領域に大別する。1行目から $(m/2 + 1)$ 行目に配置された画素のうち、奇数行目に配置された画素は走査ドライバF、偶数行目に配置された画素は走査ドライバGに制御される。 $(m/2 + 1)$ 行目から最終行目に配置された画素のうち、奇数行目に配置された画素は走査ドライバH、偶数行目に配置された画素は走査ドライバIに制御される。そして、走査ドライバFにより1行目から $m/2$ 行目の方向に画素が走査され、同じタイミングで走査ドライバGにより $m/4$ 行目から $m/2$ 行目の方向に画素が走査される。

40

【0027】

図2、14に示した第2及び第4の構成では、複数の画素のうち、 m 行目、 $(m + 1)$ 行目、 $(m + 2)$ 行目、 $(m + 3)$ 行目に配置された画素に大別する。そして、 m 行目に配置された画素は走査ドライバF、 $(m + 1)$ 行目に配置された画素は走査ドライバG、 $(m + 2)$ 行目に配置された画素は走査ドライバH、 $(m + 3)$ 行目に配置された画素は走査ドライバIに制御される。

50

【0028】

図8に示した第3の構成では、画素部を1行目から最終行目（ここでは m 行とする）まで4つの領域に大別し、1行目から $m/4$ 行目に配置された画素は走査ドライバF、 $(m/4 + 1)$ 行目から $m/2$ 行目までに配置された画素は走査ドライバG、 $(m/2 + 1)$ 行目から $(3 \times m)/4$ 行目までに配置された画素は走査ドライバH、 $\{(3 \times m)/4 + 1\}$ 行目から最終行目までに配置された画素は走査ドライバIに制御される。つまり、1行目から $m/4$ 行目に配置された画素が走査ドライバFにより走査され、同じタイミングで $(m/4 + 1)$ 行目から $m/2$ 行目に配置された画素が走査ドライバGにより走査される。 $m/2$ 行目から $(3 \times m)/4$ 行目が走査ドライバHにより走査され、 $\{(3 \times m)/4 + 1\}$ 行目から最終行目までに配置された画素が走査ドライバIにより走査される。

【0029】

次いで、データドライバの構成例について説明する。ここではデータドライバAを例に挙げて、図3を用いて説明する。データドライバは複数の領域に大別し、各々を並行して動作させる。ここでは、A-1～A-8の8個に大別されるとする。仮に画素数がカラーSXGAの場合には、A-1～A-8の各々には $(160 \times (RGB))$ 本のデータ線が接続される。

そして、データドライバが点順次駆動を行う場合には、データドライバA-1～A-8の各々はシフトレジスタSR1～SR40とサンプリング回路SMP1～SMP40を有する。またデータドライバが線順次駆動を行う場合には、データドライバA-1～A-8の各々は、シフトレジスタSR1～SR40及び第1ラッチL1-1～L1-40、並びに第2ラッチL2-1～L2-40を有する。仮に画素数がSXGAの場合には、SMP1～SMP40の各々には $(4 \times (RGB))$ 本のデータ線が接続される。

【0030】

ここで、図3(B)のデータドライバの動作を簡単に説明する。このデータドライバは点順次駆動用で、映像信号が電圧形式のアナログ駆動の場合に適している。シフトレジスタSR1～SR40の各々は、フリップフロップ回路(FF)やデコーダ等を複数列用いて構成され、クロック(S-CLK)やスタートパルス(S-SP)のタイミングに従って、順次サンプリングパルスを出力し、該サンプリングパルスをサンプリング回路SMP1～SMP40に供給する。サンプリング回路SMP1～SMP40にはビデオ信号が入力されており、入力されるサンプリングパルスのタイミングに従って、該サンプリング回路SMP1～SMP40に入力されたビデオ信号はデータ線SA₁～SA₁₆₀に出力される。

【0031】

次いで、図3(C)のデータドライバの動作を簡単に説明する。このデータドライバは線順次駆動用で、デジタル時分割駆動の場合に適している。シフトレジスタは、上述したように順次サンプリングパルスを出力し、該サンプリングパルスはサンプリング回路SMP1～SMP40(第1ラッチL1-1～L1-40)に供給される。サンプリング回路SMP1～SMP40には、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。サンプリング回路SMP1～SMP40において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第2ラッチL2-1～L2-40にラッチパルスが入力され、第1ラッチL1-1～L1-40に保持されていたビデオ信号は、一斉に第2ラッチL2-1～L2-40に転送される。そうすると、第2ラッチL2-1～L2-40に保持されていたビデオ信号は、1行分がサンプリング回路SMP1～SMP40を介して同時にデータ線SA₁～SA₁₆₀に入力される。そして第2ラッチL2-1～L2-40に保持されたビデオ信号がデータ線SA₁～SA₁₆₀に入力されている間、シフトレジスタSR1～SR40においては再びサンプリングパルスが出力される。以後この動作を繰り返す。

【0032】

ここで前記サンプリング回路SMP1～SMP40のタイミングチャートを図3(C)に示す。図3(C)に示すように、SMP1～SMP40の各々に配置された複数本のデー

10

20

30

40

50

タ線では、同時にビデオ信号の取り込みを行う。

【 0 0 3 3 】

本実施形態のように、画素数 $S \times G \times A$ で、15 サブフレームの時分割駆動を表示する場合、データドライバのクロック周波数を 5 MHz としたとき、1 水平走査期間を 4 μ sec 以上とすることも可能となり、充分に実用可能である。

【 0 0 3 4 】

次いで走査線ドライバの例について図 3 (E) を用いて説明する。この走査ドライバは、シフトレジスタ 310、バッファ 311 を有する。動作を簡単に説明すると、シフトレジスタ 310 は、上述したように順次サンプリングパルスを出力する。その後バッファ 311 で増幅されたサンプリングパルスは、走査線に入力されて 1 行ずつ選択状態にしていく。そして選択された走査線によって制御される画素には、順にデータ線からビデオ信号が書き込まれる。なおシフトレジスタ 310 とバッファ 311 の間にはレベルシフタを配置した構成にしてもよい。レベルシフタを配置することによって、ロジック回路部とバッファ部の電圧振幅を変えることが出来る。

10

【 0 0 3 5 】

上記構成を有する本発明は、表示装置の大型化及び高精細化に伴って生じる書き込み時間不足を解消した表示装置及びその駆動方法を提供する。特に本発明は、ディジタル時分割駆動やアナログ駆動で電流値形式の信号を用いる場合において顕著な書き込み時間不足を解消した表示装置及びその駆動方法を提供する。

【 0 0 3 6 】

20

(実施の形態 2)

本実施の形態では、画素部 E の i 列 j 行目に配置された画素について、代表的な構成例をいくつか挙げて、その構成を図 4 (A) (B)、図 10 (A) ~ (D) を用いて説明する。図 10 (A) は、画素回路の一般的な表現をしたものであり、具体例としては、電圧形式の映像信号の場合は、図 4 (A) (B) など、電流形式の映像信号の場合は図 10 (B) ~ (D) などが挙げられる。

【 0 0 3 7 】

図 4 (A) (B) において、スイッチ用トランジスタ 306 のゲート電極は走査線 G_j に接続され、第 1 のソース・ドレイン電極は信号線 S_i に接続され、第 2 のソース・ドレイン電極は駆動用トランジスタ 307 のゲート電極に接続されている。駆動用トランジスタ 307 の第 1 のソース・ドレイン電極は電源線 V_i に接続され、第 2 のソース・ドレイン電極は発光素子 308 の一方の電極に接続されている。発光素子 308 の他方の電極は電源線 C_j に接続されている。

30

【 0 0 3 8 】

また図 4 (B) において、スイッチ用トランジスタ 306 と消去用トランジスタ 309 とは直列に接続され、信号線 S_i と電源線 V_i の間に配置されている。消去用トランジスタ 309 のゲート電極は走査線 R_j に接続されている。ここでは、駆動用トランジスタ 307 の第 2 のソース・ドレイン電極に接続された発光素子 308 の一方の電極を画素電極と呼び、電源線 C_j に接続された他方の電極を対向電極と呼ぶ。

【 0 0 3 9 】

40

図 4 (A) (B) において、スイッチ用トランジスタ 306 は、映像信号の画素への入力を制御する機能を有する。スイッチ用トランジスタ 306 はスイッチとしての機能を有していれば良いので、その導電型は特に限定されない。n チャネル型及び p チャネル型のいずれも用いることができる。

【 0 0 4 0 】

また図 4 (A) (B) において、駆動用トランジスタ 307 は、発光素子 308 の発光を制御する機能を有する。駆動用トランジスタ 307 の導電型は特に限定されないが、駆動用トランジスタ 307 が p チャネル型であるとき、画素電極が陽極となり、対向電極が陰極となるのが好ましい。逆に駆動用トランジスタ 307 が n チャネル型であるとき、画素電極が陰極となり、対向電極が陽極となるのが好ましい。

50

【0041】

図4(B)において、消去用トランジスタ309は、発光素子308の発光を停止せしめる機能を有する。消去用トランジスタ309はスイッチとしての機能を有していれば良いので、その導電型は特に限定されない。

【0042】

上記図4(A)(B)に示した画素では、電圧の形式の信号が駆動用トランジスタ307のゲート電極に入力され、その駆動用トランジスタ307のドレイン電流が発光素子308に供給される。

【0043】

続いては、図10(A)に示すように、画素内に電流源312を配置し、該電流源312から所定の電流が発光素子308に供給される画素について説明する。前記電流源312は、信号線からビデオ信号が供給され、電源線から電流が供給され、制御線から制御信号が供給される。

【0044】

図10(B)において、トランジスタ313、314は、画素への信号の入力を制御する機能を有する。トランジスタ315のゲート・ソース間電圧は容量素子317によって所定の電圧に保持されているため、トランジスタ315は所定のドレイン電流を流す能力を有する。トランジスタ316は、発光素子308とトランジスタ315との導通を制御しており、トランジスタ316がオンであるとき、トランジスタ315のドレイン電流が発光素子308に供給される。図10(B)の回路は、画素へ入力した信号電流を、トランジスタ315を使って忠実に再現して、発光素子308に供給できる利点がある。但し、発光素子に供給する電流と、信号電流とを異なる値に出来ないのが難点である。

【0045】

図10(C)において、トランジスタ318は、画素への信号の入力を制御する機能を有する。トランジスタ319、320はカレントミラー回路を構成し、トランジスタ319、320のゲート・ソース間電圧は容量素子322によって所定の電圧に保持されているため、トランジスタ319、320は所定のドレイン電流を流す能力を有する。トランジスタ321は、トランジスタ320のゲートとトランジスタ319のドレインの間に配置される。図10(C)の回路は、トランジスタ319と320とのサイズ比を変化させることにより、発光素子308に供給する電流と信号電流との比を自由に設定できるのが利点である。しかし、トランジスタ319と320の特性が等しくないと、トランジスタ320により発光素子308に供給される電流が、画素毎に変わってしまい、表示ムラとして視認されてしまう難点がある。

【0046】

図10(D)において、トランジスタ71~75は、画素への信号の入力を制御する機能を有する。画素へ信号を書き込むときには、トランジスタ71~78をオンにして、トランジスタ79、85をオフにする。逆に発光素子308に電流を供給するときには、トランジスタ71~78をオフにして、トランジスタ79、85をオンにする。図10(D)の回路は、図10(B)(C)の回路の双方の利点を持つ。

【0047】

画素に配置されるトランジスタは、ゲート電極が1本のシングルゲート構造だけではなく、ゲート電極が2本のダブルゲート構造やゲート電極が3本のトリプルゲート構造などのマルチゲート構造を有していてもよい。またゲート電極が半導体の上部に配置されたトップゲート構造、ゲート電極が半導体の下部に配置されたボトムゲート構造のいずれの構造を有していてもよい。また図4(A)(B)に示す画素は、トランジスタ307のソース・ゲート間の容量結合が大きいことを前提に、容量素子を明示していないが、本発明はこれに限定されずトランジスタ307のゲート・ソース間電圧を保持する容量素子を配置してもよい。また発光素子308とは、陽極及び陰極、並びに前記陽極と前記陰極との間に発光層が挟まれた構造を有する。前記発光層は、有機材料、カーボンナノライトなどの無機材料及びバルク材料などから選択された1つ又は複数の材料により構成される。

10

20

30

40

50

【0048】

なお隣接した画素同士で電源線 V_i を共有してもよい。つまり、必ずしも1列単位で電源線を設ける必要はなく、隣接する列同士で同一の電源線を共有することが出来る。本発明は、1列に複数本の信号線を配置するため、隣接する列同士で電源線を共有することは、開口率の向上に役立つ。

【0049】

但し、カラー表示を行う表示装置においては、1画素に配置されたRGBの各色に対応した各画素は、RGBの各材料の電流密度やカラーフィルタなどの透過率の相違により、同じ電圧を印加しても発せられる光の輝度は異なってしまうことがある。そのため、この場合には各色に対応した電源線を配置し、各色で電位を設定するようにしてもよい。なお本発明では、RGB1組を1画素と称するのではなく、Rだけで1画素、Gだけで1画素、Bだけで1画素と称することにする。

10

【0050】

次いで、本発明の表示装置に時分割駆動を適用したときの動作について図4(C)~(E)を用いて説明する。図4(C)~(E)に示したタイミングチャートは、横軸は時間を示し、縦軸は走査線を示す。

【0051】

時分割駆動では、1フレーム期間は複数のサブフレーム期間SFに分割される。各サブフレーム期間SFは、書き込み期間Ta及び表示期間Ts、又は書き込み期間Ta及び表示期間Ts並びに消去期間Teを有する。

20

【0052】

消去期間Teは、書き込み期間Taよりも短い表示期間Tsを有するサブフレーム期間SFにのみ設けられる。これは表示期間Tsの終了後、直ちに次の書き込み期間Taが開始しないようにするためである。仮に表示期間Tsの終了後、直ちに書き込み期間Taが開始されると、同じタイミングで走査線を2本選択することになって、信号線から画素に正しい信号を入力できなくなるからである。

【0053】

時分割駆動では、各サブフレーム期間SFにおける発光期間の長さを異なるものとし、各サブフレーム期間SFの点灯又は非点灯の組み合わせにより階調を表現する。図4に示した例では、階調数を5ビットとして、1フレーム期間を5つのサブフレーム期間SF1~SF5に分割している。そして各サブフレーム期間が有する表示期間Ts1~Ts5の長さを $Ts1 : Ts2 : Ts3 : Ts4 : Ts5 = 16 : 8 : 4 : 2 : 1$ というように2のべき乗として、多階調が得られるようにしている。つまり、nビット階調を表現するときには、表示期間Ts1~Tsnの長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ となる。そして書き込み期間Taは、各画素にデジタルビデオ信号を書き込む期間であり、各サブフレーム期間SFでの長さは等しい。表示期間Tsは、各画素に書き込まれたビデオ信号に基づいて、画素が点灯又は非点灯を行う期間である。

30

【0054】

ここで、図4(B)の画素を例に挙げて、上記の書き込み期間Ta及び表示期間Ts並びに消去期間Teの各期間における動作について説明する。

40

【0055】

まず書き込み期間Taにおいて、走査線Gjはパルスが入力されてHレベルとなり、スイッチ用トランジスタ306はオンする。そうすると、信号線Siに出力されたデジタルビデオ信号が駆動用トランジスタ307のゲート電極に入力される。

次いで、表示期間Tsにおいて、駆動用トランジスタ307がオンすることによって、電源線Viの電位と電源線Cjとの電位差によって発光素子308に電流が流れて発光する。また駆動用トランジスタ307がオフのときは、発光素子308に電流は流れず、非発光となる。

続いて、消去期間Teにおいて、走査線Rjはパルスが入力されてHレベルとなり、消去用トランジスタ309がオンする。消去用トランジスタ309がオンすると、駆動用トラ

50

ンジスタ 307 のゲート・ソース間電圧がゼロとなり、駆動用トランジスタ 307 はオフする。そうすると、発光素子 308 には電流が供給されなくなり、非発光の状態となる。なお消去期間 T_e は、サブフレーム期間 $SF5$ のみ設けられている。これはサブフレーム期間 $SF5$ においては、書き込み期間 $Ta5$ よりも短い表示期間 $Ts5$ を有しているため、該表示期間 $Ts5$ の終了後、直ちに次の書き込み期間が開始しないようにするためである。

【0056】

図 4 のタイミングチャートでは、サブフレーム期間 $SF1 \sim SF5$ が順に出現していたが、本発明はこれに限定されない。サブフレーム期間はランダムに出現してもよい。また擬似輪郭等の表示妨害を抑制するため、任意のサブフレーム期間を分割して出現させてもよい。

10

【0057】

上記構成を有する本発明は、表示装置の大型化及び高精細化に伴って生じる書き込み時間不足を解消した表示装置及びその駆動方法を提供する。特に本発明は、デジタル時分割駆動やアナログ駆動で電流値形式の信号を用いる場合において顕著な書き込み時間不足を解消した表示装置及びその駆動方法を提供する。

【0058】

本実施の形態は、実施の形態 1 と任意に組み合わせることが可能である。

【0059】

(実施の形態 3)

20

本実施の形態では、図 2 に示した形態に図 4 (A) に示した回路を適用した場合における、画素のレイアウト上面図について図 5 を用いて説明する。

【0060】

図 5 には画素 $E-1 \sim E-4$ の 4 つの画素を図示し、列方向にデータ線 $SAi \sim SDi$ 、行方向に走査線 $G_j \sim G_{(j+3)}$ が配置されている。各画素は、スイッチ用 TFT、駆動用 TFT 及び容量体を有する。駆動用 TFT に接続される発光素子は、画素電極及び発光層並びに対向電極の積層体に相当するが、図 5 では画素電極のみを図示している。

【0061】

スイッチ用 TFT はダブルゲート型トランジスタとしているが、本発明はこれに限定されず、シングルゲート型であっても、任意の数のマルチゲート型であっても良い。また図中、駆動用 TFT のゲート・ソース間電圧を保持するための手段として、電源線及びゲート電極と同じ層で形成された金属体並びにその間に配置された絶縁体で容量体を形成している。しかしながら、駆動用 TFT 自身のゲート容量及びチャネル容量、配線等の寄生容量で、駆動用 TFT のゲート・ソース間電圧を保持することが可能な場合には、新たに容量体を配置しなくてもよい。

30

【0062】

本実施の形態は、実施の形態 1、2 と任意に組み合わせることが可能である。

【0063】

(実施の形態 4)

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) などが挙げられる。それらの電子機器の具体例を図 6 に示す。

40

【0064】

図 6 (A) は発光装置であり、筐体 2001、支持台 2002、表示部 2003、スピーカ部 2004、ビデオ入力端子 2005 等を含む。本発明は表示部 2003 に適用することができる。また本発明により、図 6 (A) に示す発光装置が完成される。発光装置は

50

自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0065】

図6(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は、表示部2102に適用することができる。また本発明により、図6(B)に示すデジタルスチルカメラが完成される。

【0066】

図6(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明は、表示部2203に適用することができる。また本発明により、図6(C)に示す発光装置が完成される。

【0067】

図6(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は、表示部2302に適用することができる。また本発明により、図6(D)に示すモバイルコンピュータが完成される。

【0068】

図6(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明は表示部A、B2403、2404に適用することができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により図6(E)に示す画像表示装置が完成される。

【0069】

図6(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明は、表示部2502に適用することができる。また本発明により、図6(F)に示すゴーグル型ディスプレイが完成される。

【0070】

図6(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明は、表示部2602に適用することができる。また本発明により、図6(G)に示すビデオカメラが完成される。

【0071】

図6(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は、表示部2703に適用することができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図6(H)に示す携帯電話が完成される。

【0072】

なお、将来的に発光材料の進歩により高輝度発光使用が可能となれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0073】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増えている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【 0 0 7 4 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 0 7 5 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態 1 ~ 3 に示したいずれの構成の表示装置を用いても良い。

【 0 0 7 6 】

10

(実施の形態 5)

形態 4 において示した電子機器には、発光素子が封止された状態にあるパネルに、コントローラ、電源回路等を含む IC が実装された状態にあるモジュールが搭載されている。モジュールとパネルは、共に表示装置の一形態に相当する。ここでは、モジュールの具体的な構成例について説明する。

【 0 0 7 7 】

図 1 1 (A) に、コントローラ 8 0 1 及び電源回路 8 0 2 がパネル 8 0 0 に実装されたモジュールの外観図を示す。パネル 8 0 0 には、発光素子が各画素に設けられた画素部 8 0 3 と、前記画素部 8 0 3 が有する画素を選択する走査線駆動回路 8 0 4 と、選択された画素にビデオ信号を供給する信号線駆動回路 8 0 5 とが設けられている。

20

【 0 0 7 8 】

またプリント基板 8 0 6 にはコントローラ 8 0 1、電源回路 8 0 2 が設けられており、コントローラ 8 0 1 または電源回路 8 0 2 から出力された各種信号及び電源電圧は、F P C 8 0 7 を介してパネル 8 0 0 の画素部 8 0 3、走査線駆動回路 8 0 4、信号線駆動回路 8 0 5 に供給される。

【 0 0 7 9 】

プリント基板 8 0 6 への電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース (I / F) 部 8 0 8 を介して供給される。

【 0 0 8 0 】

なお、本実施例ではパネル 8 0 0 にプリント基板 8 0 6 が F P C を用いて実装されているが、必ずしもこの構成に限定されない。C O G (C h i p o n G l a s s) 方式を用い、コントローラ 8 0 1、電源回路 8 0 2 をパネル 8 0 0 に直接実装させるようにしても良い。

30

【 0 0 8 1 】

また、プリント基板 8 0 6 において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント基板 8 0 6 にコンデンサ、バッファ等の各種素子を設けて、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐようにしても良い。

【 0 0 8 2 】

40

図 1 1 (B) に、プリント基板 8 0 6 の構成をブロック図で示す。インターフェース 8 0 8 に供給された各種信号と電源電圧は、コントローラ 8 0 1 と、電源電圧 8 0 2 に供給される。

【 0 0 8 3 】

コントローラ 8 0 1 は、アナログインターフェイス回路 8 0 9 と、位相ロックドープ (P L L : P h a s e L o c k e d L o o p) 8 1 0 と、制御信号生成部 8 1 1 と、S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) 8 1 2、8 1 3 とを有している。なお本実施例では S R A M を用いているが、S R A M の代わりに、S D R A M や、高速でデータの書き込みや読み出しが可能であるならば D R A M (D y n a m i c R a n d o m

50

Access Memory)も用いることが可能である。

【0084】

インターフェース808を介して供給されたアナログビデオ信号は、アナログインターフェイス回路809においてAD変換及びパラレル-シリアル変換され、R、G、Bの各色に対応するデジタルビデオ信号として制御信号生成部811に入力される。また、インターフェース808を介して供給された各種信号をもとに、アナログインターフェイス回路809においてHsync信号、Vsync信号、クロック信号CLKなどが生成され、制御信号生成回路811に入力される。但し、インターフェース808に直接デジタルビデオ信号が入力される場合は、アナログインターフェイス回路809は配置しなくてもよい。

10

【0085】

位相ロックドループ810では、インターフェース808を介して供給される各種信号の周波数と、制御信号生成回路811の動作周波数の位相とを合わせる機能を有している。制御信号生成回路811の動作周波数は、インターフェース808を介して供給された各種信号の周波数と必ずしも同じではないが、互いに同期するように制御信号生成回路811の動作周波数を位相ロックドループ810において調整する。

【0086】

制御信号生成回路811に入力されたビデオ信号は、一旦SRAM812、813に書き込まれ、保持される。制御信号生成回路811では、SRAM812に保持されている全ビットのビデオ信号のうち、全画素に対応するビデオ信号を1ビット分ずつ読み出し、パネル800の信号線駆動回路805に供給する。

20

【0087】

また制御信号生成回路811では、各ビットの発光素子が発光する期間に関する情報を、パネル800の走査線駆動回路804に供給する。

【0088】

また電源回路802は所定の電源電圧を、パネル800の信号線駆動回路805、走査線駆動回路804及び画素部803に供給する。

【0089】

次に電源回路802の詳しい構成について、図12を用いて説明する。電源回路802は、4つのスイッチングレギュレータコントロール860を用いたスイッチングレギュレータ854と、シリーズレギュレータ855とからなる。

30

【0090】

一般的にスイッチングレギュレータは、シリーズレギュレータに比べて小型、軽量であり、降圧だけでなく昇圧や正負反転することも可能である。一方シリーズレギュレータは、降圧のみに用いられるが、スイッチングレギュレータに比べて出力電圧の精度は良く、リップルやノイズはほとんど発生しない。本実施例の電源回路802では、両者を組み合わせて用いる。

【0091】

図12に示すスイッチングレギュレータ854は、スイッチングレギュレータコントロール(SWR)860と、アテニュエーター(減衰器:ATT)861と、トランス(T)862と、インダクター(L)863と、基準電源(Vref)864と、発振回路(OSC)865、ダイオード866と、バイポーラトランジスタ867と、可変抵抗868と、容量869とを有している。

40

【0092】

スイッチングレギュレータ854において外部のLiイオン電池(3.6V)等の電圧が変換されることで、陰極に与えられる電源電圧と、スイッチングレギュレータ854に供給される電源電圧が生成される。

【0093】

またシリーズレギュレータ855は、バンドギャップ回路(BG)870と、アンプ871と、オペアンプ872と、電流源873と、可変抵抗874と、バイポーラトランジス

50

タ 8 7 5 とを有し、スイッチングレギュレータ 8 5 4 において生成された電源電圧が供給されている。

【 0 0 9 4 】

シリーズレギュレータ 8 5 5 では、スイッチングレギュレータ 8 5 4 において生成された電源電圧を用い、バンドギャップ回路 8 7 0 において生成された一定の電圧に基づいて、各色の発光素子の陽極に電流を供給するための配線（電流供給線）に与える直流の電源電圧を、生成する。

【 0 0 9 5 】

なお電流源 8 7 3 は、ビデオ信号の電流が画素に書き込まれる駆動方式の場合に用いる。この場合、電流源 8 7 3 において生成された電流は、パネル 8 0 0 の信号線駆動回路 8 0 5 に供給される。なお、ビデオ信号の電圧が画素に書き込まれる駆動方式の場合には、電流源 8 7 3 は必ずしも設ける必要はない。

【 0 0 9 6 】

【 発明の効果 】

本発明は、1列毎に x 本のデータ線（ x は4以上の自然数）を配置し、該 x 本のデータ線の各々を介して x 個の画素に信号を同時に供給することが可能な表示装置及びその駆動方法を提供する。さらに本発明は、データ線を選択するデータドライバを複数配置することで、従来点順次駆動では1画素毎に信号を供給していたところを x 個の画素に同時に信号を供給することを可能とし、さらに従来線順次駆動では1列目から最終列目（ここでは最終列は n 列とおく）までの n 個の画素に信号を供給していたところを（ $x \times n$ ）個の画素に同時に信号を供給することを可能とした表示装置およびその駆動方法を提供する。

【 0 0 9 7 】

上記構成を有する本発明は、表示装置の大型化及び高精細化に伴って生じる書き込み時間不足を解消した表示装置及びその駆動方法を提供する。特に本発明は、デジタル時分割駆動やアナログ駆動で電流値形式の信号を用いる場合において顕著な書き込み時間不足を解消した表示装置及びその駆動方法を提供する。

【 図面の簡単な説明 】

【 図 1 】 表示装置を示す図。

【 図 2 】 画素部及び画素の回路図。

【 図 3 】 データドライバを示す図。

【 図 4 】 画素の回路図及び駆動方法を説明するタイミングチャート。

【 図 5 】 画素のマスキレイアウト図。

【 図 6 】 本発明が適用される電子機器の図。

【 図 7 】 画素部の回路図。

【 図 8 】 画素部の回路図。

【 図 9 】 駆動方法を説明する図。

【 図 1 0 】 画素の回路図。

【 図 1 1 】 モジュールの図。

【 図 1 2 】 電源回路の図。

【 図 1 3 】 画素部及び画素の回路図。

【 図 1 4 】 画素部及び画素の回路図。

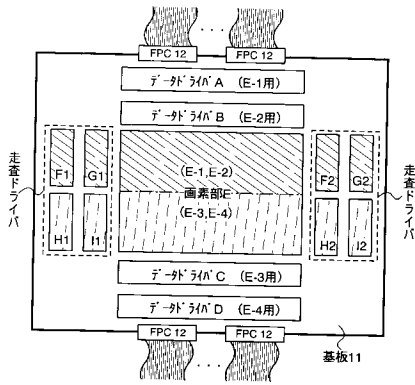
10

20

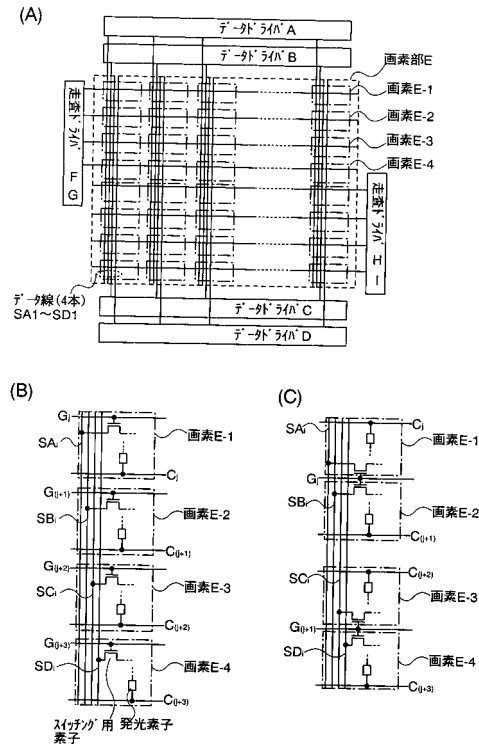
30

40

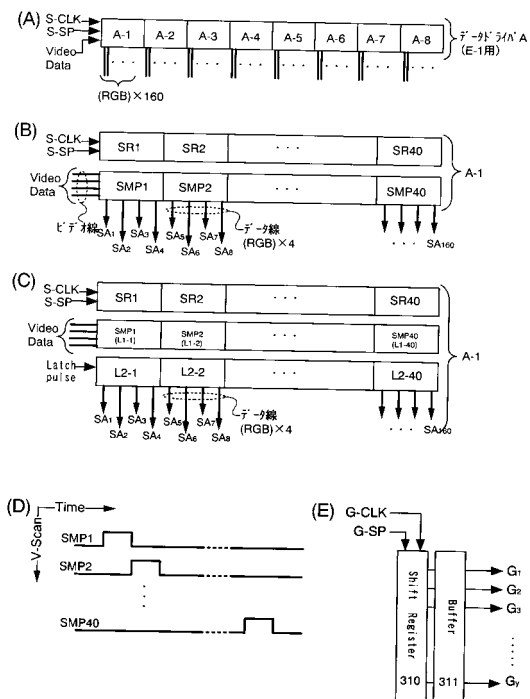
【図 1】



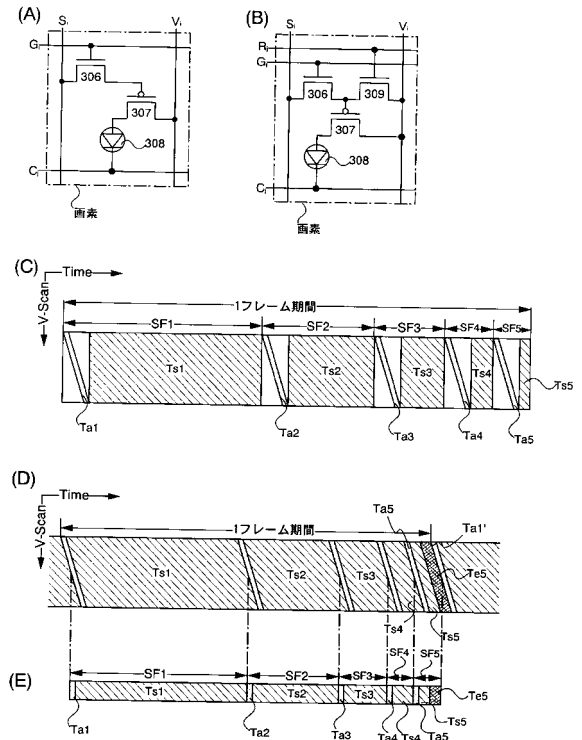
【図 2】



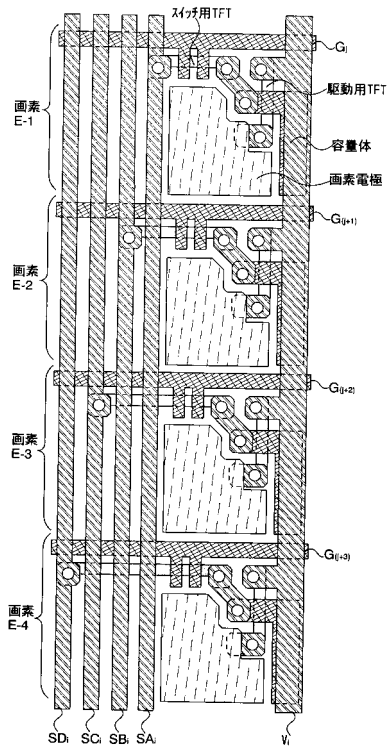
【図 3】



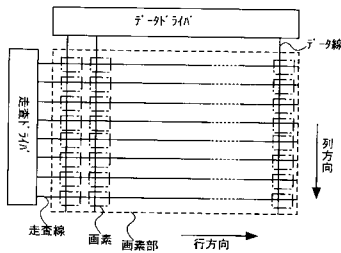
【図 4】



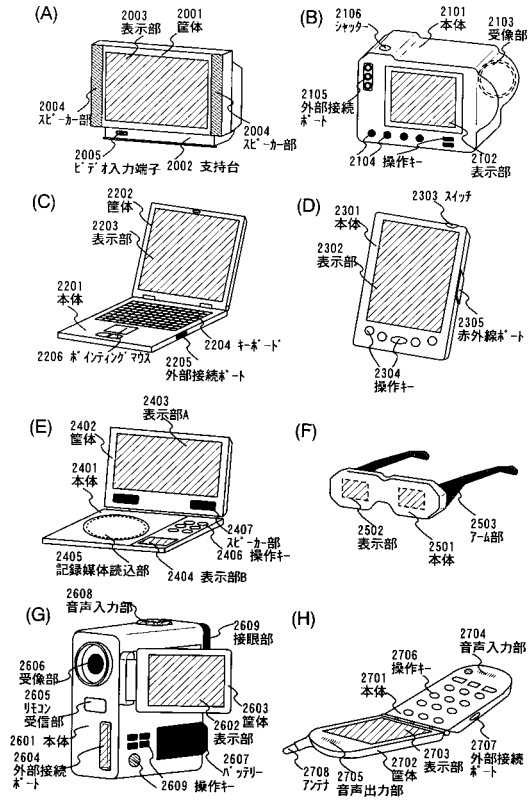
【図 5】



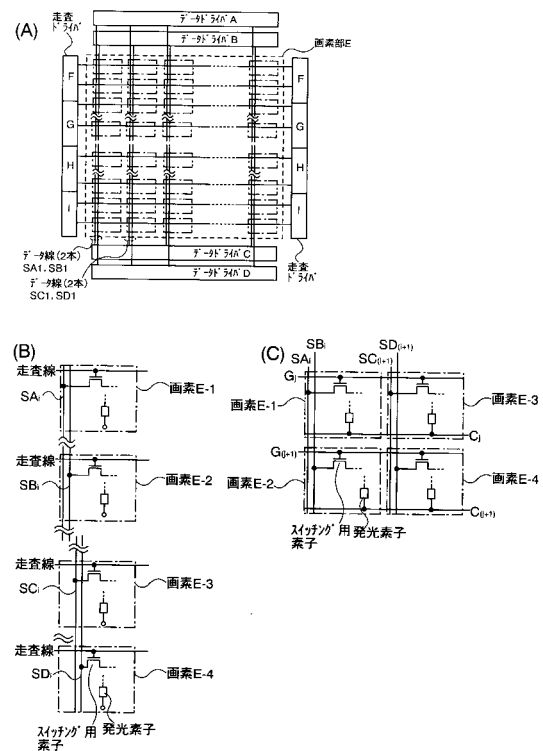
【図 7】



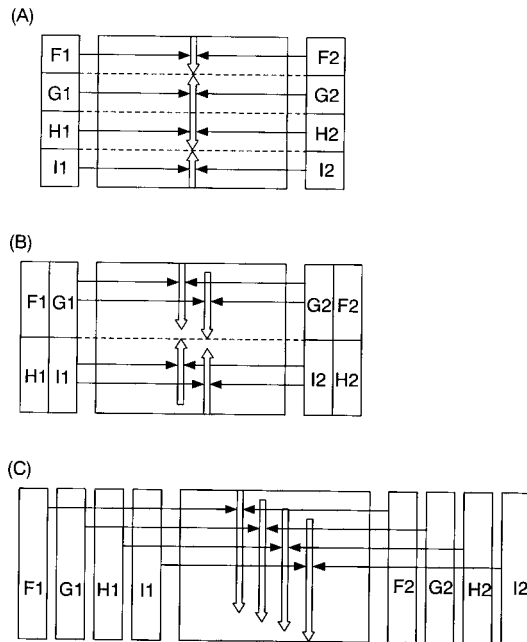
【図 6】



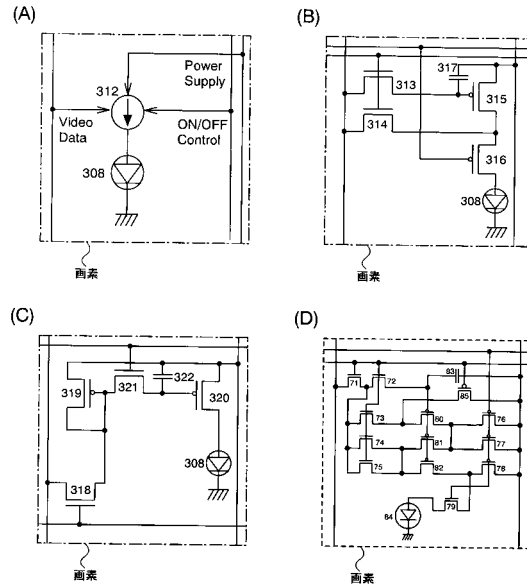
【図 8】



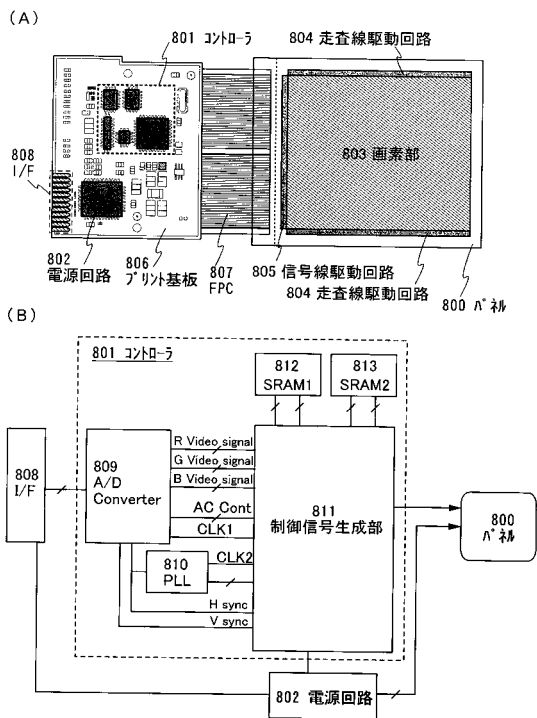
【図 9】



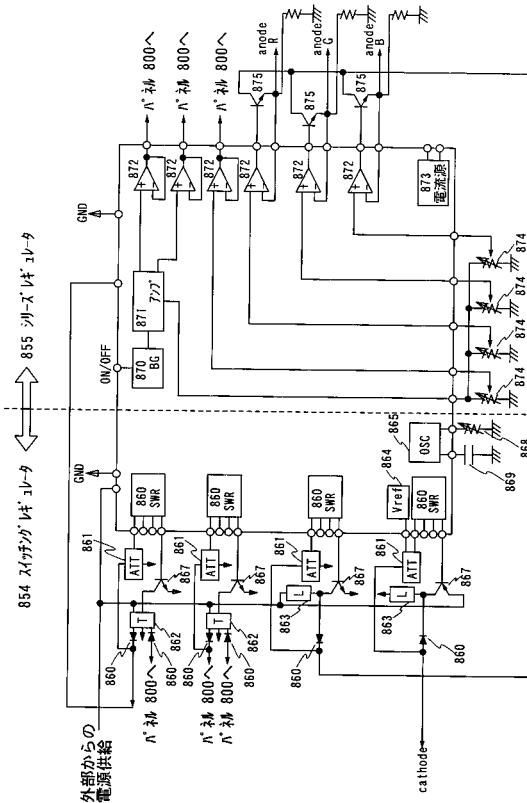
【図 10】



【図 11】



【図 12】



 フロントページの続き
(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/30	J
H 0 5 B	33/08	
H 0 5 B	33/14	A

F ターム(参考) 5C094 AA03 AA05 AA07 AA10 AA13 AA48 AA49 AA53 AA55 AA56
 BA03 BA12 BA27 CA19 CA24 CA25 DA09 DB01 EA04 FA01
 GA10