



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년06월10일
(11) 등록번호 10-2816907
(24) 등록일자 2025년05월30일

(51) 국제특허분류(Int. Cl.)
G06F 30/398 (2020.01) G06F 117/12 (2020.01)
G06F 15/78 (2006.01) G06F 30/392 (2020.01)
G06F 30/394 (2020.01)
(52) CPC특허분류
G06F 30/398 (2020.01)
G06F 15/7821 (2013.01)
(21) 출원번호 10-2024-0069636
(22) 출원일자 2024년05월28일
심사청구일자 2024년05월28일
(56) 선행기술조사문헌
KR1020140023806 A*
(뒷면에 계속)

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
서영교
경기도 부천시 길주로77번길 19-45, 920호(상동, 디아프갤러리4오피스텔)
최수름
인천광역시 연수구 선학로 100, 5동 1204호(선학동, 금호아파트)
(뒷면에 계속)
(74) 대리인
양성보

전체 청구항 수 : 총 6 항

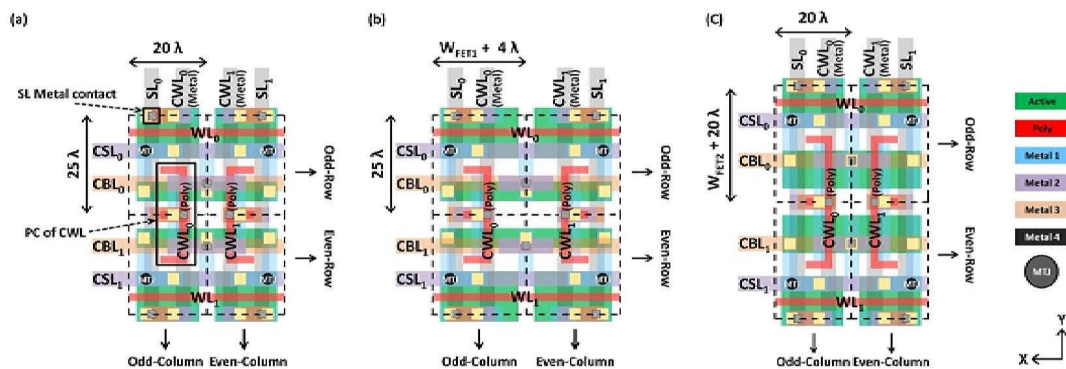
심사관 : 김경완

(54) 발명의 명칭 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 방법 및 시스템

(57) 요약

PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 방법 및 시스템이 제시된다. 본 발명에서 제안하는 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 방법은 설계부를 통해 금속 CWL(Column-Word-Line)기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계, 설계부를 통해 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계, 설계부를 통해 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계 및 분석부를 통해 상기 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석하는 단계를 포함한다.

대표도



(52) CPC특허분류

G06F 30/392 (2020.01)

G06F 30/394 (2020.01)

G06F 2117/12 (2020.01)

(72) 발명자

한대진

인천광역시 미추홀구 인하로77번길 6-30, 301호(용현동)

최찬영

광주광역시 북구 설죽로336번길 21, 삼익 2차 160 2호(오치동, 삼익아파트)

(56) 선행기술조사문헌

KR1020220054664 A*

Henry Park 외 5명, "Analysis of STT-RAM cell design with multiple MTJs per access", 2011 IEEE/ACM International Symposium on Nanoscale Architectures, 2011.07.07., pp.53-58. 1부.*

KR1020100004109 A

KR1020110000753 A

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호

1711194127

과제번호

2021M3F3A2A01037531

부처명

과학기술정보통신부

과제관리(전문)기관명

한국연구재단

연구사업명

신소자원친기술개발

연구과제명

[Ezbaro] Dynamic logic 기반 고성능 STMG 로직 회로 설계

과제수행기관명

인하대학교

연구기간

2024.01.01 ~ 2024.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호

1415186528

과제번호

20009972

부처명

산업통상자원부

과제관리(전문)기관명

한국산업기술기획평가원

연구사업명

차세대지능형반도체기술개발

연구과제명

고효율 초저전력 경량 엣지 디바이스용 소자회로 및 SoC 개발(4차년도)

과제수행기관명

인하대학교

연구기간

2023.01.01 ~ 2024.06.30

이 발명을 지원한 국가연구개발사업

과제고유번호

2710008712

과제번호

2021-0-02052-004

부처명

과학기술정보통신부

과제관리(전문)기관명

정보통신기획평가원

연구사업명

대학ITRC센터육성지원사업(교육운영수익)

연구과제명

스마트 모빌리티를 위한 인공지능 시스템반도체 핵심 기술 개발 및 인력 양성

과제수행기관명

인하대학교

연구기간

2024.01.01 ~ 2024.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

설계부를 통해 금속 CWL(Column-Word-Line)기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계;

설계부를 통해 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계;

설계부를 통해 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계; 및

분석부를 통해 상기 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석하는 단계

를 포함하고,

상기 설계부를 통해 금속 WL기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계는,

상기 금속 WL기반 레이아웃 설계에 있어서, 상기 수직 폴리를 갖는 시냅스 어레이로 인한 레이아웃 설계의 복잡성 문제를 해결하기 위해 두 개의 폴리 실리콘(Polysilicon; PC)을 병렬 배치함으로써 레이아웃 면적을 감소시키고,

상기 PC의 병렬 배치를 통해 홀 수 열 셀에 대한 CSL(Column Source Line)의 금속 접촉은 짝수 열 셀의 금속 접촉과 결합되어 인접한 학습 동작을 위한 트랜지스터(T_2) 사이에 연속 확산 영역을 생성하고,

동일한 셀의 추론 동작을 위한 트랜지스터(T_1)와 학습 동작을 위한 트랜지스터(T_2)뿐만 아니라 두 개의 인접한 홀수 열 셀과 짝수 열 셀 사이에도 연속 확산 영역이 형성되도록 하는

트랜스포저블 STT-MRAM의 레이아웃 기반 설계 방법.

청구항 2

제1항에 있어서,

상기 설계부를 통해 금속 CWL기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계는,

상기 금속 CWL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉없이 설계되고,

CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉을 사용하여 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계하며,

상기 금속 CWL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 짝수 행 셀의 SL(Source Line) 금속 접촉은 홀수 행 셀과 결합되어 연속 확산 영역을 형성하고, 홀수 행 셀에 대한 CWL의 PC는 짝수 행 셀과 결합되는

트랜스포저블 STT-MRAM의 레이아웃 기반 설계 방법.

청구항 3

제1항에 있어서,

상기 설계부를 통해 금속 WL기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계는,

상기 금속 WL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉을 사용하여 설계되고,

CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉없이 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계하며,

상기 금속 WL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 홀수 행 셀 및 짝수 행 셀의 추론 동작을 위한 트랜지스터(T_1)는 동일한 열에 위치하고, 인접한 두 셀 사이에 WL의 PC를 통합하는

트랜스포저블 STT-MRAM의 레이아웃 기반 설계 방법.

청구항 4

삭제

청구항 5

금속 CWL(Column-Word-Line)기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하고, 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하고, 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 설계부; 및

상기 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석하는 분석부

를 포함하고,

상기 설계부는,

상기 금속 WL기반 레이아웃 설계에 있어서, 상기 수직 폴리를 갖는 시냅스 어레이로 인한 레이아웃 설계의 복잡성 문제를 해결하기 위해 두 개의 폴리 실리콘(Polysilicon; PC)을 병렬 배치함으로써 레이아웃 면적을 감소시키고,

상기 PC의 병렬 배치를 통해 홀 수 열 셀에 대한 CSL(Column Source Line)의 금속 접촉은 짝수 열 셀의 금속 접촉과 결합되어 인접한 학습 동작을 위한 트랜지스터(T_2) 사이에 연속 확산 영역을 생성하고,

동일한 셀의 추론 동작을 위한 트랜지스터(T_1)와 학습 동작을 위한 트랜지스터(T_2)뿐만 아니라 두 개의 인접한 홀수 열 셀과 짝수 열 셀 사이에도 연속 확산 영역이 형성되도록 하는

트랜스포저블 STT-MRAM의 레이아웃 기반 설계 시스템.

청구항 6

제5항에 있어서,

상기 설계부는,

상기 금속 CWL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉없이 설계되고,

CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉을 사용하여 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계하며,

상기 금속 CWL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 짝수 행 셀의 SL(Source Line) 금속 접촉은 홀수 행 셀과 결합되어 연속 확산 영역을 형성하고, 홀수 행 셀에 대한 CWL의 PC는 짝수 행 셀과 결합되는

트랜스포저블 STT-MRAM의 레이아웃 기반 설계 시스템.

청구항 7

제5항에 있어서,

상기 설계부는,

상기 금속 WL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉을 사용하여 설계되고,

CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉없이 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계하며,

상기 금속 WL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 홀수 행 셀 및 짝수 행 셀의 추론 동작을 위한 트랜지스터(T_1)는 동일한 열에 위치하고, 인접한 두 셀 사이에 WL의 PC를 통합하는

트랜스포저블 STT-MRAM의 레이아웃 기반 설계 시스템.

청구항 8

삭제

발명의 설명

기술 분야

[0001] 본 발명은 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 방법 및 시스템에 관한 것이다.

배경 기술

[0002] 신경망은 이미지 분류 및 음성 인식과 같은 복잡한 작업을 처리하는 데 있어 우수한 성능으로 인해 연구 관심이 증가하고 있다. 다양한 유형의 신경망 중에서, 생물학적 뉴런과 시냅스를 모방하는 스파이크 신경망(SNN)이 연구되었으며 저전력, 이벤트 중심의 비동기 스파이크 기반 병렬 처리를 위해 구현될 것으로 예상된다. SNN에서 대량의 데이터 및 실시간 추론의 효율적인 처리를 가능하게 하려면 새로운 컴퓨팅 기술이 개발되어야 한다.

[0003] 그러나 Von Neumann 아키텍처를 사용하는 기존의 컴퓨팅 시스템에서 평행 뉴런 처리와 같은 SNN의 이점을 완전히 이용할 수는 없다. 더욱이, 메모리와 컴퓨팅 블록이 분리되기 때문에, 상당한 양의 데이터가 메모리 블록 간에 전송되어 과도한 전력 소비와 성능 저하를 초래한다.

[0004] 이 문제를 해결하기 위해, PIM(Processing-in-Memory) 구조가 최근에 제안되었다. 이 구조는 메모리 및 처리 장치를 통합하여 데이터 이동과 병렬 작동을 줄임으로써 높은 에너지 효율과 낮은 대기 시간을 달성할 수 있다. STT-MRAM(Spin-Transfer Torque Magnetic Random Access Memory)은 높은 통합 밀도, 거의 제로 대기 누출 및 높은 내구성으로 인해 PIM 시스템에서 가장 바람직한 신흥 메모리 중 하나로 간주된다. STT-MRAM을 활용하여 실리콘-검증된 MRAM-PIM 연구는 이러한 장점을 활용하여 놀라운 성과를 보여주었다.

[0005] SNN에는 추론과 학습의 두 가지 주요 작업이 있다. 추론 작동 동안, 시냅스 전 뉴런은 시냅스 후 뉴런으로 전달하기 위해 스파이크를 생성한다. 시냅스 전 스파이크를 발생시키면 해당 행 라인이 읽기 전압에 의해 구동된다. 이를 통해 전류가 활성 행 라인에 연결된 시냅스 셀로 흐를 수 있다. 그런 다음, 셀로부터의 전류는 MAC(Multiplication-and-Accumulation) 동작을 통해 각 시냅스 후 뉴런의 막 전위를 업데이트한다.

[0006] 막 전위가 특정 임계 값 이상으로 증가하면 시냅스 후 뉴런은 스파이크를 발생시켜 학습 동작을 수행한다. 학습 동작 동안, 해당 행 라인은 쓰기 전압에 의해 구동되어 시냅스 후 뉴런과 관련된 어레이의 시냅스 가중치가 업데이트된다.

[0007] 도 1은 종래기술에 따른 STT-MRAM 셀을 나타내는 도면이다.

[0008] 전이 불가능한 STT-MRAM 셀은 도 1(a)에 표시된 것처럼 스핀트로닉스 기반 저장 요소와 액세스 트랜지스터로 구성된다. 행별 가중치는 단일 워드라인(WL)을 활성화하여 동시에 액세스할 수 있는 반면, 열별 가중치는 모든 WL을 하나씩 활성화하여 행별로 액세스할 수 있다. 따라서 전이 불가능한 STT-MRAM은 각 시냅스 전 스파이크가 행별 가중치에 액세스하는 추론 작업에 높은 처리량을 제공한다. 대조적으로, 열계 가중치가 업데이트되는 학습 연산의 처리량은 심각하게 저하된다.

[0009] 이 제한을 극복하기 위해, 트랜스포저블 STT-MRAM 구조가 도입되었다. 트랜스포저블 STT-MRAM 셀은 2 개의 액세스 트랜지스터를 필요로 한다(도 1(b) 참조): 추론 동작을 위한 트랜지스터 T_1 과 학습 동작을 위한 트랜지스터

T_2 . WL과 CWL(column-word-line)의 수직 구조를 활용함으로써 트랜스포저블 STT-MRAM은 행별 또는 열별 가중치에 동시에 액세스할 수 있으므로 추론 및 학습 동작 모두에 높은 처리량을 제공할 수 있다. 따라서, 비-트랜스포저블 STT MRAM보다 훨씬 적은 주기로 학습 동작을 수행할 수 있어 에너지 효율적인 학습이 가능하다.

[0010] 이점에도 불구하고, 각 트랜지스터의 게이트를 연결하기 위한 WL 및 CWL의 수직 어레이는 레이아웃 설계의 복잡성을 증가시킨다. 특히, 트랜지스터의 게이트에 해당하는 폴리 실리콘(Polysilicon; PC)의 설계는 크로스 오버를 방지해야 하므로 트랜지스터와 상호 연결의 라우팅에 복잡성이 추가되어야 한다. 트랜지스터 게이트의 배치에 따라 설계 복잡성이 증가한다. 레이아웃 설계의 높은 복잡성은 신경망을 위한 면적 효율적인 트랜스포저블 STT-MRAM의 실제 구현에 중요한 과제를 제시한다. 이 분석에 기초하여, 트랜스포저블 STT-MRAM에 대한 레이아웃 인식 영역 최적화 방법이 제시된다.

선행기술문헌

비특허문헌

[0011] (비특허문헌 0001) [1] B. Crafton, S. Spetalnick, Y. Fang and A. Raychowdhury, "Merged Logic and Memory Fabrics for Accelerating Machine Learning Workloads," IEEE Des. Tes. Comput., vol. 38, no. 1, pp. 39-68, Feb. 2021, doi: 10.1109/MDAT.2020.3016587.

발명의 내용

해결하려는 과제

[0012] 본 발명이 이루고자 하는 기술적 과제는 STT-MRAM(Spin-Transfer Torque Magnetic Random Access Memory)를 위한 레이아웃 기반 설계 최적화 방법 및 시스템을 제공하는데 있다. 트랜스포저블 STT-MRAM은 스파이크 신경 네트워크를 위한 가공 메모리 시스템에서 높은 성능을 달성하지만, 두 개의 워드 라인의 수직 배열로 인해 레이아웃 설계 및 최적화의 과제는 여전히 남아 있다. 본 발명에서는 이러한 과제를 해결하기 위해 세 가지 레이아웃 설계 기술을 제안한다.

과제의 해결 수단

[0013] 일 측면에 있어서, 본 발명에서 제안하는 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 방법은 설계부를 통해 금속 CWL(Column-Word-Line)기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계, 설계부를 통해 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계, 설계부를 통해 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계 및 분석부를 통해 상기 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석하는 단계를 포함한다.

[0014] 상기 설계부를 통해 금속 CWL기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계는 상기 금속 CWL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉없이 설계되고, CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉을 사용하여 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계하며, 상기 금속 CWL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 짝수 행 셀의 SL(Source Line) 금속 접촉은 홀수 행 셀과 결합되어 연속 확산 영역을 형성하고, 홀수 행 셀에 대한 CWL의 PC는 짝수 행 셀과 결합된다.

[0015] 상기 설계부를 통해 금속 WL기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계는 상기 금속 WL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉을 사용하여 설계되고, CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉없이 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계하며, 상기 금속 WL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 홀수 행 셀 및 짝수 행 셀의 추론 동작을 위한 트랜지스터(T_1)는 동일한 열에 위치하고, 인접한 두 셀 사이에 WL의 PC를 통합

한다.

[0016] 상기 설계부를 통해 금속 WL기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계는 상기 금속 WL기반 레이아웃 설계에서, PC의 병렬 배치를 통해 홀 수 열 셀에 대한 CSL(Column Source Line)의 금속 접촉은 짝수 열 셀의 금속 접촉과 결합되어 인접한 학습 동작을 위한 트랜지스터(T_2) 사이에 연속 확산 영역을 생성하고, 동일한 셀의 추론 동작을 위한 트랜지스터(T_1)와 학습 동작을 위한 트랜지스터(T_2)뿐만 아니라 두 개의 인접한 홀수 열 셀과 짝수 열 셀 사이에도 연속 확산 영역이 형성되도록 한다.

[0017] 일 측면에 있어서, 본 발명에서 제안하는 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템은 금속 CWL(Column-Word-Line)기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하고, 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하고, 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 설계부 및 상기 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석하는 분석부를 포함한다.

발명의 효과

[0018] 본 발명의 실시예들에 따르면 STT-MRAM을 위한 레이아웃 기반 설계에서 두 개의 워드 라인의 수직 배열로 인한 레이아웃 설계 및 최적화를 위해 세 가지 레이아웃 설계 기술을 제안하고, 두 개의 액세스 트랜지스터의 폭에 따라 제안하는 레이아웃 설계의 셀 영역 변화를 분석할 수 있다. 본 발명의 실시예들에 따르면 트랜스포저블 STT-MRAM에 대한 제안하는 레이아웃 설계는 자기 터널 접합을 위한 SPICE 호환 모델과 결합된 28nm CMOS 기술로 구현되고, 결과에 따르면 금속 피치 제한 영역에서, 메탈 칼럼 워드라인(metal column-word-line) 기반 레이아웃 설계를 갖는 제안된 수직 폴리는 최소 셀 영역을 달성하며, 종래기술에 따른 레이아웃 설계와 비교하여 최소 5.3%의 면적 절약을 달성할 수 있다.

도면의 간단한 설명

[0019] 도 1은 종래기술에 따른 STT-MRAM 셀을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 MTJ 소자 구조 및 STT-MRAM의 읽기 및 쓰기 전류 경로를 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 5개의 시냅스 전 뉴런과 4개의 시냅스 후 뉴런으로 구성된 SNN의 구조를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 비-트랜스포저블 STT의 추론 연산-SNN을 위한 MRAM 기반 5×4 크로스바 시냅스 어레이를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 비-트랜스포저블 STT-MRAM 기반 5×4 크로스바의 읽기 및 쓰기 동작 학습을 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 SNN을 위한 트랜스포저블 STT-MRAM 기반 5×4 크로스바 시냅스 어레이의 추론 연산을 설명하기 위한 도면이다.

도 7은 본 발명의 일 실시예에 따른 SNN을 위한 트랜스포저블 STT-MRAM 기반 5×4 크로스바 시냅스 어레이의 읽기 동작 학습 및 쓰기 동작 학습을 설명하기 위한 도면이다.

도 8은 본 발명의 일 실시예에 따른 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 방법을 설명하기 위한 흐름도이다.

도 9는 본 발명의 일 실시예에 따른 레이아웃 디자인 규칙에 대한 매개변수를 설명하기 위한 도면이다.

도 10은 본 발명의 일 실시예에 따른 트랜스포저블 STT-MRAM으로 구성된 2×2 시냅스 어레이의 개략도이다.

도 11은 본 발명의 일 실시예에 따른 금속 CWL기반 레이아웃 설계 방식으로 설계되는 수직 폴리를 갖는 시냅스 어레이를 설명하기 위한 도면이다.

도 12는 본 발명의 일 실시예에 따른 금속 WL 기반 레이아웃 설계 방식으로 설계되는 수직 폴리를 갖는 시냅스 어레이를 설명하기 위한 도면이다.

도 13은 본 발명의 일 실시예에 따른 금속 WL 기반 레이아웃 설계 방식으로 설계되는 병렬 폴리를 갖는 시냅스 어레이를 설명하기 위한 도면이다.

도 14는 본 발명의 일 실시예에 따른 셀 면적 대 트랜지스터의 폭을 설명하기 위한 도면이다.

도 15는 본 발명의 일 실시예에 따른 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템의 구성을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 본 발명은 STT-MRAM(Spin-Transfer Torque Magnetic Random Access Memory)를 위한 레이아웃 기반 설계 최적화 방법 및 시스템을 제안한다. 트랜스포저블 STT-MRAM은 스파이크 신경 네트워크를 위한 가공 메모리 시스템에서 높은 성능을 달성하지만, 두 개의 워드 라인의 수직 배열로 인해 레이아웃 설계 및 최적화의 과제는 여전히 남아 있다. 본 발명에서는 이러한 과제를 해결하기 위해 세 가지 레이아웃 설계 기술을 제안한다. 또한, 두 개의 액세스 트랜지스터의 폭에 따라 제안하는 레이아웃 설계의 셀 영역 변화를 분석한다. 트랜스포저블 STT-MRAM에 대한 제안하는 레이아웃 설계는 자기 터널 접합을 위한 SPICE 호환 모델과 결합된 28nm CMOS 기술로 구현된다. 결과에 따르면 금속 피치 제한 영역에서, 메탈 칼럼 워드라인(metal column-word-line) 기반 레이아웃 설계를 갖는 제안된 수직 폴리는 최소 셀 영역을 달성하며, 종래기술에 따른 레이아웃 설계와 비교하여 최소 5.3%의 면적 절약을 달성하였다. 또한, 35% 쓰기 마진과 160% 셀 터널 자기 저항의 동일한 설계 사양을 표적으로 함으로써, 생성된 셀 영역은 트랜지스터 폭 제한 영역에 도달한다. 이 경우, 제안하는 병렬 폴리가 메탈 워드 기반 레이아웃 설계를 갖는 병렬 폴리는 종래기술에 따른 설계에 비해 최소 21%의 면적 절약을 달성한다. 이 결과는 제안하는 레이아웃 설계 및 분석이 목표 사양 및 요구 사항을 충족하는 최적의 설계를 선택할 때 회로 설계자에게 통찰력을 제공함을 보여줄 수 있다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0022] 도 2는 본 발명의 일 실시예에 따른 MTJ 소자 구조 및 STT-MRAM의 읽기 및 쓰기 전류 경로를 나타내는 도면이다.
- [0023] STT-MRAM의 스핀트로닉스 기반 저장 요소는 산화물 층으로 분리된 2 개의 강자성 층(예를 들어, MgO)을 포함하여 도 2(a)에 도시된다. MTJ(Magnetic Tunnel Junction)의 저항은 자유 층(Free Layer; FL)과 고정된 층(Pinned Layer; PL) 사이의 상대 자화에 의해 결정된다. PL(R_p)에 대한 FL의 병렬 자화 상태의 저항은 항 평행 상태(R_{AP})의 저항보다 낮다. 따라서 판독 작업은 병렬(P) 및 항-평면(AP) 자화의 저항의 차이를 감지함으로써 수행될 수 있다.
- [0024] STT-MRAM의 쓰기 작동은 전류 유발 스핀 전송 토크를 사용하여 MTJ의 FL 자화를 전환하여 수행된다. AP 상태에서 P 상태로의 전환은 FL에서 PL로 흐르는 쓰기 전류에 의해 달성된다. 마찬가지로, P에서 AP로의 전환은 FL에서 PL로 전류를 전달함으로써 수행된다(도 2 (b)). 쓰기 전류(I_w)가 MTJ의 주어진 전환 시간에 대한 임계 전류(I_c)보다 큰 경우 쓰기 작업이 성공적이다.
- [0026] 도 3은 본 발명의 일 실시예에 따른 5개의 시냅스 전 뉴런과 4개의 시냅스 후 뉴런으로 구성된 SNN의 구조를 나타내는 도면이다.
- [0027] 시냅스 전 뉴런은 시냅스 후 뉴런의 막 전위를 변화시키는 스파이크를 생성한다. 막 전위가 임계 값 전압을 초과하면 시냅스 후 스파이크가 생성된다.
- [0029] 도 4는 본 발명의 일 실시예에 따른 비-트랜스포저블 STT의 추론 연산-SNN을 위한 MRAM 기반 5×4 크로스바 시냅스 어레이를 나타내는 도면이다.
- [0030] 도 5는 본 발명의 일 실시예에 따른 비-트랜스포저블 STT-MRAM 기반 5×4 크로스바의 읽기 및 쓰기 동작 학습을 설명하기 위한 도면이다.
- [0031] 도 5(a)는 읽기 동작 학습을 나타내고, 도 5(b)는 쓰기 동작 학습을 나타내는 도면이다.
- [0032] 도 4와 도 5는 도 3의 구성에 대응하는 5×4 크로스 바 시냅스 어레이 구조를 나타내며, 여기서 $w_{i,j}$ 는 i -th 전 시냅스 뉴런에서 j 후 시냅스 뉴런까지의 시냅스 가중치를 나타낸다. 비-트랜스포저블 STT-MRAM 셀을 사용하여 구현된 시냅스 메모리 어레이에서 전체 행 방향 가중치터 $\{w_{i,1}, w_{i,2}, w_{i,3}, w_{i,4}, w_{i,5}\}$ 이고, 여기서 i 는 행 주소이며, 동일한 행의 시냅스 가중치가 동일한 WL을 공유하기 때문에 액세스 할 수 있다. 따라서 추론 작동은

단일 사이클 내에 구현된다.

- [0033] 다음은 비-트랜스포저블 STT-MRAM 기반 시냅스 어레이에서 추론 동작의 MAC에 대한 세부 사항이다. 도 4에 도시된 바와 같이, 1 차 및 3 차 시냅스 전 스파이크를 발생시킬 때, V_{READ} 는 비트 라인(BL)에 적용된다; 이어서, 발생한 시냅스 전 스파이크에 해당하는 WL_1 및 WL_3 이 활성화된다. 이들 WL_s 에 연결된 중량 벡터, $\{w_{1,1}, w_{1,2}, w_{1,3}, w_{1,4}, w_{1,5}\}$ 및 $\{w_{3,1}, w_{3,2}, w_{3,3}, w_{3,4}, w_{3,5}\}$ 는, BL에서 소스 라인(SL)으로의 전류 흐름에 의해 액세스된다. 시냅스 후 뉴런의 막 전위는 각 컬럼 라인에서 합산된 전류로 업데이트된다. 이어서, 시냅스 후 뉴런의 막 전위는 임계 전압과 비교하여 시냅스 후 스파이크가 발생되는지 여부를 결정한다. 시냅스 후 뉴런이 발사되면 시냅스 업데이트에 대한 학습 동작이 수행된다.
- [0034] 학습 과정에서 열별 가중치 벡터, $\{w_{1,j}, w_{2,j}, w_{3,j}, w_{4,j}, w_{5,j}\}$, 여기서 j 는 열 주소이며, 단일 WL에서는 모든 열별 가중치에 액세스할 수 없기 때문에 행별로 순차적으로 액세스해야 한다. 따라서 학습 과정은 추론 동작보다 더 많은 운영주기가 필요하므로 PIM 시스템은 에너지 효율성이 떨어지고 시간이 많이 걸린다.
- [0035] 예를 들어, 도 5는 4번째 시냅스 후 뉴런과 관련된 시냅스 가중치 $\{w_{1,4}, w_{2,4}, w_{3,4}, w_{4,4}, w_{5,4}\}$ 의 조정으로 이어지는 4번째 시냅스 후 뉴런을 발사하여 학습 동작을 보여준다. 학습 과정의 경우 시냅스 가중치의 현재 값에 따라 가중치의 변화를 결정하기 위해서는 열 상의 읽기 및 쓰기 작업이 필요하다. 학습에 대한 읽기 작업을 수행하기 위해, V_{READ} 는 활성화된 시냅스 후 뉴런 컬럼에 해당하는 BL에 걸쳐 적용되고, SL이 접지된다. 그런 다음, 그런 다음 WL은 행별로 선언되어 저장된 시냅스 가중치가 BL에서 SL로 흐르는 각 읽기 전류에 의해 열 단위로 감지될 수 있다(도 5 (a)) [23]-[27]. 쓰기 작업은 쓰기 값(P 또는 AP)에 따라 V_{WRITE} 를 BL 또는 SL에 적용하여 수행된다. 그런 다음 중량 값은 WL 행별로 선언하여 업데이트된다(도 5 (b)).
- [0036] 시냅스의 행으로 스택된 구조로 인해 추론 동작은 한주기만 필요하다. 그러나 학습 동작에는 10사이클(읽기 및 쓰기 작업당 5사이클)이 필요하다. 참고로 시냅스 배열의 크기가 커질수록 학습 연산의 주기 시간 증가는 열별 가중치 수에 비례하므로 학습 연산에서 심각한 성능 저하가 발생한다.
- [0038] 도 6은 본 발명의 일 실시예에 따른 SNN을 위한 트랜스포저블 STT-MRAM 기반 5×4 크로스바 시냅스 어레이의 추론 연산을 설명하기 위한 도면이다.
- [0039] 도 7은 본 발명의 일 실시예에 따른 SNN을 위한 트랜스포저블 STT-MRAM 기반 5×4 크로스바 시냅스 어레이의 읽기 동작 학습(도 7(a)) 및 쓰기 동작 학습(도 7(b))을 설명하기 위한 도면이다.
- [0040] 이러한 단점을 극복하기 위해 학습 동작 중에 단일 주기로 읽기 및 쓰기 작업을 수행할 수 있는 트랜스포저블 STT-MRAM이 제안되었다. 도 6과 도 7은 도 3에 도시된 구성에 해당하는 트랜스포저블 STT-MRAM 기반 5×4 크로스바 시냅스 어레이를 설명한다. 도 6은 1 차 및 3 차 시냅스 전 스파이크의 발생을 가정한 추론 동작을 설명한다. 행 방향 가중치 벡터 $\{w_{i,1}, w_{i,2}, w_{i,3}, w_{i,4}, w_{i,5}\}$ (여기서 i 는 행 주소임)의 경우 전치 가능한 STT-MRAM에 수평으로 배열된 WL이 공유된다. 따라서, 연속적인 방식으로 추론 동작은 단일 사이클로 수행될 수 있다.
- [0041] 학습 동작 동안, 트랜스포저블 STT-MRAM은 수직으로 어레이 된 CWL로 인해 단일 주기로 읽기 및 쓰기 작업을 모두 수행할 수 있다. 도 7은 4 차 시냅스 스파이크의 발생을 가정한 학습 동작을 설명한다. 시냅스 후 스파이크가 4 번째로 발생되면, 시냅스 후 뉴런과 관련된 열별 가중치 $\{w_{1,4}, w_{2,4}, w_{3,4}, w_{4,4}, w_{5,4}\}$ 는 학습 동작에 따라 조정된다. 트랜스포저블 STT-MRAM은 CWL을 활용하여 열별 가중치 벡터 $\{w_{1,j}, w_{2,j}, w_{3,j}, w_{4,j}, w_{5,j}\}$ 에 동시에 액세스할 수 있으므로 단일 주기의 읽기 및 쓰기 작업 학습이 가능하다.
- [0042] 따라서, 5×4 시냅스 어레이의 경우, 제안된 트랜스포저블 STT MRAM은 학습 동작을 완료하기 위해 두 주기만 필요하다. 각각 읽기 및 쓰기 작업을 위한 주기이다. 이로 인해 비-트랜스포저블 STT-MRAM보다 훨씬 빠르다. 5×4 시냅스 어레이의 경우 학습 동작을 위해 10 사이클이 필요하다. 또한, 비-트랜스포저블 STT-MRAM과 달리, 트랜스포저블 STT-MRAM은 시냅스 메모리 어레이의 크기가 증가한 경우에도 단일 사이클에서 동작한다. 따라서 더 큰 크기의 시냅스 메모리 어레이에도 장점이 있다.
- [0044] 도 8은 본 발명의 일 실시예에 따른 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 방법

을 설명하기 위한 흐름도이다.

- [0045] 본 발명의 실시예에 따른 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 방법은 설계부를 통해 금속 CWL(Column-Word-Line)기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계(810), 설계부를 통해 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계(820), 설계부를 통해 금속 WL(Word-Line) 기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계하는 단계(830) 및 분석부를 통해 상기 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석하는 단계(840)를 포함한다.
- [0046] 단계(810)에서, 설계부를 통해 금속 CWL(Column-Word-Line)기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계한다.
- [0047] 본 발명의 실시예에 따른 금속 CWL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉없이 설계된다.
- [0048] 본 발명의 실시예에 따르면, CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉을 사용하여 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계한다.
- [0049] 본 발명의 실시예에 따르면, 상기 금속 CWL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 짝수 행 셀의 SL(Source Line) 금속 접촉은 홀수 행 셀과 결합되어 연속 확산 영역을 형성하고, 홀수 행 셀에 대한 CWL의 PC는 짝수 행 셀과 결합된다.
- [0050] 단계(820)에서, 설계부를 통해 금속 WL기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계한다.
- [0051] 본 발명의 실시예에 따른 금속 WL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉을 사용하여 설계된다.
- [0052] 본 발명의 실시예에 따르면, CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉없이 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계한다.
- [0053] 본 발명의 실시예에 따르면, 상기 금속 WL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 홀수 행 셀 및 짝수 행 셀의 추론 동작을 위한 트랜지스터(T_1)는 동일한 열에 위치하고, 인접한 두 셀 사이에 WL의 PC를 통합한다.
- [0054] 단계(830)에서, 상기 설계부를 통해 금속 WL기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계한다.
- [0055] 본 발명의 실시예에 따른 상기 금속 WL기반 레이아웃 설계에서, PC의 병렬 배치를 통해 홀수 열 셀에 대한 CSL(Column Source Line)의 금속 접촉은 짝수 열 셀의 금속 접촉과 결합되어 인접한 학습 동작을 위한 트랜지스터(T_2) 사이에 연속 확산 영역을 생성한다.
- [0056] 본 발명의 실시예에 따르면, 동일한 셀의 추론 동작을 위한 트랜지스터(T_1)와 학습 동작을 위한 트랜지스터(T_2)뿐만 아니라 두 개의 인접한 홀수 열 셀과 짝수 열 셀 사이에도 연속 확산 영역이 형성되도록 한다.
- [0057] 단계(840)에서, 분석부를 통해 상기 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석한다.
- [0058] 본 발명의 실시예에 따른 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석하는 과정을 도 15를 참조하여 더욱 상세히 설명한다.
- [0060] 도 9는 본 발명의 일 실시예에 따른 레이아웃 디자인 규칙에 대한 매개변수를 설명하기 위한 도면이다.
- [0061] 본 발명에서는 트랜스포저블 STT-MRAM을 위한 세 가지 다른 레이아웃 설계에 대한 자세한 분석을 수행하고, λ 기반 규칙(λ : 최소 특징 크기의 절반)을 사용하여 W_{FE1} 와 관련하여 각 레이아웃 설계에 대한 A_{CELL} 의 트렌드를 보여준다. 도 9는 레이아웃 설계 매개 변수를 나타낸다. MTJ는 액세스 트랜지스터와 MTJ 소자 사이의 라우팅 공간을

제공하는 Metal-1과 2 사이에 있다.

[0063] 도 10은 본 발명의 일 실시예에 따른 트랜스포저블 STT-MRAM으로 구성된 2×2 시냅스 어레이의 개략도이다.

[0064] 본 발명에서는 WL(CWL)을 T₁(T₂)의 게이트에 연결하기 위한 별개의 라우팅 방법을 사용하는 세 가지 레이아웃 설계가 제안된다. 본 발명의 실시예에 따른 레이아웃 설계는 도 10에 나와있는 2 X 2 동력 어레이 체계를 기반으로 한다. IV-A장과 IVB장에서 제안한 레이아웃 설계에서는 WL과 CWL에 해당하는 PC가 수직으로 배치되어 회로도 와 동일한 형태를 갖는다.

[0065] 그러나 두 개의 PC를 수직으로 배열하는 것이 어렵기 때문에 WL과 CWL 중 하나는 금속 배선 없이 PC 레이어만 활용하는 반면, 다른 하나는 금속 접점을 통해 로컬로 연결된 PC 레이어를 통해 금속 배선을 사용하여 트랜스포저블 수직 구조를 달성한다. 그러나, 수직 PC 어레이는 T₁ 및 T₂에서 연속 확산 영역을 생성할 수 없어서 메모리 셀의 설계 복잡성 및 레이아웃 영역을 증가시킬 수 없다.

[0066] 이러한 제한을 극복하기 위해, 본 발명에서는 두 개의 PC가 병렬로 어레이되어 T₁ 및 T₂에서 연속 확산 영역을 형성하는 또 다른 레이아웃 설계를 제안한다. 두 PC가 병렬이지만, 트랜스포저블 STT-MRAM의 수직 PC 구조는 금속 연결된 PC를 사용하여 WL을 수평으로 배치함으로써 완전히 구현될 수 있다. 마지막으로, 본 발명의 실시예에 따른 세 가지 레이아웃 설계의 X- 및 Y- 차이를 기반으로 A_{CELL}에 대한 W_{FET1} 및 W_{FET2}의 증가가 A_{CELL}에 미치는 영향을 분석한다.

[0068] 도 11은 본 발명의 일 실시예에 따른 금속 CWL기반 레이아웃 설계 방식으로 설계되는 수직 폴리를 갖는 시냅스 어레이를 설명하기 위한 도면이다.

[0069] 도 11은 금속 CWL 기반 레이아웃 설계(PD_{M-CWL})를 갖는 수직 폴리를 기반으로 2 X 2 시냅스 어레이의 레이아웃을 보여준다. PD_{M-CWL}에서, WL 및 CWL은 도시된 바와 같이 각 트랜지스터의 게이트에 해당하는 서로 수직으로 어레이된다. WL(T₁의 게이트)에 해당하는 PC는 금속 접촉없이 설계되었다. 대조적으로, CWL(T₂의 게이트)에 상응하는 PC는 PC와 연결하기 위해 금속 접촉을 사용하여 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 하였다. PC_{M-CWL}에서 메모리 밀도를 향상시키기 위해, 짝수 행 셀의 SL 금속 접촉은 홀수 행 셀과 결합되어 연속 확산 영역을 형성한다. 또한, 홀수 행 셀에 대한 CWL의 PC는 짝수 행 셀에 대한 PC와 결합되어 PC가 결합되지 않은 경우 PC 간격(W_{G2G})이 필요하지 않다.

[0070] 두 개의 트랜지스터(T₁ 및 T₂)를 포함하는 트랜스포저블 STT-MRAM에서, X- 및 Y- 차이는 각각 W_{FET1} 및 W_{FET2}에 비례한다. 셀의 X- 및 Y- 단위 표현은 W_{FET1} 및 W_{FET2}가 각각 충분히 작다(16λ 및 5λ 미만) 일 때 금속 피치(도 11(a))에 의해 제한된다. 이 경우, 금속 피치 제한(MPL) 영역의 X- 및 Y- 단위는 다음과 같이 제공된다.

$$X_{MPL}(PD_{M-CWL}) = 2.5 \cdot W_{M2M} + 2.5 \cdot W_M = 20\lambda \quad (1)$$

[0071]

$$Y_{MPL}(PD_{M-CWL}) = 3 \cdot W_C + 2 \cdot W_G + 3 \cdot W_{G2C} + W_{A2C} + W_{G2A} + 2 \cdot W_{C2A} = 25\lambda \quad (2)$$

[0072]

[0073] W_{FET1} 및 W_{FET2}가 특정 값(각각 16λ 및 5λ 이상)을 넘어 증가함에 따라 X- 및 Y- 단위는 각각 W_{FET1}(도 11(b)) 및 W_{FET2}(도 11(c))에 의해 결정된다. 레이아웃 분석에 기초하여, 트랜지스터 폭 제한(TWL) 영역의 X 및 Y 단위는 다음과 같이 나타낸다.

$$X_{TWL}(PD_{M-CWL}) = W_{M2M} + W_{FET1} = 4\lambda + W_{FET1} \quad (3)$$

$$Y_{TWL}(PD_{M-CWL}) = 2 \cdot W_C + 2 \cdot W_G + 3 \cdot W_{G2C} + W_{A2C} + W_{G2A} + W_{FET2} = 20\lambda + W_{FET2} \quad (4)$$

[0074]

[0076] 도 12는 본 발명의 일 실시예에 따른 금속 WL 기반 레이아웃 설계 방식으로 설계되는 수직 폴리를 갖는 시냅스

어레이를 설명하기 위한 도면이다.

[0077] 도 12는 금속 WL 기반 레이아웃 설계(PD_{M-WL})로 수직 폴리를 갖는 2 X 2 시냅스 어레이를 보여준다. PD_{M-CWL}에 사용된 접근법과 유사하게, 레이아웃 설계의 각 PC는 수직으로 어레이되었다. 그러나, WL(CWL)을 T₁(T₂)의 게이트에 연결하기 위한 뚜렷한 라우팅 방법은 PD_{M-WL}과 PD_{M-CWL} 간에 다양하다. PD_{M-WL}에서 CWL은 PC 층만 사용하는 반면 WL은 금속 접점을 사용하여 PC 층에 연결된 금속 와이어로 설계된다. 소형 레이아웃 영역을 달성하기 위해, 홀수 행 셀 및 짝수 행 셀에서 T₁은 도 12(a)에 도시된 것과 동일한 컬럼에 위치한다. 이를 통해 두 개의 인접한 셀 사이에 WL의 PC를 통합하여 X- 및 Y- 단위의 면적 최적화를 허용한다.

[0078] W_{FET1} 및 W_{FET2}의 변화에 따라 PDM-WL의 X- 및 Y- 단위가 변화하였다. W_{FET1} 및 W_{FET2}가 충분히 작을 때 (8.5λ 및 30λ 미만), 각각 X- 및 Y- 단위는 금속 피치에 의해 제한된다(도 12(a)). MPL 영역의 X- 및 Y- 단위는 다음과 같이 제공된다.

$$\begin{aligned} X_{MPL}(PD_{M-WL}) \\ = W_{M2M} + 0.5 \cdot W_M + 2.5 \cdot W_C + 1.5 \cdot W_G + 3 \cdot W_{G2C} + 1.5 \cdot W_{C2M} + \\ 0.5 \cdot W_{G2A} - 0.5 \cdot W_{C2G} = 24.5\lambda \end{aligned} \quad (5)$$

$$\begin{aligned} Y_{MPL}(PD_{M-WL}) \\ = 2 \cdot W_{M2M} + 2 \cdot W_M + 2 \cdot W_G + 4 \cdot W_{G2C} - 2 \cdot W_C = 34\lambda \end{aligned} \quad (6)$$

[0079]

[0080] W_{FET1} 및 W_{FET2}가 특정 값(8.5λ 및 30λ 이상)을 넘어 증가하면 각각 X 단위(도 12(b)) 및 Y 단위(도 12(c))를 결정한다. 두 경우를 고려할 때, TWL 영역의 X- 및 Y- 단위는 다음과 같은 식으로 제공된다.

$$\begin{aligned} X_{TWL}(PD_{M-WL}) \\ = 0.5 \cdot W_{M2M} + 0.5 \cdot W_M + 1.5 \cdot W_C + 3 \cdot W_{G2C} + 2 \cdot W_G + W_{G2A} + \\ W_{FET1} = 20.5\lambda + W_{FET1} \end{aligned} \quad (7)$$

$$Y_{TWL}(PD_{M-WL}) = W_{M2M} + W_{FET2} = 4\lambda + W_{FET2} \quad (8)$$

[0081]

[0083] 도 13은 본 발명의 일 실시예에 따른 금속 WL 기반 레이아웃 설계 방식으로 설계되는 병렬 폴리를 갖는 시냅스 어레이를 설명하기 위한 도면이다.

[0084] 도 13에 도시된 2 X 2 어레이는 금속 WL 기반 레이아웃 설계(PR_{M-WL})의 평행한 폴리를 나타낸다. 본 발명의 실시예에 따른 두 개의 레이아웃 설계는 T₁과 T₂가 연속 확산 영역을 가질 수 없으며, 이는 면적 최적화에 제한이 있다. 따라서 본 발명에서는 PC의 병렬 배치를 통해 셀 내에 연속 확산 영역을 형성함으로써 A_{CELL}을 최적화하는 PR_{M-WL}을 제안한다. 또한, 홀수 열 셀에 대한 CSL(Column Source Line)금속 접촉은 짝수 열 셀의 금속 접촉과 결합되어 인접한 T₂ 사이에 연속 확산 영역을 생성한다. 이것은 연속 확산 영역이 동일한 셀의 T₁과 T₂뿐만 아니라 두 개의 인접한 홀수 열과 짝수 열 셀 사이에도 형성될 수 있게 한다.

[0085] PR_{M-WL}에서 T₁ 및 T₂의 게이트는 평행하게 어레이되기 때문에 두 액세스 트랜지스터의 폭의 변화는 셀 레이아웃의 Y 단위에 영향을 미친다. X 단위는 트랜지스터 크기와 무관하다. MPL 영역(도 13(a))에서, MAX(W_{FET1}, W_{FET2})는 충분히 작고(14.5λ 미만), X- 및 Y- 단위는 다음과 같이 제공된다.

$$\begin{aligned} X_{MPL}(PR_{M-WL}) &= 0.5 \cdot W_{M2M} + 0.5 \cdot W_M + 2 \cdot W_G + 4 \cdot W_{G2C} + 2 \cdot W_C \\ &= 22\lambda \end{aligned} \quad (9)$$

[0086]

$$\begin{aligned} Y_{MPL}(PR_{M-WL}) &= 2 \cdot W_{M2M} + W_M + W_{C2M} + 2 \cdot W_C + W_{C2C} + W_{C2A} \\ &= 24\lambda \end{aligned} \quad (10)$$

[0087]

[0088] W_{FET1} 또는 W_{FET2} 가 특정 값(14.5λ 이상)을 넘어 증가할 때, Y-단위는 $MAX(W_{FET1}, W_{FET2})$ 에 의해 결정된다(도 13(b)). 이러한 경우(TWL 영역), 셀의 Y-단위는 다음과 같이 나타낼 수 있다.

$$\begin{aligned} Y_{TWL}(PRM-WL) &= W_{M2M} + W_C + W_{C2G} + W_{A2C} + MAX(W_{FET1}, W_{FET2}) \\ &= 9.5\lambda + MAX(W_{FET1}, W_{FET2}) \end{aligned} \quad (11)$$

[0089]

[0091] 도 14는 본 발명의 일 실시예에 따른 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템의 구성을 나타내는 도면이다.

[0092]

본 실시예에 따른 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)은 프로세서(1410), 버스(1420), 네트워크 인터페이스(1430), 메모리(1440) 및 데이터베이스(1450)를 포함할 수 있다. 메모리(1440)는 운영체제(1441) 및 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 루틴(1442)을 포함할 수 있다. 프로세서(1410)는 설계부(1411) 및 분석부(1412)를 포함할 수 있다. 다른 실시예들에서 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)은 도 14의 구성요소들보다 더 많은 구성요소들을 포함할 수도 있다. 그러나, 대부분의 종래기술적 구성요소들을 명확하게 도시할 필요성은 없다. 예를 들어, 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)은 디스플레이나 트랜시버(transceiver)와 같은 다른 구성요소들을 포함할 수도 있다.

[0093]

메모리(1440)는 컴퓨터에서 판독 가능한 기록 매체로서, RAM(random access memory), ROM(read only memory) 및 디스크 드라이브와 같은 비소멸성 대용량 기록장치(permanent mass storage device)를 포함할 수 있다. 또한, 메모리(1440)에는 운영체제(1441)와 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 루틴(1442)을 위한 프로그램 코드가 저장될 수 있다. 이러한 소프트웨어 구성요소들은 드라이브 메커니즘(drive mechanism, 미도시)을 이용하여 메모리(1440)와는 별도의 컴퓨터에서 판독 가능한 기록 매체로부터 로딩될 수 있다. 이러한 별도의 컴퓨터에서 판독 가능한 기록 매체는 플로피 드라이브, 디스크, 테이프, DVD/CD-ROM 드라이브, 메모리 카드 등의 컴퓨터에서 판독 가능한 기록 매체(미도시)를 포함할 수 있다. 다른 실시예에서 소프트웨어 구성요소들은 컴퓨터에서 판독 가능한 기록 매체가 아닌 네트워크 인터페이스(1430)를 통해 메모리(1440)에 로딩될 수도 있다.

[0094]

버스(1420)는 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)의 구성요소들간의 통신 및 데이터 전송을 가능하게 할 수 있다. 버스(1420)는 고속 시리얼 버스(high-speed serial bus), 병렬 버스(parallel bus), SAN(Storage Area Network) 및/또는 다른 적절한 통신 기술을 이용하여 구성될 수 있다.

[0095]

네트워크 인터페이스(1430)는 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)을 컴퓨터 네트워크에 연결하기 위한 컴퓨터 하드웨어 구성요소일 수 있다. 네트워크 인터페이스(1430)는 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)을 무선 또는 유선 커넥션을 통해 컴퓨터 네트워크에 연결시킬 수 있다.

[0096]

데이터베이스(1450)는 PIM 시스템용 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화를 위해 필요한 모든 정보를 저장 및 유지하는 역할을 할 수 있다. 도 14에서는 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)의 내부에 데이터베이스(1450)를 구축하여 포함하는 것으로 도시하고 있으나, 이에 한정되는 것은 아니며 시스템 구현 방식이나 환경 등에 따라 생략될 수 있고 혹은 전체 또는 일부의 데이터베이스가 별개의 다른 시스템 상에 구축된 외부 데이터베이스로서 존재하는 것 또한 가능하다.

[0097]

프로세서(1410)는 기본적인 산술, 로직 및 트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)의 입출력 연산을 수행함으로써, 컴퓨터 프로그램의 명령을 처리하도록 구성될 수 있다. 명령은 메모리(1440) 또는 네트워크 인터페이스(1430)에 의해, 그리고 버스(1420)를 통해 프로세서(1410)로 제공될 수 있다. 프로세서(1410)는 설계부(1411) 및 분석부(1412)를 위한 프로그램 코드를 실행하도록 구성될 수 있다. 이러한 프로그램 코드는 메모리(1440)와 같은 기록 장치에 저장될 수 있다.

[0098]

설계부(1411) 및 분석부(1412)는 도 8의 단계들(810~840)을 수행하기 위해 구성될 수 있다.

[0099]

트랜스포저블 STT-MRAM의 레이아웃 기반 설계 최적화 시스템(1400)은 설계부(1411) 및 분석부(1412)를 포함할 수 있다.

- [0100] 본 발명의 실시예에 따른 설계부(1411)는 금속 CWL(Column-Word-Line)기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계한다.
- [0101] 본 발명의 실시예에 따른 금속 CWL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉없이 설계된다.
- [0102] 본 발명의 실시예에 따른 설계부(1411)는 CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉을 사용하여 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계한다.
- [0103] 본 발명의 실시예에 따른 설계부(1411)는 상기 금속 CWL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 짝수 행 셀의 SL(Source Line) 금속 접촉은 홀수 행 셀과 결합되어 연속 확산 영역을 형성하고, 홀수 행 셀에 대한 CWL의 PC는 짝수 행 셀과 결합된다.
- [0104] 본 발명의 실시예에 따른 설계부(1411)는 금속 WL기반 레이아웃 설계 방식으로 수직 폴리를 갖는 시냅스 어레이의 레이아웃을 설계한다.
- [0105] 본 발명의 실시예에 따른 금속 WL기반 레이아웃 설계에서, WL에 상응하는 폴리 실리콘(Polysilicon; PC)은 추론 동작을 위한 트랜지스터(T_1)의 게이트에 금속 접촉을 사용하여 설계된다.
- [0106] 본 발명의 실시예에 따른 설계부(1411)는 CWL에 상응하는 PC는 학습 동작을 위한 트랜지스터(T_2)의 게이트에 금속 접촉없이 금속 와이어로 설계되어 트랜스포저블 시냅스 메모리의 수직 WL 구조가 구현되도록 레이아웃을 설계한다.
- [0107] 본 발명의 실시예에 따른 설계부(1411)는 상기 금속 WL기반 레이아웃에서 메모리 밀도를 향상시키기 위해, 홀수 행 셀 및 짝수 행 셀의 추론 동작을 위한 트랜지스터(T_1)는 동일한 열에 위치하고, 인접한 두 셀 사이에 WL의 PC를 통합한다.
- [0108] 본 발명의 실시예에 따른 설계부(1411)는 금속 WL기반 레이아웃 설계 방식으로 병렬 폴리를 갖는 시냅스 어레이의 레이아웃을 설계한다.
- [0109] 본 발명의 실시예에 따른 상기 금속 WL기반 레이아웃 설계에서, PC의 병렬 배치를 통해 홀 수 열 셀에 대한 CSL(Column Source Line)의 금속 접촉은 짝수 열 셀의 금속 접촉과 결합되어 인접한 학습 동작을 위한 트랜지스터(T_2) 사이에 연속 확산 영역을 생성한다.
- [0110] 본 발명의 실시예에 따른 설계부(1411)는 동일한 셀의 추론 동작을 위한 트랜지스터(T_1)와 학습 동작을 위한 트랜지스터(T_2)뿐만 아니라 두 개의 인접한 홀수 열 셀과 짝수 열 셀 사이에도 연속 확산 영역이 형성되도록 한다.
- [0111] 본 발명의 실시예에 따른 분석부(1412)는 상기 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석한다.
- [0112] 본 발명의 실시예에 따른 설계된 시냅스 어레이 각각의 두 개의 액세스 트랜지스터 폭에 따른 셀 면적 및 셀 특성을 분석하는 과정을 도 15를 참조하여 더욱 상세히 설명한다.
- [0114] 도 15는 본 발명의 일 실시예에 따른 셀 면적 대 트랜지스터의 폭을 설명하기 위한 도면이다.
- [0115] 트랜스포저블 STT-MRAM의 레이아웃 설계에는 A_{CELL} 에 영향을 미치는 두 가지 요소, 즉 W_{FET1} 및 W_{FET2} 의 변화가 포함된다. 먼저, 본 발명의 실시예에 따른 트랜스포저블 STT-MRAM 레이아웃 방법론을 사용하여 W_{FET1} 에 대한 A_{CELL} 의 경향을 보여주었다. 따라서 본 발명의 실시예에 따른 A_{CELL} 과 W_{FET1} 사이의 관계를 확립하고 다음 방정식을 얻을 수 있다.

$$A_{CELL}(PD_{M-CWL}) = \begin{cases} 500 \lambda^2, W_{FET1} \leq 16\lambda \\ (100 + 25 \cdot W_{FET1}) \lambda^2, W_{FET1} > 16\lambda \end{cases} \quad (12)$$

$$A_{CELL}(PD_{M-WL}) = \begin{cases} 833 \lambda^2, W_{FET1} \leq 8.5\lambda \\ (697 + 17 \cdot W_{FET1}) \lambda^2, W_{FET1} > 8.5\lambda \end{cases} \quad (13)$$

$$A_{CELL}(PR_{M-WL}) = \begin{cases} 528 \lambda^2, \text{MAX}(W_{FET1}, W_{FET2}) \leq 14.5\lambda \\ (209 + 22 \cdot \text{MAX}(W_{FET1}, W_{FET2})) \lambda^2, \\ \text{MAX}(W_{FET1}, W_{FET2}) > 14.5\lambda \end{cases} \quad (14)$$

[0116]

[0117] 도 15(a)는 세 가지에 대한 A_{CELL} 대 W_{FET1} 의 플롯을 보여준다.

[0118] 트랜스포저블 STT-MRAM의 다른 레이아웃 설계. 도 15(a) 및 식(12) - 식(14)의 다음 지점에 주목한다: a) MPL 영역에서 A_{CELL} 은 W_{FET} 의 영향을 받지 않으며 레이아웃에 따라 다르다.

[0119] b) PD_{M-CWL} 및 PD_{M-WL} 의 레이아웃 설계의 경우, TWL 영역의 X- (Y-) 단위는 W_{FET1} (W_{FET2})에 비례한다. 그러나, PR_{M-WL} 의 경우, Y- 단위는 $\text{MAX}(W_{FET1}, W_{FET2})$ 에 비례하고 X 단위는 트랜지스터 폭과 무관하다. 이 차이는 PC 어레이에 기인한다. PD_{M-CWL} 및 PD_{M-WL} 에서, WL에 대한 PC는 수직으로 어레이되어 W_{FET1} 이 증가함에 따라 X- 단위의 증가를 초래한다. 그러나, PR_{M-WL} 에서는 수평으로 어레이되어 W_{FET1} 이 증가할 때 Y- 단위가 증가한다.

[0120] c) 각 레이아웃 설계는 A_{CELL} 의 다른 트렌드를 가지기 때문에 최적의 A_{CELL} 을 갖는 레이아웃 설계는 W_{FET1} 의 범위에 따라 다르다.

[0121] 다음으로 W_{FET2} 에 대한 A_{CELL} 의 트렌드를 보여준다.

$$A_{CELL}(PD_{M-CWL}) = \begin{cases} 500 \lambda^2, W_{FET2} \leq 5\lambda \\ (400 + 20 \cdot W_{FET2}) \lambda^2, W_{FET2} > 5\lambda \end{cases} \quad (15)$$

$$A_{CELL}(PD_{M-WL}) = \begin{cases} 833 \lambda^2, W_{FET2} \leq 30\lambda \\ (98 + 24.5 \cdot W_{FET2}) \lambda^2, W_{FET2} > 30\lambda \end{cases} \quad (16)$$

[0122]

[0123] 도 15(b)는 트랜스포저블 STT-MRAM의 세 가지 레이아웃 설계에 대한 A_{CELL} 대 W_{FET2} 의 플롯을 보여준다. 도 15(b) 및 식(14) - 식(16)에 제시된 대로 다음을 참고한다.

[0124] d) 세 가지 레이아웃 설계 모두에서, TWL 영역의 Y 단위는 W_{FET2} 에 비례하여 증가한다.

[0125] e) 레이아웃 설계에서 최적의 A_{CELL} 은 W_{FET2} 의 범위에 따라 다르다.

[0126] 도 15 및 (a) - (e)의 관찰에 기초하여, 최소 A_{CELL} 을 갖는 레이아웃 설계는 W_{FET1} 및 W_{FET2} 범위 내에서 다양하다는 것을 발견했다. W_{FET1} 이 36λ 미만인 경우 PD_{M-CWL} 로 최소 A_{CELL} 이 달성된다. W_{FET1} 이 36λ 와 40λ 사이 인 경우 PR_{M-WL} 은 최소 A_{CELL} 을 생성한다. 그러나, W_{FET1} 이 40λ 보다 작거나 같으면 PD_{M-WL} 은 항상 가장 큰 A_{CELL} 을 초래한다. 그러나 대조적인 추세는 W_{FET2} 범위에서 관찰된다. $W_{FET2} < 7\lambda$ 일 때, PD_{M-CWL} 로 최소 A_{CELL} 이 달성된다. $7\lambda < W_{FET2} < 28\lambda$ 인 경우, PR_{M-WL} 로 최소 A_{CELL} 이 달성된다. $28\lambda < W_{FET2} < 40\lambda$ 인 경우, 최소 A_{CELL} 이 PD_{M-WL} 로 달성된다. 따라서, WL

및 CWL의 수직 어레이는 동일한 회로도를 위해 세 가지 다른 레이아웃 설계를 초래한다. 또한, 각 레이아웃 설계는 다른 범위의 W_{FET1} 및 W_{FET2} 에서 면적 최적화를 제공한다.

[0128] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0129] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

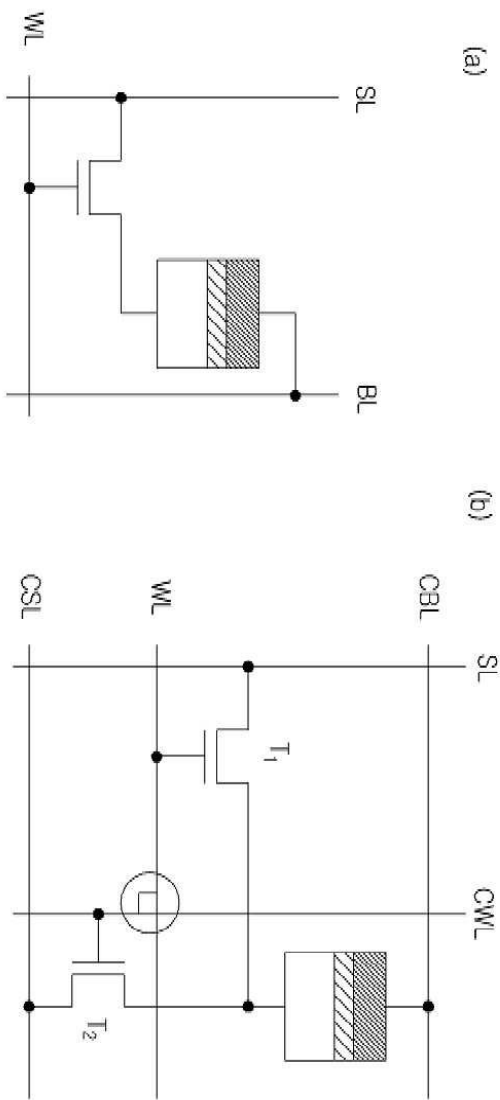
[0130] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0131] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

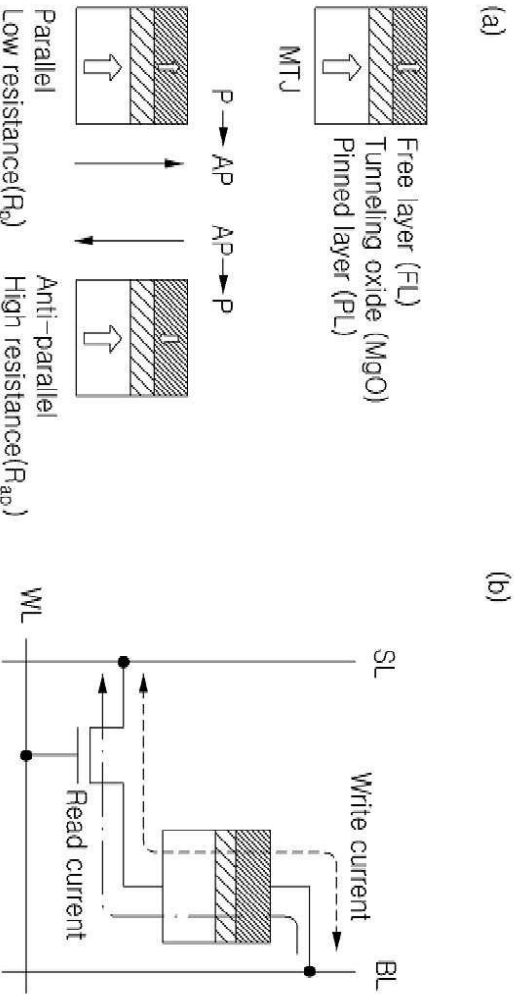
[0132] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

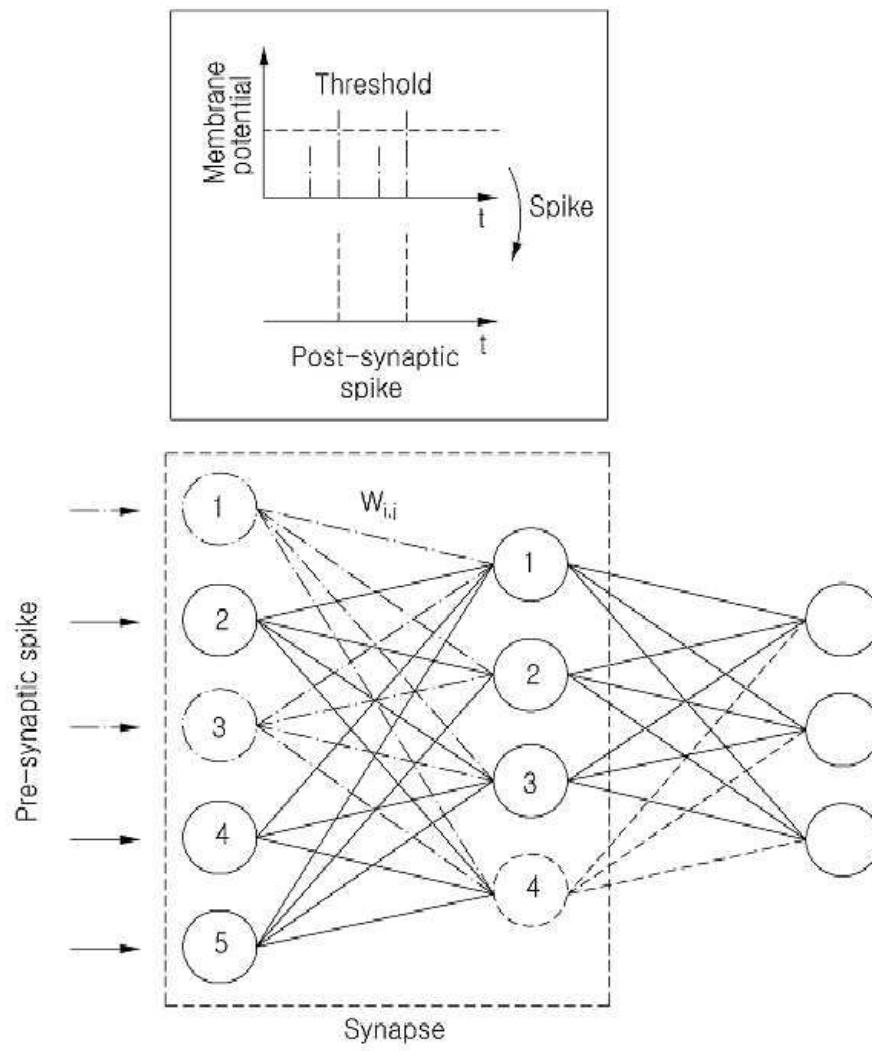
도면1



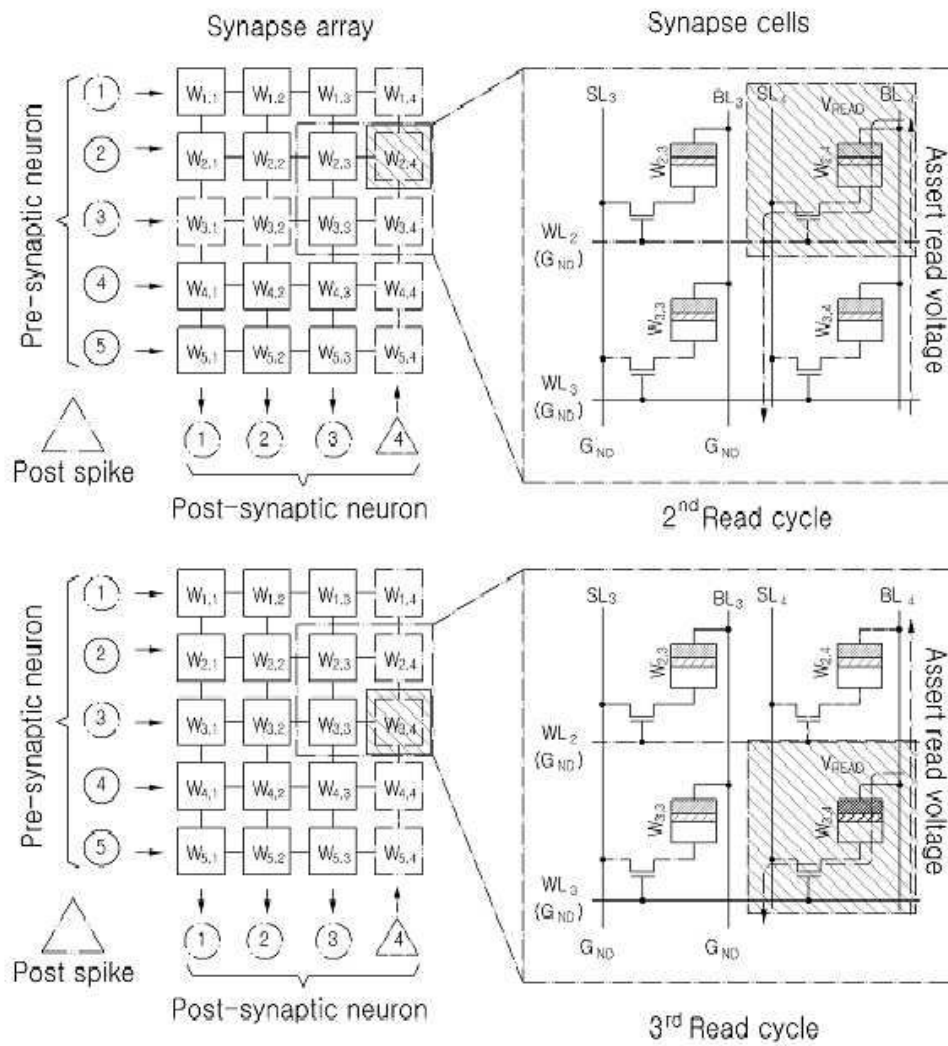
도면2



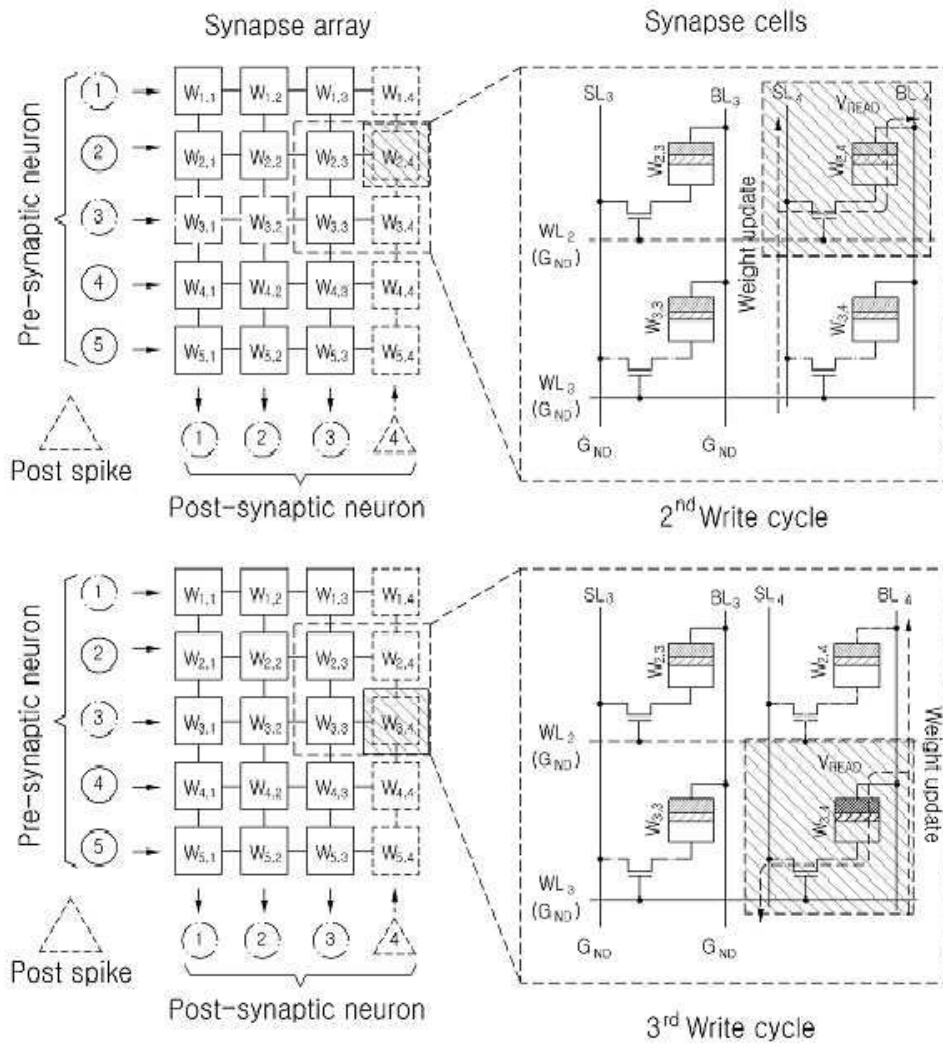
도면3



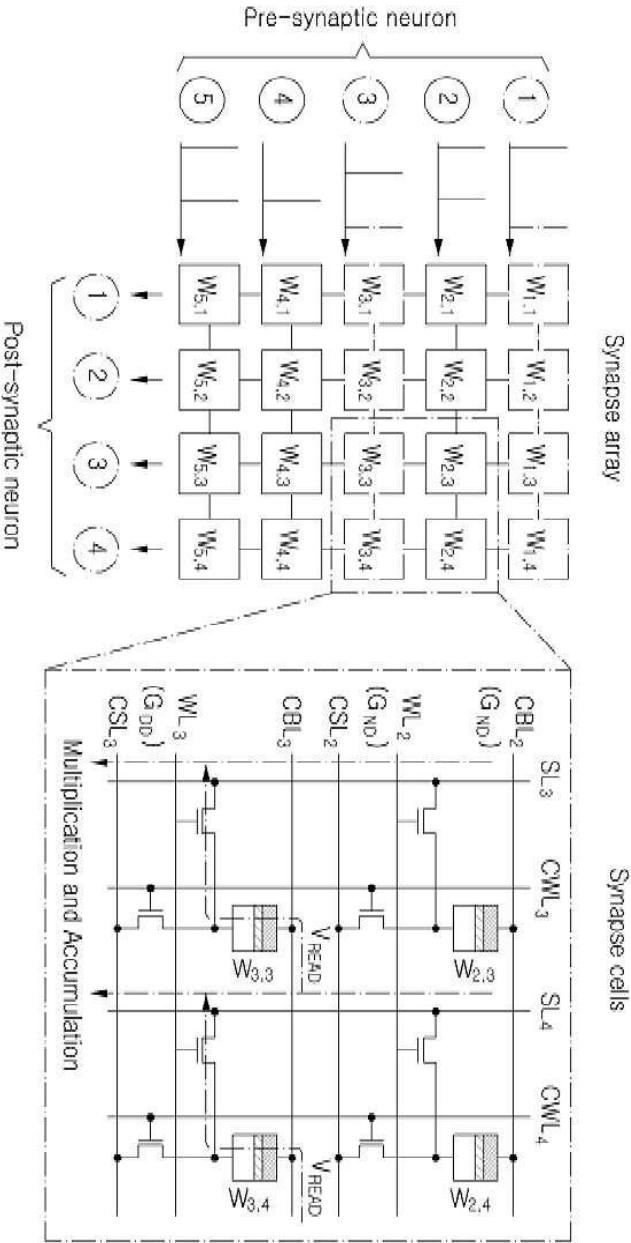
도면5a



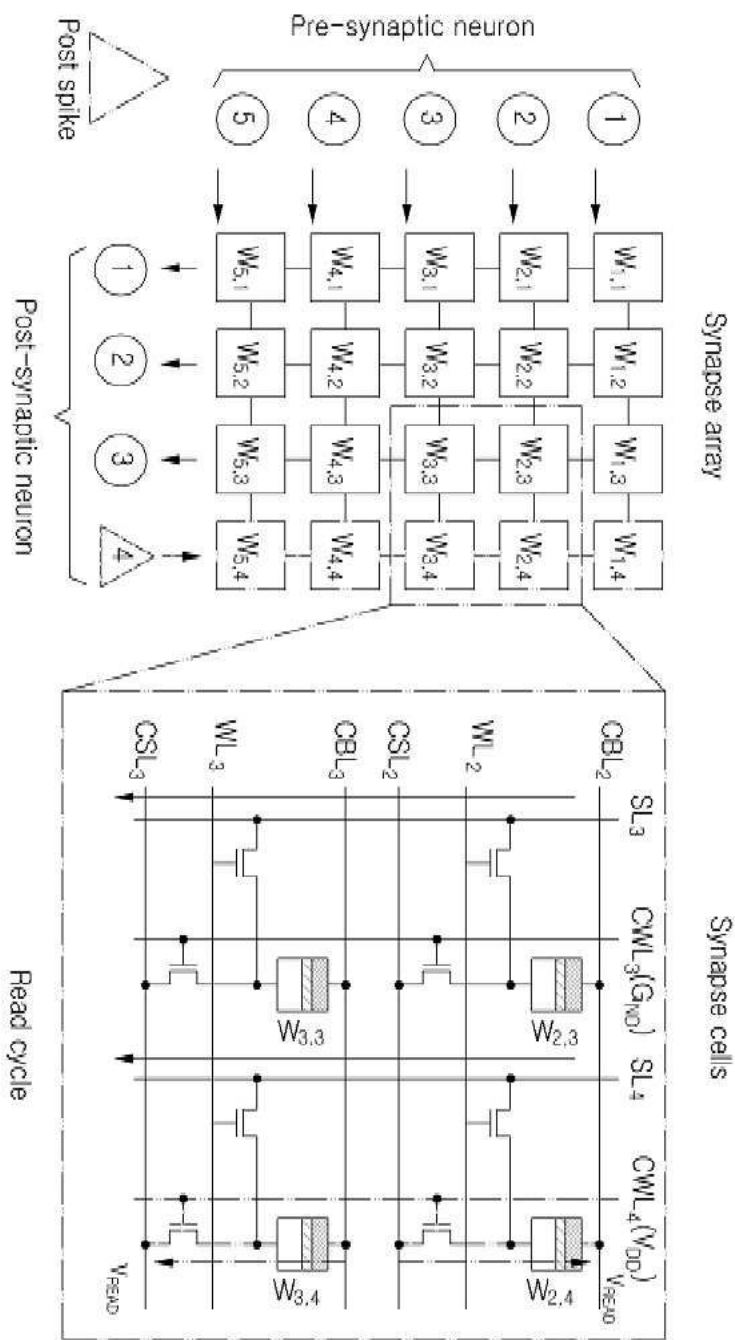
도면5b



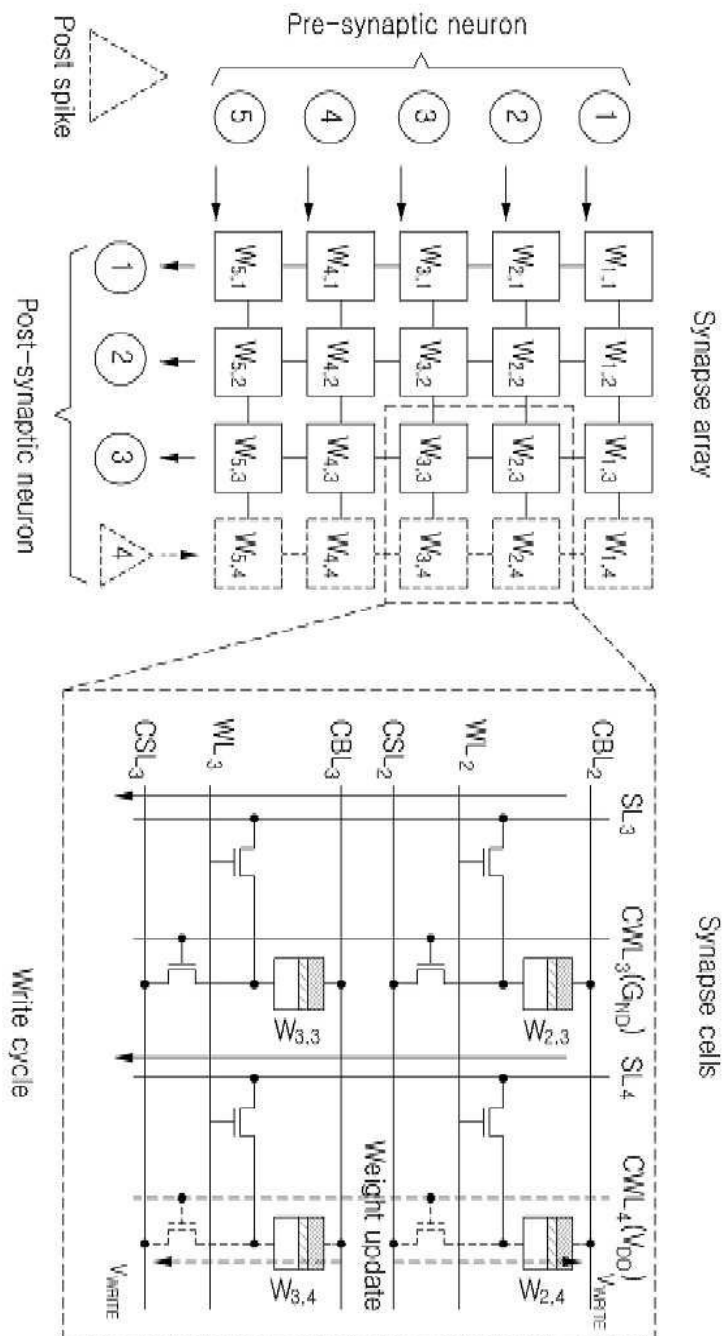
도면6



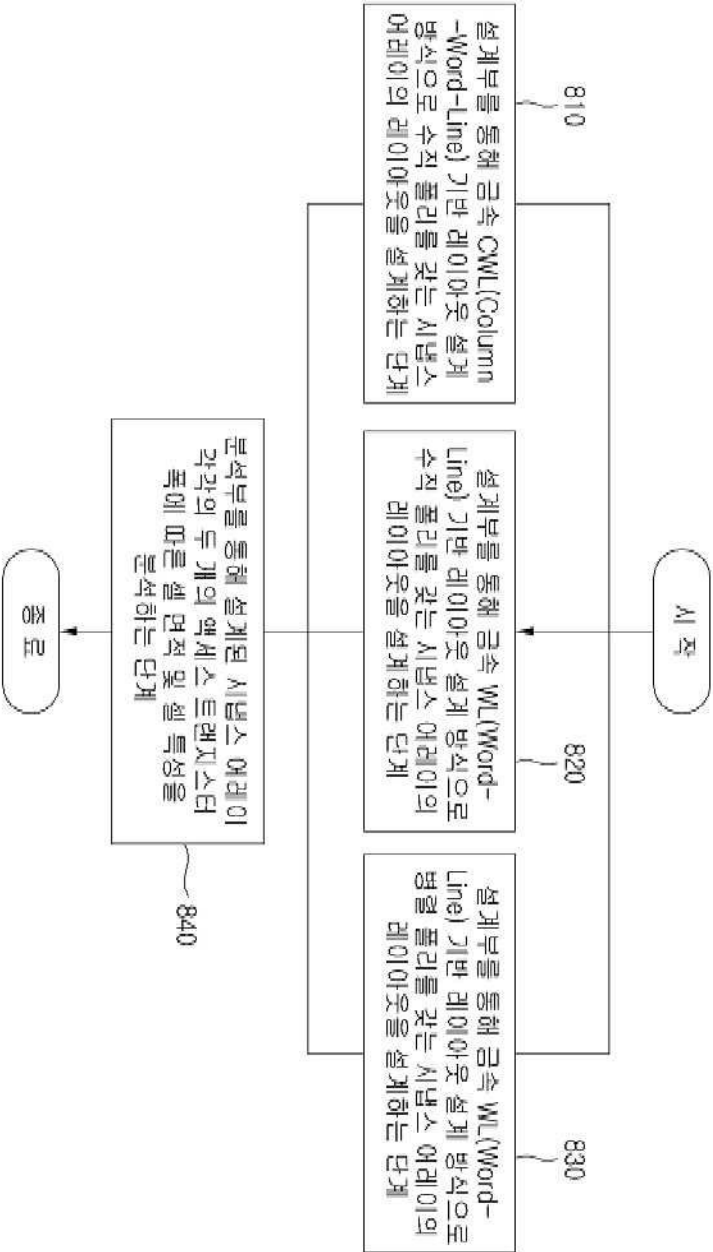
도면7a



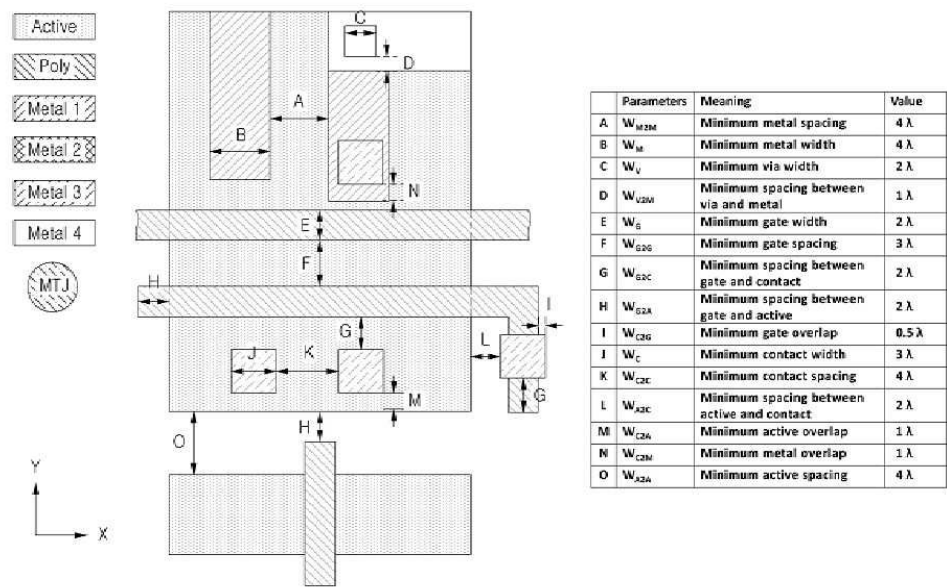
도면7b



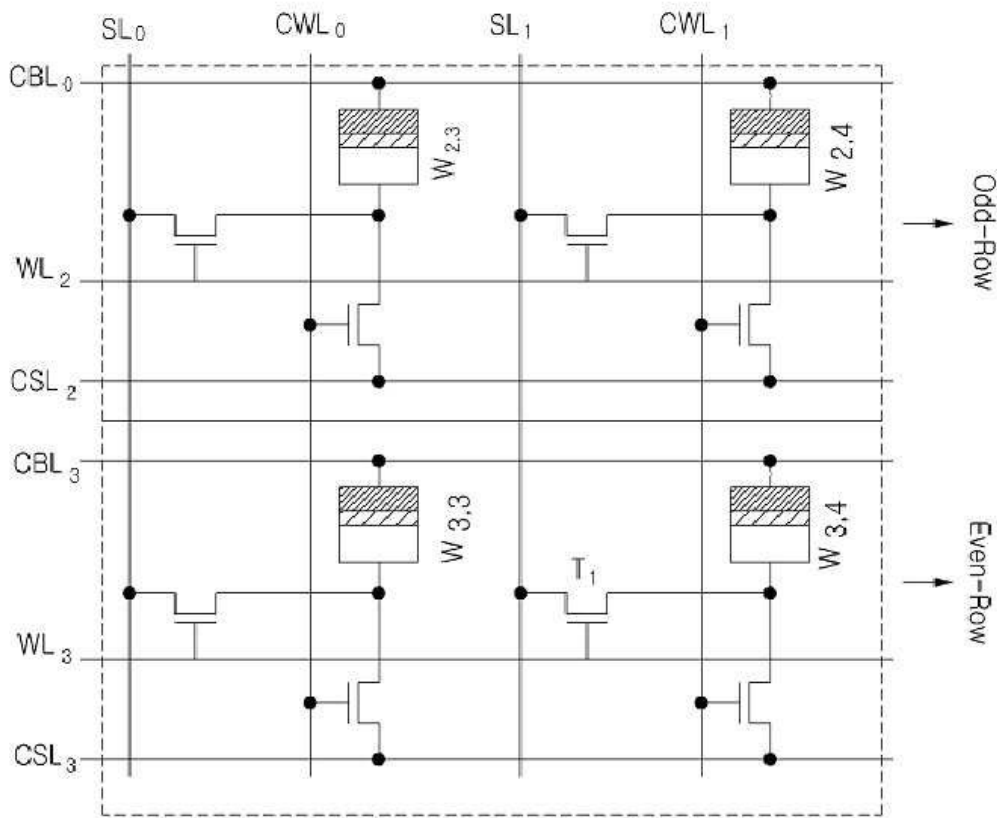
도면8



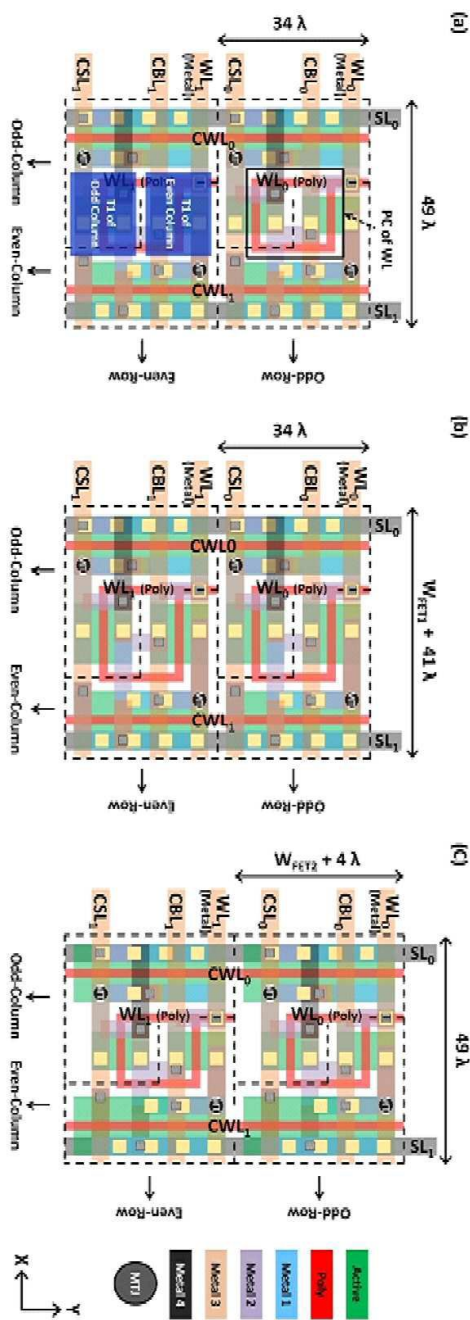
도면9



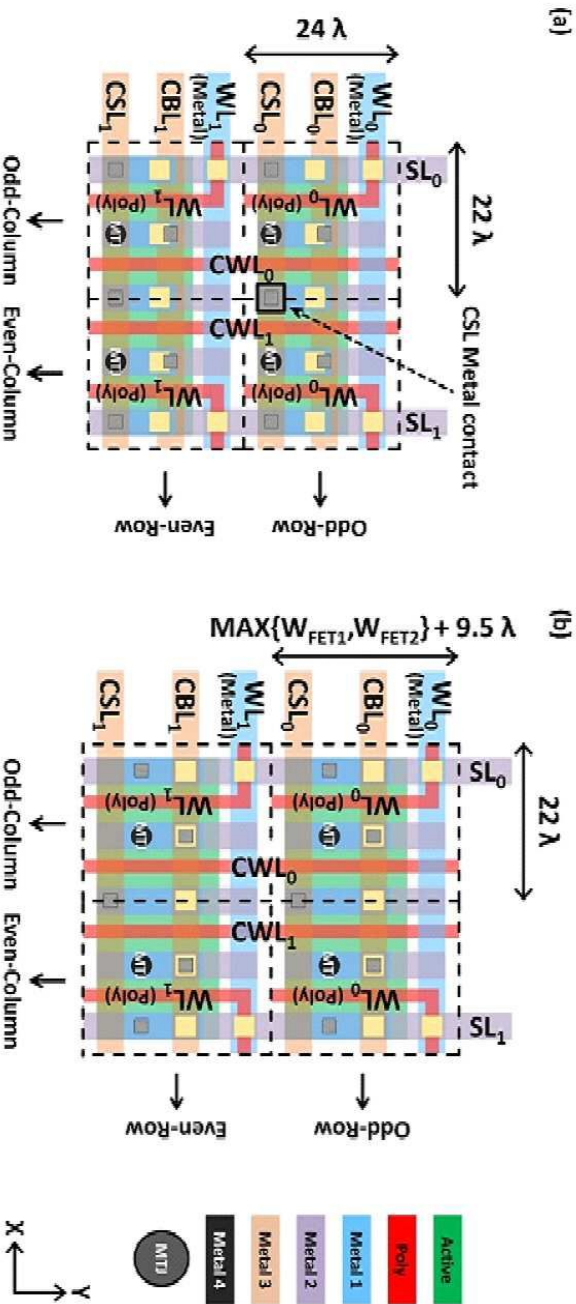
도면10



도면12

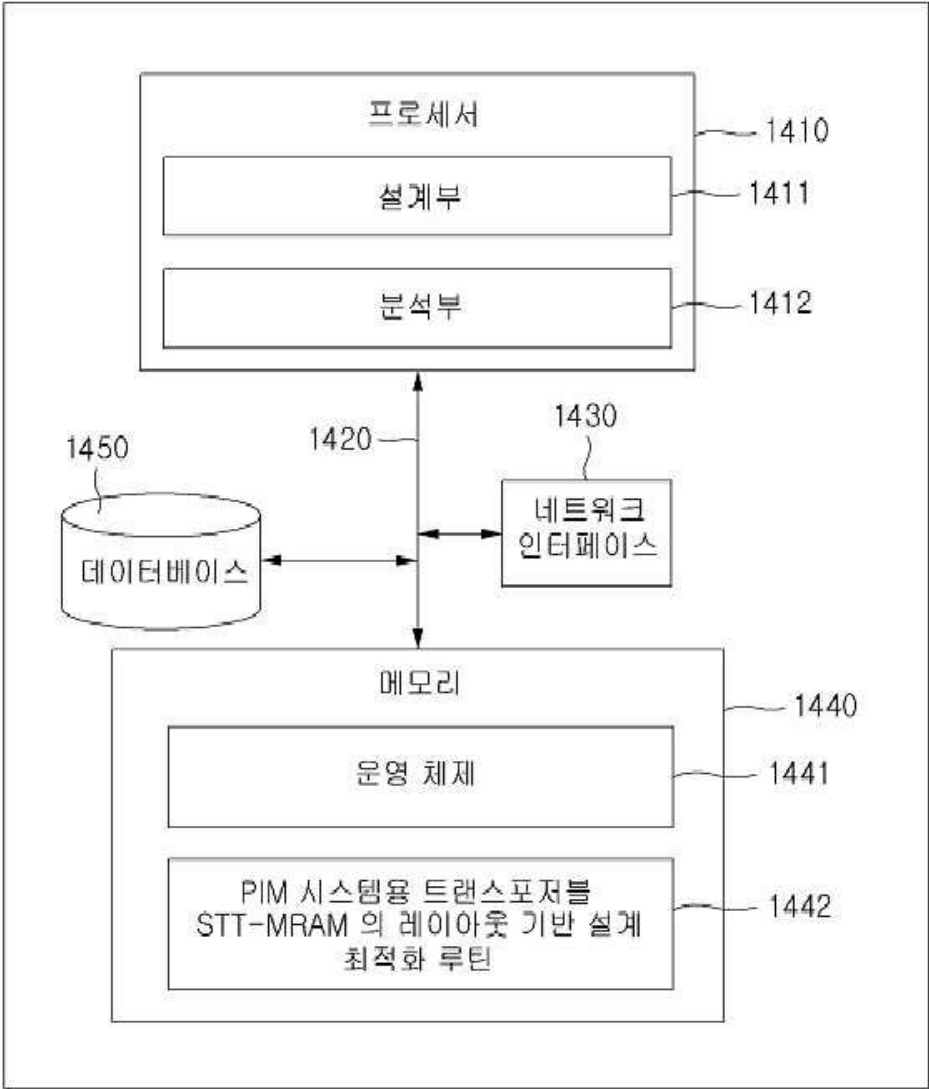


도면13

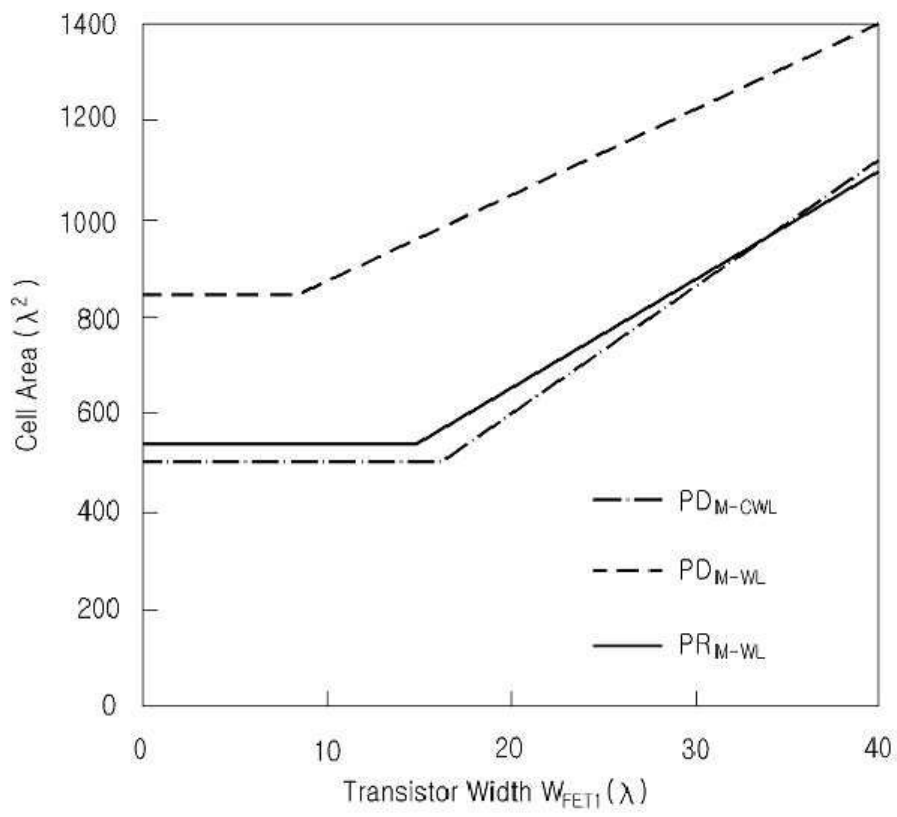


도면14

1400



도면15a



도면15b

