(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-4997
(P2017-4997A)
(43)公開日　平成29年1月5日(2017.1.5)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 25/065	***(2006.01)***	H01L	25/08	C	5F136
H01L 25/07	***(2006.01)***	H01L	23/36	C	
H01L 25/18	***(2006.01)***	H01L	23/12	J	
H01L 23/36	***(2006.01)***				
H01L 23/12	***(2006.01)***				

審査請求 未請求　請求項の数 7　ＯＬ　（全 7 頁）

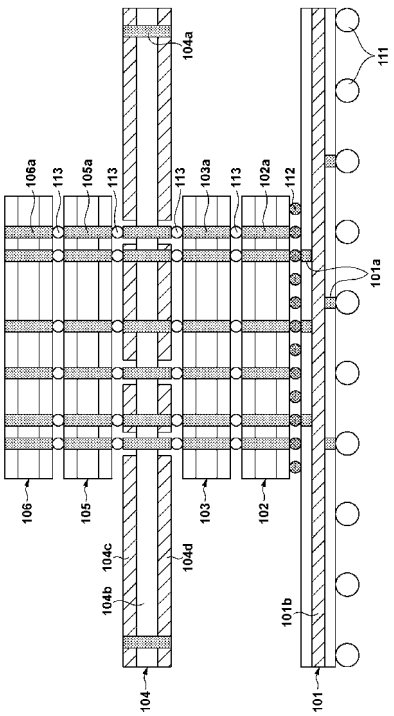
(21)出願番号　特願2015-114157 (P2015-114157)
(22)出願日　平成27年6月4日 (2015.6.4)

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(74)代理人　100130409
弁理士　下山　治
(74)代理人　100134175
弁理士　永川　行光

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】　複数の半導体集積回路が積層される半導体装置において、積層の中間部に位置する半導体集積回路の放熱性を向上する。
【解決手段】　半導体装置は、貫通導体を備える複数の半導体集積回路102、103、105、106、貫通導体を備え、複数の半導体集積回路が積層される基板101、および、貫通導体を備え、積層された半導体集積回路の少なくとも一部の間に積層される放熱部材104を有する。
【選択図】　図1



【特許請求の範囲】
【請求項１】
貫通導体を備える複数の半導体集積回路と、
貫通導体を備え、前記複数の半導体集積回路が積層される基板と、
貫通導体を備え、前記積層された半導体集積回路の少なくとも一部の間に積層される放熱部材とを有する半導体装置。
【請求項２】
前記放熱部材は、少なくとも、その一面に前記貫通導体に接続された熱伝導層を有する請求項1に記載された半導体装置。
【請求項３】
前記放熱部材の熱伝導層は接地される請求項2に記載された半導体装置。
【請求項４】
前記放熱部材は、前記基板の面積以下、かつ、前記半導体集積回路の面積よりも広い面積を有する請求項1から請求項3の何れか一項に記載された半導体装置。
【請求項５】
前記基板は、前記貫通導体に接続された熱伝導層を有する請求項1から請求項4の何れか一項に記載された半導体装置。
【請求項６】
前記基板の熱伝導層は接地される請求項5に記載された半導体装置。
【請求項７】
さらに、前記積層の最上部にヒートシンクまたは前記放熱部材を有する請求項1から請求項6の何れか一項に記載された半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置の三次元実装に関する。
【背景技術】
【０００２】
近年、電子機器の小型化、高機能化、省電力化の要求が強まっている。この要求を受けて、LSIのパッケージングにおいては、PoP (Package on Package)技術により、複数の半導体集積回路を三次元実装した構造にして、半導体装置の高集積化を実現する。
【０００３】
さらに、高密度に集積された三次元実装においては、半導体集積回路を貫通する配線が可能なTSV (Through Silicon Via)の利用により、回路の高集積化、高機能化、低消費電力化を図ることが可能となった。例えば、LSIの上にメモリや他のLSIを、垂直方向に、三次元実装することで、電子機器のPCB (Printed Circuit Board)を小型化することができる。さらに、半導体集積回路を貫通する配線により配線長が短縮され、信号速度の向上や寄生容量の軽減が可能になり、低消費電力化を図ることができる。
【０００４】
一方、TSVを用いる三次元実装は、LSIなどの半導体集積回路の薄型化により、垂直方向の熱抵抗が従来の実装方法に比べて非常に低くなる。その結果、半導体集積回路を垂直方向に積層した三次元実装においては、上下に積まれた半導体集積回路がお互いに発熱の影響を受け易く、熱の影響を受けた半導体集積回路が誤動作する虞がある。
【０００５】
そのため、三次元実装されたパッケージ上部にヒートシンクを配置して放熱性を向上したり、半導体集積回路の間に断熱材を配置して熱の影響を抑える技術が知られている（特許文献1参照）。
【０００６】
しかし、パッケージ上部にヒートシンクを配置する技術や、半導体集積回路の間に断熱材を配置する技術は、半導体集積回路がさらに薄型化すると、積層の中間部に配置された

半導体集積回路の熱が充分に拡散されない可能性がある。言い替えれば、複数の半導体集積回路を積層した三次元実装においては、積層の中間部に位置する半導体集積回路の放熱性を向上して、熱による半導体集積回路の誤動作を防ぐ必要がある。

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】特開2005-347390号公報

【発明の概要】

【発明が解決しようとする課題】

【０００８】

本発明は、複数の半導体集積回路が積層される半導体装置において、積層の中間部に位置する半導体集積回路の放熱性を向上することを目的とする。

【課題を解決するための手段】

【０００９】

本発明は、前記の目的を達成する一手段として、以下の構成を備える。

【００１０】

本発明にかかる半導体装置は、貫通導体を備える複数の半導体集積回路と、貫通導体を備え、前記複数の半導体集積回路が積層される基板と、貫通導体を備え、前記積層された半導体集積回路の少なくとも一部の間に積層される放熱部材とを有する。

【発明の効果】

【００１１】

本発明によれば、複数の半導体集積回路が積層される半導体装置において、積層の中間部に位置する半導体集積回路の放熱性を向上することができる。

【図面の簡単な説明】

【００１２】

【図１】実施例の半導体装置の構成例を示す図。

【図２】放熱用インターポーザを熱伝達層側から観察した一例を示す図。

【図３】半導体集積回路で発生した熱の放熱経路を説明する図。

【発明を実施するための形態】

【００１３】

以下、本発明にかかる実施例の半導体装置を図面を参照して詳細に説明する。なお、実施例は特許請求の範囲にかかる本発明を限定するものではなく、また、実施例において説明する構成の組み合わせのすべてが本発明の解決手段に必須とは限らない。

【００１４】

［半導体装置の構成］

以下では、LSIやメモリなどの四つの半導体集積回路と、放熱部材であるインターポーザ（以下、放熱用インターボーザ）を積層した半導体装置を例に実施例を説明する。図1により実施例の半導体装置の構成例を示す。

【００１５】

実施例の半導体装置は、PCBとの接続側（以下、下側）から、モジュール基板101、LSI102、メモリ103、放熱用インターポーザ104、メモリ105、メモリ106を順に積層した構造を有する。つまり、モジュール基板101上にLSI102とメモリ103を積層し、放熱用インターポーザ104を挟んで、さらにメモリ105とメモリ106を積層した構成を有する。

【００１６】

モジュール基板101は、貫通導体であるビア101aと、接続部であるモジュールバンプ112を介してLSI102に接続される。また、モジュール基板101は熱伝達層101bを有し、熱伝達層101bはビア101aとモジュールボール111を介してPCBのグラウンド電位に接続される。

【００１７】

LSI102、メモリ103、放熱用インターポーザ104、メモリ105、メモリ106の間は、それら自体の貫通導体であるTSV102a、103a、104a、105a、106aと、接続部であるマイクロバン

プ113を介して相互に接続される。なお、TSV構造の半導体集積回路を積層し、熱を伝達することができれば、デバイス間の接続にはマイクロバンプ113以外を用いてもよい。

【００１８】

放熱用インターポーザ104は、ベース部材104bとベース部材104bの少なくとも一面に配置された熱伝導層を有す。効率的な放熱にはベース部材104bの両面に熱伝導層を配置することが望ましく、図1の例は、ベース部材104bの表面に配置された熱伝達層104cと、ベース部材104bの裏面に配置された熱伝達層104dを示す。熱伝達層104c、104dは、ベース部材104aを貫通するTSV104aによって接続される。

【００１９】

モジュール基板101の熱伝達層101b、および、放熱用インターポーザ104の熱伝達層104c、104dは、熱伝導性が良好な物質で形成すればよく、例えば、銅などの金属が好適に用いられる。また、放熱用インターポーザ104のベース部材104bは、絶縁物であればよいが、例えば、半導体集積回路の基板と同様にシリコンなどが好適に用いられる。

【００２０】

［放熱用インターポーザ］

図2により放熱用インターポーザ104を熱伝達層104c側から観察した一例を示す。熱伝達層104cは、放熱用インターポーザ104の内側および外側の四辺に配置された、黒丸で示す接地用TSV104aと接続されている。一方、放熱用インターポーザ104の内側に配置された、白丸で示す信号用TSV104aは、熱伝達層104cから分離され、熱伝達層104cには接続されていない。また、放熱用インターポーザ104を熱伝達層104d側から観察した場合も同様である。なお、図2には信号用TSV104aの周囲の絶縁領域を矩形で示すが、当該絶縁領域は円形などでもよい。

【００２１】

放熱用インターポーザ104の面積は、半導体集積回路の面積より大きく、モジュール基板101の面積以下であればよく、とくに制限はない。例えば、LSIやメモリが9㎜角の場合、放熱用インターポーザ104が18㎜角、モジュール基板101が18㎜角などである。メモリ105は、放熱用インターポーザ104の中央部に積層され、図2において一点鎖線の矩形は、放熱用インターポーザ104上に積層されるメモリ105の位置を示す。

【００２２】

［放熱経路］

半導体集積回路の熱抵抗は、一般に、半導体集積回路の厚さ方向に小さく、半導体集積回路の面方向に大きい。従って、厚さ方向に熱を逃すことができない場合、半導体集積回路内に熱が籠もり、半導体集積回路の温度が上昇する。

【００２３】

図3により半導体集積回路で発生した熱の放熱経路を説明する。図3はLSI102、メモリ103、メモリ105、メモリ106が同時に動作した場合の主な放熱経路を示す。

【００２４】

LSI102の熱は、上方に発熱源としてメモリ103が存在するため、主に、モジュールバンプ112→ビア101a→熱伝達層101bの経路によりモジュール基板101に達する。モジュール基板101に到達した熱は、モジュール基板101から直接周囲へ拡散するとともに、モジュールボール111を介してPCBへ伝達する。

【００２５】

メモリ103の熱は、下方に発熱源としてLSI102が存在するため、主に、上方のマイクロバンプ113→熱伝達層104dの経路により放熱用インターポーザ104に到達する。放熱用インターポーザ104に到達した熱は、放熱用インターポーザ104から直接周囲へ拡散する。

【００２６】

メモリ105の熱は、上方に発熱源としてメモリ106が存在するため、主に、下方のマイクロバンプ113→熱伝達層104cの経路により放熱用インターポーザ104に到達する。放熱用インターポーザ104に到達した熱は、放熱用インターポーザ104から直接周囲へ拡散する。

【００２７】

メモリ106の熱は、下方に発熱源としてメモリ105が存在するため、主に、メモリ106の上面から直接周囲へ拡散する。また、必要があれば、メモリ106の上面（積層の最上部）に、放熱用として、図示しないヒートシンクや放熱用インターポーザ104と同等の放熱用インターポーザを積層することができる。

【００２８】

●放熱用インターポーザの作用

メモリ103、105の間に放熱用インターポーザ104がなく、すべての半導体集積回路が動作して発熱する場合、上下に発熱源（メモリ106とLSI102）が存在するメモリ103、105の熱は、主に、それらの側面から周囲へ拡散することになる。この場合の放熱経路は、メモリ103、105の内部の熱抵抗が比較的高い面方向になり、放熱が難しい。さらに、上下の発熱源（メモリ106とLSI102）からの熱伝達もあり、積層の中間部に配置されたメモリ103、105の温度上昇が大きくなる。

【００２９】

その結果、放熱用インターポーザ104がある場合に比べて、半導体装置の温度上昇は大きくなり、各半導体集積回路の温度上昇の差分も大きくなる。つまり、LSI102やメモリ106の温度上昇に比べてメモリ103、105の温度上昇が大きい。

【００３０】

信号路の抵抗値の増加は温度上昇に比例し、抵抗値が高いほど電流が流れ難くなるため、信号の立ち上がりや立ち下がりが遅くなる。つまり、メモリ間に温度差があると、信号路の抵抗値が異なり、メモリ間において、信号の立ち上り時間の差や立ち下り時間の差が生じて、誤動作の原因になる。

【００３１】

一方、実施例の半導体装置においては、積層の中間部に配置されたメモリ103、105の熱は、放熱用インターポーザ104を介して周囲に拡散することができる。この場合の放熱経路は、メモリ103、105の内部の熱抵抗が比較的低い厚さ方向になり、放熱が容易である。その結果、メモリ間に温度差が抑制され、信号の立ち上り時間の差や立ち下り時間の差に起因する誤動作を防ぐことができる。

【００３２】

なお、上記では、半導体集積回路を四つ、放熱用インターポーザを一つ積層する構成例を説明した。放熱用インターポーザは、各半導体集積回路の発熱量に応じて、複数の半導体集積回路の少なくとも一部の間に積層されていればよく、半導体集積回路の数、放熱用インターポーザの数、積層の順に制限はない。勿論、発熱量が大きい半導体集積回路を二つの放熱用インターポーザで挟んだり、放熱用インターポーザを二つ以上重ねて使用してもよい。

【００３３】

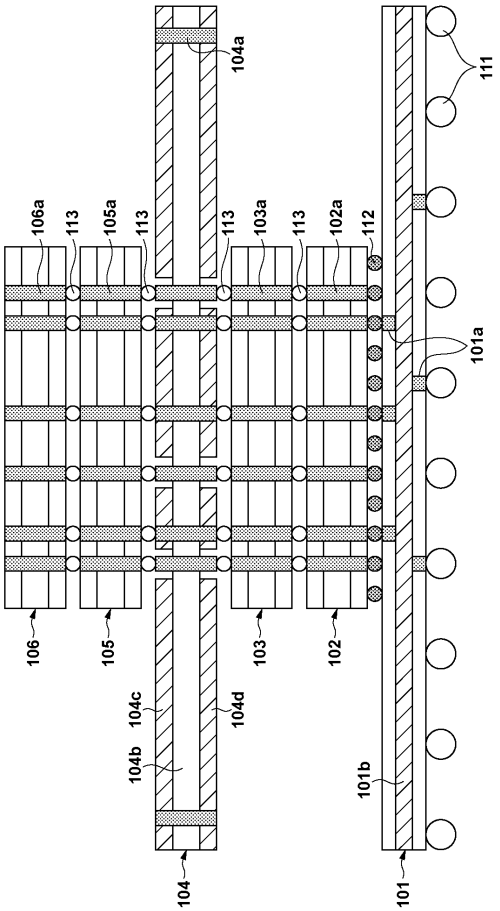
このように、複数の半導体集積回路を積層した三次元実装において、積層の中間部に位置する半導体集積回路の放熱性を向上して、熱による半導体集積回路の誤動作を防ぐことができる。

【符号の説明】

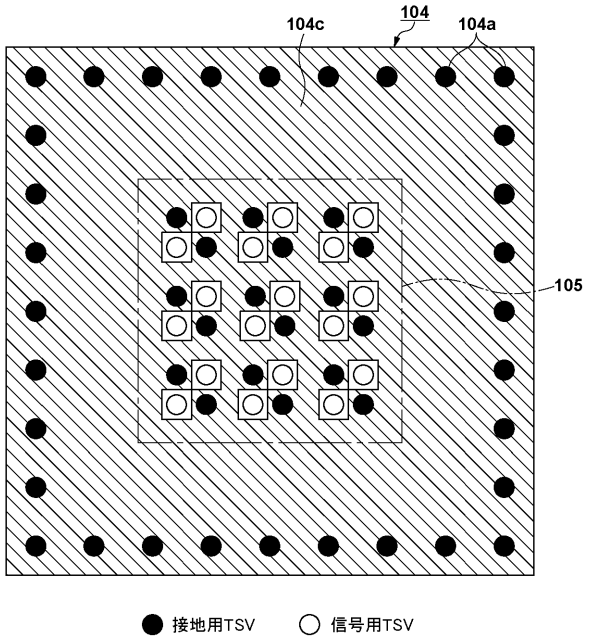
【００３４】

101 … モジュール基板、102、103、105、106 … 半導体集積回路、104 … 放熱用インターボーザ

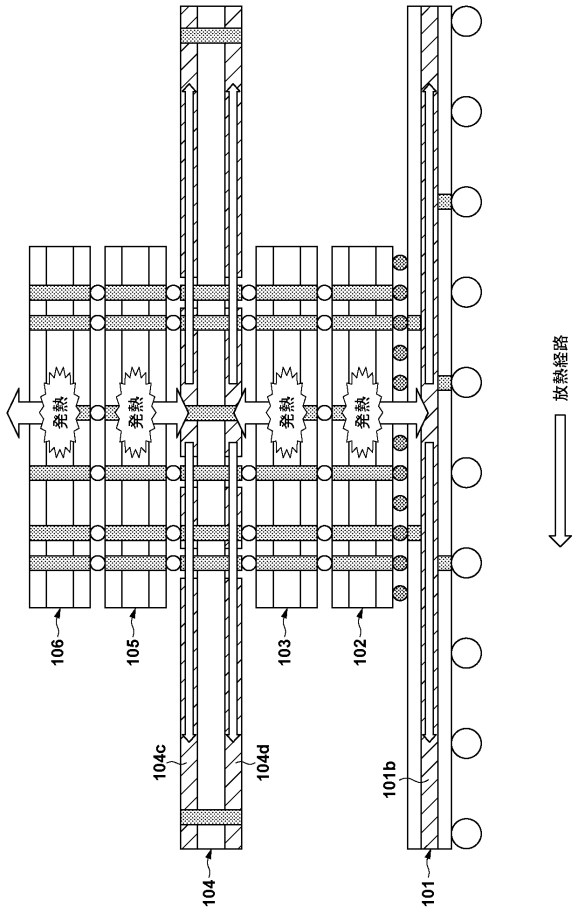
【図１】


104a
111
106a
113
105a
113
113
103a
113
102a
112
101a
106
105
103
102
104c
104d
104b
101b
104
101

【図２】


104c
104
104a
105
接地用TSV
信号用TSV

【図３】


発熱
発熱
発熱
発熱
放熱経路
106
105
103
102
104c
104d
101b
104
101

フロントページの続き

(72)発明者　中村　伸治
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

Ｆターム(参考) 5F136 BB01　BB02　BB18　DA41