

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-293260

(P2008-293260A)

(43) 公開日 平成20年12月4日(2008.12.4)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 11/28 (2006.01)	G 0 6 F 11/28 3 1 0 B	5 B 0 4 2
G 0 6 F 11/22 (2006.01)	G 0 6 F 11/22 3 6 0 E	5 B 0 4 8

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号	特願2007-137877 (P2007-137877)	(71) 出願人	503121103
(22) 出願日	平成19年5月24日 (2007.5.24)		株式会社ルネサステクノロジ
		(74) 代理人	100089071
			弁理士 玉村 静世
		(72) 発明者	三宅 康雄
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサスソリューションズ内
		(72) 発明者	内藤 芳郎
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	宮崎 亮児
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内

最終頁に続く

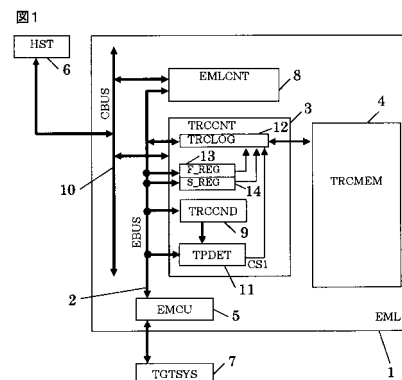
(54) 【発明の名称】 トレース装置

(57) 【要約】

【課題】 指定された複数の条件の前後サイクルに対して指定された所定サイクル分の情報をトレース制御するトレース装置を提供すること。

【解決手段】 本発明に係るトレース装置(1)は、外部から情報が入力される信号伝達経路(2)と、信号伝達経路に現れた情報をトレースメモリ(4)に格納するトレース制御を行うトレース制御部(3)とを有する。トレース制御中、設定された複数のトレースポイントに対し、トレースポイントを含む複数バスサイクルの信号伝達経路の情報を他の信号伝達経路の情報への書き換えを抑制して、トレースメモリに保持するように制御される。これにより、一回のトレース制御動作中に複数のトレース条件に従って夫々複数バスサイクルの信号伝達経路の情報のトレース制御を行うことができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

外部から情報が入力される信号伝達経路と、

前記信号伝達経路に現れた情報をトレースメモリに格納するトレース制御を行うトレース制御部とを有するトレース装置であって、

前記トレース制御部は、トレース制御中、設定された複数のトレースポイントに対し、当該トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報を他の前記信号伝達経路の情報への書き換えを抑制して前記トレースメモリに保持する動作モードを有するトレース装置。

【請求項 2】

前記信号伝達経路は、プログラムを実行するデータプロセッサが入出力する情報を受け取るバスである請求項 1 記載のトレース装置。

【請求項 3】

前記トレース制御部は、トレース制御中、前記信号伝達経路に現れた情報を逐次前記トレースメモリに格納する動作を行い、前記トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報を格納した領域に対して書き換えを抑止する請求項 1 又は 2 記載のトレース装置。

【請求項 4】

前記トレース制御部は、前記信号伝達経路に現れた情報を逐次格納する動作が排他的に行われる複数のバッファメモリを有し、前記トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報を一のバッファメモリからトレースメモリの所定領域に転送開始するとき、前記信号伝達経路に現れた情報の格納先を前記一のバッファメモリから他のバッファメモリに切り換える制御を行う請求項 1 又は 2 記載のトレース装置。

【請求項 5】

前記トレース制御部は、複数の前記トレースポイントがプログラマブルに設定可能にされるトレース条件設定部を有する請求項 1 乃至 4 の何れか 1 項に記載のトレース装置。

【請求項 6】

前記トレース制御部は、前記トレースポイントを含む所定の複数バスサイクルのサイクル数がプログラマブルに設定可能にされる第 1 レジスタを有する請求項 1 乃至 5 の何れか 1 項に記載のトレース装置。

【請求項 7】

前記トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報は、前記トレースポイントの前後の第 1 情報、前記トレースポイントの以前の第 2 情報又は前記トレースポイントの以降の第 3 情報である請求項 1 乃至 6 の何れか 1 項に記載のトレース装置。

【請求項 8】

前記トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報として、前記トレースポイントの前後の第 1 情報、前記トレースポイントの以前の第 2 情報又は前記トレースポイントの以降の第 3 情報を選択的に指定する第 2 レジスタを更に有する請求項 7 記載のトレース装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、外部から入力される信号の情報をトレース制御するトレース装置に関し、例えばエミュレータ等に適用して有効な技術に関する。

【背景技術】**【0002】**

本発明完成後の先行技術調査において以下の特許文献を見出した。特許文献 1 には、エミュレーション中のマイクロプロセッサが出力する情報をトレース制御する技術について記載されている。上記特許文献 1 に記載されたエミュレーション技術は、条件設定レジス

10

20

30

40

50

タと、エミュレーション対象となる機器と、エミュレーションバス上の信号と条件設定レジスタに設定された条件を比較する比較手段とを設け、設定された条件が一致したときにトレース制御を行うようになっている。

【0003】

【特許文献1】特開平11-102306号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

エミュレーション技術によってエミュレーション対象となる機器の情報をトレース制御する場合、予めトレース条件を設定しておき、それに一致する状態がバス上に現れたときトレース制御を開始する。上記特許文献1においては、トレース制御の開始条件と終了条件を設定するようにしている。通常はトレース制御の終了条件に一致したとき、トレース制御を停止し、この後更に別の動作でトレース制御を継続したい場合には新たに開始条件と終了条件を設定し直してトレース制御を行わなければならない。しかしながら、そのようなトレース制御を繰り返していくと、トレースメモリの記憶容量は有限であるため、前にトレース制御された情報が後からトレース制御された情報によって上書きされ失われる虞がある。そうしないために、複数のトレース条件に一致する各地点だけでトレース制御を行うとすれば、逆に必要な多くのバス情報を取得することができない。

【0005】

本発明の目的は、指定された複数の条件の前後サイクルに対して指定された所定サイクル分の情報をトレース制御するトレース装置を提供することにある。

【0006】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】

すなわち、本発明に係るトレース装置は、外部から情報が入力される信号伝達経路と、信号伝達経路に現れた情報をトレースメモリに格納するトレース制御を行うトレース制御部とを有し、トレース制御中、設定された複数のトレースポイントに対し、トレースポイントを含む複数バスサイクルの信号伝達経路の情報を他の信号伝達経路の情報への書き換えを抑制して、トレースメモリに保持するように制御される。これにより、一回のトレース制御動作中に複数のトレース条件に従って夫々複数バスサイクルの信号伝達経路の情報のトレース制御を行うことができる。

【発明の効果】

【0009】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0010】

すなわち、指定された複数の条件の前後サイクルに対して指定された所定サイクル分の情報をトレース制御することができる。

【発明を実施するための最良の形態】

【0011】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0012】

10

20

30

40

50

〔１〕本発明の代表的な実施の形態に係るトレース装置（１）は、信号伝達経路（２）と、トレース制御部（３）とを有するものである。前記トレース制御部は、前記信号伝達経路の情報をトレースメモリ（４）に格納するトレース制御を行う。また、トレース制御中、設定された複数のトレースポイント（ＴＰ）に対し、前記トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報を他の前記信号伝達経路の情報への書き換えを抑制して前記トレースメモリに保持する動作モードを有する。これにより、上記動作モードを指定してトレース制御を行えば、設定された複数のトレースポイントが繰り返し発生しても、前記トレースメモリに保持された前記トレースポイント毎の前記信号伝達経路の情報は上書きされずに、前記トレースメモリに前記トレースポイント毎の前記信号伝達経路の情報が保持される。従って、指定された複数の前記トレースポイントの前後サイクルに対し、指定された前記トレースポイントを含む所定バスサイクル分の前記信号伝達経路の情報を前記トレースメモリにトレース制御することができる。

10

【００１３】

具体的な一つの形態として、前記信号伝達経路はプログラムを実行するデータプロセッサ（５）が出力する情報を受けるバスである。従って、前記トレース装置はエミュレータとして利用することが可能である。

【００１４】

別の具体的な形態として、前記トレース制御部は、トレース制御中、前記信号伝達経路に現れた情報を逐次前記トレースメモリに格納する動作を行う際に、前記トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報を格納した領域に対して書き換えを抑制する。これにより、必要な前記信号伝達経路の情報を上書きせずに保持するための構成を比較的容易に実現することができる。

20

【００１５】

別の具体的な形態として、前記トレース制御部は前記信号伝達経路に現れた情報を逐次格納する動作が排他的に行われる複数のバッファメモリ（２０）、（２１）を有しする。前記トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報を一のバッファメモリから前記トレースメモリの所定領域に転送開始するとき、前記信号伝達経路に現れた情報の格納先を前記一のバッファメモリから他のバッファメモリに切り換える制御を行うことができる。これによれば、前記トレースメモリのアドレス管理は書き込み終了アドレスを把握しておけば充分であり、上記よりも前記トレースメモリに対するアドレス管理という点において、簡単な制御を実現することができる。

30

【００１６】

別の具体的な形態として、前記トレース制御部は、複数の前記トレースポイントがプログラマブルに設定可能にされるトレース条件設定部（９）を有する。従って、任意にトレースポイントを設定することにより所要の前記信号伝達経路の情報を前記トレースメモリに格納することができる。

【００１７】

別の具体的な形態として、前記トレース制御部は、前記トレースポイントを含む所定の複数バスサイクルのサイクル数がプログラマブルに設定可能にされる第１レジスタ（１３）を有する。従って、任意に所定の複数バスサイクルのサイクル数を設定することにより所要の前記信号伝達経路の情報を前記トレースメモリに必要サイクル分保持することができる。

40

【００１８】

別の具体的な形態として、前記トレースポイントを含む所定の複数バスサイクルの前記信号伝達経路の情報は、前記トレースポイントの前後の第１情報、前記トレースポイントの以前の第２情報又は前記トレースポイントの以降の第３情報である。これにより、前記トレースポイントを起点とした前及び／又は後の前記信号伝達経路の情報を繰り返し取得することが可能となる。

【００１９】

別の具体的な形態として、前記トレースポイントを含む所定の複数バスサイクルの前記

50

信号伝達経路の情報として、前記トレースポイントの前後の第1情報、前記トレースポイントの以前の第2情報又は前記トレースポイントの以降の第3情報を選択的に指定する第2レジスタ(14)を有する。前記第1～第3情報を選択的に指定して所要の前記信号伝達経路の情報を前記トレースメモリに保持することができる。

【0020】

2. 実施の形態の詳細

実施の形態について更に詳述する。

【0021】

図1には本発明に係るトレース装置の一例であるエミュレータ(EML)1の構成が示される。同図は、エミュレータ1とホストシステム(HST)6とターゲットシステム(TGTSYS)7とから構成される。

10

【0022】

エミュレータ1はエミュレーション評価用マイコン(EMCU)5を有する。前記エミュレーション評価用マイコン5はターゲットシステム7に備えられたマイクロプロセッサと同等の機能を有する。前記エミュレーション評価用マイコン5は前記ターゲットシステム7の機能を代行制御する。前記エミュレーション評価用マイコン5は代行制御するために例えばケーブルによって前記ターゲットシステム7と接続される。また、前記ターゲットシステム7の代行制御によって得られるアドレス、データ及びステータス信号などの制御信号はエミュレーション用バス(EBUS)2に供給される。前記エミュレーション用バス2には、エミュレーション制御部(EMLCNT)8とトレース制御部(TRCCNT)3が結合されている。

20

【0023】

前記エミュレーション制御部8は、前記ホストシステム6の制御に基づいて、前記エミュレーション評価用マイコン5に評価用のプログラムを実行させる。前記評価用のプログラムはターゲットシステム7を本来制御するマイクロプロセッサに実行させるための開発中のプログラムを意味する。

【0024】

前記トレース制御部3は、前記エミュレーション用バス2に現れたアドレス、データ、ステータス信号などの各種情報を前記エミュレーション用バス2のバスサイクルに同期してトレースメモリ(TRCMEM)4に格納する制御を行う。前記トレースメモリ4に対する書き込みアドレスはトレース制御部3が前記エミュレーション用バス2のバスサイクルに同期して逐次生成される。

30

【0025】

前記トレース制御部3は、前記トレースメモリ4に前記エミュレーション用バス2の情報を逐次格納していくときのトレース条件が設定されるトレース条件設定部(TRCCND)9を有する。前記トレース条件設定部9にはコントロールバス(CBUS)10を介して前記ホストシステム6によってトレース条件が設定される。設定可能なトレース条件は、前記エミュレーション用バス2に現れるアドレス、データ、ステータス信号の何れであっても、またどのような組み合わせであっても良い。前記トレース条件設定部9に設定された単一のトレース条件を以下トレースポイントTPとも称する。前記トレース制御部3には、上記トレースポイントTPが前記エミュレーション用バス2上で顕在化されるのを検出するトレースポイント検出部(TPDET)11が設けられる。前記トレースポイント検出部11は、前記エミュレーション用バス2に現れる情報が設定された前記トレースポイントTPと一致するかを判定する。前記トレースポイント検出部11は前記トレースポイントTPと一致する情報を検出したとき、前記トレース制御部3に備えるロジック制御部(TRCLOG)12に制御信号CS1を出力する。

40

【0026】

前記ロジック制御部12は、前記エミュレーション制御部8の制御に基づいて、前記エミュレーション用マイコン5が評価用プログラムを実行開始するのに同期して、前記エミュレーション用バス2上の情報をそのバスサイクル毎に前記トレースメモリ4に格納する

50

制御を開始する。前記ロジック制御部 12 は、前記制御信号 CS 1 によって前記トレースポイント TP の発生を検出すると、その前記トレースポイント TP に対して、前記トレースポイント TP の前、後又は前後両方において所定バスサイクル分の情報を、前記エミュレーション用バス 2 の他の情報によって後から書き換えられないように前記トレースメモリ 4 のアドレスを管理する。前記所定のバスサイクル数は、前記ホストシステム 6 からプログラマブルに第 1 レジスタ (F __ REG) 13 に設定された制御情報によって決定される。また、前記トレースポイント TP の前、後又は前後両方のバスサイクルの指定は、前記ホストシステム 6 から第 2 レジスタ (S __ REG) 14 に設定された制御情報によって決定される。

【0027】

上記アドレス管理について図 2 を参照しながら説明する。図 2 には、前記エミュレーション用バス 2 に現れた情報を前記トレースメモリ 4 に格納する動作が示される。例えば、前記トレースメモリ 4 の記憶容量が 4 M バイトとして、1 バスサイクルで 192 ビットの情報を格納するものとする。トレース制御中に前記エミュレーション用バス 2 に現れた情報は前記トレースメモリ 4 に格納されるが、前記トレースメモリの記憶容量は 4 M バイトと有限であるため、前記トレースメモリ 4 に単に繰り返し情報が書き込まれるときは格納された情報が上書きされる場合がある。図 2 において、start 1 は 1 巡目で前記エミュレーション用バス 2 に現れた情報を格納するときの動作を示し、start 2 は 2 巡目で前記エミュレーション用バス 2 に現れた情報を格納するときの動作を示し、それらはトレース制御中に前記エミュレーション用バス 2 に現れた情報に夫々前記トレース制御部 3 によるアドレスが付与されて、前記トレースメモリ 4 に逐次格納される様子を示している。前記トレースメモリ 4 には、書き換え動作の開始アドレスを AS、書き換え動作の終了アドレスを AE とするメモリ領域に対し、前記ロジック制御部 12 で生成されたトレースメモリアドレスに従って前記エミュレーション用バス 2 の情報が逐次格納される。プログラマブルに設定された一例としての 3 つのトレースポイント TP 1 ~ TP 3 は前記ホストシステム 6 によって前記トレース条件設定部 9 に予め設定される。また、前記ホストシステム 6 は、夫々の前記トレースポイント TP 1 ~ TP 3 を起点に例えば前 64 サイクルと後 64 サイクルのバスサイクル数の情報を前記第 1 レジスタ 13 に予め設定する。トレース制御が開始されると、前記で示される start 1 では、前記開始アドレス AS から前記エミュレーション用バス 2 の情報の格納が開始され、前記終了アドレス AE で前記エミュレーション用バス 2 の情報の 1 巡目の格納が終了する。この間に、前記トレースポイント検出部 11 によって前記トレースポイント TP 1 が検出されると、前記ロジック制御部 12 は、前記第 1 レジスタ 13 及び第 2 レジスタ 14 の条件に基づいて、前記トレースポイント TP 1 に対応するトレースメモリアドレスから繰り下がった 64 サイクル目のトレースメモリアドレス AS 1 を保持する。また、前記ロジック制御部 12 は、前記トレースポイント TP 1 に対応するトレースメモリアドレスから繰り上がった 64 サイクル目のトレースメモリアドレス AE 1 を保持する。前記ロジック制御部 12 は、保持した前記トレースメモリアドレス AS 1 から前記トレースメモリアドレス AE 1 のアドレス範囲を書き換え禁止領域として認識する。前記トレースポイント検出部 11 によって前記トレースポイント TP 2 と前記トレースポイント TP 3 が検出された場合も上記同様に、前記トレースポイント TP 2 に対応するトレースメモリアドレスからの上下 64 サイクル目のトレースメモリアドレス AS 2 と AE 2、前記トレースポイント TP 3 に対応する AS 3 と AE 3 を保持し、それによって決まるアドレス範囲を書き換え禁止領域として認識する。前記ロジック制御部 12 は書き換え禁止領域であるアドレス範囲を除くようにして前記トレースメモリアドレスを生成する。具体的には、前記に示される start 2 において、前記ロジック制御部 12 では、順次インクリメントして生成したトレースメモリアドレスが前記トレースメモリアドレス AS 1 に一致するかを判定する。一致することを認識すると、前記トレースメモリアドレス AS 1 から前記トレースメモリアドレス AE 1 までの書き換え禁止領域を除いて、前記トレースメモリアドレス AE 1 の次のトレースメモリアドレス AE 1 + 1 から継続して前記トレースメモリアドレスを生成する。その後も上記同様に、

10

20

30

40

50

前記ロジック制御部 12 は前記トレースメモリアドレス A S 2 との一致を認識した場合には、前記トレースメモリアドレス A S 2 から前記トレースメモリアドレス A E 2 までの範囲を除いて、前記トレースメモリアドレス A E 2 の次のトレースメモリアドレス A E 2 + 1 から継続して前記トレースメモリアドレスを生成する。

【 0 0 2 8 】

上記に説明したように、トレース制御部 3 は、前記トレースポイント T P が検出されると、前記トレースポイントを起点として前、後又は前後両方の予め設定されたバスサイクル数に応じた最初のアドレスと最後のアドレスの間の情報を前記エミュレーション用バス 2 の他の情報への書き換えを抑止して前記トレースメモリ 4 に保持するアドレス管理を制御する。従って、トレースポイント T P を含む前、後又は前後両方の予め設定されたバスサイクル数の前記エミュレーション用バス 2 に現れた情報は、前記エミュレーション用バス 2 の他の情報に書き換えられずに前記トレースメモリ 4 に保持することができる。

【 0 0 2 9 】

図 3 には、本発明に係るトレース装置の別の例である 2 個のバッファメモリ 20、21 を備えるエミュレータ (E M L) 15 の構成が示される。図 3 に示されるエミュレータ 15 は、図 1 に示されるエミュレータ 1 とは前記トレースメモリ 4 に対する前記エミュレーション用バス 2 に現れた情報を格納する制御方式が相違される。即ち、図 3 においては、前記エミュレーション用バス 2 の情報を直接格納するバッファメモリ 20、21 を新たに有し、上記バッファメモリ 20、21 及び前記トレースメモリ 4 に対するアドレス制御管理を行うロジック制御部 (T R C L O G) 16 を備える。その他の構成については図 1 と同様であり、それと同一機能を有する要素には同一符号を付与し詳細な説明を省略する。

【 0 0 3 0 】

前記ロジック制御部 16 は前記エミュレーション制御部 8 の制御に基づいて前記エミュレーション用マイコン 5 が評価用プログラムを実行開始するのに同期して、前記エミュレーション用バス 2 上の情報をバスサイクル毎に前記バッファメモリ 20、21 に格納する。格納対象となる前記バッファメモリ 20、21 は交互に切り換えられる。前記ロジック制御部 16 は、前記制御信号 C S 1 により前記エミュレーション用バス 2 の情報が前記トレースポイント T P に一致する条件を検出すると、レジスタ 13 及び 14 の設定に従って、前記バッファメモリ 20、21 のうちの一方に格納されている情報を前記トレースメモリ 4 に転送開始すると共に、前記エミュレーション用バス 2 の情報の格納先を前記バッファメモリ 20、21 の内の他方に切り換える制御を行う。以下に、その制御について図 4 を参照しながら詳述する。

【 0 0 3 1 】

図 4 には、前記エミュレーション用バス 2 の情報が前記バッファメモリ 20、21 の一方に格納され、必要な前記エミュレーション用バス 2 の情報を当該一方のバッファメモリから前記トレースメモリ 4 に転送し保持する動作が示される。トレース制御中、前記エミュレーション用バス 2 に現れた情報は、夫々記憶容量が有限の前記バッファメモリ 20 と前記バッファメモリ 21 に交互に格納される。最初は、前記エミュレーション用バス 2 の情報が前記バッファメモリ 20 の先頭アドレス A A S から終点アドレス A A E に向けて順次書き込まれる。前記バッファメモリ 20 に書き込まれる情報が前記バッファメモリ 20 の終点アドレス A A E に達すると、前記バッファメモリ 20 から前記バッファメモリ 21 に切り換えて前記バッファメモリ 21 に前記エミュレーション用バス 2 の情報を継続して書き込む。次に、前記バッファメモリ 21 に書き込まれる情報が前記バッファメモリ 21 の終点アドレス A B E に達すると再び、前記バッファメモリ 21 から前記バッファメモリ 20 に切り換えて前記エミュレーション用バス 2 に現れた情報を前記バッファメモリ 20 に書き込む。途中で前記トレースポイントが検出されなければ上記書き込み動作が単に繰り返される。図 4 において、s t a r t 1 は前記バッファメモリ 20、21 に前記エミュレーション用バス 2 の情報を書き込む第一巡目の動作を示す。s t a r t 2 は同じく第二巡目を示し、s t a r t 3 は同じく第三巡目を示す。前記バッファメモリ 20 には書き込みの先頭アドレスとして A A S、書き込みの終了アドレスとして A A E が割り当てられる

。また前記バッファメモリ 21 には書き込みの先頭アドレスとして A B S、書き込みの終了アドレスとして A B E が割り当てられる。ここでは、第 1 レジスタ 13 と第 2 レジスタ 14 の条件設定は、図 1 と同様に、例えば 3 つのトレースポイント T P 1 ~ T P 3 の条件と前記トレースポイント T P 1 ~ T P 3 を起点に前後 64 サイクルのバスサイクル数の情報が前記ホストシステム 6 によって設定される。

【 0 0 3 2 】

トレース制御が開始されると、前記第一巡目 s t a r t 1 では、前記バッファメモリ 20 のメモリ領域に対する前記開始アドレス A A S から前記終了アドレス A A E に向けて前記エミュレーション用バス 2 の情報の格納が開始される。その間に、前記トレースポイント検出部 11 によって前記トレースポイント T P 1 が検出されると、前記ロジック制御部 16 に制御信号 C S 1 が入力される。前記ロジック制御部 16 は、前記第 1 レジスタ 13 及び第 2 レジスタ 14 の条件に基づいて、前記トレースポイント T P 1 に対応するバッファメモリアドレスを起点に繰り下がった 64 サイクル目のバッファメモリアドレス A S 1 から、繰り上がった 64 サイクル目のバッファメモリアドレス A E 1 までの情報が前記バッファメモリ 20 に格納されたことを確認する。確認後、その次の前記エミュレーション用バス 2 の情報の格納先を前記バッファメモリ 20 から前記バッファメモリ 21 の前記開始アドレス A B S に切り換える。これによって、前記エミュレーション用バス 2 の情報を継続的に格納していく。これに並行して、前記バッファメモリ 20 のアドレス A S 1 ~ A E 1 の情報を前記トレースメモリ 4 に格納する。前記第一巡目 s t a r t 1 において、次に前記トレースポイント検出部 11 によって前記トレースポイント T P 2 が検出されたときも上記同様の制御が行われる。

【 0 0 3 3 】

前記第二巡目以降も前記第一巡目 s t a r t 1 と同様の制御が行われる。前記第二巡目 s t a r t 2 において、前記開始アドレス A A S から前記終了アドレス A A E に向けて前記エミュレーション用バス 2 の情報を格納する間に、前記トレースポイント検出部 11 によって前記トレースポイント T P 3 が検出されると、前記トレースポイント T P 1、T P 2 と同様の制御が行われる。

【 0 0 3 4 】

図 5 には、トレースポイントが検出されたとき、必要な前記エミュレーション用バス 2 の情報がバッファメモリに格納されるのを検出する前にバッファメモリのアドレスが終点到達した場合の制御が例示される。図 5 の動作例では、前記トレースポイント検出部 11 によってトレースポイント T P n が検出されたとき、前記トレースポイント T P n に対応するバッファメモリアドレスを起点に繰り下がった 64 サイクル目のバッファメモリアドレス A S n から、繰り上がった 64 サイクル目のバッファメモリアドレス A E n までの区間のバスの情報を当該バッファメモリ 20 に格納完了する前にバッファメモリを切り換えなければならない。前記ロジック制御部 16 は、前記バッファメモリアドレス A S n から前記バッファメモリ 20 の終了アドレス A A E までの情報をバッファメモリ 20 に格納し、この時点で、バスの情報の格納先を前記バッファメモリ 21 に切り換えて、次のバス情報を継続して格納していく。バッファメモリの切り換えに並行して、前記バッファメモリ 20 に格納された前記バッファメモリアドレス A S n から前記終了アドレス A A E までの情報を前記トレースメモリ 4 に転送する制御を行う。前記ロジック制御部 16 は、バッファメモリアドレス A S n から前記終了アドレス A A E までの情報が前記トレースメモリ 4 に転送完了されたこととバッファメモリ 21 に開始アドレス A B S から A E n までのバスの情報が格納完了されたことの双方を確認してから、バスの情報の格納先を前記バッファメモリ 21 から前記バッファメモリ 20 に切り換えて、後続のバスの情報を継続してバッファメモリ 20 に格納していく。これに並行して、バッファメモリ 21 に格納されたアドレス A B S から A E n の情報は前記トレースメモリ 4 に転送される。

【 0 0 3 5 】

図 5 において、ホストシステム 6 によって第 1 レジスタ 13 及び第 2 レジスタ 14 に設定可能な値は、複数設定されたトレースポイント間における夫々のトレース対象領域が相

10

20

30

40

50

互に重ならないような値にされることが望ましい。

【 0 0 3 6 】

また、必要なエミュレーション用バスの情報をバッファメモリに格納している途中にバッファメモリの切り換えが発生した場合の制御について、2個のバッファメモリをトレース制御部17に備えたときの説明は上記に示される。3個以上のバッファメモリをトレース制御部17に備える場合において、一のバッファメモリで格納動作中にトレースポイントが検出された場合、前記第2レジスタ14で指定された範囲のデータ（単に指定範囲データとも称する）を全部前記バッファメモリに格納できないときは、途中で前記バスの情報の格納先を当該バッファメモリから次のバッファメモリに切り換えて継続して後続のバスの情報を格納していく。バッファメモリの切り換えに並行して、格納された前記途中までの情報は前記トレースメモリ4に転送される。切り換えられた次のバッファメモリに継続して格納される残りの情報が格納完了したら、前記バスの情報の格納先を当該バッファメモリからその次のバッファメモリに切り換えて継続してバスの情報を格納していく。前記トレースメモリ4に前記指定範囲データの内の途中までの情報が転送されたことを確認したら、前記指定範囲データの残りの情報をバッファメモリから前記トレースメモリ4に転送していく。

10

【 0 0 3 7 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

20

【 0 0 3 8 】

格納されたトレースメモリの内容は、通信インターフェースケーブル等を介してパソコンやディスプレイ等の表示機器に表示することができる。本発明のトレース装置は、インサートキットエミュレータの他にロジックアナライザなどに適用することができる。

【 図面の簡単な説明 】

【 0 0 3 9 】

【 図 1 】 本発明に係るトレース装置の一例であるエミュレータの構成を示すブロック図である。

【 図 2 】 エミュレーション用バスに現れた情報をトレースメモリに格納する動作を示す動作制御図である。

30

【 図 3 】 本発明に係るトレース装置の別の例である2個のバッファメモリを備えるエミュレータの構成を例示したブロック図である。

【 図 4 】 必要なエミュレーション用バスの情報をバッファメモリからトレースメモリに転送し保持する動作を例示した動作制御図である。

【 図 5 】 必要なエミュレーション用バスの情報がバッファメモリに格納されるのを検出する前にバッファメモリの終了アドレスに達した場合の動作を示す動作制御図である。

【 符号の説明 】

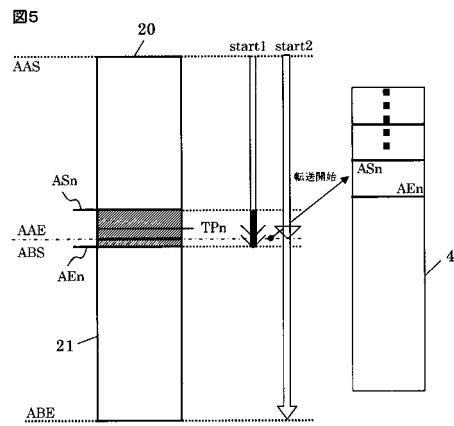
【 0 0 4 0 】

- 1 エミュレータ
- 2 エミュレーション用バス
- 3 トレース制御部
- 4 トレースメモリ
- 5 エミュレーション評価用マイコン
- 6 ホストシステム
- 7 ターゲットシステム
- 8 エミュレーション制御部
- 9 トレース条件設定部
- 10 コントロールバス
- 11 トレースポイント検出部
- 12 ロジック制御部

40

50

【 図 5 】



フロントページの続き

(72)発明者 内野 稚賀男

東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサスソリューションズ内

F ターム(参考) 5B042 GA32 HH03 HH30 LA05 LA07 MA04 MB04 MC09

5B048 AA13 BB02 CC17