

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4683710号
(P4683710)

(45) 発行日 平成23年5月18日 (2011.5.18)

(24) 登録日 平成23年2月18日 (2011.2.18)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 21/8238 (2006.01)
 HO 1 L 27/092 (2006.01)
 HO 1 L 27/08 (2006.01)

HO 1 L 29/78 6 1 7 L
 HO 1 L 29/78 6 1 6 A
 HO 1 L 29/78 6 1 2 B
 HO 1 L 27/08 3 2 1 D
 HO 1 L 27/08 3 3 1 E

請求項の数 6 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2000-350612 (P2000-350612)
 (22) 出願日 平成12年11月17日 (2000.11.17)
 (65) 公開番号 特開2001-210833 (P2001-210833A)
 (43) 公開日 平成13年8月3日 (2001.8.3)
 審査請求日 平成19年10月25日 (2007.10.25)
 (31) 優先権主張番号 特願平11-328785
 (32) 優先日 平成11年11月18日 (1999.11.18)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 前川 慎志
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 仲沢 美佐子
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 液晶表示装置、E L表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

n チャンネル型の画素 T F T を有する画素が複数配置された画素部と、
n チャンネル型の駆動回路用 T F T 及び p チャンネル型の駆動回路用 T F T を有する駆動回
路と、を有する液晶表示装置であって、

前記 n チャンネル型の画素 T F T 及び前記 n チャンネル型の駆動回路用 T F T は、
絶縁表面上の第 1 の活性層と、

前記第 1 の活性層上の第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上の第 1 のゲート配線と、

前記第 1 のゲート配線の側面及び上面に形成された第 1 の金属膜と、を有し、

前記第 1 の活性層は、第 1 のチャンネル形成領域と、前記第 1 のチャンネル形成領域を挟む
n 型の第 1 の不純物領域と、前記第 1 のチャンネル形成領域及び前記第 1 の不純物領域を挟む
n 型の第 2 の不純物領域と、前記第 1 のチャンネル形成領域、前記第 1 の不純物領域及び
前記第 2 の不純物領域を挟む n 型の第 3 の不純物領域と、を有し、

前記第 1 の不純物領域に添加された不純物は前記第 2 の不純物領域に添加された不純物
よりも低濃度であり、前記第 2 の不純物領域に添加された不純物は前記第 3 の不純物領域
に添加された不純物よりも低濃度であり、

前記第 1 のチャンネル形成領域は、前記第 1 のゲート絶縁膜を介して前記第 1 のゲート配
線と重なり、

前記第 1 の不純物領域は、前記第 1 のゲート絶縁膜を介して前記第 1 のゲート配線の側

10

20

面に形成された第 1 の金属膜と重なり、

前記第 2 の不純物領域は前記第 1 のゲート絶縁膜を介して前記第 1 のゲート配線の側面に形成された第 1 の金属膜と重ならず、

前記 p チャネル型の駆動回路用 T F T は、

前記絶縁表面上の第 2 の活性層と、

前記第 2 の活性層上の第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上の第 2 のゲート配線と、

前記第 2 のゲート配線の側面及び上面に形成された第 2 の金属膜と、を有し、

前記第 2 の活性層は、第 2 のチャネル形成領域と、前記第 2 のチャネル形成領域を挟む p 型の第 4 の不純物領域と、を有し、

前記第 2 のチャネル形成領域は、前記第 2 のゲート絶縁膜を介して前記第 2 のゲート配線及び前記第 2 のゲート配線の側面に形成された第 2 の金属膜と重なり、

前記第 1 のゲート配線及び前記第 2 のゲート配線は、C u を主成分とする材料からなり、

前記第 1 の金属膜及び前記第 2 の金属膜は、高融点金属材料からなることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、前記高融点金属材料は T a、W、M o、C r、N i 又は Z n であることを特徴とする液晶表示装置。

【請求項 3】

n チャネル型のスイッチング用 T F T 及び n チャネル型の電流制御用 T F T を有する画素が複数配置された画素部と、

n チャネル型の駆動回路用 T F T 及び p チャネル型の駆動回路用 T F T を有する駆動回路と、を有する E L 表示装置であって、

前記 n チャネル型のスイッチング用 T F T、前記 n チャネル型の電流制御用 T F T 及び前記 n チャネル型の駆動回路用 T F T は、

絶縁表面上の第 1 の活性層と、

前記第 1 の活性層上の第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上の第 1 のゲート配線と、

前記第 1 のゲート配線の側面及び上面に形成された第 1 の金属膜と、を有し、

前記第 1 の活性層は、第 1 のチャネル形成領域と、前記第 1 のチャネル形成領域を挟む n 型の第 1 の不純物領域と、前記第 1 のチャネル形成領域及び前記第 1 の不純物領域を挟む n 型の第 2 の不純物領域と、前記第 1 のチャネル形成領域、前記第 1 の不純物領域及び前記第 2 の不純物領域を挟む n 型の第 3 の不純物領域と、を有し、

前記第 1 の不純物領域に添加された不純物は前記第 2 の不純物領域に添加された不純物よりも低濃度であり、前記第 2 の不純物領域に添加された不純物は前記第 3 の不純物領域に添加された不純物よりも低濃度であり、

前記第 1 のチャネル形成領域は、前記第 1 のゲート絶縁膜を介して前記第 1 のゲート配線と重なり、

前記第 1 の不純物領域は、前記第 1 のゲート絶縁膜を介して前記第 1 のゲート配線の側面に形成された第 1 の金属膜と重なり、

前記第 2 の不純物領域は前記第 1 のゲート絶縁膜を介して前記第 1 のゲート配線の側面に形成された第 1 の金属膜と重ならず、

前記 p チャネル型の駆動回路用 T F T は、

前記絶縁表面上の第 2 の活性層と、

前記第 2 の活性層上の第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上の第 2 のゲート配線と、

前記第 2 のゲート配線の側面及び上面に形成された第 2 の金属膜と、を有し、

前記第 2 の活性層は、第 2 のチャネル形成領域と、前記第 2 のチャネル形成領域を挟む p 型の第 4 の不純物領域と、を有し、

前記第2のチャネル形成領域は、前記第2のゲート絶縁膜を介して前記第2のゲート配線及び前記第2のゲート配線の側面に形成された第2の金属膜と重なり、

前記第1のゲート配線及び前記第2のゲート配線は、Cuを主成分とする材料からなり、

前記第1の金属膜及び前記第2の金属膜は、高融点金属材料からなることを特徴とするEL表示装置。

【請求項4】

請求項3において、前記高融点金属材料はTa、W、Mo、Cr、Ni又はZnであることを特徴とするEL表示装置。

【請求項5】

請求項3又は4において、前記nチャネル型の電流制御用TFTは、マルチゲート構造であることを特徴とするEL表示装置。

【請求項6】

請求項1若しくは2の液晶表示装置、又は請求項2乃至5のいずれか一項のEL表示装置を表示部として有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は絶縁表面を有する基板上に薄膜トランジスタ(Thin Film Transistor:以下、TFTとする)で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置に代表される電気光学装置および電気光学装置を搭載した電気器具(電子機器ともいう)およびその作製方法に関する。なお、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電気器具を範疇に含んでいる。

【0002】

【従来の技術】

近年、ポリシリコン膜を利用したTFT(以下、結晶質TFTと記す)で回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これは、マトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示装置を実現するものである。

【0003】

アクティブマトリクス型液晶表示装置の画素部はnチャネル型TFTが形成されている場合が多い(以下、画素部に形成されているTFTを画素TFTと記す)。画素TFTは、振幅15~20V程度のゲート電圧が印加されるので、オン領域とオフ領域の両方の特性を満足する必要があった。一方、画素部を駆動するために設けられる周辺回路はCMOS回路を基本として構成され、主にオン領域の特性が重要であった。しかし、結晶質TFTはオフ電流が上がりやすいという問題点があった。また、結晶質TFTを長期間駆動させると移動度やオン電流の低下、オフ電流の増加といった劣化現象がしばしば観測された。この原因の一つは、ドレイン近傍の高電界が原因で発生するホットキャリア注入現象にあると考えられた。

【0004】

LSIの技術分野ではMOSトランジスタのオフ電流を下げ、さらにドレイン近傍の高電界を緩和する方法として、低濃度ドレイン(LDD:Lightly Doped Drain)構造が知られている。この構造は、ドレイン領域とチャネル形成領域の間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。

【0005】

同様に結晶質TFTでもLDD構造を形成することは知られていた。従来の技術では、ゲート電極をマスクとして、第1の不純物元素の添加工程によりLDD領域となる低濃度不純物領域を形成しておき、その後異方性エッチングの技術を利用してゲート電極の両側にサイドウォールを形成し、ゲート電極とサイドウォールをマスクとして第2の不純物元素

10

20

30

40

50

の添加工程によりソース領域とドレイン領域となる高濃度不純物領域を形成する方法である。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかし、LDD構造は通常の構造のTFTと比べて、オフ電流を下げることができても、構造的に直列抵抗成分が増えてしまうため、結果としてTFTのオン電流も低下させてしまう欠点があった。また、オン電流の劣化を完全に防ぐことはできなかった。

【 0 0 0 7 】

本発明はこの様な問題点を克服するための技術を提供するものであり、ゲート電極とLDD領域とをオーバーラップさせた構造のTFTを提供することを目的とする。その目的を達成するために、簡便な方法で、ゲート電極がLDD領域にオーバーラップする構造のTFTを作製する技術を提供することを目的としている。そして、信頼性の高いTFTで回路を形成した半導体装置を提供することを目的とする。

10

【 0 0 0 8 】

【課題を解決するための手段】

本明細書で開示する発明の構成は、ゲート絶縁膜上にゲート配線を有し、前記ゲート配線の側面および上面に膜厚の等しい金属膜を有しているTFTを有することを特徴とする半導体装置である。

【 0 0 0 9 】

また、他の発明の構成は、ゲート絶縁膜上にゲート配線を有し、前記ゲート配線の側面および上面には電解めっき法によって析出させた金属膜を有しているTFTを有することを特徴とする半導体装置である。

20

【 0 0 1 0 】

また、他の発明の構成は、nチャネル型TFTおよびpチャネル型TFTで形成されるCMOS回路を有する半導体装置において、前記nチャネル型TFTおよび前記pチャネル型TFTは、ゲート絶縁膜上にゲート配線を有し、前記ゲート配線は、側面および上面に金属膜を有することを特徴とする半導体装置である。

【 0 0 1 1 】

また、他の発明の構成は、nチャネル型TFTおよびpチャネル型TFTで形成されるCMOS回路を含む半導体装置において、前記nチャネル型TFTおよび前記pチャネル型TFTのそれぞれの活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート配線と、前記ゲート配線の側面および上面を覆う金属膜と、を有し、前記nチャネル型TFTの活性層は、チャネル形成領域、前記チャネル形成領域に接して第1不純物領域、前記第1不純物領域に接して第2不純物領域、前記第2不純物領域に接して第3不純物領域を有し、前記ゲート配線は前記チャネル形成領域と重なって形成されており、前記第1不純物領域の幅は前記ゲート配線の側面に形成された金属膜の厚さによって決定されることを特徴とする半導体装置である。

30

【 0 0 1 2 】

また、他の発明の構成は、nチャネル型TFTと、pチャネル型TFTとで形成されるCMOS回路を含む半導体装置において、活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート配線と、前記ゲート配線の側面および上面を覆う金属膜と、を有し、前記nチャネル型TFTの活性層は、チャネル形成領域、前記チャネル形成領域に接して第1不純物領域、前記第1不純物領域に接して第2不純物領域、前記第2不純物領域に接して第3不純物領域を有し、前記チャネル形成領域の長さ前記ゲート配線の幅および前記第1不純物領域の長さ前記金属膜の膜厚は前記ゲート絶縁膜を介して一致しており、前記第3不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置である。

40

【 0 0 1 3 】

また、他の発明の構成は、絶縁表面を有する基板上に形成された半導体層を結晶化し、活性層を形成する工程と、前記活性層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁

50

膜上にゲート配線を形成する工程と、前記ゲート配線をマスクにして不純物を添加し第1不純物領域を形成する工程と、電解めっき法により前記ゲート配線の側面および上部に金属膜を形成する工程と、前記金属膜をマスクにして不純物を添加しpチャネル型薄膜トランジスタに第4不純物領域を形成する工程と、前記金属膜をマスクにして不純物を添加し第2の不純物領域を形成する工程と、前記活性層の選択部分に不純物を添加して第3の不純物領域を形成する工程と、を有することを特徴とする半導体装置の作製方法である。

【0014】

また、他の発明の構成は、絶縁表面を有する基板上に形成された半導体層に触媒元素を添加する工程と、前記半導体層を熱処理して結晶化し、活性層を形成する工程と、前記活性層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート配線を形成する工程と、前記ゲート配線をマスクにして不純物を添加し第1不純物領域を形成する工程と、電解めっき法により前記ゲート配線の側面および上部に金属膜を形成する工程と、前記金属膜をマスクにして不純物を添加しpチャネル型薄膜トランジスタに第4不純物領域を形成する工程と、前記金属膜をマスクにして不純物を添加し第2の不純物領域を形成する工程と、前記活性層の選択部分に不純物を添加して第3の不純物領域を形成する工程と、を有することを特徴とする半導体装置作製方法である。

【0015】

【発明の実施の形態】

[実施例1]

本実施例では、本願発明の半導体装置を作製する方法について、図2、3を用いて説明する。

【0016】

まず基板301には、例えばコーニング社の1737ガラス基板に代表されるガラス基板を用いた。そして、基板301のTFTが形成される側の表面に、酸化シリコン膜でなる下地膜302を200nm厚に形成した。下地膜302は窒化シリコン膜を堆積してもよいし、酸化窒化シリコン膜のみであってもよい。下地膜の成膜方法は、プラズマCVD法、熱CVD法またはスパッタ法を用いればよい。

【0017】

次に、この下地膜302の上に非晶質シリコン膜をプラズマCVD法により30nm厚に形成した。非晶質シリコン膜の成膜方法は、熱CVD法またはスパッタ法でもよい。非晶質シリコン膜を脱水素処理した後、結晶化工程を行なうことにより多結晶シリコン膜を形成した。

【0018】

この結晶化の工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いればよい。本実施例では、パルス発信型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射し、結晶質シリコン膜とした。

【0019】

本実施例では、初期膜を非晶質シリコン膜として用いたが、初期膜として微結晶シリコン膜を用いても構わないし、直接結晶性シリコン膜を成膜してもよい。

【0020】

こうして形成された結晶質シリコン膜をパターニングして、島状のシリコン層からなる活性層303、304を形成した。

【0021】

なお、結晶質シリコン膜を形成した後、エキシマレーザー光を照射して結晶性を高めてもよい。また、活性層303、304を形成した後に行なっても構わない。

【0022】

次に、酸化シリコン膜でなるゲート絶縁膜305を膜厚100nmで、活性層303、304を覆って形成した。続いて、ゲート絶縁膜305の上にタンタルと窒化タンタルの積層構造でなるゲート配線306、307を形成した。ゲート配線306は他の金属を用いることもできるが、後の工程を考慮するとシリコンとのエッチング選択比の高い材料が望

10

20

30

40

50

ましい。(図2(A))

【0023】

後のpチャネル型薄膜トランジスタ(以下、PTFTという)となる領域全体を覆うようにして、ゲート絶縁膜305上にレジストマスク308を形成した。

【0024】

この状態で1回目のリンを添加する工程を行なった。ここではゲート絶縁膜を通して不純物を添加するため、加速電圧は80KeVと設定した。こうして形成された第1不純物領域309はリン濃度が、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ (好ましくは $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$)となるようにドーズ量を調節した。この時のリン濃度を(n^-)で表すことにする。また、第1不純物領域はゲート配線306をマスクとして自己整合的に形成した。第1不純物領域309は、LDD領域として機能することになる。(図2(B))

10

【0025】

次に、本実施例では、 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ 電解液を用いた公知の電解めっき法により、導電層の側面および上面に銅(Cu)を $0.1 \sim 1 \mu\text{m}$ (好ましくは $0.2 \sim 0.5 \mu\text{m}$)析出させた。(図2(C))

【0026】

電解めっき法は図1に示すように、電解質溶液103に2個の電極を浸し、外部から電流を通ずると両電極面で電気化学的变化が生じることによって行われる。したがって、液中の+イオンが放電するカソード電極101(金属が析出する側の極)を前記ゲート配線とし、-イオンが放電するか、または金属が溶解して金属イオンとなるアノード電極102をCu電極で形成し、コンタクトパッドを介して電流が流れるようにすれば、前記ゲート配線の側壁および上部にCuからなる金属膜を析出させることができる。

20

【0027】

電解めっき法は、カソード電極で金属イオンが還元されて析出する現象であり、電極反応の量は通電量に比例するので、析出する金属膜の膜厚を容易に調整することができ、ゲート電極の側面および上面に析出する金属膜の膜厚を等しくすることも容易である。

【0028】

金属膜311、312を形成した後、NTFTの全体を覆うようにしてレジストマスク313を形成した。

30

【0029】

この状態で、ボロンを添加する工程を行なった。ここでは加速電圧を10KeVとし、第4不純物領域314を形成した。ボロンが $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ (好ましくは $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$)の濃度で含まれるようにドーズ量を調節した。この時のボロン濃度を(p^{++})と表すことにする。また、PTFTのチャネル形成領域315が画定した。(図2(D))

【0030】

次に、PTFTの全体を覆うようにしてレジストマスク316を形成した。

【0031】

この状態で、2回目のリンを添加する工程を行なった。この場合も加圧電圧を80KeVとした。2回目の不純物添加(リンドーブ)工程では、金属層311をドーブマスクとして、自己整合的に第2不純物領域317を形成し、リンが $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (好ましくは $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$)の濃度で含まれるようにドーズ量を調整した。この時のリン濃度を(n)で表すことにする。第2不純物領域317はLDD領域として機能することになる。(図2(E))

40

【0032】

次に後のnチャネル型TFT(以下、NTFTと記す。)となる領域の一部を覆うレジストマスク318と、PTFTの全体を覆うレジストマスク319を形成した。

【0033】

この状態で、3回目のリンを添加する工程を行ない、第3不純物領域320を形成した。

50

ここでは加速電圧を 10 KeV とし、第3不純物領域にはリンが $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (好ましくは $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$) の濃度で含まれるようにドーズ量を調整した。この時のリンの濃度を (n^+) で表すことにする。第3不純物領域320はソース領域またはドレイン領域として機能する。(図3(A))

【0034】

レジストマスク318、319を除去し、後のNTFTとなる領域および後のPTFTとなる領域全部を覆う保護膜321を形成した。この時保護膜として設けられた窒化シリコン膜は、ゲート配線(タンタル膜)306、307および金属膜(銅膜)311、312が酸化されるのを防ぐ。保護膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができ、その膜厚範囲は、 $1 \sim 30\text{ nm}$ 、好ましくは $5 \sim 20\text{ nm}$ とした。(図3(B))

10

【0035】

PTFTは、もともと信頼性が高いので問題なくかえってLDD領域等を設けないほうがオン電流を稼ぐことができるので都合がよい場合もあるため、本実施例ではPTFTに対してLDD領域もオフセット領域も形成していない。

【0036】

こうして最終的には、NTFTの活性層にはチャネル形成領域、第1の不純物領域、第2の不純物領域および第3の不純物領域が形成され、 $L_{ov}=0.5 \sim 3.0\text{ }\mu\text{m}$ ($1.0 \sim 1.5\text{ }\mu\text{m}$)、 $L_{of}=0.5 \sim 3.0\text{ }\mu\text{m}$ ($1.0 \sim 2.0\text{ }\mu\text{m}$) の幅になった。PTFTの活性層にはチャネル形成領域および第4の不純物領域のみが形成された。

20

【0037】

電解めっき法によって、ゲート配線の側面および上面に金属膜を形成し、この金属膜をマスクにして不純物を添加することで、自己整合的にLDD領域を形成することができた。また、この金属膜の膜厚を変えれば、LDD領域の長さ(幅)を変えることができる。

【0038】

[実施例2]

実施例1で作製したTFT(図3(B))をドライバー回路として、また、アクティブマトリクス基板の画素TFTに実施例1で示された方法で作製されたNTFT(ただし、マルチゲート構造である)を採用したアクティブマトリクス型液晶表示装置の画素部におけるTFTに接続される保持容量の構成について図4を用いて説明する。

30

【0039】

第1層間絶縁膜322を $1\text{ }\mu\text{m}$ の厚さに形成した。本実施例ではアクリル樹脂膜を採用した。第1層間絶縁膜322を形成した後、金属材料でなるソース配線323、324、325およびドレイン配線326、327を形成した。本実施例ではチタンを含むアルミニウム膜をチタンで挟み込んだ構造の三層配線を用いた。

【0040】

こうしてソース配線およびドレイン配線を形成したら、第1層間絶縁膜として 50 nm 厚の窒化シリコン膜328を形成した。その上に第2層間絶縁膜329を形成した。この第2層間絶縁膜329としては 50 nm 厚の酸化シリコン膜上に有機樹脂膜を積層した構造を採用した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機性樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、 300°C で焼成して形成した。

40

【0041】

次に、第2層間絶縁膜329上の画素領域の一部に、遮光層330を形成した。遮光層330はアルミニウム、チタン、タンタル等の金属材料、これらの金属を主成分とする膜または有機樹脂膜で形成すればよい。ここでは、チタンをスパッタ法で形成した。

【0042】

遮光膜を形成したら、第3の層間絶縁膜331を形成する。この第3層間絶縁膜331は

50

、第2層間絶縁膜329と同様に、有機樹脂膜を用いて形成するとよい。そして、第2層間絶縁膜329と第3層間絶縁膜331とにドレイン電極327に達するコンタクトホールを形成し、画素電極332を形成した。画素電極332は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いればよい。ここでは、透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成し、画素電極332を形成した。

【0043】

図4（A）の状態が形成されたら、配向膜333を形成する。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板336には、透明導電膜（画素電極）335と、配向膜334とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。

10

【0044】

上記の工程を経て、画素マトリクス回路と、CMOS回路が形成された基板と対向基板とを公知のセル組み工程によってシール材やスペーサ（ともに図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料337を注入し、封止材（図示せず）によって完全に封止した。よって、図4（B）に示すアクティブマトリクス型液晶表示装置が完成した。

【0045】

本実施例によって、ゲート配線の側面および上面に金属膜を形成し、完成したCMOS回路は、NTFTが優れた信頼性を有するため、回路全体として信頼性が大幅に向上した。また、本実施例のような構造とすると、NTFTとPTFTとの特性バランスがよくなるため、動作不良を起こしにくくなることがわかった。

20

【0046】

[実施例3]

実施例1の作製方法において、図2（A）に示す工程を終了した後、PTFTの全体および画素部の全体を覆うレジストマスク403、404を形成し、1回目のリンを添加する工程を行った。

その結果、駆動回路部のNTFTにおいて、ゲート配線306をマスクとして、自己整合的に第1不純物領域309、チャネル形成領域310が形成された。（図5（A））

【0047】

30

次に、電解めっき法により、ゲート配線311、312、401、402の側面および上部に金属膜311、312、406、407を形成した。（図5（B））

【0048】

このあとの工程は、実施例2に従って行ない、図7（B）に示すようなアクティブマトリクス型液晶表示装置が完成した。

【0049】

[実施例4]

実施例1ではゲート配線306、307としてタンタルと窒化タンタルの積層、金属膜311、312として銅を用いたが、本実施例では、ゲート配線の材料として低抵抗金属、例えば、Al、W、Mo、Cu、Au、Nbといった金属を主成分とする材料、また、金属膜として高融点金属の材料として、例えば、Ta、Mo、Wといった金属を主成分とする材料を用いて形成した。

40

本実施例のように、高融点金属をゲート配線の側面および上部に形成すれば、高融点金属が、ゲート配線を保護するため、高い温度で熱活性化が行なえるという長所がある。本実施例は、実施例1～3と組み合わせて用いることができる。

【0050】

[実施例5]

実施例1ではゲート配線306、307としてタンタルと窒化タンタルの積層、金属膜311、312として銅を用いたが、本実施例では、ゲート配線、金属膜の材料として高融点金属、例えば、Ta、W、Mo、Cr、Ni、Znなどを主成分とする材料を用いて形

50

成した。

ゲート配線および金属膜が、どちらも高融点金属であるため高い温度で熱活性化でき、さらに2つの金属を同じ物にすることで金属どうしが剥がれにくくすることができる。本実施例は、実施例1～3と組み合わせて用いることができる。

【0051】

[実施例6]

本実施例では、実施例1において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0052】

ここで、特開平7-130652号公報に開示されている技術を本発明に適用する場合の例を図8に示す。まず基板601に酸化シリコン膜602を設け、その上に非晶質シリコン膜603を形成した。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層604を形成した。(図8(A))

【0053】

次に、500、1時間の脱水素工程の後、500～650で4～12時間(本実施例では550、14時間)の熱処理を行い、結晶質シリコン膜605を形成した。こうして得られた結晶質シリコン膜605は非常に優れた結晶性を有した。(図8(B))

【0054】

また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本発明に適用した場合について、図9で説明する。

【0055】

まず、ガラス基板701に酸化珪素膜702を設け、その上に非晶質シリコン膜703、酸化シリコン膜704を連続的に形成した。

【0056】

次に酸化シリコン膜704をパターニングして、選択的に開孔部705を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層706が形成され、ニッケル含有層706は開孔部705から露出している非晶質シリコン膜702のみと接触した。(図9(A))

【0057】

次に、500～650で4～24時間(本実施例では580、14時間)の熱処理を行い、結晶質シリコン膜707を形成した。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜707は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0058】

尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素を用いても良い。

【0059】

以上のような技術を用いて結晶質半導体膜(結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む)を形成し、パターニングを行えば、TFTの半導体層を形成することができる。結晶質半導体膜から作製されたTFTは優れた特性が得られるがそのため高い信頼性を要求されていた。しかしながら、本発明のTFT構造を採用することで、本実施例の技術を最大限に生かしたTFTを作製することが可能となった。本実施例は、実施例1～5のいずれかと組み合わせてもちいることができる。

【0060】

[実施例7]

10

20

30

40

50

本実施例は、実施例 1 で用いられる半導体層を形成する方法として、実施例 6 のように非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平 10 - 135468 号公報または特開平 10 - 135469 号公報に記載された技術を用いた。

【0061】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することができる。

10

【0062】

本実施例の構成について図 20 を用いて説明する。ここではコーニング社の 1737 基板に代表される無アルカリガラス基板を用いた。図 20 (A) では、実施例 6 で示した結晶化の技術を用いて、下地膜 802、結晶質シリコン膜 803 が形成された状態を示している。そして、結晶質シリコン膜 803 の表面にマスク用の酸化珪素膜 804 が 150 nm の厚さに形成され、パターンニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域 805 が設けられた。

【0063】

この状態で、窒素雰囲気中で 550 ~ 800 、5 ~ 24 時間（本実施例では 600 、12 時間）の熱処理を行うと、結晶質シリコン膜にリンが添加された領域 805 がゲッタリングサイトとして働き、結晶質シリコン膜 803 に残存していた触媒元素はリンが添加された領域 805 に移動させることができた。

20

【0064】

そして、マスク用の酸化シリコン膜 804 と、リンが添加された領域 805 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下にまで低減された結晶質シリコン膜を得ることができた。この結晶質シリコン膜はそのまま実施例 1 で示した本発明の TFT の活性層として使用することができた。本実施例は、実施例 1 ~ 5 のいずれかと組み合わせて用いることができる。

【0065】

[実施例 8]

本実施例では、実施例 1 で示した本願発明の TFT を作製する工程において、半導体層とゲート絶縁膜を形成する他の実施形態を示す。

30

【0066】

ここでは、少なくとも 700 ~ 1100 程度の耐熱性を有する基板が必要であり、石英基板 901 が用いられた。そして実施例 6 及び実施例 7 で示した技術を用い、結晶質半導体膜が形成され、島状にパターンニングして活性層 902、903 を形成した。そして、活性層 902、903 を覆って、ゲート絶縁膜 904 を、酸化珪素を主成分とする膜で形成した。本実施例では、プラズマ CVD 法で窒化酸化シリコン膜を 70 nm の厚さで形成した。（図 21 (A)）

40

【0067】

そして、ハロゲン（代表的には塩素）と酸素を含む雰囲気中で熱処理を行った。本実施例では、950 、30 分とした。尚、処理温度は 700 ~ 1100 の範囲で選択すれば良く、処理時間も 10 分から 8 時間の間で選択すれば良かった。（図 21 (B)）

【0068】

その結果、本実施例の条件では、活性層 902、903 とゲート絶縁膜 904 との界面で熱酸化膜が形成され、ゲート絶縁膜 907 が形成された。

【0069】

以上の工程で作製されたゲート絶縁膜 907 は、絶縁耐圧が高く活性層 905、906 とゲート絶縁膜 907 の界面は非常に良好なものであった。本願発明の TFT の構成を得る

50

ためには、以降の工程は実施例 1 に従えば良い。

【 0 0 7 0 】

勿論、本実施例に実施例 6 や実施例 7 を組み合わせることは実施者が適宜決定すれば良い。

【 0 0 7 1 】

[実施例 9]

上述の本発明の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

10

【 0 0 7 2 】

等方相 - コレステリック相 - カイラルスメクティック C 相転移系列を示す強誘電性液晶 (FLC) を用い、DC 電圧を印加しながらコレステリック相 - カイラルスメクティック C 相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定 FLC の電気光学特性を図 10 に示す。図 10 に示すような強誘電性液晶による表示モードは「Half-V 字スイッチングモード」と呼ばれている。図 10 に示すグラフの縦軸は透過率 (任意単位)、横軸は印加電圧である。「Half-V 字スイッチングモード」については、寺田らの "Half-V 字スイッチングモード FLC D"、第 46 回応用物理学関係連合講演会講演予稿集、1999 年 3 月、第 1316 頁、および吉原らの "強誘電性液晶による時分割フルカラー LCD"、液晶第 3 巻第 3 号第 190 頁に詳しい。

20

【 0 0 7 3 】

図 10 に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【 0 0 7 4 】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶 (AFLC) という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆる V 字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V 程度 (セル厚約 $1 \mu\text{m} \sim 2 \mu\text{m}$) のものも見出されている。

30

【 0 0 7 5 】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

40

【 0 0 7 6 】

なお、このような無しきい値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【 0 0 7 7 】

[実施例 10]

本願発明を実施して形成された CMOS 回路や画素部は様々な電気光学装置 (アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EL ディスプレイ) に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電気器具全てに本発明を実施できる。

【 0 0 7 8 】

50

その様な電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 1、図 1 2 及び図 1 3 に示す。

【 0 0 7 9 】

図 1 1 (A) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の信号制御回路に適用することができる。

【 0 0 8 0 】

図 1 1 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 やその他の信号制御回路に適用することができる。

10

【 0 0 8 1 】

図 1 1 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の信号制御回路に適用できる。

【 0 0 8 2 】

図 1 1 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 やその他の信号制御回路に適用することができる。

20

【 0 0 8 3 】

図 1 1 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として D V D (D i g t i a l V e r s a t i l e D i s c)、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の信号制御回路に適用することができる。

【 0 0 8 4 】

図 1 1 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）等を含む。本願発明を表示部 2 5 0 2 やその他の信号制御回路に適用することができる。

30

【 0 0 8 5 】

図 1 2 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

【 0 0 8 6 】

図 1 2 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

40

【 0 0 8 7 】

なお、図 1 2 (C) は、図 1 2 (A) 及び図 1 2 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 1 2 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

【 0 0 8 8 】

また、図 1 2 (D) は、図 1 2 (C) 中における光源光学系 2 8 0 1 の構造の一例を示し

50

た図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、レンズアレイ 2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。なお、図 12 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0089】

ただし、図 12 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び EL 表示装置での適用例は図示していない。

【0090】

図 13 (A) は携帯電話であり、本体 2901、音声出力部 2902、音声入力部 2903、表示部 2904、操作スイッチ 2905、アンテナ 2906 等を含む。本願発明を音声出力部 2902、音声入力部 2903、表示部 2904 やその他の信号制御回路に適用することができる。

10

【0091】

図 13 (B) は携帯書籍（電子書籍）であり、本体 3001、表示部 3002、3003、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。本発明は表示部 3002、3003 やその他の信号回路に適用することができる。

【0092】

図 13 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上（特に 30 インチ以上）のディスプレイには有利である。

20

【0093】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～8 のどのような組み合わせからなる構成を用いても実現することができる。

【0094】

〔実施例 11〕

本実施例では、本発明を用いて EL（エレクトロルミネッセンス）表示装置を作製した例について説明する。

30

【0095】

図 14 (A) は本発明を用いた EL 表示装置の上面図である。図 14 (A) において、4010 は基板、4011 は画素部、4012 はソース側駆動回路、4013 はゲート側駆動回路であり、それぞれの駆動回路は配線 4014～4016 を経て FPC 4017 に至り、外部機器へと接続される。

【0096】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 6000、シーリング材（ハウジング材ともいう）7000、密封材（第 2 のシーリング材）7001 が設けられている。

【0097】

40

また、図 14 (B) は本実施例の EL 表示装置の断面構造であり、基板 4010、下地膜 4021 の上に駆動回路用 TFT（但し、ここでは n チャネル型 TFT と p チャネル型 TFT を組み合わせた CMOS 回路を図示している。）4022 及び画素部用 TFT 4023（但し、ここでは EL 素子への電流を制御する TFT だけ図示している。）が形成されている。これらの TFT は本発明により作製された TFT を用いれば良い。

【0098】

本発明は、駆動回路用 TFT 4022、画素部用 TFT 4023 に際して用いることができる。

【0099】

本発明を用いて駆動回路用 TFT 4022、画素部用 TFT 4023 が完成したら、樹脂

50

材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電氣的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0100】

次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

10

【0101】

本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0102】

20

EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0103】

なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

30

【0104】

4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

40

【0105】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0106】

さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0107】

50

このとき、この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0108】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0109】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0110】

また、カバー材 6 0 0 0 としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6 0 0 4 としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0111】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材 6 0 0 0 が透光性を有する必要がある。

【0112】

また、配線 4 0 1 6 はシーリング材 7 0 0 0 および密封材 7 0 0 1 と基板 4 0 1 0 との隙間を通してFPC 4 0 1 7 に電氣的に接続される。なお、ここでは配線 4 0 1 6 について説明したが、他の配線 4 0 1 4、4 0 1 5 も同様にしてシーリング材 7 0 0 0 および密封材 7 0 0 1 の下を通してFPC 4 0 1 7 に電氣的に接続される。

【0113】

[実施例12]

本実施例では、本発明を用いて実施例 1 1 とは異なる形態のEL表示装置を作製した例について、図 1 5（A）、図 1 5（B）を用いて説明する。図 1 4（A）、1 4（B）と同じ番号のものは同じ部分を指しているので説明は省略する。

【0114】

図 1 5（A）は本実施例のEL表示装置の上面図であり、図 1 5（A）をA-A'で切断した断面図を図 1 5（B）に示す。

【0115】

実施例 1 0 に従って、EL素子の表面を覆ってパッシベーション膜 6 0 0 3 までを形成する。

【0116】

さらに、EL素子を覆うようにして充填材 6 0 0 4 を設ける。この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0117】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0118】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設け

10

20

30

40

50

てもよい。

【0119】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0120】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

10

【0121】

次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材（接着剤として機能する）6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0122】

20

また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電氣的に接続される。

【0123】

[実施例13]

ここでEL表示パネルにおける画素部のさらに詳細な断面構造を図16に、上面構造を図17（A）に、回路図を図17（B）に示す。図16、図17（A）及び図17（B）では共通の符号を用いるので互いに参照すれば良い。

【0124】

30

図16において、基板3501上に設けられたスイッチング用TFT3502は本願発明のNTFTを用いて形成される（実施例1～7参照）。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0125】

また、電流制御用TFT3503は本発明のNTFTを用いて形成される。このとき、スイッチング用TFT3502のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電氣的に接続されている。また、38で示される配線は、スイッチング用TFT3502のゲート電極39a、39bを電氣的に接続するゲート配線である。

40

【0126】

このとき、電流制御用TFT3503が本発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTに、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本発明の構造は極めて有効である。

【0127】

また、本実施例では電流制御用TFT3503をシングルゲート構造で図示しているが、

50

複数のＴＦＴを直列につなげたマルチゲート構造としても良い。さらに、複数のＴＦＴを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【０１２８】

また、図１７（Ａ）に示すように、電流制御用ＴＦＴ３５０３のゲート電極３７となる配線は３５０４で示される領域で、電流制御用ＴＦＴ３５０３のドレイン配線４０と絶縁膜を介して重なる。このとき、３５０４で示される領域ではコンデンサが形成される。このコンデンサ３５０４は電流制御用ＴＦＴ３５０３のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線４０は電流供給線（電源線）３５０６に接続され、常に一定の電圧が加えられている。

10

【０１２９】

スイッチング用ＴＦＴ３５０２及び電流制御用ＴＦＴ３５０３の上には第１パッシベーション膜４１が設けられ、その上に樹脂絶縁膜でなる平坦化膜４２が形成される。平坦化膜４２を用いてＴＦＴによる段差を平坦化することは非常に重要である。後に形成されるＥＬ層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、ＥＬ層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【０１３０】

また、４３は反射性の高い導電膜でなる画素電極（ＥＬ素子の陰極）であり、電流制御用ＴＦＴ３５０３のドレインに電氣的に接続される。画素電極４３としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

20

【０１３１】

また、絶縁膜（好ましくは樹脂）で形成されたバンク４４ａ、４４ｂにより形成された溝（画素に相当する）の中に発光層４５が形成される。なお、ここでは一画素しか図示していないが、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の各色に対応した発光層を作り分けても良い。発光層とする有機ＥＬ材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（ＰＰＶ）系、ポリピニルカルバゾール（ＰＶＫ）系、ポリフルオレン系などが挙げられる。

【０１３２】

なお、ＰＰＶ系有機ＥＬ材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平１０－９２５７６号公報に記載されたような材料を用いれば良い。

30

【０１３３】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は３０～１５０ｎｍ（好ましくは４０～１００ｎｍ）とすれば良い。

【０１３４】

但し、以上の例は発光層として用いることのできる有機ＥＬ材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせることでＥＬ層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

40

【０１３５】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機ＥＬ材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機ＥＬ材料や無機材料は公知の材料を用いることができる。

【０１３６】

本実施例では発光層４５の上にＰＥＤＯＴ（ポリチオフェン）またはＰＡｎｉ（ポリアニ

50

リン)でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって(TFTの上方に向かって)放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0137】

陽極47まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極(陰極)43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図17(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0138】

ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0139】

以上のように本発明のEL表示パネルは図16のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0140】

なお、本実施例の構成は、実施例1~9の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0141】

〔実施例14〕

本実施例では、実施例13に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図18を用いる。なお、図16の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0142】

図18において、電流制御用TFT3503はPTFTを用いて形成される。

【0143】

本実施例では、画素電極(陽極)50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0144】

そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子3701が形成される。

【0145】

本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0146】

なお、本実施例の構成は、実施例1~9の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例のEL表示パネルを用いる

10

20

30

40

50

ことは有効である。

【 0 1 4 7 】

〔 実施例 1 4 〕

本実施例では、図 1 7 (B) に示した回路図とは異なる構造の画素とした場合の例について図 1 9 (A) ~ (C) に示す。なお、本実施例において、3 8 0 1 はスイッチング用 T F T 3 8 0 2 のソース配線、3 8 0 3 はスイッチング用 T F T 3 8 0 2 のゲート配線、3 8 0 4 は電流制御用 T F T、3 8 0 5 はコンデンサ、3 8 0 6、3 8 0 8 は電流供給線、3 8 0 7 は E L 素子とする。

【 0 1 4 8 】

図 1 9 (A) は、二つの画素間で電流供給線 3 8 0 6 を共通とした場合の例である。即ち、二つの画素が電流供給線 3 8 0 6 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

10

【 0 1 4 9 】

また、図 1 9 (B) は、電流供給線 3 8 0 8 をゲート配線 3 8 0 3 と平行に設けた場合の例である。なお、図 1 9 (B) では電流供給線 3 8 0 8 とゲート配線 3 8 0 3 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 3 8 0 8 とゲート配線 3 8 0 3 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

20

【 0 1 5 0 】

また、図 1 9 (C) は、図 1 9 (B) の構造と同様に電流供給線 3 8 0 8 をゲート配線 3 8 0 3 と平行に設け、さらに、二つの画素を電流供給線 3 8 0 8 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 3 8 0 8 をゲート配線 3 8 0 3 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【 0 1 5 1 】

なお、本実施例の構成は、実施例 1 ~ 9、1 1 または 1 2 の構成と自由に組み合わせて実施することが可能である。また、実施例 1 0 の電子機器の表示部として本実施例の画素構造を有する E L 表示パネルを用いることは有効である。

30

【 0 1 5 2 】

〔 実施例 1 6 〕

実施例 1 3 に示した図 1 7 (A)、図 1 7 (B) では電流制御用 T F T 3 5 0 3 のゲートにかかる電圧を保持するためにコンデンサ 3 5 0 4 を設ける構造としているが、コンデンサ 3 5 0 4 を省略することも可能である。実施例 1 2 の場合、電流制御用 T F T 3 5 0 3 として実施例 1 ~ 8 に示すような本発明の N T F T を用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 3 5 0 4 の代わりとして積極的に用いる点に特徴がある。

【 0 1 5 3 】

この寄生容量のキャパシタンスは、上記ゲート電極と L D D 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。

40

【 0 1 5 4 】

また、実施例 1 4 に示した図 1 9 (A) ~ (C) の構造においても同様に、コンデンサ 3 8 0 5 を省略することは可能である。

【 0 1 5 5 】

なお、本実施例の構成は、実施例 1 ~ 9、1 1 ~ 1 5 の構成と自由に組み合わせて実施することが可能である。また、実施例 1 0 の電子機器の表示部として本実施例の画素構造を有する E L 表示パネルを用いることは有効である。

50

【 0 1 5 6 】

【 発明の効果 】

本発明により、電解めっき法で析出条件を設定することにより、容易にゲート配線の側面および上部に金属膜を析出させることができる。また、この金属膜をマスクとして島状半導体層に不純物元素を添加させ、LDD領域をゲート配線の両側に均一の幅で形成することができる。

この結果、GOLD構造である半導体装置が得られるため、高耐圧、高信頼性のTFTを作製することができる。また、画素部の画素TFTに15～20Vのゲート電圧を印加して駆動させても、安定した動作を得ることができる。その結果、結晶性TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置やEL表示装置の周辺に設けられる駆動回路の信頼性を高め、長時間の使用に耐えうる液晶表示装置やEL表示装置を得ることができる。

10

【 図面の簡単な説明 】

【 図 1 】 電解めっき法の簡略図。

【 図 2 】 本発明によるTFTの作製工程を示す断面図。

【 図 3 】 本発明によるTFTの作製工程を示す断面図。

【 図 4 】 本発明によるアクティブマトリクス基板の作製工程を示す断面図。

【 図 5 】 本発明によるアクティブマトリクス基板の作製工程を示す断面図。

【 図 6 】 本発明によるアクティブマトリクス基板の作製工程を示す断面図。

【 図 7 】 本発明によるアクティブマトリクス基板の作製工程を示す断面図。

20

【 図 8 】 TFTの作製工程を示す断面図。

【 図 9 】 TFTの作製工程を示す断面図。

【 図 10 】 反強誘電性混合液晶の光透過率特性の一例を示す図。

【 図 11 】 電気器具の一例を示す図。

【 図 12 】 電気器具の一例を示す図。

【 図 13 】 電気器具の一例を示す図。

【 図 14 】 EL表示装置の構成を示す図。

【 図 15 】 EL表示装置の構成を示す図。

【 図 16 】 EL表示装置の構成を示す図。

【 図 17 】 EL表示装置の構成を示す図。

30

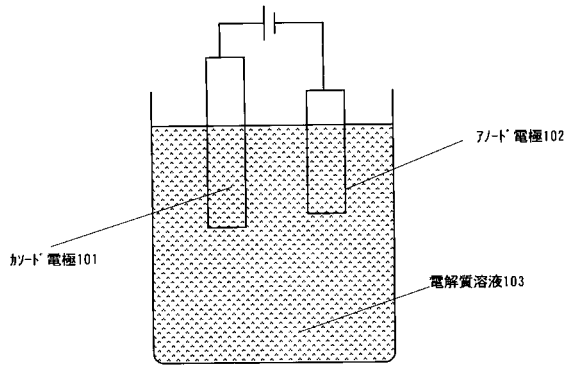
【 図 18 】 EL表示装置の構成を示す図。

【 図 19 】 EL表示装置の構成を示す図。

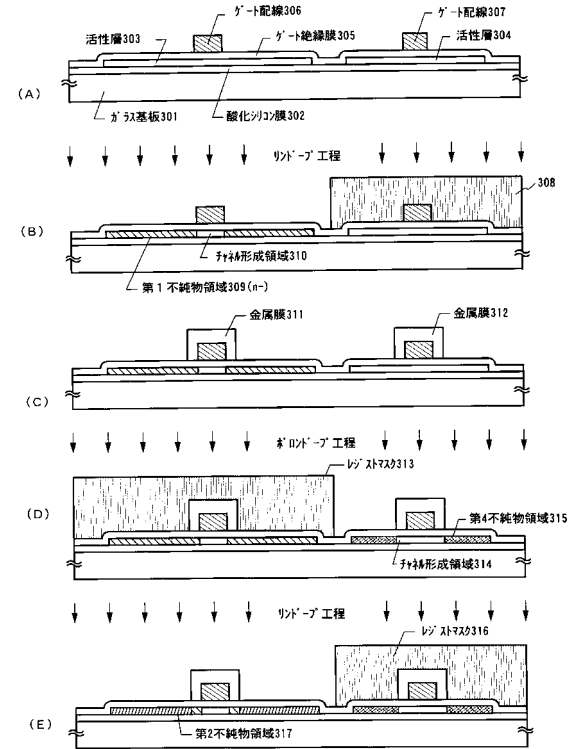
【 図 20 】 TFTの作製工程を示す断面図。

【 図 21 】 TFTの作製工程を示す断面図。

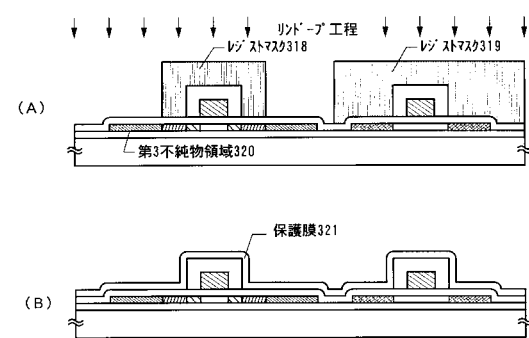
【図 1】



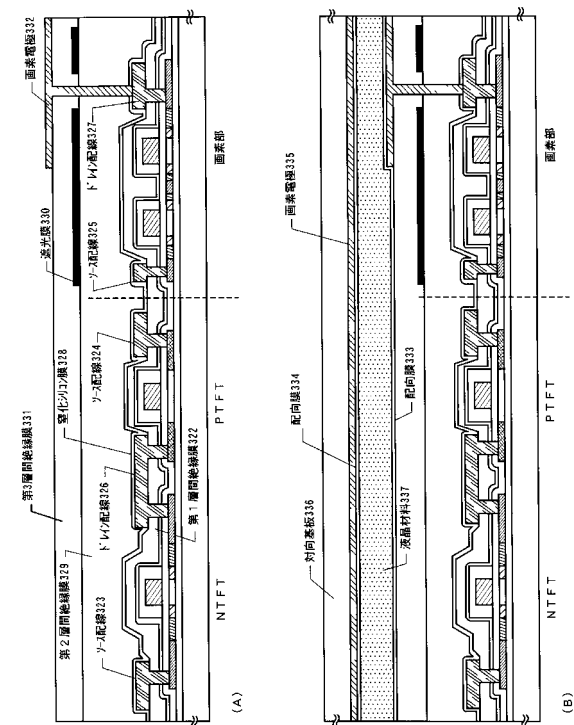
【図 2】



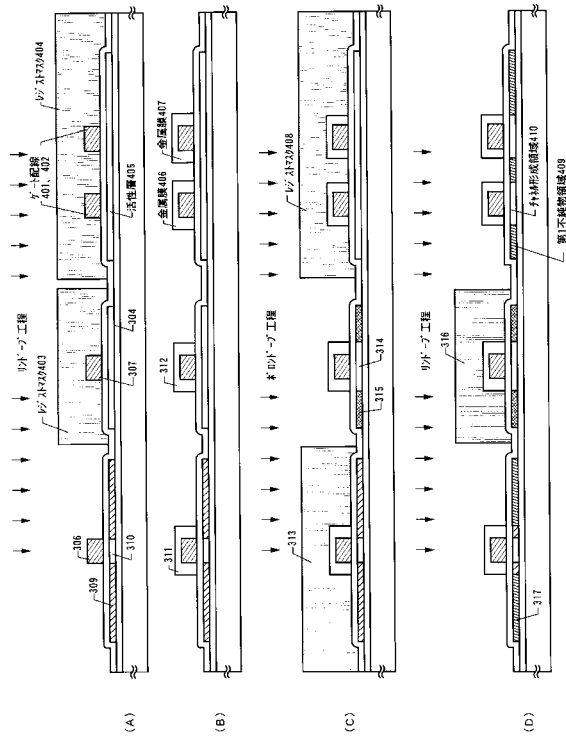
【図 3】



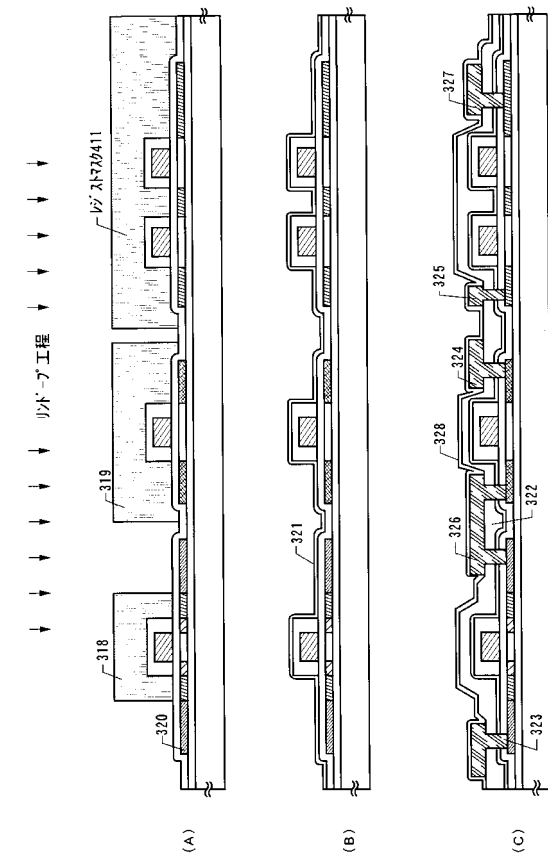
【図 4】



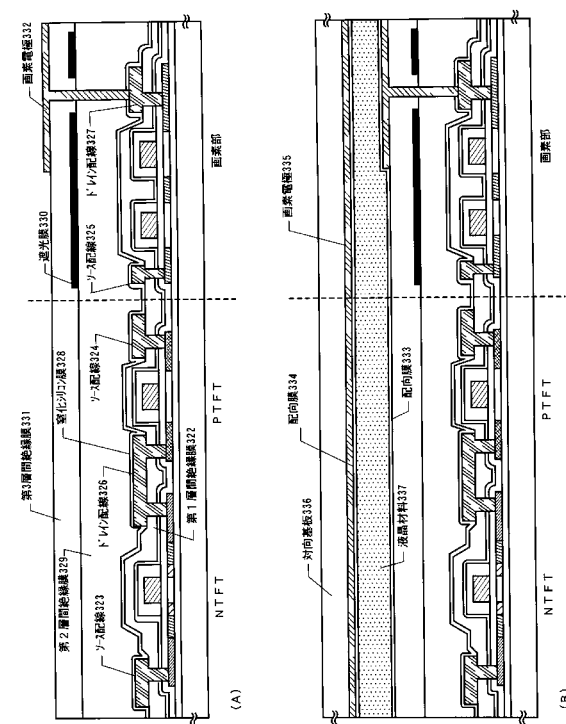
【図5】



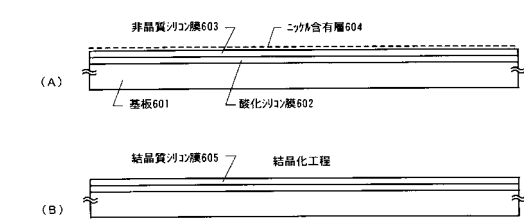
【図6】



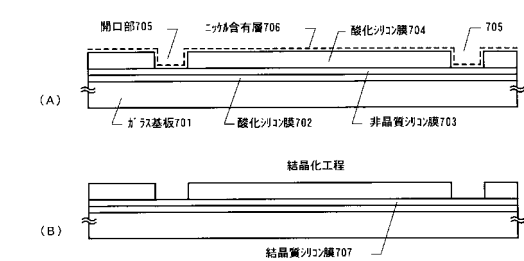
【図7】



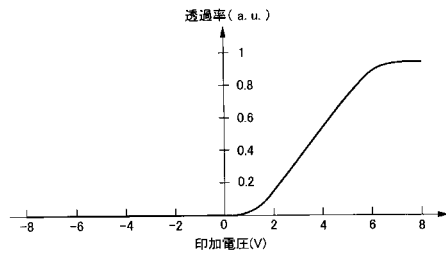
【図8】



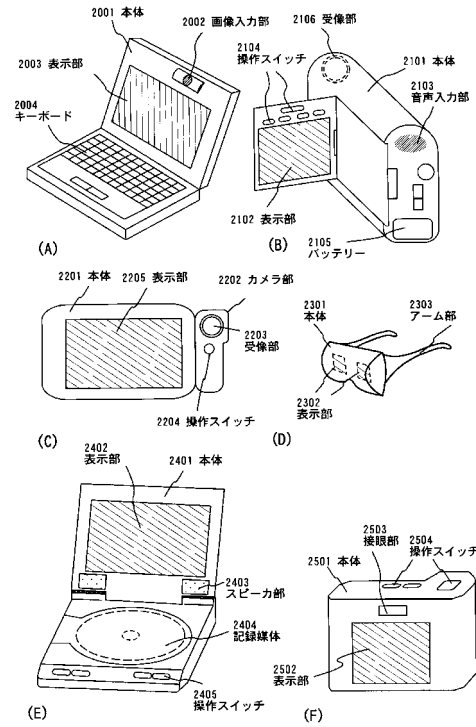
【図9】



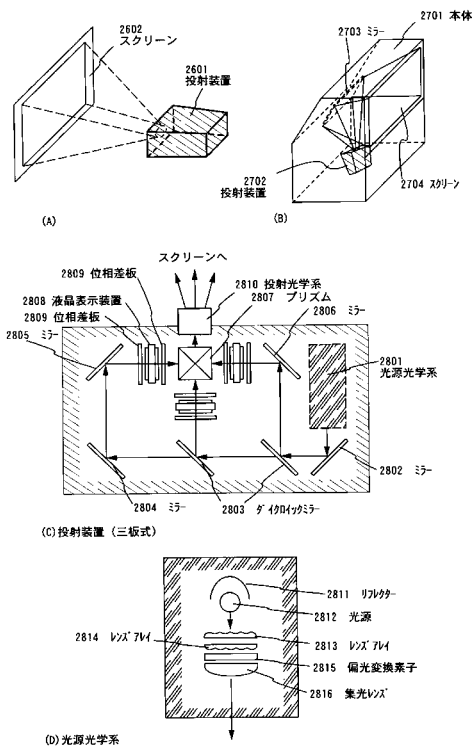
【図 10】



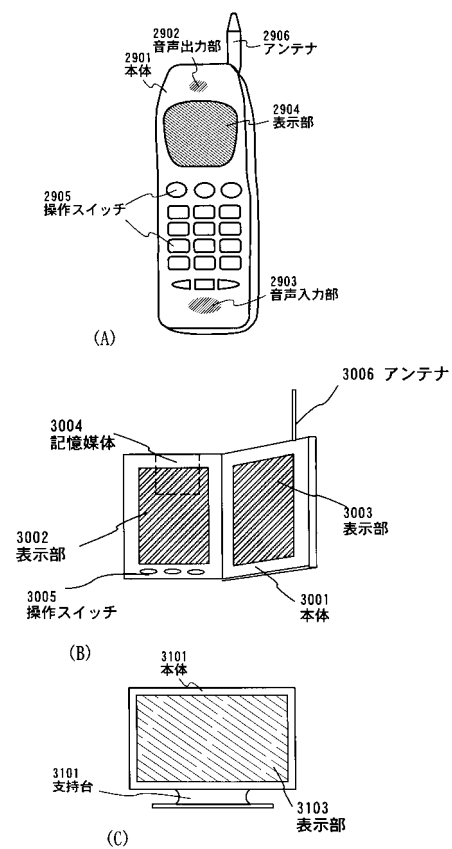
【図 11】



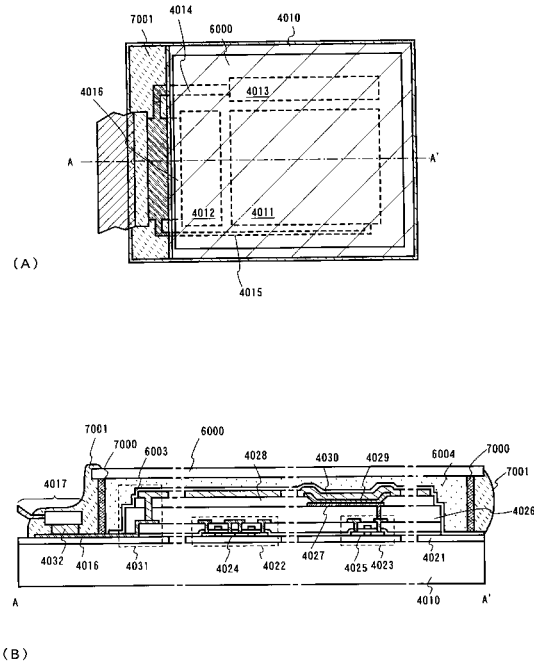
【図 12】



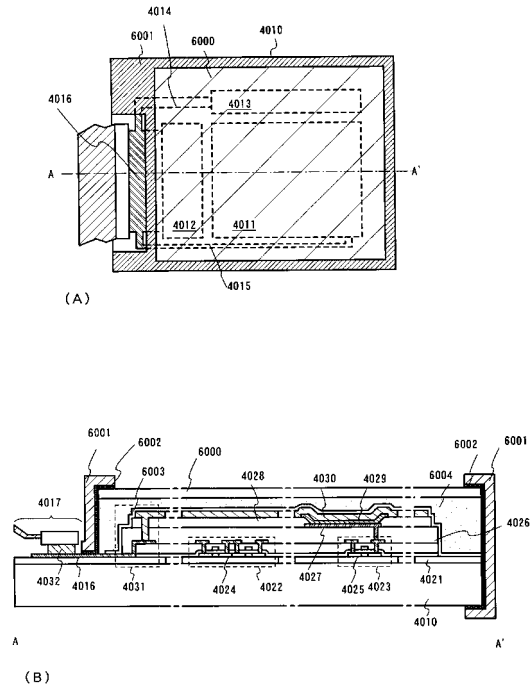
【図 13】



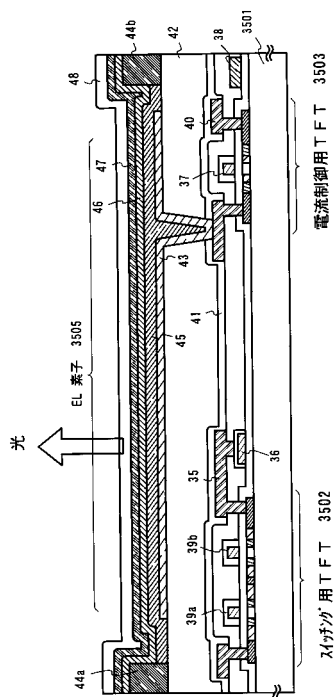
【図 14】



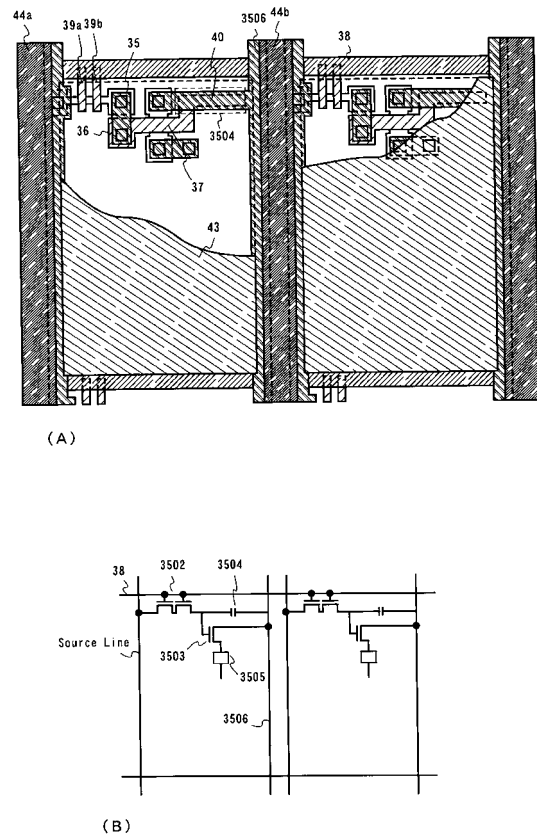
【図 15】



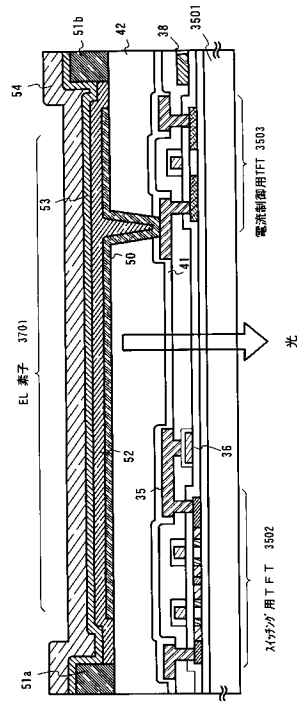
【図 16】



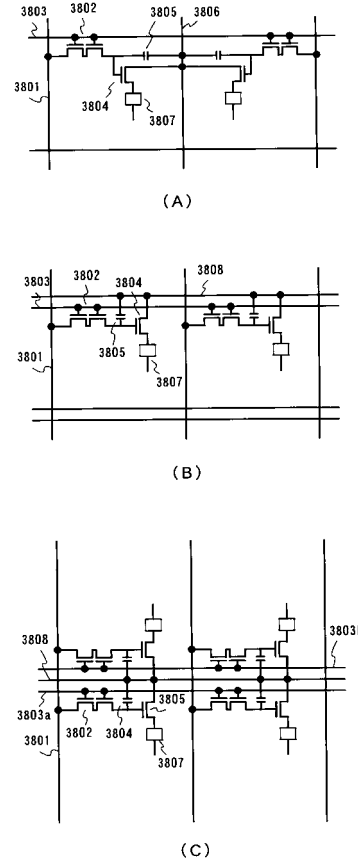
【図 17】



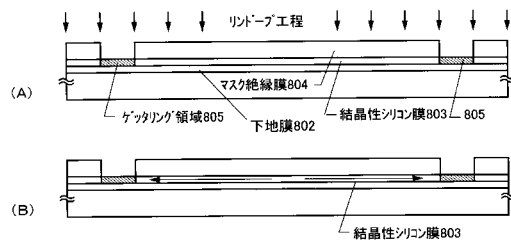
【図 18】



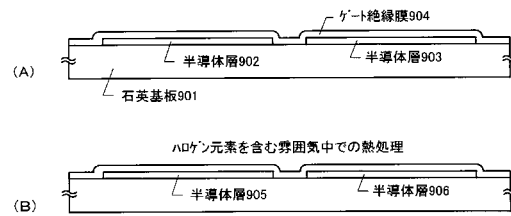
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.		F I	
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 29/58 G
<i>H 0 1 L</i>	<i>29/423</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 21/88 R
<i>H 0 1 L</i>	<i>21/3205</i>	<i>(2006.01)</i>	<i>G 0 2 F</i> 1/1368
<i>H 0 1 L</i>	<i>23/52</i>	<i>(2006.01)</i>	<i>G 0 9 F</i> 9/30 3 3 8
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	<i>G 0 9 F</i> 9/30 3 6 5 Z
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	
<i>H 0 1 L</i>	<i>27/32</i>	<i>(2006.01)</i>	

- (56)参考文献 特開平 0 9 - 0 5 5 5 0 8 (J P , A)
 国際公開第 9 9 / 0 3 9 2 4 1 (W O , A 1)
 特開平 1 1 - 0 8 7 7 1 6 (J P , A)
 特開平 0 1 - 2 0 5 5 6 9 (J P , A)
 特開平 1 0 - 3 2 1 8 6 9 (J P , A)
 特開 2 0 0 0 - 3 4 9 2 9 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786
 H01L 21/3205
 H01L 21/336
 H01L 21/8238
 H01L 23/52
 H01L 27/08
 H01L 27/092
 H01L 27/32
 H01L 29/423
 H01L 29/49
 G02F 1/1368
 G09F 9/30