



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0083151
(43) 공개일자 2020년07월08일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/8238 (2006.01) H01L 21/265 (2006.01)
H01L 27/092 (2006.01) H01L 29/10 (2006.01)</p> <p>(52) CPC특허분류
H01L 21/823892 (2013.01)
H01L 21/265 (2020.05)</p> <p>(21) 출원번호 10-2019-0081519
(22) 출원일자 2019년07월05일
심사청구일자 2019년07월05일</p> <p>(30) 우선권주장
1020180174229 2018년12월31일 대한민국(KR)</p> | <p>(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50</p> <p>(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50 전기전자컴퓨터공학부</p> <p>정재원
서울특별시 강북구 도봉로76길 29(미아동, 북한산팰리스)
(뒷면에 계속)</p> <p>(74) 대리인
리엔목특허법인</p> |
|--|---|

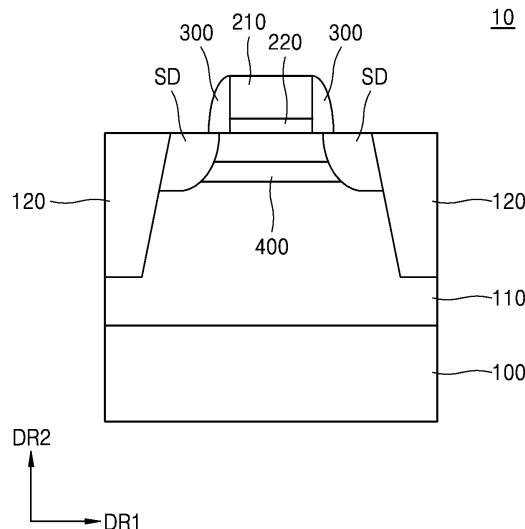
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 트랜지스터 소자, 이를 포함하는 삼진 인버터 장치, 및 이의 제조 방법

(57) 요약

트랜지스터 소자는 기판, 기판 상부에 제공되는 소스 영역, 기판 내에서, 소스 영역으로부터 기판의 상면에 평행한 방향으로 이격된 드레인 영역, 기판 상에서, 소스 영역과 드레인 영역 사이에 제공되는 게이트 전극, 게이트 전극과 기판 사이에 개재되는 게이트 절연막, 및 소스 영역과 드레인 영역 사이에서 기판의 상면에 평행한 방향을 따라 연장되는 정전류 형성층을 포함하되, 정전류 형성층은 드레인 영역과 기판 사이에 정전류를 형성하고, 정전류는 게이트 전극에 인가되는 게이트 전압으로부터 독립적이다.

대표도 - 도1



(52) CPC특허분류

H01L 27/0928 (2013.01)

H01L 29/1058 (2013.01)

(72) 발명자

최영은

울산광역시 울주군 언양읍 유니스트길 50 309동

김우석

대구광역시 수성구 노변공원로3길 2-15(시지동)

이 발명을 지원한 국가연구개발사업

과제고유번호 2016M3A7B4909943

부처명 한국연구재단

연구관리전문기관 울산과학기술원

연구사업명 나노소재기술개발사업

연구과제명 그래핀 배리스터 기반 삼진로직 아키텍처 연구

기 여 율 1/2

주관기관 울산과학기술원

연구기간 2016.06.01 ~ 2021.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 2015M3D1A1068062

부처명 한국연구재단

연구관리전문기관 광주과학기술원

연구사업명 미래소재디스커버리사업

연구과제명 멀티 레벨 소재 설계 및 응용연구

기 여 율 1/2

주관기관 광주과학기술원

연구기간 2015.12.04 ~ 2021.12.03

명세서

청구범위

청구항 1

기관;

상기 기관 상부에 제공되는 소스 영역;

상기 기관 내에서, 상기 소스 영역으로부터 상기 기관의 상면에 평행한 방향으로 이격된 드레인 영역;

상기 기관 상에서, 상기 소스 영역과 상기 드레인 영역 사이에 제공되는 게이트 전극;

상기 게이트 전극과 상기 기관 사이에 개재되는 게이트 절연막; 및

상기 소스 영역과 상기 드레인 영역 사이에서 상기 기관의 상면에 평행한 방향을 따라 연장되는 정전류 형성층;을 포함하되,

상기 정전류 형성층은 상기 드레인 영역과 상기 기관 사이에 정전류를 형성하고,

상기 정전류는 상기 게이트 전극에 인가되는 게이트 전압으로부터 독립적인 트랜지스터 소자.

청구항 2

제 1 항에 있어서,

상기 정전류 형성층은 상기 기관의 상부에 형성되는 채널과 상기 드레인 영역의 바닥면 사이에 제공되는 트랜지스터 소자.

청구항 3

제 1 항에 있어서,

상기 기관 및 상기 정전류 형성층은 제1 도전형을 갖고,

상기 소스 영역 및 상기 드레인 영역은 상기 제1 도전형과 다른 제2 도전형을 가지며,

상기 정전류 형성층의 도핑 농도는 상기 기관의 도핑 농도보다 높은 트랜지스터 소자.

청구항 4

제 3 항에 있어서,

상기 정전류 형성층의 상기 도핑 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상인 트랜지스터 소자.

청구항 5

제 3 항에 있어서,

상기 드레인 영역과 상기 정전류 형성층 사이에 전기장이 형성되되,

상기 전기장의 세기는 10^6 V/cm 이상인 트랜지스터 소자.

청구항 6

제 1 항에 있어서,

상기 기관과 상기 소스 영역은 동일한 전압을 갖는 트랜지스터 소자.

청구항 7

엔모스(NMOS) 트랜지스터 소자; 및

피모스(PMOS) 트랜지스터 소자;를 포함하되,

상기 엔모스 트랜지스터 소자 및 피모스 트랜지스터 소자의 각각은:

웰 영역;

상기 웰 영역 내에서, 상기 웰 영역의 상면에 평행한 방향을 따라 서로 이격된 소스 영역 및 드레인 영역; 및

상기 소스 영역의 하부와 상기 드레인 영역의 하부에 제공되는 정전류 형성층;을 포함하고,

상기 정전류 형성층은 상기 드레인 영역과 상기 웰 영역 사이에 정전류를 형성하고,

상기 엔모스 트랜지스터 소자의 상기 드레인 영역 및 상기 피모스 트랜지스터 소자의 상기 드레인 영역은 전기적으로 연결되어, 서로 동일한 전압을 갖는 삼진 인버터 장치.

청구항 8

제 7 항에 있어서,

상기 엔모스 트랜지스터 소자 및 상기 피모스 트랜지스터 소자의 각각은:

상기 웰 영역 상에 제공된 게이트 전극; 및

상기 게이트 전극과 상기 웰 영역의 상기 상면 사이에 개재되는 게이트 절연막을 더 포함하되,

상기 정전류는 상기 게이트 전극에 인가되는 게이트 전압으로부터 독립적인 삼진 인버터 장치.

청구항 9

제 8 항에 있어서,

상기 엔모스 트랜지스터 소자의 상기 소스 영역은 상기 엔모스 트랜지스터 소자의 상기 웰 영역에 전기적으로 연결되어, 상기 엔모스 트랜지스터 소자의 상기 웰 영역과 동일한 전압을 갖고,

상기 피모스 트랜지스터 소자의 상기 소스 영역은 상기 피모스 트랜지스터 소자의 상기 웰 영역에 전기적으로 연결되어, 상기 피모스 트랜지스터 소자의 상기 웰 영역과 동일한 전압을 갖는 삼진 인버터 장치.

청구항 10

제 7 항에 있어서,

상기 엔모스 트랜지스터 소자의 상기 드레인 영역과 상기 피모스 트랜지스터 소자의 상기 드레인 영역은:

상기 엔모스 트랜지스터 소자가 상기 정전류보다 우세한 채널 전류를 갖고 상기 피모스 트랜지스터 소자가 채널 전류보다 우세한 상기 정전류를 가질 때, 제1 전압을 갖고,

상기 엔모스 트랜지스터 소자가 상기 채널 전류보다 우세한 상기 정전류를 갖고 상기 피모스 트랜지스터 소자가 상기 정전류보다 우세한 상기 채널 전류를 가질 때, 제2 전압을 가지며,

상기 엔모스 트랜지스터 소자 및 상기 피모스 트랜지스터 소자의 각각이 상기 채널 전류보다 우세한 상기 정전류를 가질 때, 제3 전압을 갖되,

상기 제2 전압은 상기 제1 전압보다 크고,

상기 제3 전압은 상기 제1 전압과 상기 제2 전압 사이의 값을 갖는 삼진 인버터 장치.

청구항 11

제 7 항에 있어서,

상기 엔모스 트랜지스터 소자 및 상기 피모스 트랜지스터 소자의 각각에서, 상기 웰 영역과 상기 정전류 형성층은 서로 동일한 도전형질을 갖고, 상기 정전류 형성층의 도핑 농도는 상기 웰 영역의 도핑 농도보다 높은 삼진 인버터 장치.

청구항 12

제 11 항에 있어서,

상기 엔모스 트랜지스터 소자 및 상기 피모스 트랜지스터 소자의 각각에서, 상기 정전류 형성층의 상기 도핑 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상인 삼진 인버터 장치.

청구항 13

기판의 상부에 정전류 형성층을 형성하는 것;

상기 기판 상에 게이트 구조체를 형성하는 것; 및

상기 기판의 상기 상부에 상기 정전류 형성층을 사이에 두고 상기 기판의 상면에 평행한 방향을 따라 서로 이격된 소스 영역 및 드레인 영역을 형성하는 것;을 포함하되,

상기 게이트 구조체는 상기 기판 상에 차례로 적층된 게이트 절연막 및 게이트 전극, 및 상기 게이트 전극의 측면들 상에 제공된 한 쌍의 스페이서들을 포함하고, 상기 정전류 형성층은 상기 드레인 영역과 상기 기판 사이에 정전류를 형성하고,

상기 정전류는 상기 게이트 전극에 인가되는 게이트 전압으로부터 독립적이고,

상기 기판과 상기 정전류 형성층은 동일한 도전형을 갖는 트랜지스터 소자의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 정전류 형성층을 형성하는 것은:

상기 기판의 상기 상부에 불순물을 주입하는 것; 및

상기 기판을 열처리하는 것;을 포함하되,

상기 불순물은 채널과 상기 드레인 영역의 바닥면 사이에 주입되는 트랜지스터 소자의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 열처리 공정의 서멀 버짓(Thermal budget)이 제어되어, 상기 정전류의 크기를 조절하는 트랜지스터 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 트랜지스터 소자, 이를 포함하는 삼진 인버터 장치, 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 종래 2진수 논리 기반의 디지털 시스템은 많은 양의 데이터를 빠르게 처리하기 위하여 CMOS 소자의 소형화를 통한 정보의 밀도 (bit density) 높이는 데 주력하였다. 하지만 최근 30-nm 이하로 집적되면서 양자적 터널링 효과에 의한 누설전류와 전력 소비의 증가로 인해 bit density 를 높이는 데 제약을 받았다. 이러한 bit density 의 한계를 극복하기 위하여 다중 값 논리 (multi-valued logic) 중 하나인 3진수 논리 소자 및 회로에 대한 관심이 급증하고 있으며, 특히 3진수 논리 구현을 위한 기본 단위로써 표준 3진수 인버터(STI)에 대한 개발이 활발하게 진행되어 오고 있다. 하지만 하나의 전압원에 두 개의 CMOS를 사용하는 기존의 2진수 인버터와 달리, STI에 관한 종래 기술들은 보다 많은 전압원을 필요로 하거나 복잡한 회로 구성이 요구 되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0003] 해결하고자 하는 과제는 게이트 전압으로부터 독립적인 정전류를 갖는 트랜지스터 소자를 제공하는 것에 있다.
- [0004] 해결하고자 하는 과제는 입력 전압으로부터 독립적인 정전류를 갖는 삼진 인버터 장치를 제공하는 것에 있다.
- [0005] 해결하고자 하는 과제는 게이트 전압으로부터 독립적인 정전류를 갖는 트랜지스터 소자를 제조하는 방법을 제공하는 것에 있다.
- [0006] 다만, 해결하고자 하는 과제는 상기 개시에 한정되지 않는다.

과제의 해결 수단

- [0007] 일 측면에 있어서, 기판; 상기 기판 상부에 제공되는 소스 영역; 상기 기판 내에서, 상기 소스 영역으로부터 상기 기판의 상면에 평행한 방향으로 이격된 드레인 영역; 상기 기판 상에서, 상기 소스 영역과 상기 드레인 영역 사이에 제공되는 게이트 전극; 상기 게이트 전극과 상기 기판 사이에 개재되는 게이트 절연막; 및 상기 소스 영역과 상기 드레인 영역 사이에서 상기 기판의 상면에 평행한 방향을 따라 연장되는 정전류 형성층;을 포함하되, 상기 정전류 형성층은 상기 드레인 영역과 상기 기판 사이에 정전류를 형성하고, 상기 정전류는 상기 게이트 전극에 인가되는 게이트 전압으로부터 독립적인 트랜지스터 소자가 제공될 수 있다.
- [0008] 상기 정전류 형성층은 상기 기판의 상부에 형성되는 채널과 상기 드레인 영역의 바닥면 사이에 제공될 수 있다.
- [0009] 상기 기판 및 상기 정전류 형성층은 제1 도전형을 갖고, 상기 소스 영역 및 상기 드레인 영역은 상기 제1 도전형과 다른 제2 도전형을 가지며, 상기 정전류 형성층의 도핑 농도는 상기 기판의 도핑 농도보다 높을 수 있다.
- [0010] 상기 정전류 형성층의 상기 도핑 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상일 수 있다.
- [0011] 상기 드레인 영역과 상기 정전류 형성층 사이에 전기장이 형성되되, 상기 전기장의 세기는 10^6 V/cm 이상일 수 있다.
- [0012] 상기 기판과 상기 소스 영역은 동일한 전압을 가질 수 있다.
- [0013] 일 측면에 있어서, 엔모스(NMOS) 트랜지스터 소자; 및 피모스(PMOS) 트랜지스터 소자;를 포함하되, 상기 엔모스 트랜지스터 소자 및 피모스 트랜지스터 소자의 각각은: 웰 영역; 상기 웰 영역 내에서, 상기 웰 영역의 상면에 평행한 방향을 따라 서로 이격된 소스 영역 및 드레인 영역; 및 상기 소스 영역의 하부와 상기 드레인 영역의 하부에 제공되는 정전류 형성층;을 포함하고, 상기 정전류 형성층은 상기 드레인 영역과 상기 웰 영역 사이에 정전류를 형성하고, 상기 엔모스 트랜지스터 소자의 상기 드레인 영역 및 상기 피모스 트랜지스터 소자의 상기 드레인 영역은 전기적으로 연결되어, 서로 동일한 전압을 갖는 삼진 인버터 장치가 제공될 수 있다.
- [0014] 상기 엔모스 트랜지스터 소자 및 상기 피모스 트랜지스터 소자의 각각은: 상기 웰 영역 상에 제공된 게이트 전극; 및 상기 게이트 전극과 상기 웰 영역의 상기 상면 사이에 개재되는 게이트 절연막을 더 포함하되, 상기 정전류는 상기 게이트 전극에 인가되는 게이트 전압으로부터 독립적일 수 있다.
- [0015] 상기 엔모스 트랜지스터 소자의 상기 소스 영역은 상기 엔모스 트랜지스터 소자의 상기 웰 영역에 전기적으로 연결되어, 상기 엔모스 트랜지스터 소자의 상기 웰 영역과 동일한 전압을 갖고, 상기 피모스 트랜지스터 소자의 상기 소스 영역은 상기 피모스 트랜지스터 소자의 상기 웰 영역에 전기적으로 연결되어, 상기 피모스 트랜지스터 소자의 상기 웰 영역과 동일한 전압을 가질 수 있다.
- [0016] 상기 엔모스 트랜지스터 소자의 상기 드레인 영역과 상기 피모스 트랜지스터 소자의 상기 드레인 영역은: 상기 엔모스 트랜지스터 소자가 상기 정전류보다 우세한 채널 전류를 갖고 상기 피모스 트랜지스터 소자가 채널 전류보다 우세한 상기 정전류를 가질 때, 제1 전압을 갖고, 상기 엔모스 트랜지스터 소자가 상기 채널 전류보다 우세한 상기 정전류를 갖고 상기 피모스 트랜지스터 소자가 상기 정전류보다 우세한 상기 채널 전류를 가질 때, 제2 전압을 가지며, 상기 엔모스 트랜지스터 소자 및 상기 피모스 트랜지스터 소자의 각각이 상기 채널 전류보다 우세한 상기 정전류를 가질 때, 제3 전압을 갖되, 상기 제2 전압은 상기 제1 전압보다 크고, 상기 제3 전압은 상기 제1 전압과 상기 제2 전압 사이의 값을 가질 수 있다.
- [0017] 상기 엔모스 트랜지스터 소자 및 상기 피모스 트랜지스터 소자의 각각에서, 상기 웰 영역과 상기 정전류 형성층은 서로 동일한 도전형들을 갖고, 상기 정전류 형성층의 도핑 농도는 상기 웰 영역의 도핑 농도보다 높고 상기 드레인 영역의 도핑 농도보다 낮을 수 있다.
- [0018] 상기 엔모스 트랜지스터 소자 및 상기 피모스 트랜지스터 소자의 각각에서, 상기 정전류 형성층의 상기 도핑 농

도는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상일 수 있다.

- [0019] 일 측면에 있어서, 기관의 상부에 정전류 형성층을 형성하는 것; 상기 기관 상에 게이트 구조체를 형성하는 것; 및 상기 기관의 상기 상부에 상기 정전류 형성층을 사이에 두고 상기 기관의 상면에 평행한 방향을 따라 서로 이격된 소스 영역 및 드레인 영역을 형성하는 것;을 포함하되, 상기 게이트 구조체는 상기 기관 상에 차례로 적층된 게이트 절연막 및 게이트 전극, 및 상기 게이트 전극의 측면들 상에 제공된 한 쌍의 스페이서들을 포함하고, 상기 정전류 형성층은 상기 드레인 영역과 상기 기관 사이에 정전류를 형성하고, 상기 정전류는 상기 게이트 전극에 인가되는 게이트 전압으로부터 독립적이고, 상기 기관과 상기 정전류 형성층은 동일한 도전형을 갖는 트랜지스터 소자의 제조 방법이 제공될 수 있다.
- [0020] 상기 정전류 형성층을 형성하는 것은: 상기 기관의 상기 상부에 불순물을 주입하는 것; 및 상기 기관을 열처리하는 것;을 포함하되, 상기 불순물은 채널과 상기 드레인 영역의 바닥면 사이에 주입될 수 있다.
- [0021] 상기 열처리 공정의 서멀 버짓(Thermal budget)이 제어되어, 상기 정전류의 크기를 조절할 수 있다.

발명의 효과

- [0022] 본 개시는 게이트 전압으로부터 독립적인 정전류를 갖는 트랜지스터 소자를 제공할 수 있다.
- [0023] 본 개시는 입력 전압으로부터 독립적인 정전류를 갖는 삼진 인버터 장치를 제공할 수 있다.
- [0024] 본 개시는 게이트 전압으로부터 독립적인 정전류를 갖는 트랜지스터 소자를 제조하는 방법을 제공할 수 있다.
- [0025] 다만, 효과는 상기 개시에 한정되지 않는다.

도면의 간단한 설명

- [0026] 도 1은 예시적인 실시예들에 따른 트랜지스터 소자의 도면이다.
- 도 2는 본 개시에 따른 엔모스 트랜지스터 소자들과 종래의 엔모스 트랜지스터 소자들의 게이트 전압-드레인 전류 그래프들을 나타낸다.
- 도 3은 본 개시의 피모스 트랜지스터 소자들과 종래의 피모스 트랜지스터 소자들의 게이트 전압-드레인 전류 그래프들을 나타낸다.
- 도 4는 도 1의 트랜지스터 소자를 제조하는 방법을 설명하기 위한 도면이다.
- 도 5는 도 1의 트랜지스터 소자를 제조하는 방법을 설명하기 위한 도면이다.
- 도 6은 도 1의 트랜지스터 소자를 제조하는 방법을 설명하기 위한 도면이다.
- 도 7은 예시적인 실시예들에 따른 삼진(Ternary) 인버터 장치의 도면이다.
- 도 8은 도 7의 삼진 인버터 장치의 회로도이다.
- 도 9는 도 7의 삼진 인버터 장치를 제조하는 방법을 설명하기 위한 도면이다.
- 도 10은 도 7의 삼진 인버터 장치를 제조하는 방법을 설명하기 위한 도면이다.
- 도 11은 도 7의 삼진 인버터 장치를 제조하는 방법을 설명하기 위한 도면이다.
- 도 12는 본 개시의 삼진(Ternary) 인버터 장치들과 이진(Binary) 인버터 장치들의 게이트 전압-드레인 전류 그래프를 나타낸다.
- 도 13은 본 개시의 삼진 인버터 장치와 이진(Binary) 인버터 장치의 입력 전압(Vin)-출력 전압(Vout) 그래프를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들에 대해 상세히 설명하기로 한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 한편, 이하에 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다.

- [0028] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다.
- [0029] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0030] 또한, 명세서에 기재된 "...부" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.
- [0032] 도 1은 예시적인 실시예들에 따른 트랜지스터 소자의 도면이다.
- [0033] 도 1을 참조하면, 트랜지스터 소자(10)가 제공될 수 있다. 트랜지스터 소자(10)는 기판(100), 웰 영역(110), 한 쌍의 소자 분리 영역들(120), 한 쌍의 소스/드레인 영역들(SD), 정전류 형성층(400), 게이트 전극(210), 게이트 절연막(220), 및 한 쌍의 스페이서들(300)을 포함할 수 있다.
- [0034] 기판(100)은 반도체 기판일 수 있다. 예를 들어, 기판(100)은 실리콘(Si) 기판, 저마늄(Ge) 기판, 또는 실리콘-저마늄(SiGe) 기판일 수 있다. 기판(100)은 진성(intrinsic) 반도체 기판일 수 있다.
- [0035] 기판(100) 내에 웰 영역(110)이 제공될 수 있다. 웰 영역(110)은 제1 도전형을 가질 수 있다. 예를 들어, 제1 도전형은 n형 또는 p형일 수 있다. 웰 영역(110)의 도전형이 n형인 경우, 웰 영역(110)은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다. 웰 영역(110)의 도전형이 p형인 경우, 웰 영역(110)은 III족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다.
- [0036] 웰 영역(110)의 상부에 기판(100)의 상면에 평행한 제1 방향(DR1)을 따라 서로 이격된 한 쌍의 소자 분리 영역들(120)이 제공될 수 있다. 한 쌍의 소자 분리 영역들(120)은 상기 기판(100)의 상면에 수직한 제2 방향(DR2)을 따라 연장할 수 있다. 한 쌍의 소자 분리 영역들(120)은 절연 물질을 포함할 수 있다. 예를 들어, 한 쌍의 소자 분리 영역들(120)은 실리콘 산화물(예를 들어, SiO₂)을 포함할 수 있다.
- [0037] 웰 영역(110)의 상부에 제1 방향(DR1)을 따라 서로 이격된 한 쌍의 소스/드레인 영역들(SD)이 제공될 수 있다. 한 쌍의 소스/드레인 영역들(SD) 중 하나는 트랜지스터 소자의 소스일 수 있다. 한 쌍의 소스/드레인 영역들(SD) 중 다른 하나는 트랜지스터 소자의 드레인일 수 있다. 한 쌍의 소스/드레인 영역들(SD)은 제1 도전형과 다른 제2 도전형을 가질 수 있다. 제1 도전형이 n형인 경우, 제2 도전형은 p형일 수 있다. 한 쌍의 소스/드레인 영역들(SD)의 도전형이 p형인 경우, 한 쌍의 소스/드레인 영역들(SD)은 III족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다. 제1 도전형이 p형인 경우, 제2 도전형은 n형일 수 있다. 한 쌍의 소스/드레인 영역들(SD)의 도전형이 n형인 경우, 한 쌍의 소스/드레인 영역들(SD)은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다.
- [0038] 기판(100) 상부에 정전류 형성층(400)이 제공될 수 있다. 정전류 형성층(400)은 한 쌍의 소스/드레인 영역들(SD) 사이에 제공될 수 있다. 정전류 형성층(400)은 한 쌍의 소스/드레인 영역들(SD)에 전기적으로 연결될 수 있다. 정전류 형성층(400)은 한 쌍의 소스/드레인 영역들(SD)의 하부들 사이에서 제1 방향(DR1)을 따라 연장되어, 한 쌍의 소스/드레인 영역들(SD)의 하부들 직접 접할 수 있다. 정전류 형성층(400)은 한 쌍의 소스/드레인 영역들(SD)의 하부들과 제1 방향(DR1)을 따라 중첩할 수 있다. 정전류 형성층(400)은 트랜지스터 소자(10)의 채널(미도시) 아래에 형성될 수 있다. 예를 들어, 정전류 형성층(400)은 채널의 바닥면과 소스/드레인 영역들(SD)의 바닥면들 사이에 제공될 수 있다. 채널은 트랜지스터 소자(10)가 온(On) 상태를 가질 때 정전류 형성층(400)과 기판(100)의 상면 사이에 형성될 수 있다.
- [0039] 정전류 형성층(400)은 제1 도전형을 가질 수 있다. 정전류 형성층(400)의 도전형이 n형인 경우, 정전류 형성층(400)은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다. 정전류 형성층(400)의 도전형이 p형인 경우, 정전류 형성층(400)은 III족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다. 정전류 형성층(400)의 도핑 농도는 웰 영역(110)의 도핑 농도보다 높을 수 있다. 예를 들어, 정전류 형성층(400)의 도핑 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상일 수 있다. 정전류 형성층(400)과 한 쌍의 소스/드레인 영역들(SD) 사이에 전기장이 형성될 수 있다. 예를 들어, 상기 전기장의 세기는 10^6 V/cm 이상일 수 있다.

- [0040] 정전류 형성층(400)은 한 쌍의 소스/드레인 영역들(SD) 중 트랜지스터 소자의 드레인인 소스/드레인 영역(SD)과 웰 영역(110) 사이에 정전류를 형성할 수 있다. 정전류는 드레인인 소스/드레인 영역(SD)과 정전류 형성층(400) 사이의 BTBT(Band-To-Band Tunneling) 전류일 수 있다. 정전류는 게이트 전극(210)에 인가되는 게이트 전압으로부터 독립적일 수 있다. 즉, 정전류는 게이트 전압과 무관하게 흐를 수 있다. 트랜지스터 소자(10)가 엔모스(NMOS) 트랜지스터 소자인 경우, 정전류는 드레인인 소스/드레인 영역(SD)으로부터 정전류 형성층(400)을 지나 웰 영역(110)으로 흐를 수 있다. 트랜지스터 소자(10)가 피모스(PMOS) 트랜지스터 소자인 경우, 정전류는 웰 영역(110)으로부터 정전류 형성층(400)을 지나 드레인인 소스/드레인 영역(SD)으로 흐를 수 있다.
- [0041] 웰 영역(110) 상에 게이트 전극(210)이 제공될 수 있다. 게이트 전극(210)은 전기적인 전도성 물질을 포함할 수 있다. 예를 들어, 게이트 전극은 금속(예를 들어, Cu) 또는 도핑된 폴리 실리콘(doped-poly Si)을 포함할 수 있다.
- [0042] 게이트 전극(210)과 기판(100)의 상면 사이에 게이트 절연막(220)이 제공될 수 있다. 게이트 절연막(220)은 게이트 전극(210)과 웰 영역(110)을 서로 전기적으로 절연시킬 수 있다. 게이트 절연막(220)은 게이트 전극(210)과 기판(100)을 서로 이격시킬 수 있다. 게이트 절연막(220)은 전기적인 절연 물질을 포함할 수 있다. 예를 들어, 게이트 절연막(220)은 SiO_2 또는 고유전 물질(예를 들어, SiON , HfO_2 , ZrO_2)을 포함할 수 있다.
- [0043] 한 쌍의 스페이서들(300)이 게이트 전극(210)의 양 측벽들 상에 각각 제공될 수 있다. 한 쌍의 스페이서들(300)은 게이트 절연막(220)의 양 측벽들 상으로 각각 연장될 수 있다. 한 쌍의 스페이서들(300)은 전기적인 절연 물질을 포함할 수 있다. 예를 들어, 한 쌍의 스페이서들(300)은 SiO_2 또는 고유전 물질(예를 들어, SiON , HfO_2 , ZrO_2)을 포함할 수 있다.
- [0044] 예시적인 실시예들에서, 웰 영역(110) 내에서 한 쌍의 소스/드레인 영역들(SD) 상에 한 쌍의 저농도 도핑 영역들(미도시)이 제공될 수 있다. 한 쌍의 저농도 도핑 영역들은 한 쌍의 소스/드레인 영역들(SD)과 이에 바로 인접한 한 쌍의 스페이서들(300) 사이에 각각 배치될 수 있다. 한 쌍의 저농도 도핑 영역들의 각각은 제1 방향(DR1)을 따라 연장되어, 한 쌍의 소자 분리 영역들(120)에 접할 수 있다. 한 쌍의 저농도 도핑 영역들은 제2 도전형을 가질 수 있다. 한 쌍의 저농도 도핑 영역들의 도핑 농도는 한 쌍의 소스/드레인 영역들(SD)의 도핑 농도보다 낮을 수 있다. 한 쌍의 저농도 도핑 영역들은 쇼트 채널 효과 및 핫 캐리어 효과의 발생을 감소시킬 수 있다. 이에 따라, 트랜지스터 소자(10)의 전기적인 특성이 개선될 수 있다.
- [0045] 본 개시는 드레인인 소스/드레인 영역(SD)과 웰 영역(110) 사이에 정전류가 흐를 수 있는 트랜지스터 소자(10)를 제공할 수 있다.
- [0047] 도 2는 본 개시에 따른 엔모스 트랜지스터 소자들과 종래의 엔모스 트랜지스터 소자들의 게이트 전압-드레인 전류 그래프들을 나타낸다.
- [0048] 도 2를 참조하면, 종래의 엔모스 트랜지스터 소자들의 게이트 전압-드레인 전류 그래프들(NGR1, NGR2) 및 본 개시에 따른 엔모스 트랜지스터 소자들의 게이트 전압-드레인 전류 그래프들(NGR3, NGR4, NGR5)이 도시되었다.
- [0049] 종래의 엔모스 트랜지스터 소자들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 갖지 않았다.
- [0050] 본 개시의 엔모스 트랜지스터 소자들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 가졌다. 예를 들어, 본 개시의 엔모스 트랜지스터 소자들이 오프(Off) 상태를 가질 때에도, 본 개시의 엔모스 트랜지스터 소자들에 정전류가 흘렀다.
- [0052] 도 3은 본 개시의 피모스 트랜지스터 소자들과 종래의 피모스 트랜지스터 소자들의 게이트 전압-드레인 전류 그래프들을 나타낸다.
- [0053] 도 3을 참조하면, 종래의 피모스 트랜지스터 소자들의 게이트 전압-드레인 전류 그래프들(RGR1, RGR2) 및 본 개시의 피모스 트랜지스터 소자들의 게이트 전압-드레인 전류 그래프들(RGR3, RGR4, RGR5)이 도시되었다.
- [0054] 종래의 피모스 트랜지스터 소자들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 갖지 않았다.

- [0055] 본 개시의 피모스 트랜지스터 소자들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 가졌다. 예를 들어, 본 개시의 피모스 트랜지스터 소자들이 오프(Off) 상태를 가질 때에도, 본 개시의 피모스 트랜지스터 소자들에 정전류가 흘렀다.
- [0056] 도 4는 도 1의 트랜지스터 소자를 제조하는 방법을 설명하기 위한 도면이다. 도 5는 도 1의 트랜지스터 소자를 제조하는 방법을 설명하기 위한 도면이다. 도 6은 도 1의 트랜지스터 소자를 제조하는 방법을 설명하기 위한 도면이다. 설명의 간결함을 위해 도 1을 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다.
- [0057] 도 4를 참조하면, 기판(100)이 제공될 수 있다. 기판(100)은 반도체 기판일 수 있다. 예를 들어, 기판(100)은 실리콘(Si) 기판, 저마늄(Ge) 기판, 또는 실리콘-저마늄(SiGe) 기판일 수 있다. 기판(100)은 진성(intrinsic) 반도체 기판일 수 있다.
- [0058] 기판(100) 내에 한 쌍의 소자 분리 영역들(120)이 형성될 수 있다. 한 쌍의 소자 분리 영역들(120)의 형성 공정은 기판(100)을 일부 깊이까지 리세스하여 한 쌍의 리세스 영역들을 형성하는 것 및 상기 한 쌍의 리세스 영역들에 전기적인 절연 물질을 채우는 것을 포함할 수 있다. 예를 들어, 한 쌍의 리세스 영역들은 기판(100)에 이방성 식각 공정을 수행하여 형성될 수 있다. 예를 들어, 전기적인 절연 물질은 화학 기상 증착 공정 또는 물리 기상 증착 공정에 의해 한 쌍의 리세스 영역들에 제공될 수 있다.
- [0059] 한 쌍의 소자 분리 영역들(120) 사이에 웰 영역(110)이 형성될 수 있다. 웰 영역(110)은 기판(100)을 일부 깊이까지 도핑하는 공정을 수행하는 것에 의해 형성될 수 있다. 예를 들어, 상기 도핑 공정은 확산 공정 및/또는 이온 주입 공정을 포함할 수 있다. 기판(100)의 상부가 V족 원소(예를 들어, P, As)로 도핑된 경우, 웰 영역(110)의 도전형은 n형일 수 있다. 기판(100)의 상부가 III족 원소(예를 들어, B, In)로 도핑된 경우, 웰 영역(110)의 도전형은 p형일 수 있다.
- [0060] 도 5를 참조하면, 웰 영역(110)의 상부에 정전류 형성층(400)이 형성될 수 있다. 예를 들어, 정전류 형성층(400)은 도 1을 참조하여 설명된 트랜지스터 소자(도 1의 10)의 채널보다 깊이 형성되되, 한 쌍의 소스/드레인 영역들(도 1의 SD)의 바닥면들보다 얇게 형성될 수 있다. 정전류 형성층(400)을 형성하는 것은 이온 주입 공정을 수행하는 것을 포함할 수 있다. 정전류 형성층(400)은 웰 영역(110)과 동일한 도전형을 가질 수 있다. 웰 영역(110)의 도전형이 n형인 경우, 웰 영역(110)의 상부에 V족 원소(예를 들어, P, As)가 더 주입되어, n형 정전류 형성층(400)을 형성할 수 있다. 웰 영역(110)의 도전형이 p형인 경우, 웰 영역(110)의 상부에 III족 원소(예를 들어, B, In)가 더 주입되어, p형 정전류 형성층(400)을 형성할 수 있다.
- [0061] 웰 영역(110)의 상부에 불순물이 주입된 후, 웰 영역(110)은 열처리될 수 있다. 열처리 공정의 서멀 버짓(thermal budget)은 트랜지스터 소자(도 1의 10)의 문턱 전압 특성 및 정전류에 영향을 줄 수 있다. 예를 들어, 서멀 버짓이 요구되는 것보다 큰 경우, 웰 영역(110)의 상부에 주입된 불순물이 채널로 확산되어 문턱 전압을 바꿀 수 있다. 예를 들어, 서멀 버짓이 요구되는 것보다 큰 경우, 한 쌍의 소스/드레인 영역들(SD)과 정전류 형성층(400) 사이의 도핑 농도가 완만하게 변하여 정전류의 크기가 작아질 수 있다. 열처리 공정 수행 시, 서멀 버짓(thermal budget)은 트랜지스터 소자(도 1의 10)의 문턱 전압 특성이 변하지 않거나 최소한으로 변화도록, 그리고 트랜지스터 소자(도 1의 10)가 요구되는 정전류를 갖도록 조절될 수 있다.
- [0062] 도 6을 참조하면, 기판(100) 상에 게이트 전극(210), 게이트 절연막(220), 및 한 쌍의 스페이서들(300)이 형성될 수 있다. 게이트 전극(210) 및 게이트 절연막(220)을 형성하는 것은 기판(100) 상에 절연 물질(예를 들어, SiO₂, SiON, HfO₂, ZrO₂) 및 전도성 물질(예를 들어, 금속 또는 도핑된 폴리 실리콘)을 차례로 증착하는 공정 및 상기 증착 공정에 의해 형성된 증착 막을 패터닝하는 공정을 수행하는 것을 포함할 수 있다. 예를 들어, 상기 증착 공정은 화학 기상 증착 공정 또는 물리 기상 증착 공정을 포함할 수 있다. 예를 들어, 패터닝 공정은 상기 증착 막 상에 마스크 패터를 형성하는 것 및 상기 증착 막에 상기 마스크 패터를 식각 마스크로 이용하는 이방성 식각 공정을 수행하는 것을 포함할 수 있다. 마스크 패터는 이방성 식각 공정 동안 또는 이방성 식각 공정 종료 후에 제거될 수 있다.
- [0063] 한 쌍의 스페이서들(300)을 형성하는 것은 기판(100) 상에 절연막을 형성하는 것 및 상기 절연막에 이방성 식각 공정을 수행하는 것을 포함할 수 있다. 예를 들어, 절연막은 기판(100) 상에 절연 물질(예를 들어, SiO₂, SiON, HfO₂, ZrO₂)을 컨포멀하게 증착하여 형성될 수 있다.
- [0064] 도 1을 다시 참조하면, 웰 영역(110)의 상부에 한 쌍의 소스/드레인 영역들(SD)이 형성될 수 있다. 한 쌍의 소스/드레인 영역들(SD)을 형성하는 것은 서로 바로 인접한 스페이서(300)와 소자 분리 영역(120) 사이의 웰 영역

(110)을 도핑하는 공정을 수행하는 것을 포함할 수 있다. 예를 들어, 상기 도핑 공정은 이온 주입 공정을 포함할 수 있다. 한 쌍의 소스/드레인 영역들(SD)은 기판(100)의 상면으로부터 소정의 깊이까지 형성될 수 있다. 예를 들어, 한 쌍의 소스/드레인 영역들(SD)은 기판(100)의 상면부터 정전류 형성층(400)보다 깊은 깊이까지 형성될 수 있다. 한 쌍의 소스/드레인 영역들(SD)은 웰 영역(110)과 다른 도전형을 가질 수 있다. 웰 영역(110)의 도전형이 n형인 경우, 서로 바로 인접한 스페이서(300)와 소자 분리 영역(120) 사이의 웰 영역(110)에 III족 원소(예를 들어, B, In)가 주입되어 p형 소스/드레인 영역(SD)이 형성될 수 있다. 웰 영역(110)의 도전형이 p형인 경우, 서로 바로 인접한 스페이서(300)와 소자 분리 영역(120) 사이의 웰 영역(110)에 V족 원소(예를 들어, P, As)가 주입되어 n형 소스/드레인 영역(SD)이 형성될 수 있다. 한 쌍의 소스/드레인 영역들(SD)은 그 하부들이 정전류 형성층(400)과 제1 방향(DR1)을 따라 중첩하도록 형성될 수 있다. 이에 따라, 트랜지스터 소자(10)가 형성될 수 있다.

[0065] 예시적인 실시예들에서, 웰 영역(110) 내에서 한 쌍의 소스/드레인 영역들(SD) 상에 한 쌍의 저농도 도핑 영역들(미도시)이 각각 형성될 수 있다. 한 쌍의 저농도 도핑 영역들은 기판(100)의 상면으로부터 소정의 깊이까지 형성되고, 한 쌍의 소스/드레인 영역들(SD)은 상기 소정의 깊이로부터 정전류 형성층(400)보다 깊은 깊이까지 형성될 수 있다. 한 쌍의 저농도 도핑 영역들은 도핑 공정에 의해 형성될 수 있다. 예를 들어, 상기 도핑 공정은 이온 주입 공정을 포함할 수 있다. 한 쌍의 소스/드레인 영역들(SD)한 쌍의 소스/드레인 영역들(SD)과 동일한 도전형을 갖도록 도핑될 수 있다.

[0066] 도 7은 예시적인 실시예들에 따른 삼진(Ternary) 인버터 장치의 도면이다. 도 8은 도 7의 삼진 인버터 장치의 회로도이다. 설명의 간결함을 위해, 도 1을 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다.

[0067] 도 7을 참조하면, 삼진 인버터 장치(20)가 제공될 수 있다. 삼진 인버터 장치(20)는 기판(100), 제1 웰 영역(112), 소자 분리 영역들(120), 한 쌍의 제1 소스/드레인 영역들(SDa), 제1 정전류 형성층(402), 제2 웰 영역(114), 한 쌍의 제2 소스/드레인 영역들(SDb), 제2 정전류 형성층(404), 게이트 전극들(210), 게이트 절연막들(220), 및 스페이서들(300)을 포함할 수 있다. 기판(100)은 도 1을 참조하여 설명된 것과 실질적으로 동일할 수 있다.

[0068] 기판(100) 내에 소자 분리 영역들(120)이 제공될 수 있다. 소자 분리 영역들(120)의 각각은 도 1을 참조하여 설명된 한 쌍의 소자 분리 영역들(120)의 각각과 실질적으로 동일할 수 있다. 소자 분리 영역들(120)은 기판(100)의 상면에 평행한 제1 방향(DR1)을 따라 배열될 수 있다. 예를 들어, 소자 분리 영역들(120)은 실질적으로 동일한 간격으로 배열될 수 있다.

[0069] 기판(100) 내에 제1 웰 영역(112) 및 제2 웰 영역(114)이 제공될 수 있다. 제1 웰 영역(112)은 제2 웰 영역(114)으로부터 제1 방향(DR1)을 따라 이격될 수 있다. 제1 웰 영역(112) 및 제2 웰 영역(114)의 각각은 서로 바로 인접한 소자 분리 영역들(120) 사이에 제공될 수 있다. 제1 웰 영역(112)의 도전형은 n형일 수 있다. 제1 웰 영역(112)은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다. 제2 웰 영역(114)의 도전형은 p형일 수 있다. 제2 웰 영역(114)은 III족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다.

[0070] 제1 웰 영역(112)의 상부에 제1 방향(DR1)을 따라 서로 이격된 한 쌍의 제1 소스/드레인 영역들(SDa)이 제공될 수 있다. 한 쌍의 제1 소스/드레인 영역들(SDa)의 도전형은 p형일 수 있다. 한 쌍의 제1 소스/드레인 영역들(SDa)은 III족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다.

[0071] 제2 웰 영역(114)의 상부에 제1 방향(DR1)을 따라 서로 이격된 한 쌍의 제2 소스/드레인 영역들(SDb)이 제공될 수 있다. 한 쌍의 제2 소스/드레인 영역들(SDb)의 도전형은 n형일 수 있다. 한 쌍의 제2 소스/드레인 영역들(SDb)은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다.

[0072] 제1 정전류 형성층(402) 및 제2 정전류 형성층(404)이 각각 제1 웰 영역(112) 및 제2 웰 영역(114) 내에 제공될 수 있다. 제1 정전류 형성층(402)은 한 쌍의 제1 소스/드레인 영역들(SDa) 사이에 제공될 수 있다. 예를 들어, 제1 정전류 형성층(402)은 제1 소스/드레인 영역들(SDa)과 제1 방향(DR1)을 따라 중첩할 수 있다. 예를 들어, 제1 정전류 형성층(402)은 제1 소스/드레인 영역들(SDa) 사이에 형성되는 채널(미도시)의 바닥면과 제1 소스/드레인 영역들(SDa)의 바닥면들 사이에 제공될 수 있다. 제1 정전류 형성층(402)의 도전형은 n형일 수 있다. 제1 정전류 형성층(402)은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다. 예를 들어, 제2 정전류 형성층(404)은 한 쌍의 제2 소스/드레인 영역들(SDb) 사이에 제공될 수 있다. 예를 들어, 제2 정전류 형성층(404)은 제2 소스/드레인 영역들(SDb)과 제1 방향(DR1)을 따라 중첩할 수 있다. 예를 들어, 제2 정전류 형성층(404)은

제2 소스/드레인 영역들(SDb) 사이에 형성되는 채널(미도시)의 바닥면과 제2 소스/드레인 영역들(SDb)의 바닥면들 사이에 제공될 수 있다. 제2 정전류 형성층(404)의 도전형은 p형일 수 있다. 제2 정전류 형성층(404)은 III 족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다.

[0073] 제1 웰 영역(112) 및 제2 웰 영역(114) 상에 게이트 전극들(210)이 각각 제공될 수 있다. 게이트 전극들(210)과 기판(100)의 상면 사이에 게이트 절연막들(220)이 각각 제공될 수 있다. 스페이서들(300)이 게이트 전극들(210)의 측벽들 상에 각각 제공될 수 있다.

[0074] 제1 웰 영역(112), 한 쌍의 제1 소스/드레인 영역들(SDa), 제1 정전류 형성층(402), 게이트 전극(210), 게이트 절연막(220), 및 게이트 전극(210)의 양 측벽들에 각각 제공된 스페이서들(300)은 피모스(PMOS) 트랜지스터를 정의할 수 있다. 제2 웰 영역(114), 한 쌍의 제1 소스/드레인 영역들(SDa), 제2 정전류 형성층(404), 게이트 전극(210), 게이트 절연막(220), 및 게이트 전극(210)의 양 측벽들에 각각 제공된 스페이서들(300)은 엔모스(NMOS) 트랜지스터를 정의할 수 있다.

[0075] 도 8을 참조하면, 엔모스 트랜지스터 소자의 소스(도 7의 한 쌍의 제2 소스/드레인 영역들 중 하나) 및 기판(도 7의 제2 웰 영역)에 접지 전압이 인가될 수 있다. 설명의 간결함을 위해, 이하에서 접지 전압은 0 볼트(V)인 것으로 가정한다. 피모스 트랜지스터 소자의 소스(도 7의 한 쌍의 제1 소스/드레인 영역들 중 하나) 및 기판(도 7의 제1 웰 영역)에 구동 전압(V_{DD})이 인가될 수 있다. 엔모스 트랜지스터 소자의 게이트 전극(도 7의 제2 웰 영역 상의 게이트 전극)과 피모스 트랜지스터 소자의 게이트 전극(도 7의 제1 웰 영역 상의 게이트 전극)의 각각에 입력 전압(V_{in})이 인가될 수 있다.

[0076] 엔모스 트랜지스터 소자의 드레인(도 7의 한 쌍의 제2 소스/드레인 영역들 중 다른 하나)은 피모스 트랜지스터 소자의 드레인(도 7의 한 쌍의 제1 소스/드레인 영역들 중 다른 하나)과 전기적으로 연결되어, 동일한 전압들을 각각 가질 수 있다. 엔모스 트랜지스터 소자의 드레인과 피모스 트랜지스터 소자의 드레인의 전압은 삼진 인버터 장치(20)의 출력 전압(V_{out})일 수 있다.

[0077] 엔모스 트랜지스터 소자의 드레인에서 기판으로 정전류가 흐를 수 있다. 피모스 트랜지스터 소자의 기판에서 드레인으로 정전류가 흐를 수 있다. 상기 정전류들은 입력 전압(V_{in})으로부터 독립적일 수 있다.

[0078] 일 예에서, 피모스 트랜지스터 소자가 채널 전류보다 우세한 정전류를 갖고 엔모스 트랜지스터 소자가 정전류보다 우세한 채널 전류를 갖도록, 피모스 트랜지스터 소자의 게이트 전극과 엔모스 트랜지스터 소자의 게이트 전극에 제1 입력 전압이 인가될 수 있다. 이때, 삼진 인버터 장치(20)의 출력 전압(V_{out})은 제1 전압일 수 있다.

[0079] 다른 예에서, 엔모스 트랜지스터 소자가 채널 전류보다 우세한 정전류를 갖고 피모스 트랜지스터 소자가 정전류보다 우세한 채널 전류를 갖도록, 피모스 트랜지스터 소자의 게이트 전극과 엔모스 트랜지스터 소자의 게이트 전극에 제2 입력 전압이 인가될 수 있다. 이때, 삼진 인버터 장치(20)의 출력 전압은 상기 제1 전압보다 큰 제2 전압일 수 있다.

[0080] 또 다른 예에서, 엔모스 트랜지스터 소자와 피모스 트랜지스터 소자의 각각이 채널 전류보다 우세한 정전류를 갖도록, 피모스 트랜지스터 소자의 게이트 전극과 엔모스 트랜지스터 소자의 게이트 전극에 제3 입력 전압이 인가될 수 있다. 이때, 삼진 인버터 장치(20)의 출력 전압은 상기 제1 전압과 제2 전압 사이의 제3 전압일 수 있다.

[0081]

[0082] 엔모스 트랜지스터 소자의 드레인에서 기판으로 흐르는 정전류 및 피모스 트랜지스터 소자의 기판에서 드레인으로 흐르는 정전류는 피모스 트랜지스터 소자 및 엔모스 트랜지스터 소자의 게이트 전극들에 인가되는 게이트 전압들과 무관하게 흐를 수 있다. 삼진 인버터 장치(20) 내의 전류는 피모스 트랜지스터 소자의 기판으로부터 피모스 트랜지스터 소자의 드레인과 엔모스 트랜지스터 소자의 드레인을 거쳐서 엔모스 트랜지스터 소자의 기판으로 흐를 수 있다. 구동 전압(V_{DD})은 피모스 트랜지스터 소자의 기판과 피모스 트랜지스터 소자의 드레인 사이의 저항 및 엔모스 트랜지스터 소자의 기판과 엔모스 트랜지스터 소자의 드레인 사이의 저항에 의해 분배될 수 있다. 출력 전압(V_{out})은 구동 전압(V_{DD})이 피모스 트랜지스터 소자의 기판과 피모스 트랜지스터 소자의 드레인 사이의 저항에 의해 강화된 전압일 수 있다. 이에 따라, 출력 전압(V_{out})은 구동 전압(V_{DD})과 0 V 사이의 값을 가질 수 있다.

[0083] 출력 전압(V_{out})은 입력 전압(V_{in})에 따라 제1 전압('0' 상태), 상기 제1 전압보다 큰 제3 전압('1' 상태), 또

는 상기 제3 전압보다 큰 제2 전압('2' 상태)을 가질 수 있다. 본 개시는 입력 전압(Vin)에 따라 3가지 상태를 갖는 삼진(Ternary) 인버터 장치(20)를 제공할 수 있다.

- [0084] 예시적인 실시예들에서, 한 쌍의 제1 소스/드레인 영역들(SDa)과 한 쌍의 제2 소스/드레인 영역들(SDb) 상에 저농도 도핑 영역들(미도시)이 제공될 수 있다. 예를 들어, 저농도 도핑 영역들은 한 쌍의 제1 소스/드레인 영역들(SDa)과 이에 바로 인접한 스페이서들(300) 사이 및 한 쌍의 제2 소스/드레인 영역들(SDb)과 이에 바로 인접한 스페이서들(300) 사이에 각각 배치될 수 있다. 저농도 도핑 영역들의 각각은 제1 방향(DR1)을 따라 연장되어, 소자 분리 영역들(120)에 접할 수 있다.
- [0085] 한 쌍의 제1 소스/드레인 영역들(SDa) 상의 저농도 도핑 영역들의 도전형은 n형일 수 있다. 한 쌍의 제1 소스/드레인 영역들(SDa) 상의 저농도 도핑 영역들의 도핑 농도는 한 쌍의 제1 소스/드레인 영역들(SDa)의 도핑 농도보다 낮을 수 있다.
- [0086] 한 쌍의 제2 소스/드레인 영역들(SDb) 상의 저농도 도핑 영역들의 도전형은 p형일 수 있다. 한 쌍의 제2 소스/드레인 영역들(SDb) 상의 저농도 도핑 영역들의 도핑 농도는 한 쌍의 제2 소스/드레인 영역들(SDb)의 도핑 농도보다 낮을 수 있다.
- [0087] 저농도 도핑 영역들은 쇼트 채널 효과 및 핫 캐리어 효과의 발생을 감소시킬 수 있다. 이에 따라, 삼진 인버터 장치(20)의 전기적인 특성이 개선될 수 있다.
- [0089] 도 9는 도 7의 삼진 인버터 장치를 제조하는 방법을 설명하기 위한 도면이다. 도 10은 도 7의 삼진 인버터 장치를 제조하는 방법을 설명하기 위한 도면이다. 도 11은 도 7의 삼진 인버터 장치를 제조하는 방법을 설명하기 위한 도면이다. 설명의 간결함을 위해 도 4 내지 도 6, 및 도 7을 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다.
- [0090] 도 9를 참조하면, 기판(100) 내에 소자 분리 영역들(120)이 형성될 수 있다. 소자 분리 영역들(120)의 형성 공정은 도 4를 참조하여 설명된 한 쌍의 소자 분리 영역들(120)의 형성 공정과 실질적으로 동일할 수 있다.
- [0091] 소자 분리 영역들(120) 중 서로 바로 인접한 한 쌍의 소자 분리 영역들(120) 사이에 제1 웰 영역(112)이 형성될 수 있다. 제1 웰 영역(112)은 기판(100)을 V족 원소(예를 들어, P, As)로 도핑하는 공정에 의해 형성될 수 있다. 제1 웰 영역(112)의 도전형은 n형일 수 있다.
- [0092] 소자 분리 영역들(120) 중 서로 바로 인접한 다른 한 쌍의 소자 분리 영역들(120) 사이에 제2 웰 영역(114)이 형성될 수 있다. 제2 웰 영역(114)은 기판(100)을 III족 원소(예를 들어, B, In)로 도핑하는 공정에 의해 형성될 수 있다. 제2 웰 영역(114)의 도전형은 p형일 수 있다.
- [0093] 도 10을 참조하면, 제1 웰 영역(112)의 상부에 제1 정전류 형성층(402)이 형성될 수 있다. 예를 들어, 제1 정전류 형성층(402)은 도 7을 참조하여 설명된 제1 소스/드레인 영역들(도 6의 SDa) 사이에 형성되는 채널(미도시)의 바닥면과 제1 소스/드레인 영역들(도 6의 SDa)의 바닥면들 사이에 제공될 수 있다. 제1 정전류 형성층(402)을 형성하는 것은 제1 웰 영역(112)의 상부에 V족 원소(예를 들어, P, As)를 주입하는 공정을 포함할 수 있다. 제1 정전류 형성층(402)의 도전형은 n형일 수 있다. 제2 웰 영역(114)의 상부에 제2 정전류 형성층(404)이 형성될 수 있다. 예를 들어, 제2 정전류 형성층(404)은 도 7을 참조하여 설명된 제2 소스/드레인 영역들(도 6의 SDb) 사이에 형성되는 채널(미도시)의 바닥면과 제2 소스/드레인 영역들(도 6의 SDb)의 바닥면들 사이에 제공될 수 있다. 제2 정전류 형성층(404)을 형성하는 것은 제2 웰 영역(114)의 상부에 III족 원소(예를 들어, B, In)를 주입하는 공정을 포함할 수 있다. 제2 정전류 형성층(404)의 도전형은 p형일 수 있다.
- [0094] 제1 및 제2 웰 영역들(112, 114)에 불순물이 주입된 후, 제1 및 제2 웰 영역들(112, 114)은 열처리될 수 있다. 상기 열처리 공정의 서멀 버짓(thermal budget)은 삼진 인버터 장치(도 7의 20) 내의 트랜지스터 소자들의 문턱 전압 특성들 및 정전류들에 영향을 줄 수 있다. 예를 들어, 서멀 버짓이 요구되는 것보다 큰 경우, 제1 및 제2 웰 영역들(112, 114)의 상부에 주입된 불순물이 채널들로 확산되어 문턱 전압들을 바꿀 수 있다. 예를 들어, 서멀 버짓이 요구되는 것보다 큰 경우, 제1 한 쌍의 소스/드레인 영역들(SDa)과 제1 정전류 형성층(402) 사이 및 제2 한 쌍의 소스/드레인 영역들(SDb)과 제2 정전류 형성층(404) 사이의 도핑 농도가 완만하게 변하여 정전류들의 크기가 작아질 수 있다. 열처리 공정 수행 시, 서멀 버짓(thermal budget)은 삼진 인버터 장치(도 7의 20) 내의 트랜지스터 소자들의 문턱 전압 특성들이 변하지 않거나 최소한으로 변하도록, 그리고 삼진 인버터 장치(도 7의 20) 내의 트랜지스터 소자들이 요구되는 정전류를 갖도록 조절될 수 있다. 도 11을 참조하면, 제1 웰 영

역(112) 및 제2 웰 영역(114)의 각각의 상에 게이트 전극(210), 게이트 절연막(220), 및 한 쌍의 스페이서들(300)이 형성될 수 있다. 게이트 전극(210), 게이트 절연막(220), 및 한 쌍의 스페이서들(300)을 형성하는 것은 도 6을 참조하여 설명된 것과 실질적으로 동일할 수 있다.

[0095] 도 7을 다시 참조하면, 제1 웰 영역(112)의 상부에 한 쌍의 제1 소스/드레인 영역들(SDa)이 형성될 수 있다. 한 쌍의 제1 소스/드레인 영역들(SDa)의 각각을 형성하는 것은 서로 바로 인접한 스페이서(300)와 소자 분리 영역(120) 사이의 제1 웰 영역(112)에 III족 원소(예를 들어, B, In)를 주입하는 공정을 포함할 수 있다. 제1 소스/드레인 영역들(SDa)의 도전형은 p형일 수 있다.

[0096] 제2 웰 영역(114)의 상부에 한 쌍의 제2 소스/드레인 영역들(SDb)이 형성될 수 있다. 한 쌍의 제2 소스/드레인 영역들(SDb)의 각각을 형성하는 것은 서로 바로 인접한 스페이서(300)와 소자 분리 영역(120) 사이의 제2 웰 영역(114)에 V족 원소(예를 들어, P, As)를 주입하는 공정을 포함할 수 있다. 제2 소스/드레인 영역들(SDb)의 도전형은 n형일 수 있다.

[0097] 이에 따라, 삼진 인버터 장치(20)가 제공될 수 있다.

[0098] 예시적인 실시예들에서, 한 쌍의 제1 소스/드레인 영역들(SDa) 및 한 쌍의 제2 소스/드레인 영역들(SDb) 상에 저농도 도핑 영역들(미도시)이 각각 형성될 수 있다. 저농도 도핑 영역들은 기판(100)의 상면으로부터 소정의 깊이까지 형성되고, 한 쌍의 제1 소스/드레인 영역들(SDa) 및 한 쌍의 제2 소스/드레인 영역들(SDb)은 상기 소정의 깊이로부터 제1 및 제2 정전류 형성층들(402, 404)보다 깊은 깊이까지 형성될 수 있다. 저농도 도핑 영역들은 도핑 공정에 의해 형성될 수 있다. 예를 들어, 상기 도핑 공정은 이온 주입 공정을 포함할 수 있다. 한 쌍의 제1 소스/드레인 영역들(SDa) 상의 저농도 도핑 영역들의 도전형은 한 쌍의 제1 소스/드레인 영역들(SDa)과 동일할 수 있다. 한 쌍의 제2 소스/드레인 영역들(SDb) 상의 저농도 도핑 영역들의 도전형은 한 쌍의 제2 소스/드레인 영역들(SDb)과 동일할 수 있다.

[0100] 도 12는 본 개시의 삼진(Ternary) 인버터 장치들과 이진(Binary) 인버터 장치들의 게이트 전압-드레인 전류 그래프를 나타낸다.

[0101] 도 12를 참조하면, 이진 인버터 장치들의 게이트 전압-드레인 전류 그래프들(IGR1, IGR2) 및 본 개시의 삼진 인버터 장치들의 게이트 전압-드레인 전류 그래프들(IGR3, IGR4, IGR5)이 도시되었다.

[0102] 이진 인버터 장치들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 갖지 않았다.

[0103] 본 개시의 삼진 인버터 장치들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 가졌다. 예를 들어, 본 개시의 삼진 인버터 장치들이 오프(Off) 상태를 가질 때에도, 본 개시의 삼진 인버터 장치들에 정전류가 흘렀다.

[0105] 도 13은 본 개시의 삼진 인버터 장치와 이진(Binary) 인버터 장치의 입력 전압(Vin)-출력 전압(Vout) 그래프를 나타낸다.

[0106] 도 13을 참조하면, 삼진 인버터 장치(20) 및 이진 인버터 장치의 구동 전압(V_{DD})은 1.0 V, 접지 전압(GND)은 0 V이었다. 삼진 인버터 장치(20) 및 이진 인버터 장치의 입력 전압(Vin)은 0 V 내지 1.0 V이었다.

[0107] 이진 인버터 장치의 경우, 입력 전압이 0 V에서 1 V로 변할 때, 0.5 V의 입력 전압 부근에서 출력 전압(Vout)이 1 V에서 0 V로 급격히 감소하였다. 즉, 이진 인버터 장치는 두 가지 상태들(예를 들어, '0' 상태 및 '1' 상태)을 가졌다.

[0108] 본 개시의 삼진 인버터 장치의 경우, 입력 전압이 0 V에서 1 V로 변할 때, 출력 전압(Vout)은 1 V에서 0.5 V로 급격히 감소하여 0.5 V를 유지하였다가, 0.5 V에서 0 V로 한번 더 급격히 감소하였다. 즉, 본 개시의 삼진 인버터 장치는 세 가지 상태들(예를 들어, '0' 상태, '1' 상태, 및 '2' 상태)을 가졌다.

[0110] 본 발명의 기술적 사상의 실시예들에 대한 이상의 설명은 본 발명의 기술적 사상의 설명을 위한 예시를 제공한다. 따라서 본 발명의 기술적 사상은 이상의 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 기술 분야의 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및

변경이 가능함은 명백하다.

부호의 설명

[0111]

100: 기판 110, 112, 114: 웰 영역

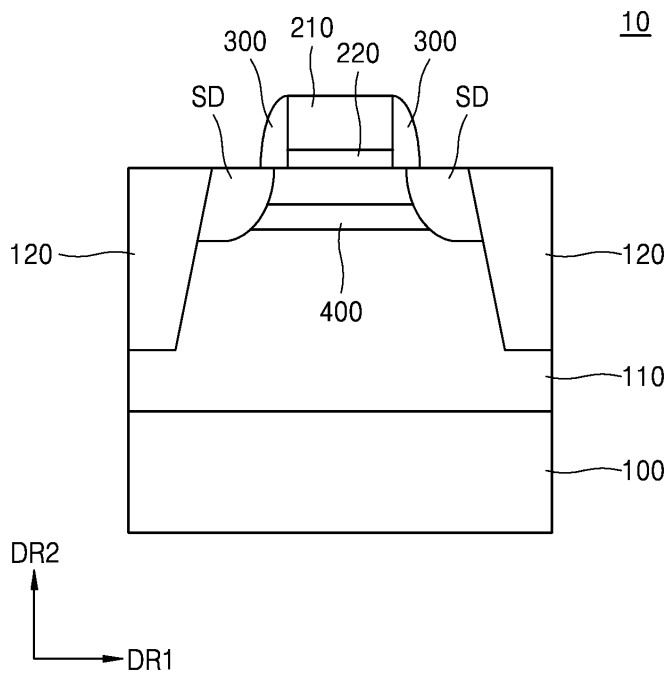
120: 소자 분리 영역 SD, SDa, SDb: 소스/드레인 영역

210: 게이트 전극 220: 게이트 절연막

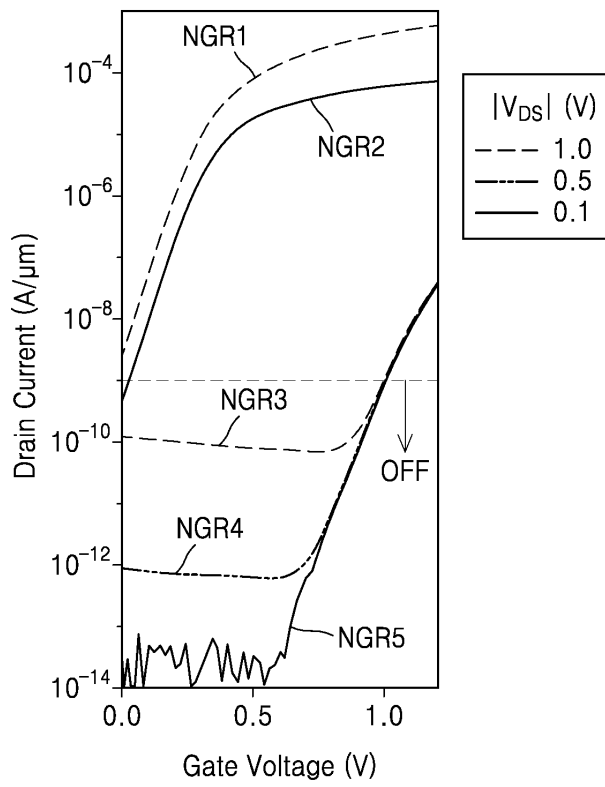
300: 스페이서 400, 402, 404: 정전류 형성층

도면

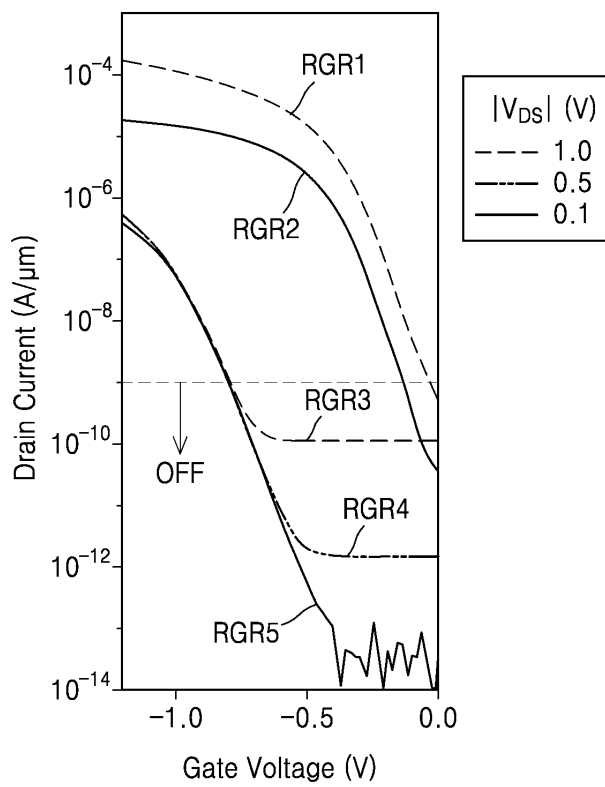
도면1



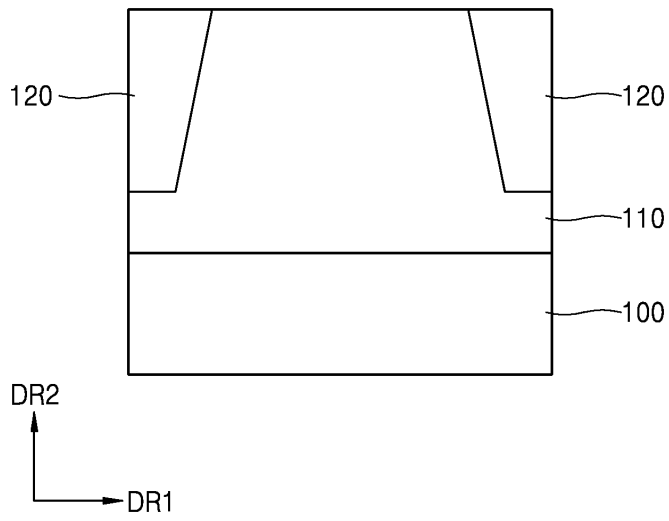
도면2



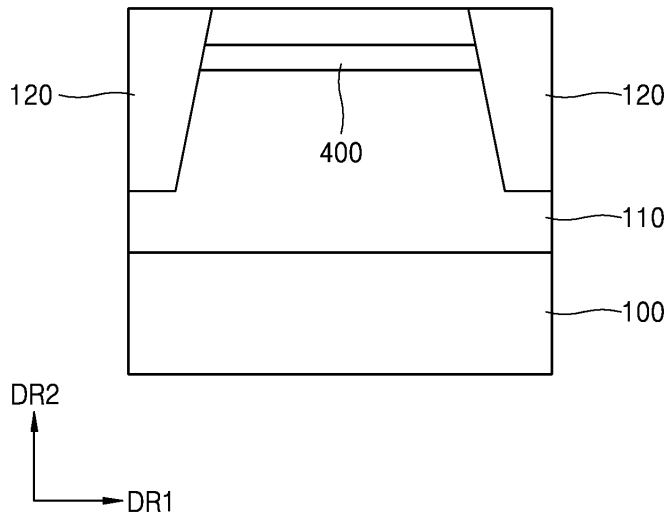
도면3



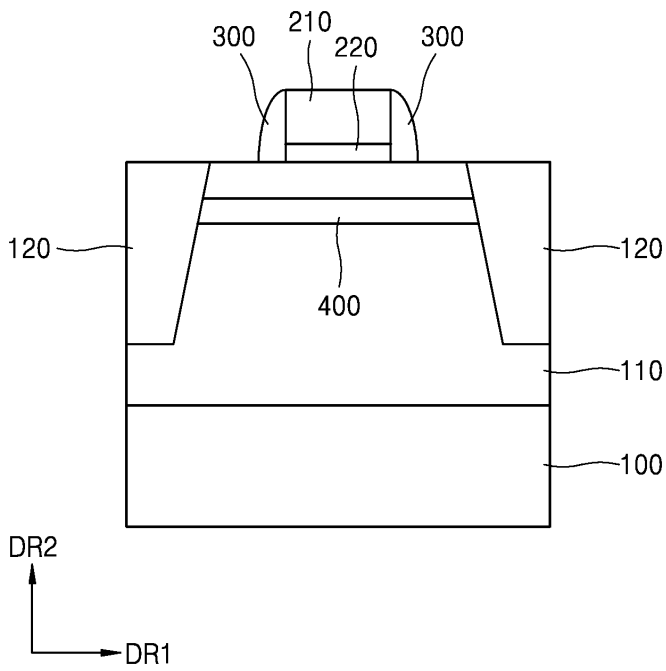
도면4



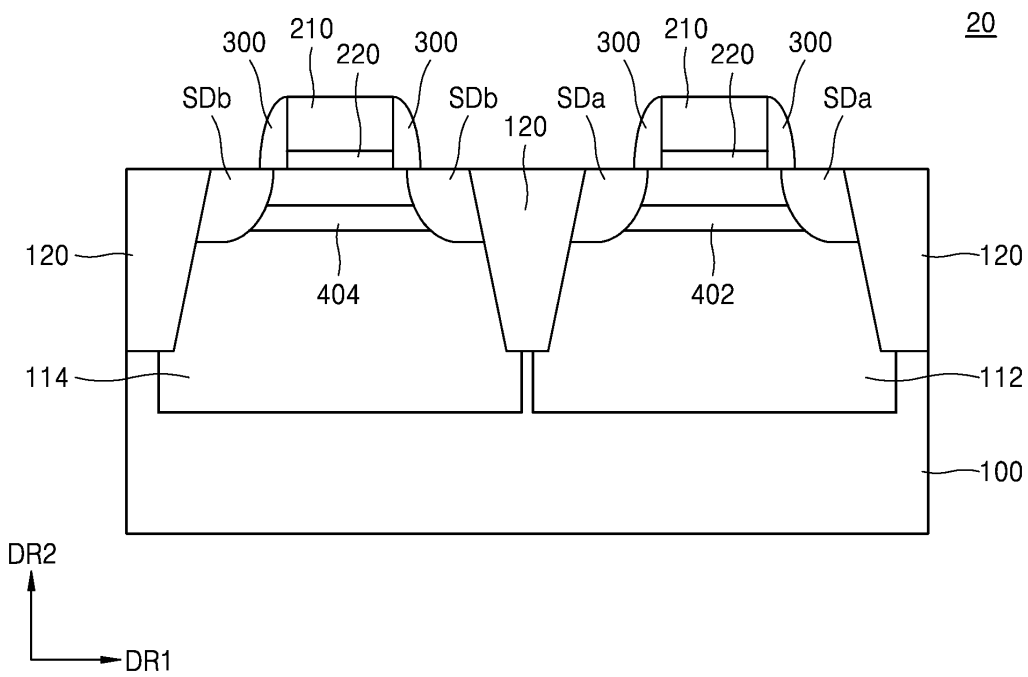
도면5



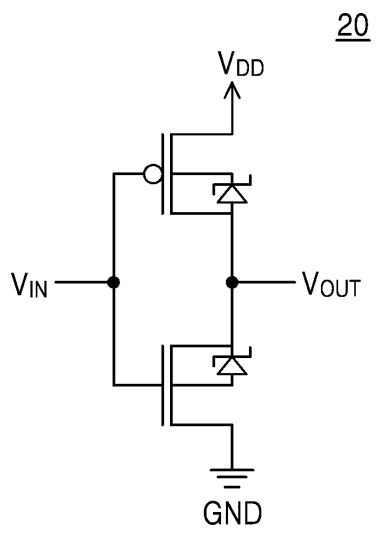
도면6



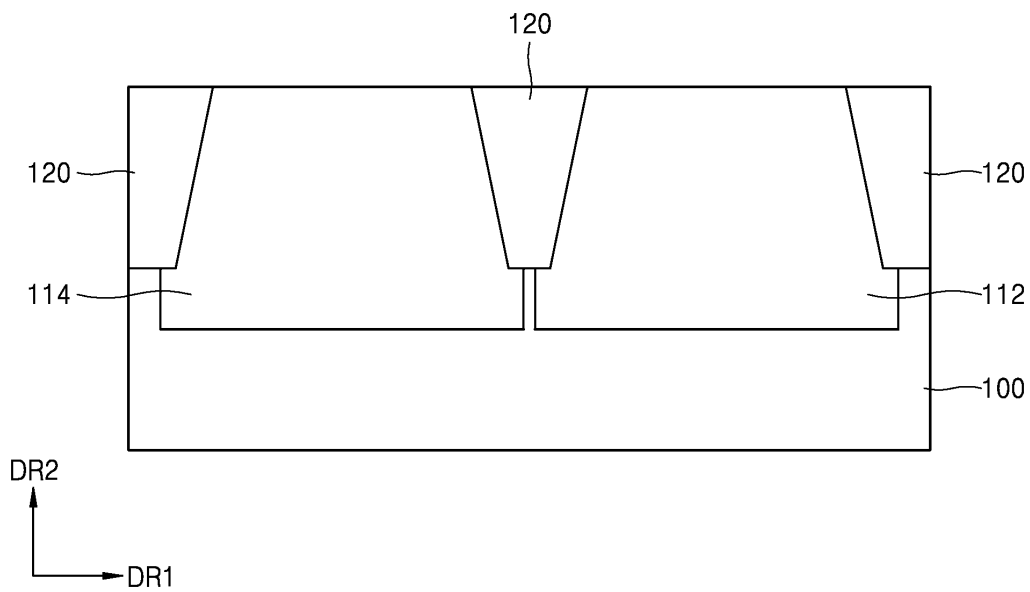
도면7



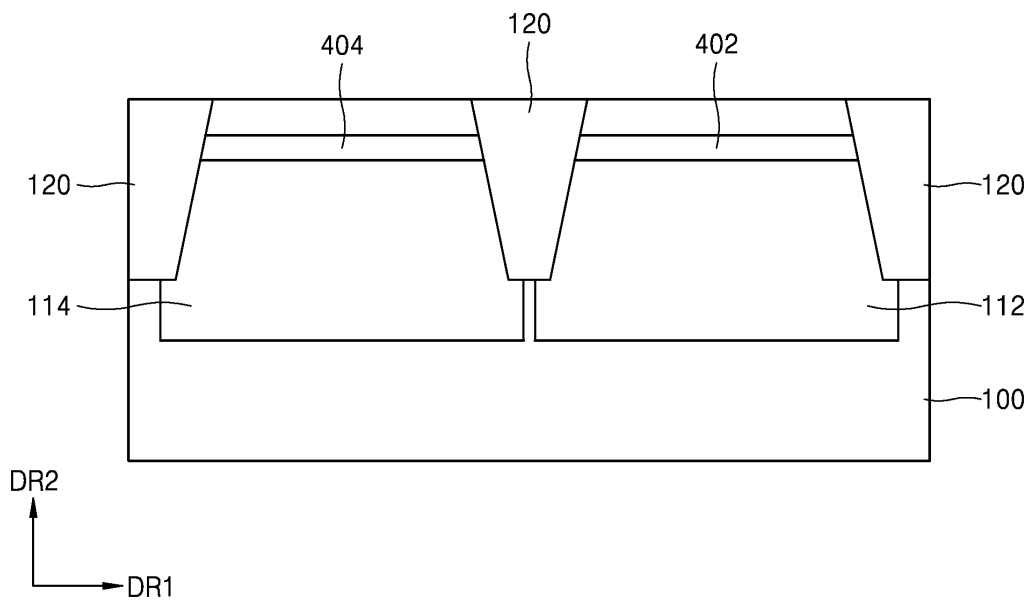
도면8



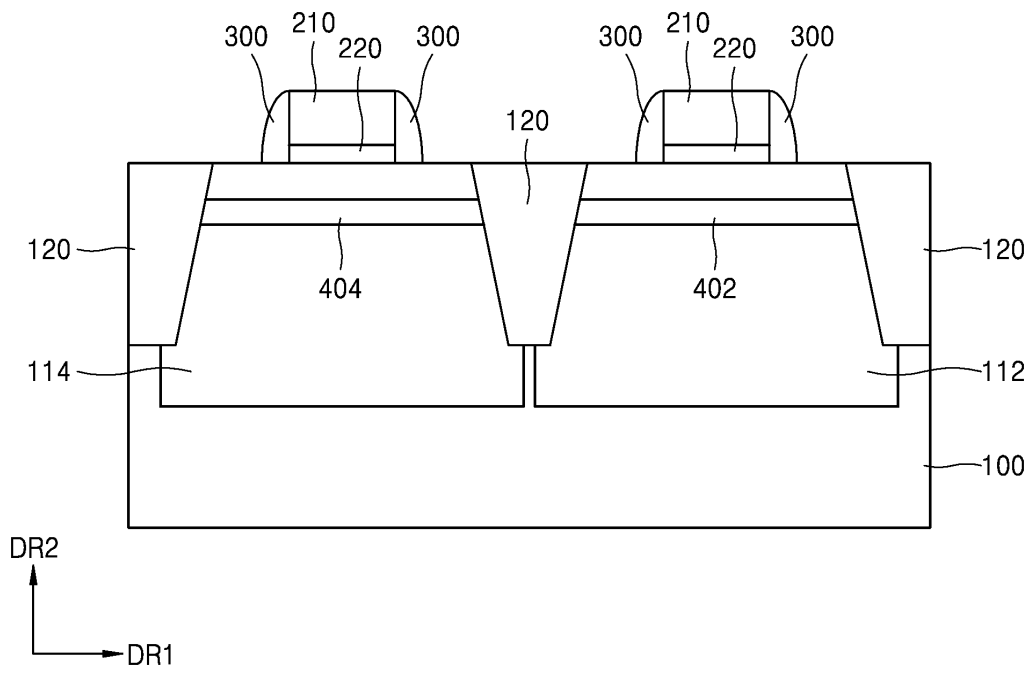
도면9



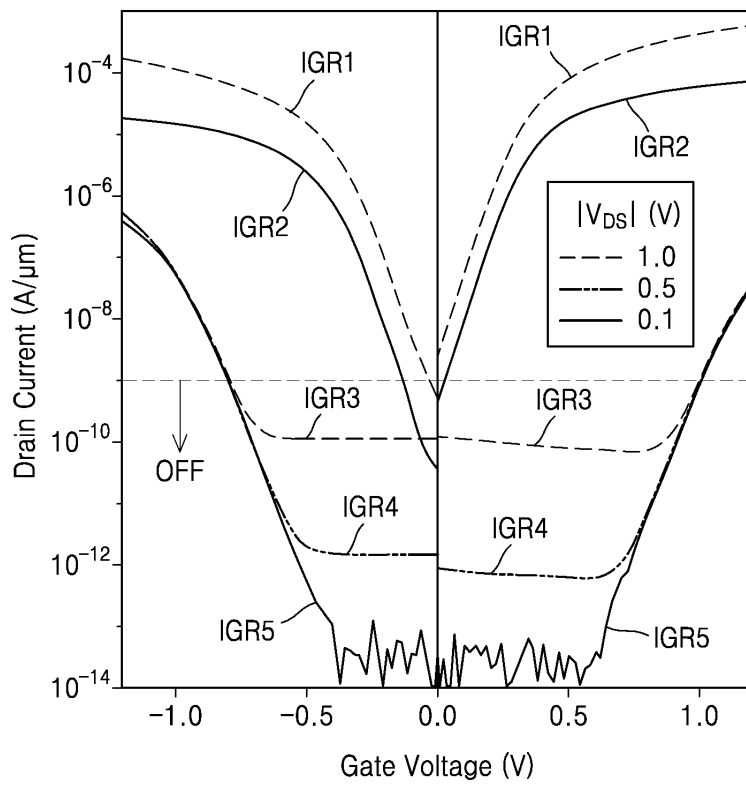
도면10



도면11



도면12



도면13

