



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201133860 A1

(43) 公開日：中華民國 100 (2011) 年 10 月 01 日

(21) 申請案號：099130884

(22) 申請日：中華民國 99 (2010) 年 09 月 13 日

(51) Int. Cl. : *H01L29/786 (2006.01)*

H01L21/336 (2006.01)

H01L21/36 (2006.01)

(30) 優先權：2009/09/24 日本

2009-218816

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 高橋圭 TAKAHASHI, KEI (JP) ; 伊藤良
明 ITO, YOSHIAKI (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：37 項 圖式數：11 共 59 頁

(54) 名稱

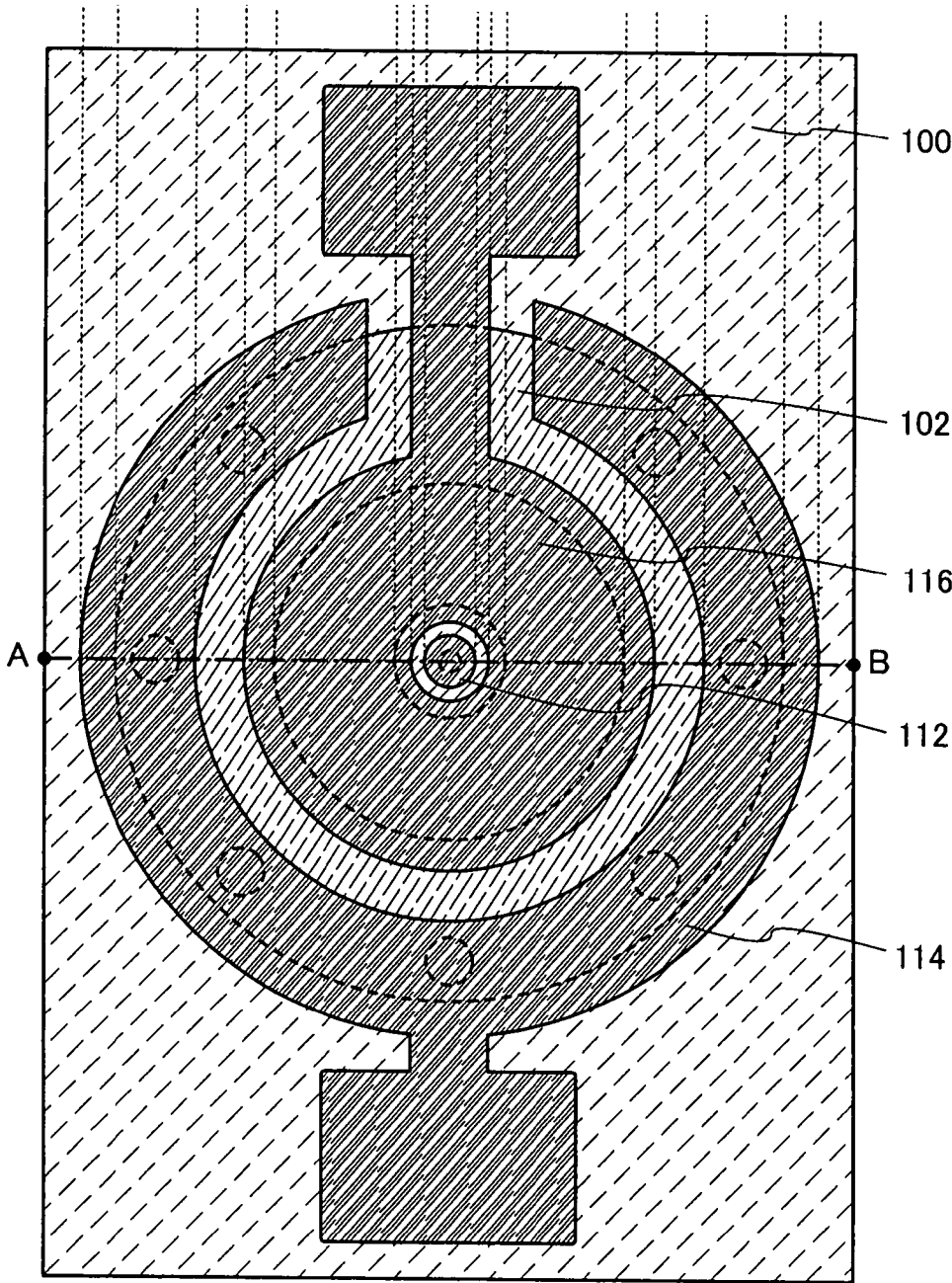
半導體裝置，電源電路，和半導體裝置的製造方法

SEMICONDUCTOR DEVICE, POWER CIRCUIT, AND MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE

(57) 摘要

一種半導體裝置，包含：基板上的第一導電層；覆蓋第一導電層的氧化物半導體層；氧化物半
導體層上的不與第一導電層重疊的區域中的第二導電層；覆蓋氧化物半導體層及第二導電層的絕緣
層；絕緣層上的包括至少不與第一導電層及第二導電層重疊的區域的區域中的第三導電層。

- 100 : 基板
- 102 : 導電層
- 112 : 導電層
- 114 : 導電層
- 116 : 導電層





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201133860 A1

(43)公開日：中華民國 100 (2011) 年 10 月 01 日

(21)申請案號：099130884

(22)申請日：中華民國 99 (2010) 年 09 月 13 日

(51)Int. Cl. : *H01L29/786 (2006.01)*

H01L21/336 (2006.01)

H01L21/36 (2006.01)

(30)優先權：2009/09/24 日本

2009-218816

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；高橋圭 TAKAHASHI, KEI (JP)；伊藤良
明 ITO, YOSHIAKI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：37 項 圖式數：11 共 59 頁

(54)名稱

半導體裝置，電源電路，和半導體裝置的製造方法

SEMICONDUCTOR DEVICE, POWER CIRCUIT, AND MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE

(57)摘要

一種半導體裝置，包含：基板上的第一導電層；覆蓋第一導電層的氧化物半導體層；氧化物半
導體層上的不與第一導電層重疊的區域中的第二導電層；覆蓋氧化物半導體層及第二導電層的絕緣
層；絕緣層上的包括至少不與第一導電層及第二導電層重疊的區域的區域中的第三導電層。

六、發明說明：

【發明所屬之技術領域】

本發明所公開的技術領域係關於半導體裝置及其製造方法。

【先前技術】

金屬氧化物的種類繁多且用途廣。氧化銦作為較普遍的材料被用於液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如可以舉出氧化鎢、氧化錫、氧化銦、氧化鋅等，並且已知一種將這種呈現半導體特性的金屬氧化物用作通道形成區的薄膜電晶體（例如，參照專利文獻 1 至專利文獻 4 及非專利文獻 1 等）。

另外，已知金屬氧化物不僅有一元氧化物還有多元氧化物。例如，作為包含 In、Ga 及 Zn 的多元氧化物半導體，包含均質相 (homologous phase) 的 $\text{InGaO}_3(\text{ZnO})_m$ (m ：自然數) 是眾所周知的（例如，參照非專利文獻 2 至 4）。

並且，已經確認可以將上述那樣的由 In-Ga-Zn 類氧化物構成的氧化物半導體用作薄膜電晶體的通道形成區（例如，參照專利文獻 5、非專利文獻 5 及非專利文獻 6 等）。

[專利文獻 1]日本專利申請公開昭 60-198861 號公報

[專利文獻 2]日本專利申請公開平 8-264794 號公報

[專利文獻 3]日本 PCT 國際申請翻譯平 11-505377 號
公報

[專利文獻 4]日本專利申請公開 2000-150900 號公報

[專利文獻 5]日本專利申請公開 2004-103957 號公報

[非專利文獻 1]M. W. Prins, K. O. Grosse-Holz, G. Muller,
J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R.
M. Wolf, "A ferroelectric transparent thin-film transistor"(
透明鐵電薄膜電晶體), *Appl. Phys. Lett.*, 17 June 1996,
Vol. 68 p. 3650-3652

[非專利文獻 2] M. Nakamura, N. Kimizuka, and T.
Mohri, "The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$
System at 1350°C " ($\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ 類在 1350°C 時的相位
關係), *J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[非專利文獻 3]N. Kimizuka, M. Isobe, and M. Nakamura,
"Syntheses and Single-Crystal Data of Homologous
Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$,
and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$
System" (均質物的合成和單晶資料, $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$
類的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and
 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$)), *J. Solid State Chem.*,
1995, Vol. 116, p. 170-178

[非專利文獻 4]M. Nakamura, N. Kimizuka, T. Mohri, and M.
Isobe, "Syntheses and crystal structures of new homologous
compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m :natural

number) and related compounds", KOTAI BUTSURI(均質物、
銻鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m 為自然數) 及其同型化合物的
的合成以及結晶結構), 固體物理 (SOLID STATE PHYSICS),
1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya,
M. Hirano, and H. Hosono, "Thin-film transistor fabricated in
single-crystalline transparent oxide semiconductor"(由單晶透
明氧化物半導體製造的薄膜電晶體), *SCIENCE*, 2003, Vol.
300, p. 1269-1272

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T.
Kamiya, M. Hirano, and H. Hosono, "Room-temperature
fabrication of transparent flexible thin-film transistors
using amorphous oxide semiconductors"(在室溫下製造使
用非晶氧化物半導體的透明撓性薄膜電晶體), *NATURE*,
2004, Vol. 432 p. 488-492

但是，功率 MOSFET 等的大電力用的半導體裝置需要
具有高耐壓、高轉換效率及高速開關等特性。目前，作為
這些半導體裝置的半導體材料採用矽，但是從上述角度來看
，需要一種能使特性得到進一步提高的新的半導體材料。

作為能使上述各特性得到提高的半導體材料，例如可
以舉出碳化矽。已知碳化矽的 Si-C 鍵的原子間距離短
(0.18nm)、鍵能高且能隙大(矽的能隙的 3 倍左右)，因此
有利於提高半導體裝置的耐壓及減少電力損失等。

但是，由於碳化矽其性質上不易溶化，所以存在以下

問題：不能使用製造矽晶圓時所使用的如提拉法(CZ法)等的生產率高的方法來製造。另外，碳化矽還具有被稱為晶間縮孔(micropipe)的缺陷的問題。由於上述問題，使用碳化矽的半導體裝置的實用化遲遲未能實現。

【發明內容】

鑒於上述問題，所公開的發明的一個實施例的目的之一在於提供一種採用生產率高的新半導體材料的大電力用的半導體裝置。另外，所公開的發明的目的之一在於提供一種使用新的半導體材料的新結構的半導體裝置。另外，所公開的發明的目的之一在於提供一種使用該半導體裝置的電源電路。此外，所公開的發明的目的之一在於提供一種較佳的該種半導體裝置的製造方法。

所公開的發明的一個實施例是一種藉由採用氧化物半導體材料使耐壓(例如汲極電極耐壓)得到提高的半導體裝置。尤其是一種採用表層部中具有結晶區的氧化物半導體層的半導體裝置。

另外，所公開的發明的一個實施例是一種上述半導體裝置的製造方法。

例如，本發明的一個實施例是一種半導體裝置，包括：基板上的第一導電層；覆蓋第一導電層的氧化物半導體層；氧化物半導體層上的不與第一導電層重疊的區域中的第二導電層；覆蓋氧化物半導體層及第二導電層的絕緣層；以及，絕緣層上的至少包括不與第一導電層及第二導電

層重疊的區域的區域中的第三導電層。

另外，本發明的另一個實施例是一種半導體裝置，包括：基板上的第一導電層；覆蓋第一導電層且在上方的表層部中具有結晶區的氧化物半導體層；氧化物半導體層上的不與第一導電層重疊的區域中的第二導電層；覆蓋氧化物半導體層及第二導電層的絕緣層；以及，絕緣層上的至少包括不與第一導電層及第二導電層重疊的區域的區域中的第三導電層。

另外，本發明的另一個實施例是一種半導體裝置，包括：基板上的氧化物半導體層；氧化物半導體層上的第一導電層；氧化物半導體層上的不與第一導電層重疊的區域中的第二導電層；覆蓋氧化物半導體層、第一導電層以及第二導電層的絕緣層；以及，絕緣層上的至少包括不與第一導電層及第二導電層重疊的區域的區域中的第三導電層。

另外，本發明的另一個實施例是一種半導體裝置，包括：基板上的上方的表層部中具有結晶區的氧化物半導體層；氧化物半導體層上的第一導電層；氧化物半導體層上的不與第一導電層重疊的區域中的第二導電層；覆蓋氧化物半導體層、第一導電層以及第二導電層的絕緣層；以及，絕緣層上的至少包括不與第一導電層及第二導電層重疊的區域的區域中的第三導電層。

在上述半導體裝置中，氧化物半導體層的結晶區以外的區域最好為非晶。另外，最好氧化物半導體層的結晶區

包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的結晶。另外，最好氧化物半導體層包含 In-Ga-Zn-O 類氧化物半導體材料。

另外，在上述半導體裝置中，最好第三導電層的一部分與第二導電層重疊。另外，在上述半導體裝置中，可以將第一導電層用作源極電極或汲極電極中的一方，將第二導電層用作源極電極或汲極電極中的另一方，並將第三導電層用作閘極電極。

另外，本發明的另一個方式是一種電源電路，該電源電路具有上述半導體裝置，並根據輸入到該半導體裝置的第三導電層的脈衝信號變為導通狀態或截止狀態，並由此改變輸出電壓。

另外，本發明的一個實施例是一種半導體裝置的製造方法，包括如下步驟：在基板上形成第一導電層；覆蓋第一導電層形成氧化物半導體層；加熱氧化物半導體層以在氧化物半導體層的上方的表層部中形成結晶區；在氧化物半導體層上的不與第一導電層重疊的區域中形成第二導電層；覆蓋氧化物半導體層及第二導電層形成絕緣層；以及，在絕緣層上的至少包括不與第一導電層及第二導電層重疊的區域的區域中形成第三導電層。

另外，本發明的另一個實施例是一種半導體裝置的製造方法，包括如下步驟：在基板上形成氧化物半導體層；加熱氧化物半導體層以在氧化物半導體層的上方的表層部中形成結晶區；在氧化物半導體層上形成第一導電層；在第一導電層上的不與第一導電層重疊的區域中形成第二導

電層；覆蓋氧化物半導體層、第一導電層及第二導電層形成絕緣層；以及，在絕緣層上的至少包括不與第一導電層及第二導電層重疊的區域的區域中形成第三導電層。

在上述半導體裝置的製造方法中，最好藉由對氧化物半導體層進行加熱以使其達到 500°C 以上來形成結晶區。另外，最好藉由使用 In-Ga-Zn-O 類的靶材的濺射法來形成氧化物半導體層。

另外，在上述半導體裝置的製造方法中，最好以其一部分重疊於所述第二層的方式形成第三導電層。

另外，在本說明書中，“上”的意思不限於“直接在...上”。例如，“基板上”是指從基板表面看時位於基板的上方的意思。也就是說，“上”也包括中間具有其他構成要素的結構。

在所公開的發明的一個實施例中，使用生產率高且能隙大的氧化物半導體層形成半導體裝置。由此，可以獲得適用於大電力且高耐壓（例如汲極電極耐壓等）的半導體裝置。

另外，在所公開的發明的一個實施例中，使用表層部中具有結晶區的氧化物半導體層。由此，可以獲得其耐壓得到進一步提高的半導體裝置。

另外，所公開的發明的一個實施例提供一種適合於上述半導體裝置的製造方法。

【實施方式】

下面，關於本發明的實施例模式將參照附圖給予詳細的說明。但是，本發明不侷限於以下所示實施例模式所記載的內容，所述技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的實施例和詳細內容可以被變換為各種各樣的形式而不脫離本說明書等所公開的宗旨。此外，可以將不同實施例模式的結構適當地組合而實施。另外，在以下說明的發明的結構中，相同部分或具有同樣功能的部分使用相同的附圖標記，而省略其重複說明。

實施例模式 1

在本實施例模式中，參照圖 1A 和 1B 及圖 2A 至 2E 對半導體裝置及其製造方法進行說明。此外，下面作為半導體裝置以功率 MOS(MIS)FET 為例進行說明。

<半導體裝置的概略>

圖 1A 和 1B 示出半導體裝置的結構的一個例子。圖 1A 相當於截面圖；圖 1B 相當於平面圖。另外，圖 1A 對應於圖 1B 的 A-B 線的截面。另外，在平面圖中，為了易於理解而省略一部分構成要素。

圖 1A 和 1B 所示的半導體裝置包括：基板 100；用作源極電極或汲極電極中的一方的導電層 102；氧化物半導體層 104；氧化物半導體層 104 中的結晶區 106；用作源極電極或汲極電極中的另一方的導電層 108；用作閘極絕緣層的絕緣層 110；電連接到導電層 108 的導電層 112；

電連接到導電層 102 的導電層 114；以及用作閘極電極的導電層 116 等。

這裏，氧化物半導體層 104 是包括能隙大的氧化物半導體材料的半導體層。藉由在半導體裝置中使用能隙大的氧化物半導體材料可以提高半導體裝置的耐壓（例如，汲極電極耐壓）。

結晶區 106 相當於氧化物半導體層 104 的表層部（上層），其是氧化物半導體層 104 的一部分晶化了的區域。藉由具有該結晶區 106 可以進一步提高半導體裝置的耐壓（例如，汲極電極耐壓）。另外，雖然最好氧化物半導體層 104 的結晶區 106 以外的區域為非晶區，但是也可以為包含晶粒的非晶區域或微晶區域。

從平面上來看，用作源極電極或汲極電極中的另一方的導電層 108 及電連接到導電層 108 的導電層 112 的周圍配置有用作閘極電極的導電層 116，並且導電層 116 的周圍配置有用作源極電極或汲極電極中的一方的導電層 102 及電連接到導電層 102 的導電層 114（參照圖 1B）。

即，用作源極電極或汲極電極中的一方的導電層 102 不重疊於用作源極電極或汲極電極中的另一方的導電層 108。這裏，“不重疊”是指在平面圖中不具有互相重疊的區域的意思。本說明書的其他的記載中也是同樣的。

另外，用作閘極電極的導電層 116 設置在包括不與導電層 102 及導電層 108 重疊的區域的區域中。即，導電層 116 的至少一部分不與導電層 102 及導電層 108 重疊。另

一方面，導電層 116 的其他的一部分可以與導電層 102 或導電層 108 重疊。

另外，雖然在圖 1A 和 1B 中採用將導電層 108 及導電層 112 設置在中央並在其周圍設置導電層 116、導電層 102 及導電層 114 的結構，但是半導體裝置的佈局不限於此。可以在不妨礙半導體裝置的功能的範圍內對各構成要素的配置進行適當地改變。

電連接到導電層 108 的導電層 112 用作與外部佈線等電連接的端子。但是，若能夠將導電層 108 與外部佈線等直接連接，則不需要形成導電層 112。導電層 114 也是同樣的。另外，在圖 1A 和 1B 中未圖示電連接到導電層 112 的外部佈線等。

下面，參照圖 1A 及 1B 對根據本實施例模式的半導體裝置的結構進行詳細說明。

<基板>

作為基板 100，採用絕緣基板、半導體基板、金屬基板等。另外，也可以採用表面有覆蓋絕緣材料的上述基板。此外，最好基板 100 具有能夠承受氧化物半導體層的加熱的程度的耐熱性。

絕緣基板有玻璃基板及石英基板等。另外，還可以使用包括聚醯亞胺、聚醯胺、聚乙烯基苯酚、苯並環丁烯樹脂、丙烯酸樹脂、環氧樹脂等有機材料的絕緣基板。當採用包括有機材料的絕緣基板時，需要選擇能夠承受製程中

最高溫度的絕緣基板。

半導體基板的典型的例子可舉出矽基板(矽晶圓)。矽基板的等級有多種，只要其表面在一定程度上較為平坦也可以使用廉價的基板。例如，純度 6N(99.9999%)至 7N(99.99999%)左右的矽基板。

作為金屬基板，典型的有鋁基板和銅基板。當使用這些金屬基板時，為了確保絕緣性，可以在其表面上形成絕緣層。由於金屬基板具有高導熱性，所以適用於發熱量大的功率 MOSFET 等的大電力用半導體裝置的基板。

<氧化物半導體層>

作為構成氧化物半導體層 104 的半導體材料的一個例子，可以舉出由 $\text{InMO}_3(\text{ZnO})_m (m > 0)$ 表示的材料。這裏，M 是指選自鎵(Ga)、鐵(Fe)、鎳(Ni)、錳(Mn)及鈷(Co)等中的其中之一種金屬元素或者多種金屬元素。例如，當選擇 Ga 作為 M 時，除只選擇 Ga 的情況之外，還包括選擇除 Ga 之外的上述金屬元素的情況，例如 Ga 和 Ni、或 Ga 和 Fe。另外，在上述氧化物半導體中，除了包含作為 M 的金屬元素之外，有時還包含作為雜質元素的 Fe、Ni 以及其他過渡金屬或該過渡金屬的氧化物。在本說明書等中，在上述氧化物半導體中，將作為 M 至少包含鎵的氧化物半導體稱為 In-Ga-Zn-O 類氧化物半導體。

作為上述 In-Ga-Zn-O 類氧化物半導體材料，在沒有電場時的電阻充分高而能夠充分地減小截止電流，並且由

於其能隙大(寬頻隙)，所以適用於功率 MOSFET 等的大電力用半導體裝置。

另外，作為構成氧化物半導體層 104 的半導體材料的其他的例子，例如可以舉出 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體材料等。

雖然氧化物半導體層 104(除去結晶區 106)最好為非晶結構，但是也可以為非晶結構中包含晶粒的結構或微晶結構等。另外，可以根據目標特性如耐壓等適當地設定氧化物半導體層的厚度。具體地，例如，可以設定為 100nm 至 10 μ m 左右。

結晶區 106 最好具有排列有晶粒的結構。例如，當使用 In-Ga-Zn-O 類氧化物半導體材料形成氧化物半導體層 104 時，結晶區 106 是 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒向預定的方向排列的區域。其中，當以使 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 結晶的 c 軸與基板平面(或氧化物半導體層表面)垂直的方式排列晶粒時，可以大幅度地提高半導體裝置的耐壓，所以是較佳的。即，與 c 軸方向相比，b 軸方向(或 a 軸方向)具有更高的耐壓。可以認為這是起因於 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的介電常數的各向異性。另外， $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 結晶以包括平行於 a 軸(a-axis)及 b 軸(b-axis)的層的疊層結構的方式構成。即， $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸是指垂直於構成 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 結晶的層的方向。

另外，在上述半導體裝置中，結晶區 106 不是必要構

成要素。當使用氧化物半導體材料能夠充分地確保耐壓時，可以不設置結晶區 106。

<絕緣層>

作為構成用作閘極絕緣層的絕緣層 110 的絕緣材料，可以從氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鋇等中選擇。另外，還可以使用這些材料的複合材料。絕緣層 110 既可以採用這些絕緣材料的層的單層結構，又可以採用疊層結構。另外，通常 MOSFET 是指由金屬-氧化物-半導體形成的場效應電晶體，但是公開的發明的半導體裝置所使用的絕緣層不限於氧化物。

另外，在本說明書等中，氧氮化物指的是在其組成上氧含量(原子數)大於氮含量的物質，例如氧氮化矽包含：50 atomic%以上且 70 atomic%以下的氧；0.5 atomic%以上且 15 atomic%以下的氮；25 atomic%以上且 35 atomic%以下的矽；以及 0.1 atomic%以上且 10 atomic%以下的氫。另外，氮氧化物指的是在其組成上氮含量(原子數)大於氧含量的物質，例如，氮氧化矽包含：5 atomic%以上且 30 atomic%以下的氧；20atomic%以上且 55 atomic%以下的氮；25 atomic%以上且 35 atomic%以下的矽；以及 10 atomic%以上且 25 atomic%以下的氫。但是，上述範圍是針對使用盧瑟福背散射分析(RBS)和氫前向散射分析(HFS)來執行測量的情況的範圍。此外，構成元素的含有比率的總計不超過 100 atomic%。

<導電層>

例如，導電層 102 用作汲極電極，導電層 108 用作源極電極，導電層 116 用作閘極電極。導電層 112 及導電層 114 用作與外部佈線等電連接的端子，但其不是必要構成要素。

作為構成上述導電層的導電材料，可以從鋁、銅、鈾、鈦、鉻、鉭、鎢、鈹或鈦之類的金屬材料、以這些金屬材料為主要組分的合金材料或以些金屬材料為組分的氮化物等中選擇。另外，還可以採用氧化銮、氧化銮氧化錫合金、氧化銮氧化鋅合金、氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎳等的具有透光性的氧化物導電材料等。導電層既可以採用這些導電材料的層的單層結構，又可以採用疊層結構。

用作源極電極的導電層 108 接觸於氧化物半導體層 104 的上方，用作汲極電極的導電層 102 接觸於氧化物半導體層 104 的下方。另外，用作閘極電極的導電層 116 設置在絕緣層 110 上並使氧化物半導體層 104 中產生電場。

另外，區分源極電極及汲極電極只不過是為了方便而已，構成半導體裝置的各構成要素的功能不應被解釋為僅限於上述稱呼。這是由於源極電極及汲極電極的功能有時根據半導體裝置的操作而調換。

下面，對根據本實施例模式的半導體裝置的操作進行簡單的說明。

<半導體裝置的操作>

在將電子作為載子的 n 型半導體裝置中，當正常操作時，用作源極電極的導電層 108 被施加負偏壓，用作汲極電極的導電層 102 被施加正電壓。

用作源極電極的導電層 108 與用作汲極電極的導電層 102 之間夾有充分厚度的氧化物半導體層 104。另外，氧化物半導體層 104 由寬頻隙且沒有電場時的電阻充分高的氧化物半導體材料構成。所以，在導電層 108 被施加負偏壓而導電層 102 被施加正偏壓的狀態下，當不對用作閘極電極的導電層 116 施加偏壓時，或者施加負偏壓時，僅有極微的電流流過。

當對用作閘極電極的導電層 116 施加正偏壓時，氧化物半導體層 104 與重疊於導電層 116 的區域的絕緣層 110 的介面附近產生負電荷(電子)而形成通道。由此，用作源極電極的導電層 108 與用作汲極電極的導電層 102 之間流過電流。

在所公開的發明的一個實施例中，由於作為半導體材料使用氧化物半導體，因此可以提高半導體裝置的耐壓(汲極電極耐壓等)。這是由於氧化物半導體的能隙比一般的半導體材料的能隙大的緣故。

另外，藉由具有晶粒朝預定方向排列的結晶區 106，可以進一步地提高半導體裝置的耐壓。例如，當使用 In-Ga-Zn-O 類的氧化物半導體材料作為氧化物半導體層 104 時，藉由

以使 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸與基板平面(或氧化物半導體層表面)垂直的方式排列晶粒，可以提高半導體裝置的耐壓。

<製造製程>

使用圖 2A 至 2E 對圖 1A 和 1B 所示的半導體裝置的製造製程進行說明。

首先，在基板 100 上形成導電層 102(參照圖 2A)。至於基板 100 的詳細可以參照前述<基板>一項。

藉由利用濺射法或真空蒸鍍等方法在基板 100 上形成前述<導電層>一項所示的含有導電材料的導電膜，然後藉由使用由光微影法形成的抗蝕劑掩罩的蝕刻處理去除不需要的部分來形成導電層 102。蝕刻處理既可以採用濕處理也可以採用乾處理。另外，爲了提高形成在導電層 102 上的各構成要素的覆蓋性，最好以導電層 102 的側面與導電層 102 的底面的夾角成爲銳角的方式進行該蝕刻處理。

當導電層 102 採用由低電阻導電材料如鋁或銅等構成的層和由高熔點導電材料如鉬、鈦、鉻、鉭、鎢、釷、鈳等構成的層的疊層結構時，可以兼具導電性及耐熱性，所以是較佳的。例如，可以使用鋁和鉬的兩層結構、銅和鉬的兩層結構、銅和氮化鈦的兩層結構、銅和氮化鉭的兩層結構、氮化鈦和鉬的兩層結構等。另外，還可以採用以鎢、氮化鎢、氮化鈦、鈦等夾著鋁、鋁和矽的合金、鋁和鈦的合金、鋁和釷的合金等的三層結構。

接著，覆蓋導電層 102 形成含有結晶區 106 的氧化物

半導體層 104(參照圖 2B)。另外，也可以形成不具有結晶區 106 的氧化物半導體層 104。

氧化物半導體層 104 使用前述<氧化物半導體層>一項所示的氧化物半導體材料形成。另外，還可以利用在以氬為代表的稀有氣體氛圍下、氧氛圍下、稀有氣體及氧的混合氛圍下的濺射法等形成氧化物半導體層 104。在濺射法中，藉由使用含有 2wt%以上且 10wt%以下的 SiO_2 的靶材，使氧化物半導體層 104 中含有 SiO_x ($X>0$) 而可以抑制氧化物半導體層 104 被氧化。該方法在想獲得非晶結構的氧化物半導體層 104 時是有效的。

例如，透過使用含有 In、Ga 及 Zn 的用來形成氧化物半導體膜的靶材(如具有組成比為 In : Ga : Zn=1 : 1 : 0.5[atom%]、In : Ga : Zn=1 : 1 : 1[atom%]、In : Ga : Zn=1 : 1 : 2[atom%]的靶材等)，並將基板和靶材之間的距離設定為 100mm，將壓力設定為 0.6Pa，將直流電力設定為 0.5kW，並在氧氛圍(氧流量比率 100%)下，可以形成 In-Ga-Zn-O 類的非晶氧化物半導體層作為氧化物半導體層 104。另外，當作為電源使用脈衝直流電源時，可以減少膜形成期間的塵屑並使膜厚度分佈均勻，所以是較佳的。

至於氧化物半導體層 104 的厚度，如上述<氧化物半導體層>一項中說明的那樣，可以根據目標的特性如耐壓等適當地進行設定。例如，可以設定為 100nm 至 10 μm 左右。

結晶區 106 是藉由形成氧化物半導體層 104 之後的熱

處理而形成的。另外，藉由該熱處理，氧化物半導體層 104 中的 H_2 、 H 、 OH 等脫離，所以也可以將該加熱處理稱為脫水化處理或脫氫化處理。

在上述熱處理中，可以採用使用高溫的惰性氣體(氮或稀有氣體等)的 RTA(快速熱退火)處理。此時，最好將熱處理的溫度設定為 $500^{\circ}C$ 以上。雖然不對熱處理溫度的上限進行限定，但是應在基板 100 的耐熱溫度範圍內。另外，最好將熱處理的時間設定為 1 分鐘以上 10 分鐘以下。例如，可以在 $650^{\circ}C$ 下進行 3 分鐘至 6 分鐘的 RTA 處理。藉由使用上述那樣的 RTA 處理，可以在短時間內進行熱處理，所以可以降低加熱對基板 100 的影響。即，與長時間進行熱處理的情況相比，可以提高熱處理溫度的上限。另外，該熱處理不限於在上述時序進行，也可以在其他的製程前後等進行。另外，該熱處理不限於一次，也可以進行多次。

另外，在上述熱處理中，最好處理氛圍中不含有氫(含有水)等。例如，將引入熱處理裝置的惰性氣體的純度設定為 6N(99.9999%，即，雜質濃度為 1ppm 以下)以上，最好為 7N(99.99999%，即，雜質濃度為 0.1ppm 以下)以上。

藉由上述熱處理氧化物半導體層 104 的表層部被晶化而形成具有排列有晶粒的結構的結晶區 106。氧化物半導體層 104 的其他的區域成為非晶結構、非晶與微晶混合的結構和微晶結構中的任何一種。另外，結晶區 106 是氧化

物半導體層 104 的一部分，氧化物半導體層 104 包括結晶區 106。

另外，在上述熱處理之後，不使氧化物半導體層 104 中混入氫(也包括水)是十分重要的。為此，要求至少在熱處理及其後的降溫過程中不使其暴露於大氣。例如，可以藉由在同一氛圍下進行熱處理及其後的降溫過程可以實現上述要求。當然，也可以使降溫過程的氛圍與熱處理的氛圍不同。此時，例如可以將降溫過程的氛圍設定為氧氛圍、 N_2O 氛圍、超乾燥空氣(露點為 $-40^\circ C$ 以下，最好為 $-60^\circ C$ 以下)等氛圍。

接著，在氧化物半導體層 104 上的不重疊於導電層 102 的區域中形成導電層 108(參照圖 2C)。

導電層 108 可以與導電層 102 同樣地形成。即，在利用濺射法或真空蒸鍍法等方法形成導電膜之後，藉由使用抗蝕劑掩罩的蝕刻處理去除不需要的部分形成導電層 108。蝕刻處理既可以使用濕處理也可使用乾處理，但是當在氧化物半導體層 104 的表層部中形成有結晶區 106 時，有必要確保該結晶區 106 不被蝕刻處理蝕刻。

例如，當使用鈦等的導電材料形成導電層 108 時，可以應用將過氧化氫溶液或加熱鹽酸用作蝕刻劑的濕蝕刻。像這樣，藉由在與氧化物半導體材料相比構成導電層 108 的導電材料的蝕刻選擇比充分高的條件下進行蝕刻處理，可以使表層部的結晶區 106 殘留下來。

接著，覆蓋氧化物半導體層 104 以及導電層 108 地形

成絕緣層 110(參照圖 2D)。

絕緣層 110 可以使用上述<絕緣層>一項所示的絕緣材料等來形成。作為形成方法，有 CVD 法(包括電漿 CVD 法)、濺射法等。另外，絕緣層 110 的厚度可以根據半導體裝置的特性適當地設定，但是最好將其設定為 10nm 以上且 1 μ m 以下。

然後，選擇性地去除絕緣層 110 來形成到達導電層 102 或導電層 108 的開口，然後，形成電連接到導電層 108 的導電層 112、電連接到導電層 102 的導電層 114 以及導電層 116(參照圖 2E)。

可以藉由使用抗蝕劑掩罩的蝕刻處理來去除絕緣層 110。蝕刻處理既可以使用濕處理也可以使用乾處理。

可以與其他的導電層等同樣地形成導電層 112、導電層 114 以及導電層 116。即，在利用濺射法或真空蒸鍍等方法形成導電膜之後，藉由使用抗蝕劑掩罩的蝕刻處理去除不需要的部分形成導電層 112、導電層 114 及導電層 116。蝕刻處理既可以使用濕處理也可使用乾處理。

藉由上述方法，可以製造所謂的被稱為功率 MOSFET 的半導體裝置。如本實施例模式所示那樣，藉由使用氧化物半導體材料作為半導體層可以使半導體裝置的耐壓等得到提高。尤其是藉由使用具有結晶區的氧化物半導體層，可以使半導體裝置的耐壓得到進一步的提高。另外，由於氧化物半導體層利用濺射法等生產率高的方法而形成，所以可以提高半導體裝置的生產率並抑制製造成本。

本實施例模式所示的結構、方法等可以與其他的實施例模式適當地組合而實施。

實施例模式 2

在本實施例模式中，參照圖 3A 和 3B 及圖 4A 至 4E 對半導體裝置及其製造方法的其他的一個例子進行說明。另外，本實施例模式中所說明的半導體裝置很多方面都與之前的實施例模式中的半導體裝置相同。所以，省略對相同的部分的說明而主要對其不同點進行說明。

<半導體裝置的概略>

圖 3A 和 3B 示出半導體裝置的結構的另一個例子。圖 3A 相當於截面圖，圖 3B 相當於平面圖。另外，圖 3A 對應於沿著圖 3B 的 C-D 線的截面。

圖 3A 和 3B 所示的半導體裝置的構成要素與圖 1A 和 1B 所示的半導體裝置相同。也就是說，圖 3A 和 3B 所示的半導體裝置包括：基板 100；用作源極電極或汲極電極中的一方的導電層 102；氧化物半導體層 124；氧化物半導體層 124 中的結晶區 126；用作源極電極或汲極電極中的另一方的導電層 108；用作閘極絕緣層的絕緣層 110；電連接到導電層 108 的導電層 112；電連接到導電層 102 的導電層 114；以及用作閘極電極的導電層 116 等。

圖 3A 和 3B 與圖 1A 和 1B 所示的半導體裝置的不同之處在於對氧化物半導體層 104 進行了構圖。當採用該結

構時也可以與圖 1A 和 1B 所示的半導體裝置進行同樣的操作並獲得同樣的效果。

<製造製程>

半導體裝置的製造製程與圖 2A 至 2E 所示的製造製程基本相同。下面，參照圖 4A 至 4E 進行簡單的說明。

首先，在基板 100 上形成導電層 102(參照圖 4A)。至於詳細內容可以參照之前的實施例模式。

接著，覆蓋導電層 102 的一部分形成含有結晶區 126 的氧化物半導體層 124(參照圖 4B)。雖然氧化物半導體層 124 的形成方法與之前的實施例模式相同，但是本實施例模式中的氧化物半導體層 124 以覆蓋導電層 102 的一部分的方式而形成，在這一點上與之前的實施例模式中的氧化物半導體層 104 不同。

本實施例模式中的氧化物半導體層 124 是藉由根據之前的實施例模式所示的方法等形成氧化物半導體層 104(包括結晶區 106)之後對該氧化物半導體層 104 進行構圖而形成的。可以利用使用抗蝕劑掩罩的蝕刻處理來進行構圖。蝕刻處理既可以使用濕蝕刻也可以使用乾蝕刻，最好以使結晶區 126 殘留的方式來進行。

接著，在氧化物半導體層 124 上的不重疊於導電層 102 的區域中形成導電層 108(參照圖 4C)。至於詳細內容可以參照之前的實施例模式。

接著，覆蓋氧化物半導體層 124 及導電層 108 形成絕

緣層 110(參照圖 4D)。至於絕緣層 110 的詳細內容可以參照之前的實施例模式。

然後，選擇性地去除絕緣層 110 來形成到達導電層 102 或導電層 108 的開口，然後，形成電連接到導電層 108 的導電層 112、電連接到導電層 102 的導電層 114 以及導電層 116(參照圖 4E)。至於詳細內容，可以參照之前的實施例模式。

藉由上述方法，可以製造所謂的被稱為功率 MOSFET 的半導體裝置。本實施例模式所示的結構、方法等可以與其他的實施例模式適當地組合而實施。

實施例模式 3

在本實施例模式中，參照圖 5A 和 5B 及圖 6A 至 6D 對半導體裝置及其製造方法的其他的一個例子進行說明。另外，本實施例模式中所說明的半導體裝置很多方面都與之前的實施例模式中的半導體裝置相同。所以，省略對相同的部分的說明而主要對其不同點進行說明。

<半導體裝置的概略>

圖 5A 和 5B 示出半導體裝置的結構的另一個例子。圖 5A 相當於截面圖，圖 5B 相當於平面圖。另外，圖 5A 對應於沿著圖 5B 的 E-F 線的截面。

圖 5A 和 5B 所示的半導體裝置相當於使用導電層 109 替代之前的實施例模式所示的半導體裝置中的導電層 102

的半導體裝置。即，圖 5A 和 5B 所示的半導體裝置包括：基板 100；氧化物半導體層 104；氧化物半導體層 104 中的結晶區 106；用作源極電極或汲極電極中的一方的導電層 109；用作源極電極或汲極電極中的另一方的導電層 108；用作閘極絕緣層的絕緣層 110；電連接到導電層 108 的導電層 112；電連接到導電層 109 的導電層 114；以及用作閘極電極的導電層 116 等。

導電層 109 與導電層 108 使用同一層形成。藉由使用導電層 109 替代導電層 102，使所有的導電層都設置在氧化物半導體層 104 上。另外，由此可以提高氧化物半導體層 104 表面的平坦性。

當採用該結構時，半導體裝置與之前的實施例模式中所示的半導體裝置不同，只有氧化物半導體層 104 的表層部，即，結晶區 106 中有載子流過。本實施例模式所示的半導體裝置，藉由具有晶粒朝預定方向排列的結晶區 106，可以進一步地提高半導體裝置的耐壓。例如，當使用 In-Ga-Zn-O 類的氧化物半導體材料作為氧化物半導體層 104 時，藉由以使 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸與基板平面(或氧化物半導體層表面)垂直的方式排列晶粒，半導體裝置中的電流方向成為 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 b 軸的方向(或 a 軸的方向)。由此，由結晶區 106 帶來的半導體裝置耐壓的提高效果更為顯著。

<製造製程>

至於製造製程，除了不形成導電層 102 以及使用與導電層 108 相同的製程形成導電層 109 之外都與圖 2A 至 2E 及圖 4A 至 4E 所示的製程相同。下面，參照圖 6A 至 6D 進行簡單的說明。

首先，在基板 100 上形成氧化物半導體層 104(參照圖 6A)。至於氧化物半導體層 104 的形成等的詳細內容可以參照之前的實施例模式。

接著，在氧化物半導體層 104 上形成導電層 108 及導電層 109(參照圖 6B)。可以與導電層 108 同樣地形成導電層 109。這裏，應該注意的是以互相分離的狀態形成導電層 108 及導電層 109。至於導電層 108 的形成等的詳細內容可以參照之前的實施例模式。

接著，覆蓋氧化物半導體層 104、導電層 108 以及導電層 109 形成絕緣層 110(參照圖 6C)。至於絕緣層 110 的詳細內容可以參照之前的實施例模式。

然後，選擇性地去掉絕緣層 110 來形成到達導電層 108 或導電層 109 的開口，然後，形成電連接到導電層 108 的導電層 112、電連接到導電層 109 的導電層 114 以及導電層 116(參照圖 6D)。至於詳細內容，可以參照之前的實施例模式。

藉由上述方法，可以製造所謂的被稱為功率 MOSFET 的半導體裝置。本實施例模式所示的結構、方法等可以與其他的實施例模式適當地組合而實施。

實施例模式 4

在本實施例模式中，參照圖 7A 至 7C 及圖 8A 和 8B 對在同一基板上使用同樣的製程製造所謂的功率 MOSFET 和薄膜電晶體的方法的一個例子進行說明。另外，下面，作為功率 MOSFET，舉出形成圖 1A 和 1B 所示的半導體裝置時的例子進行說明。

本實施例模式所述的半導體裝置的製造製程相當於在圖 2A 至 2E 所示的製造製程的基礎上附加了薄膜電晶體的製造製程。所以，基本的製造製程與圖 2A 至 2E 所示的製造製程相同。另外，通常功率 MOSFET 和薄膜電晶體所要求的特性不同，所以最好根據要求來適當地設定其尺寸等。關於這一點，雖然在圖 7A 至 7C 及圖 8A 和 8B 中功率 MOSFET 和薄膜電晶體使用基本相同的大小表示，但這是為了便於理解而不是用來規定其實際的大小。

首先，在基板 100 上形成導電層 102(參照圖 7A)。至於詳細內容可以參照之前的實施例模式。

接著，覆蓋導電層 102 形成含有結晶區 106 的氧化物半導體層 104，並形成作為薄膜電晶體的構成要素的含有結晶區 206 的氧化物半導體層 204(參照圖 7B)。至於氧化物半導體層 104 及氧化物半導體層 204 是藉由根據之前的實施例模式所示的方法等形成氧化物半導體層(含有結晶區)，然後對該氧化物半導體層進行構圖而形成的。可以利用使用抗蝕劑掩罩的蝕刻處理來進行構圖。作為蝕刻處理，既可以使用濕蝕刻也可以使用乾蝕刻，但是最好以使

結晶區殘留的方式來進行。

接著，在氧化物半導體層 104 上的不與導電層 102 重疊的區域中形成導電層 108，並在氧化物半導體層 204 上形成導電層 208 及導電層 209(參照圖 7C)。這裏，導電層 208 用作薄膜電晶體的源極電極或汲極電極中的一方，導電層 209 用作薄膜電晶體的源極電極或汲極電極中的另一方。導電層 208 及導電層 209 的製造製程與導電層 108 的製造製程相同。至於導電層 108 的製造製程的詳細內容可以參照之前的實施例模式。

接著，覆蓋氧化物半導體層 104、導電層 108、氧化物半導體層 204、導電層 208 及導電層 209 形成絕緣層 110(參照圖 8A)。絕緣層 110 用作薄膜電晶體的閘極絕緣層。至於絕緣層 110 的製造製程的詳細內容可以參照之前的實施例模式。

然後，選擇性地去除絕緣層 110 以形成到達導電層 102、導電層 108、導電層 208 或導電層 209 的開口，然後，形成電連接到導電層 108 的導電層 112、電連接到導電層 102 的導電層 114、導電層 116、電連接到導電層 208 的導電層 212、電連接到導電層 209 的導電層 214 以及導電層 216(參照圖 8B)。導電層 212、導電層 214 及導電層 216 的製造製程與導電層 112、導電層 114 及導電層 116 的製造製程相同。至於詳細內容可以參照之前的實施例模式。

根據以上製程可以使用同樣的製程在同一基板上製造

功率 MOSFET 及薄膜電晶體。

根據本實施例模式所示的方法等可以使用同樣的製程在同一基板上製造功率 MOSFET 及薄膜電晶體。由此，可以將各種積體電路及電源電路形成在同一基板上。

另外，在本實施例模式中，雖然示出使用同一製程形成功率 MOSFET 的氧化物半導體層 104 及薄膜電晶體的氧化物半導體層 204 的情況，但是有時功率 MOSFET 及薄膜電晶體所要求的氧化物半導體層的厚度不同。所以，也可以使用不同的製程分別形成氧化物半導體層 104 和氧化物半導體層 204。明確而言，可以採用以下方法：將氧化物半導體層的製造製程分為兩個步驟，在第一步驟中製造氧化物半導體層 104 或氧化物半導體層 204 中的一方，在第二步驟中製造氧化物半導體層 104 或氧化物半導體層 204 中的另一方；或者，藉由蝕刻處理等使較厚的氧化物半導體層選擇性地變薄來製造氧化物半導體層 104 及氧化物半導體層 204。

絕緣層 110 也與氧化物半導體層 104 和氧化物半導體層 204 同樣，也可以根據功率 MOSFET 和薄膜電晶體而分別形成厚度不同的絕緣層。明確而言，可以採用以下方法：將絕緣層的製造製程分為兩個步驟，在第一步驟中製造氧化物半導體層 104 上的絕緣層或氧化物半導體層 204 上的絕緣層中的一方，在第二步驟中製造氧化物半導體層 104 上的絕緣層或氧化物半導體層 204 上的絕緣層中的另一方；或者，藉由蝕刻處理等使較厚的絕緣層選擇性地變

薄來製造氧化物半導體層 104 上的絕緣層及氧化物半導體層 204 上的絕緣層。

本實施例模式所示的結構、方法等可以與其他的實施例模式適當地組合而實施。

實施例模式 5

在本實施例模式中，參照圖 9 及圖 10A 至 10C 對使用根據所公開的發明的半導體裝置的電路的一個例子進行說明。另外，下面對電源電路(電源轉換電路等)的一個例子的 DC-DC 轉換器進行說明。

DC-DC 轉換器是將直流電壓轉換為其他的直流電壓的電路。作為 DC-DC 轉換器的轉換方式，典型的有線性方式(linear method)及開關方式(switching method)。由於開關方式的 DC-DC 轉換器具有優良的轉換效率，有利於電子裝置的低耗電量化。這裏，對開關方式尤其對截波方式(chopper method)的 DC-DC 轉換器進行說明。

圖 9 所示的 DC-DC 轉換器包括電源 300、參考電壓生成電路 302、參考電流生成電路 304、誤差放大器 306、PWM 緩衝器 308、三角波發生電路 310、線圈 312、功率 MOSFET 314、二極體 316、電容器 318、電阻器 320、電阻器 322 等。另外，這裏，作為功率 MOSFET 314 使用 n 型的功率 MOSFET。

參考電壓生成電路 302 生成各種參考電壓(V_{ref})。另外，參考電流生成電路 304 利用參考電壓生成電路 302 所

生成的參考電壓 (V_{ref}) 來生成參考電流 (I_{ref}) 及偏置電流。

誤差放大器 306 積分來自參照電壓生成電路 302 的參考電壓 (V_{ref}) 和回饋電壓 (V_{FB}) 的差，並將其輸出到 PWM 緩衝器 308。三角波發生電路 310 由參考電壓 (V_{ref}) 和參考電流 (I_{ref}) 生成三角波，並將其輸出到 PWM 緩衝器 308。

PWM 緩衝器 308 對誤差放大器 306 的輸出和三角波發生電路 310 的三角波進行比較，並對功率 MOSFET314 輸出脈衝信號。

當來自 PWM 緩衝器 308 的脈衝信號為高電位時，n 型功率 MOSFET314 變為導通狀態，二極體 316 的輸入一側的電位成為接地電位 (低電位)。由此，在脈衝信號為高電位的期間中，輸出電壓 (V_{OUT}) 逐漸減小。

另一方面，當來自 PWM 緩衝器 308 的脈衝信號為低電位時，n 型功率 MOSFET314 變為截止狀態，二極體 316 的輸入一側的電位上升。由此，在脈衝信號為低電位的期間中，輸出電壓 (V_{OUT}) 逐漸增大。

由於來自 PWM 緩衝器 308 的脈衝信號的上述輸出電壓 (V_{OUT}) 的變化微小，所以藉由採用 DC-DC 轉換器可以使輸出電壓基本保持恒定。

另外，在上述 DC-DC 轉換器中，設置線圈 312 以緩和起因於功率 MOSFET314 的開關的電流的變化。另外，設置電容器 318 以抑制輸出電壓 (V_{OUT}) 的急劇變化。並且，設置電阻器 320 及電阻器 322 以從輸出電壓 (V_{OUT}) 生成回饋電壓 (V_{FB})。

圖 10A 至 10C 示出構成 DC-DC 轉換器的電路的輸出波形的一個例子。

圖 10A 示出由三角波發生電路 310 輸出的三角波 350，圖 10B 示出誤差放大器 306 的輸出波形 352。

圖 10C 示出由 PWM 緩衝器 308 生成的脈衝信號 354。當三角波 350 及輸出波形 352 輸入到 PWM 緩衝器 308 時，PWM 緩衝器 308 對其進行比較，並生成脈衝信號 354。並且，該脈衝信號 354 輸出到功率 MOSFET 314，決定輸出電壓 (V_{OUT})。

如上所述，可以將根據所公開的發明的功率 MOSFET 用於 DC-DC 轉換器。由於根據所公開的發明的功率 MOSFET 的耐壓高，所以可以提高使用該功率 MOSFET 的 DC-DC 轉換器的可靠性。另外，根據所公開的發明的功率 MOSFET 可以抑制製造成本，所以也可以抑制使用該功率 MOSFET 的 DC-DC 轉換器的製造成本。如此，藉由採用使用根據所公開的發明的半導體裝置的電子電路具有以下優點：可以提高可靠性並降低製造成本等。

另外，本實施例模式中所示的 DC-DC 轉換器只不過是使用所公開的發明的半導體裝置的電源電路的一個例子而已，當然還可以將所公開的發明的半導體裝置用於其他的電路。本實施例模式所述的結構、方法等可以與其他的實施例模式適當地組合而實施。

實施例模式 6

在本實施例模式中，參照圖 11 對具有使用所公開的發明的半導體裝置構成的反相器的太陽能發電系統的一個例子進行說明。另外，這裏，示出設置在住宅等的太陽能發電系統的結構的一個例子。

圖 11 所示的住宅用太陽能發電系統根據太陽能發電的狀況改變電力的供給方式。例如，在晴天時等進行太陽能發電的情況下，使用太陽能發電產生的電力來供應家庭內的用電，並將剩餘的電力供給到電力公司的電網(electric grid)414。另一方面，當僅利用太陽能發電電力不足的夜間或雨天時，從電網 414 接受供電來供應家庭內的用電。

圖 11 所示的住宅用太陽能發電系統包括將太陽光轉換為電源(直流電源)的太陽能電池面板 400 以及將該電源由直流轉換為交流的反相器 404 等。使用由反相器 404 輸出的交流電源使各種電子設備 410 操作。

藉由電網 414 將剩餘的電力供給到家庭外。也就是說，可以利用該系統賣出電力。設置直流開關 402 以進行太陽能電池面板 400 與反相器 404 的連接或切斷。另外，設置交流開關 408 以進行連接於電網 414 的變壓器 412 與配電盤 406 的連接或切斷。

藉由將所公開的發明的半導體裝置用於上述反相器，可以實現可靠性高且廉價的太陽能發電系統。

本實施例模式所示的結構、方法等可以與其他的實施例模式適當地組合而實施。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明半導體裝置的結構的截面圖及平面圖；

圖 2A 至 2E 是說明半導體裝置的製造方法的截面圖；

圖 3A 和 3B 是說明半導體裝置的結構的截面圖及平面圖；

圖 4A 至 4E 是說明半導體裝置的製造方法的截面圖；

圖 5A 和 5B 是說明半導體裝置的結構的截面圖及平面圖；

圖 6A 至 6D 是說明半導體裝置的製造方法的截面圖；

圖 7A 至 7C 是說明半導體裝置的製造方法的截面圖；

圖 8A 和 8B 是說明半導體裝置的製造方法的截面圖；

圖 9 是示出 DC-DC 轉換器的結構的一個例子的圖；

圖 10A 至 10C 是示出構成 DC-DC 轉換器的電路的輸出波形的一個例子的圖；以及

圖 11 是示出具備反相器的太陽能發電系統的一個例子的圖。

【主要元件符號說明】

100：基板

102：導電層

104：氧化物半導體層

- 106 : 結晶區
- 108 : 導電層
- 109 : 導電層
- 110 : 絕緣層
- 112 : 導電層
- 114 : 導電層
- 116 : 導電層
- 204 : 氧化物半導體層
- 206 : 結晶區
- 208 : 導電層
- 209 : 導電層
- 212 : 導電層
- 214 : 導電層
- 216 : 導電層
- 300 : 電源
- 302 : 參考電壓生成電路
- 304 : 參考電流生成電路
- 306 : 誤差放大器
- 308 : PWM 緩衝器
- 310 : 三角波發生電路
- 312 : 線圈
- 314 : 功率 MOSFET
- 316 : 二極體
- 318 : 電容器

- 320 : 電阻器
- 322 : 電阻器
- 350 : 三角波
- 352 : 輸出波形
- 354 : 脈衝信號
- 400 : 太陽能電池面板
- 402 : 直流開關
- 404 : 反相器
- 406 : 配電盤
- 408 : 交流開關
- 410 : 電子設備
- 412 : 變壓器
- 414 : 電網

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099130884

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

※申請日：099年09月13日

※IPC分類：

H01L 21/36 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置，電源電路，和半導體裝置的製造方法

Semiconductor device, power circuit, and manufacturing method of semiconductor device

二、中文發明摘要：

一種半導體裝置，包含：基板上的第一導電層；覆蓋第一導電層的氧化物半導體層；氧化物半導體層上的不與第一導電層重疊的區域中的第二導電層；覆蓋氧化物半導體層及第二導電層的絕緣層；絕緣層上的包括至少不與第一導電層及第二導電層重疊的區域的區域中的第三導電層。

三、英文發明摘要：

The semiconductor device includes a first conductive layer over a substrate; an oxide semiconductor layer which covers the first conductive layer; a second conductive layer in a region which is not overlapped with the first conductive layer over the oxide semiconductor layer; an insulating layer which covers the oxide semiconductor layer and the second conductive layer; and a third conductive layer in a region including at least a region which is not overlapped with the first conductive layer or the second conductive layer over the insulating layer.

七、申請專利範圍：

1.一種半導體裝置，包含：

基板上的第一導電層；

該第一導電層上的氧化物半導體層；

該氧化物半導體層上的第二導電層，其中該第二導電層不與該第一導電層重疊；

該氧化物半導體層及該第二導電層上的絕緣層；以及

該絕緣層上的第三導電層，其中該第三導電層至少包含既不重疊於該第一導電層也不重疊於該第二導電層的第一部分。

2.如申請專利範圍第 1 項的半導體裝置，其中該第三導電層設置於該第一導電層與該第二導電層之間。

3.如申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層覆蓋該第一導電層。

4.如申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層設置以使該第一導電層的一部分不重疊於該氧化物半導體層。

5.如申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層包含銦、鎵及鋅。

6.如申請專利範圍第 1 項的半導體裝置，其中該第三導電層包含與該第二導電層重疊的第二部分。

7.如申請專利範圍第 1 項的半導體裝置，

其中該第一導電層用作源極電極和汲極電極中之一，

其中該第二導電層用作該源極電極和該汲極電極中的

另一個，以及

其中該第三導電層用作閘極電極。

8.如申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層包含結晶區在上表層部。

9.如申請專利範圍第 8 項的半導體裝置，其中該結晶區包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 結晶。

10.如申請專利範圍第 1 項的半導體裝置，其中該第二導電層被該第三導電層環繞。

11.一種電源電路，包含如申請專利範圍第 1 項的半導體裝置，其中該電源電路根據輸入到該第三導電層的脈衝信號，藉由切換該半導體裝置的導通狀態及截止狀態來改變輸出電壓。

12.一種半導體裝置，包含：

基板上的氧化物半導體層；

該氧化物半導體層上的第一導電層；

該氧化物半導體層上的第二導電層，其中該第二導電層不與該第一導電層重疊；

該氧化物半導體層、該第一導電層及該第二導電層上的絕緣層；以及

該絕緣層上的第三導電層，其中該第三導電層至少包含既不重疊於該第一導電層也不重疊於該第二導電層的第一部分。

13.如申請專利範圍第 12 項的半導體裝置，其中該第三導電層設置於該第一導電層與該第二導電層之間。

14.如申請專利範圍第 12 項的半導體裝置，其中該氧化物半導體層包含銮、鎵及鋅。

15.如申請專利範圍第 12 項的半導體裝置，其中該第三導電層包含與該第二導電層重疊的第二部分。

16.如申請專利範圍第 12 項的半導體裝置，其中該第一導電層用作源極電極和汲極電極中之一，其中該第二導電層用作該源極電極和該汲極電極中的另一個，以及

其中該第三導電層用作閘極電極。

17.如申請專利範圍第 12 項的半導體裝置，其中該氧化物半導體層包含結晶區在上表層部。

18.如申請專利範圍第 17 項的半導體裝置，其中該結晶區包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 結晶。

19.如申請專利範圍第 12 項的半導體裝置，其中該第一導電層和該第二導電層設置在同一面上。

20.如申請專利範圍第 12 項的半導體裝置，其中該第二導電層被該第三導電層環繞。

21.一種電源電路，包含如申請專利範圍第 12 項的半導體裝置，其中該電源電路根據輸入到該第三導電層的脈衝信號，藉由切換該半導體裝置的導通狀態及截止狀態來改變輸出電壓。

22.一種半導體裝置的製造方法，包含如下步驟：

在基板上形成第一導電層；

在該第一導電層上形成氧化物半導體層；

在該氧化物半導體層上以不與該第一導電層重疊的方式形成第二導電層；

在該氧化物半導體層及該第二導電層上形成絕緣層；
以及

在該絕緣層上形成至少包括既不與該第一導電層重疊也不與該第二導電層重疊的第一部分的第三導電層。

23.如申請專利範圍第 22 項的半導體裝置的製造方法，其中該第三導電層設置於該第一導電層和該第二導電層之間。

24.如申請專利範圍第 22 項的半導體裝置的製造方法，

還包含如下步驟：藉由加熱該氧化物半導體層而在該氧化物半導體層的上表層部形成結晶區，

其中該第二導電層形成在該結晶區之上。

25.如申請專利範圍第 24 項的半導體裝置的製造方法，其中藉由以 500℃ 或更高的溫度對該氧化物半導體層進行加熱來形成該結晶區。

26.如申請專利範圍第 22 項的半導體裝置的製造方法，其中該氧化物半導體層包含銮、鎳及鋅。

27.如申請專利範圍第 22 項的半導體裝置的製造方法，其中以包含重疊於該第二導電層的第二部分的方式形成該第三導電層。

28.如申請專利範圍第 22 項的半導體裝置的製造方法，其中以該第一導電層的一部分不重疊於該氧化物半導體

層的方式形成該氧化物半導體層。

29.如申請專利範圍第 22 項的半導體裝置的製造方法，其中該第三導電層以環繞該第二導電層的方式形成。

30.一種半導體裝置的製造方法，包含如下步驟：

在基板上形成氧化物半導體層；

在該氧化物半導體層上形成第一導電層；

在該氧化物半導體層上形成不與該第一導電層重疊的第二導電層；

在該氧化物半導體層、該第一導電層及該第二導電層上形成絕緣層；以及

在該絕緣層上形成至少包括既不與該第一導電層重疊也不與該第二導電層重疊的第一部分的第三導電層。

31.如申請專利範圍第 30 項的半導體裝置的製造方法，其中該第三導電層設置於該第一導電層和該第二導電層之間。

32.如申請專利範圍第 30 項的半導體裝置的製造方法

，
還包含如下步驟：藉由加熱該氧化物半導體層而在該氧化物半導體層的上表層部形成結晶區，

其中該第二導電層形成在該結晶區之上。

33.如申請專利範圍第 32 項的半導體裝置的製造方法，其中藉由以 500℃ 或更高的溫度對該氧化物半導體層進行加熱來形成該結晶區。

34.如申請專利範圍第 30 項的半導體裝置的製造方法

，其中該氧化物半導體層包含銦、鎵及鋅。

35.如申請專利範圍第 30 項的半導體裝置的製造方法，其中以包括重疊於該第二導電層的第二部分的方式形成該第三導電層。

36.如申請專利範圍第 30 項的半導體裝置的製造方法，其中該第一導電層和該第二導電層形成在同一面上。

37.如申請專利範圍第 30 項的半導體裝置的製造方法，其中該第三導電層以環繞該第二導電層的方式形成。

圖 1A

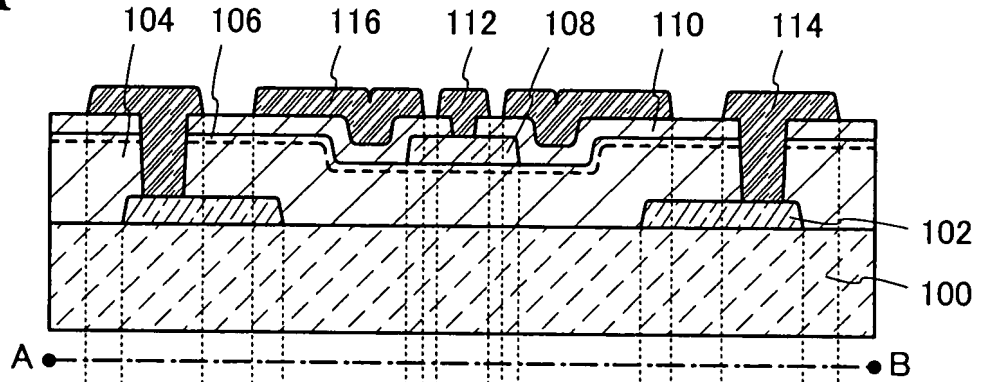


圖 1B

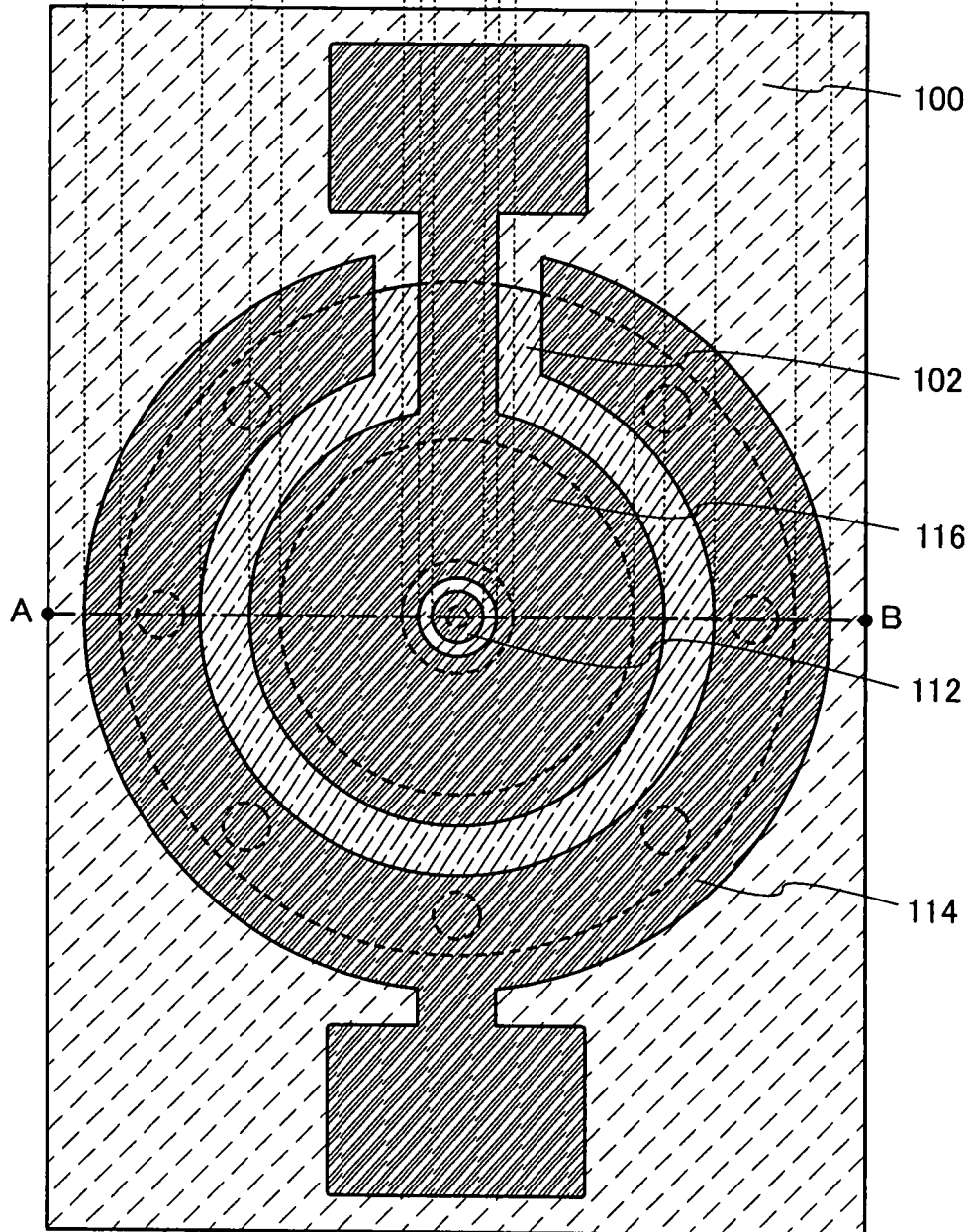


圖 2A

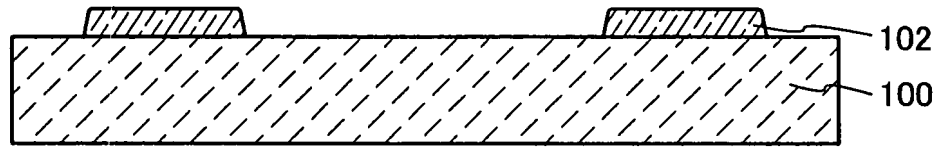


圖 2B

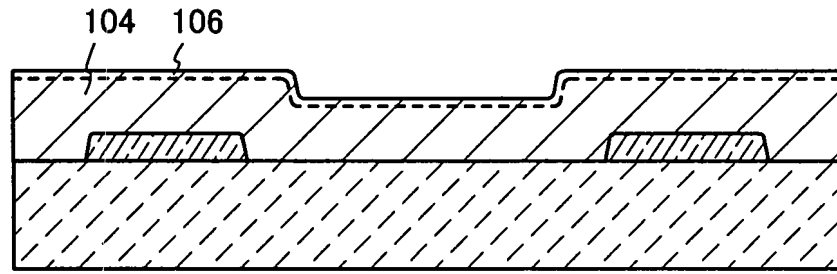


圖 2C

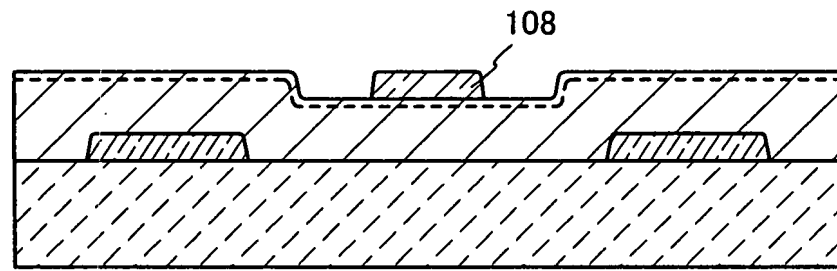


圖 2D

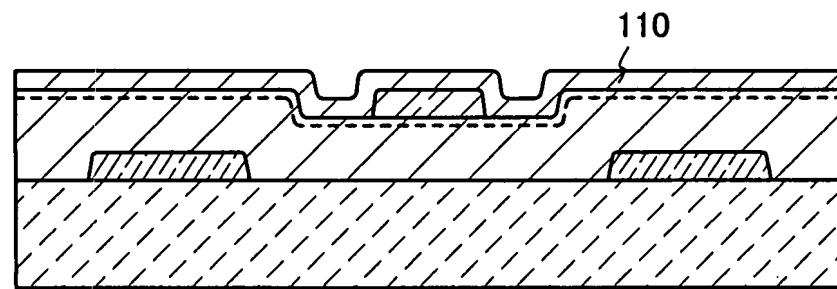


圖 2E

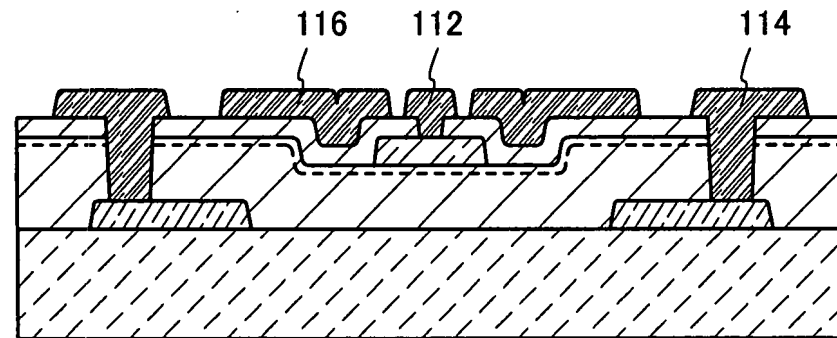


圖 3A

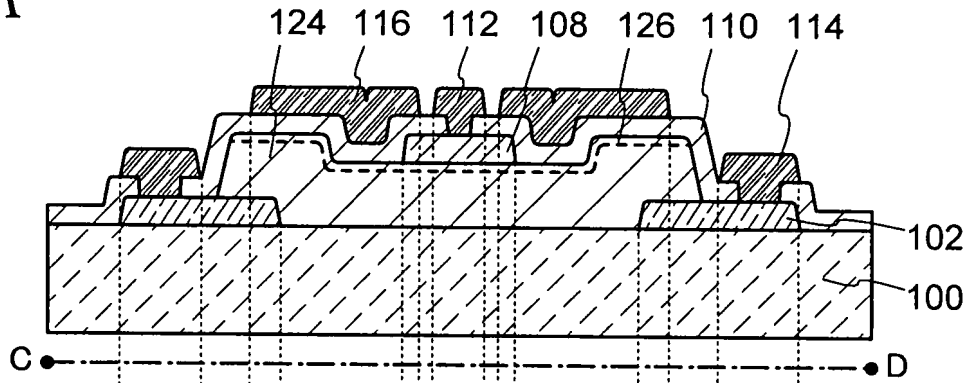


圖 3B

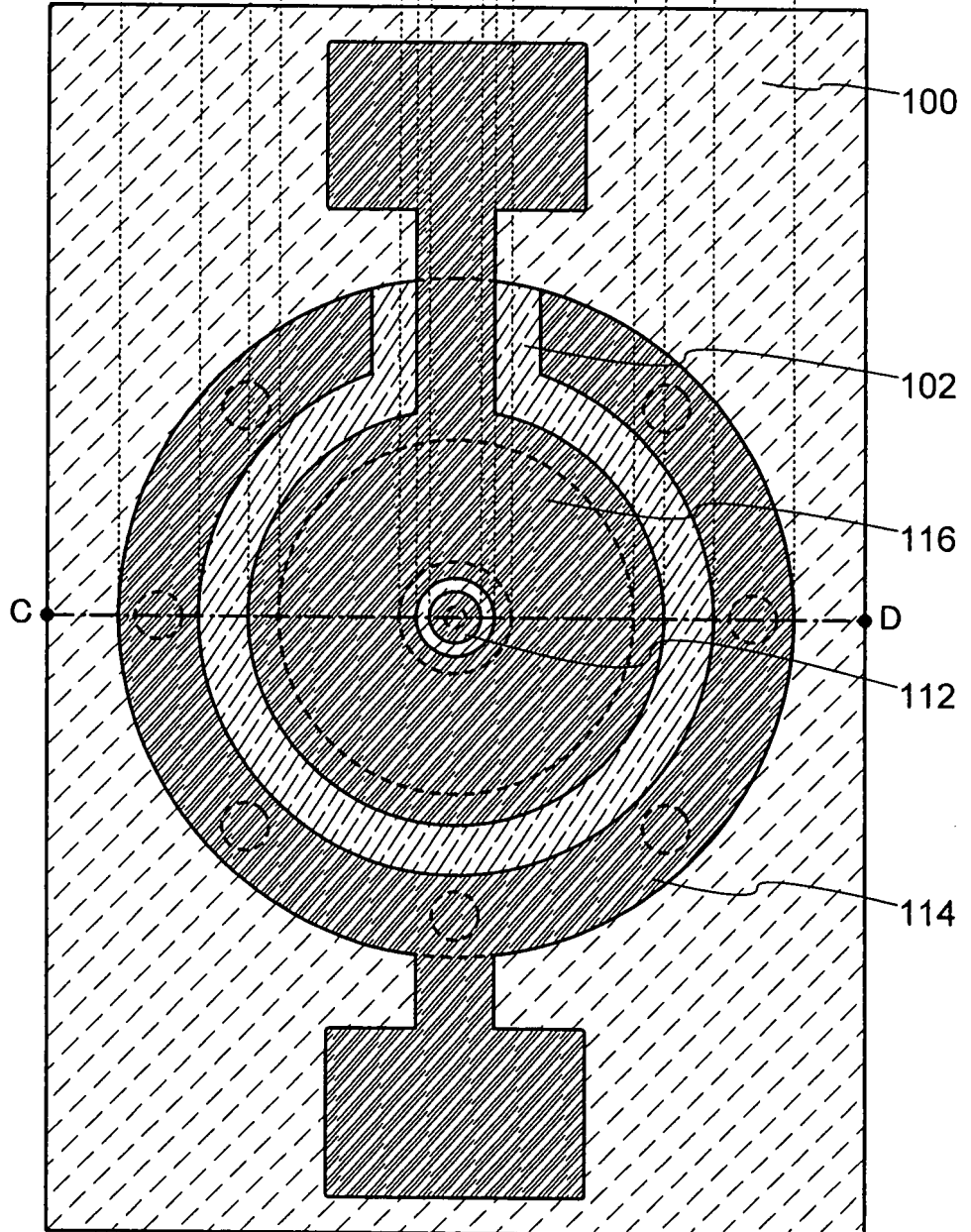


圖 4A

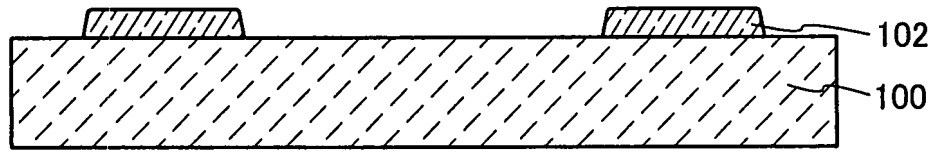


圖 4B

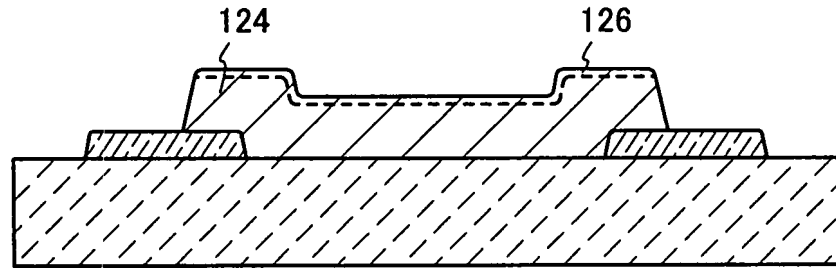


圖 4C

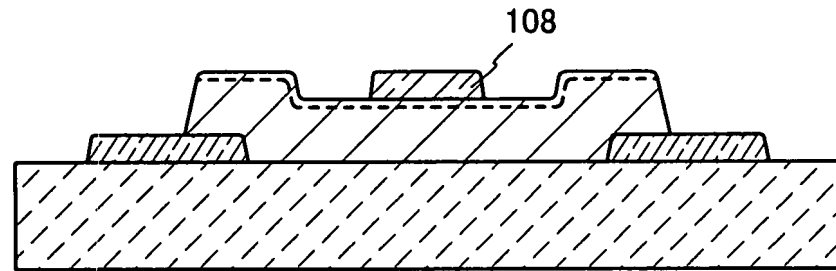


圖 4D

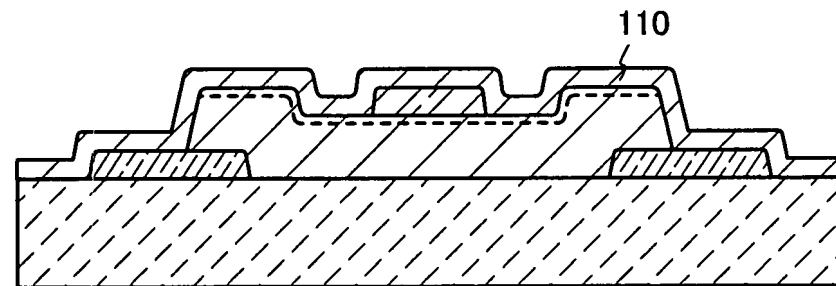


圖 4E

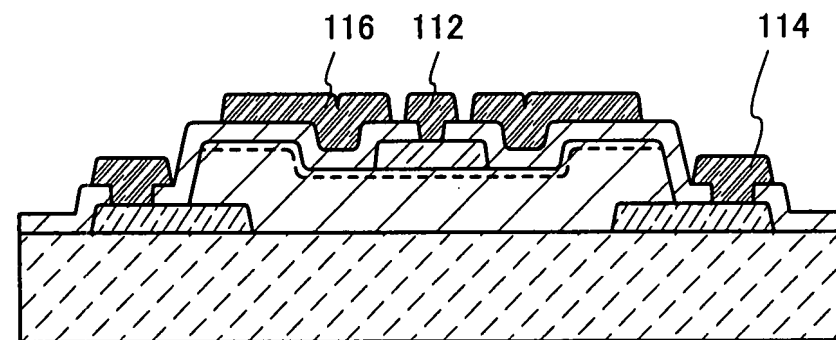


圖5A

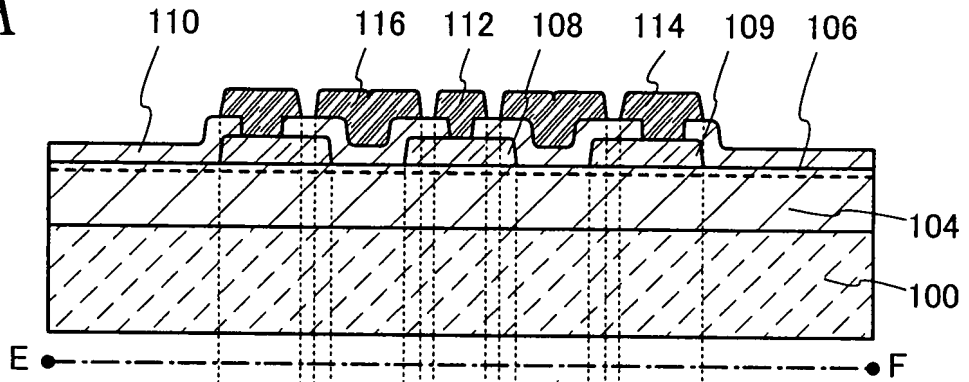


圖5B

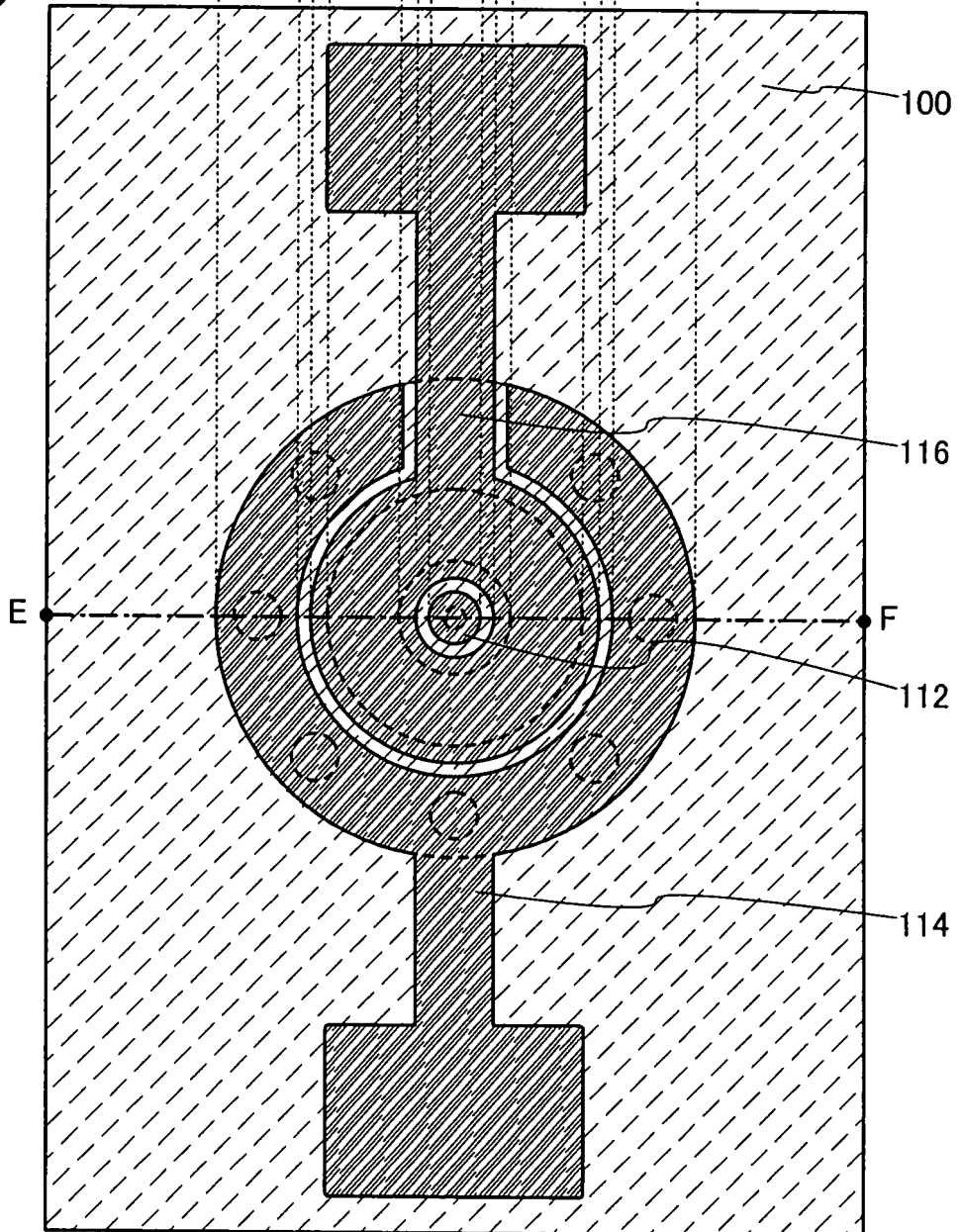


圖 6A

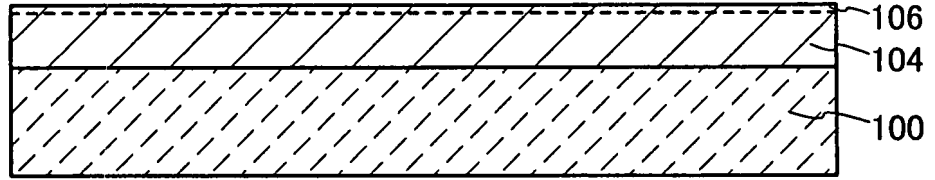


圖 6B

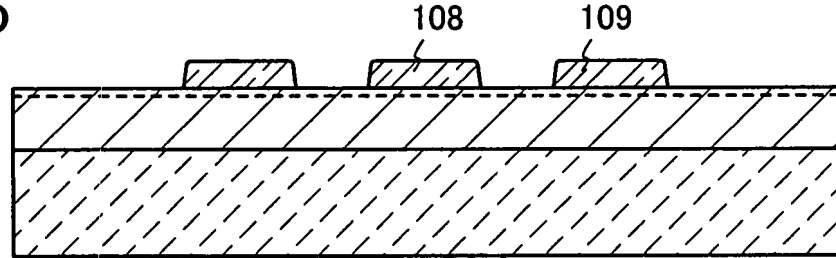


圖 6C

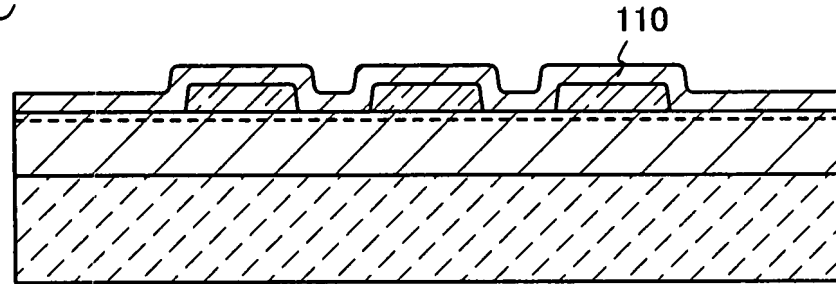


圖 6D

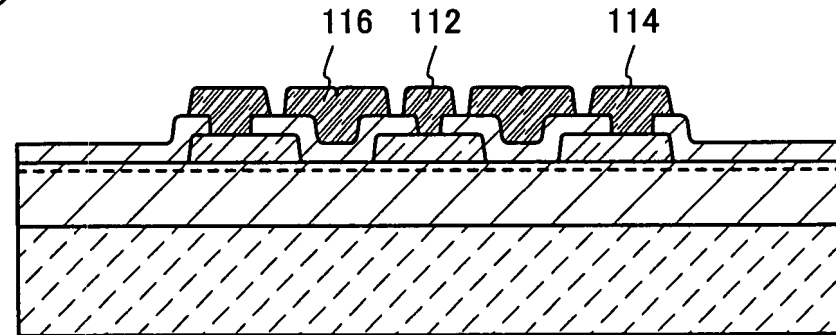


圖 7A

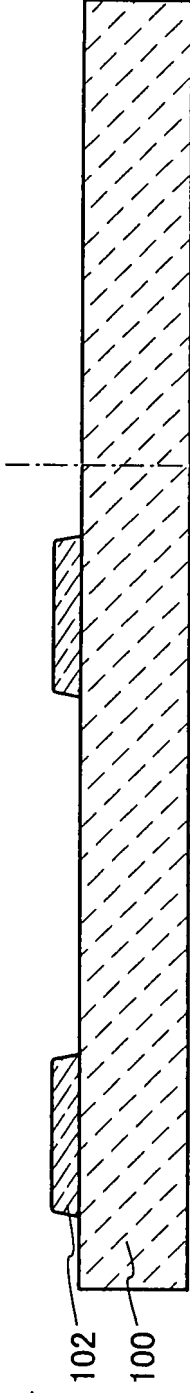


圖 7B

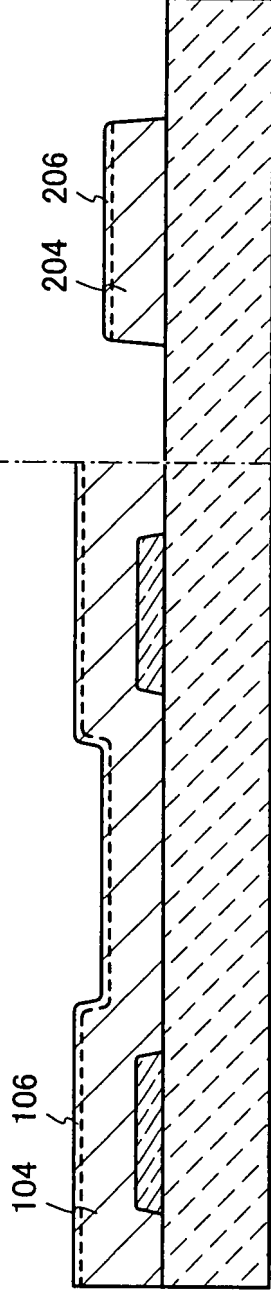


圖 7C

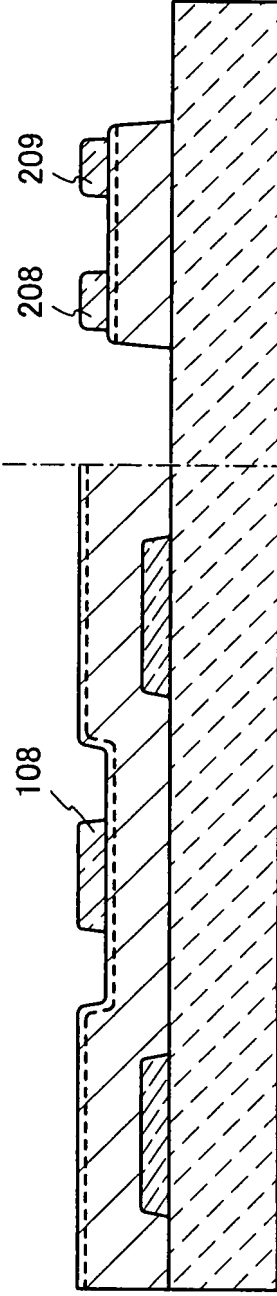


圖8A

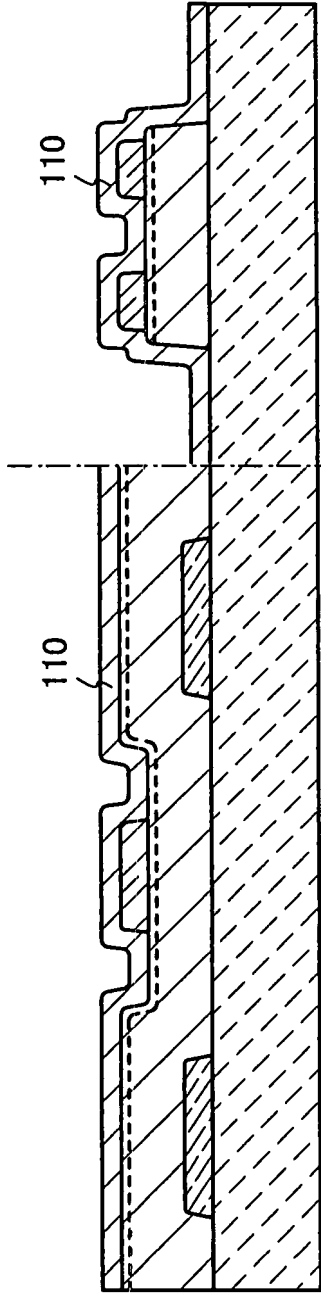


圖8B

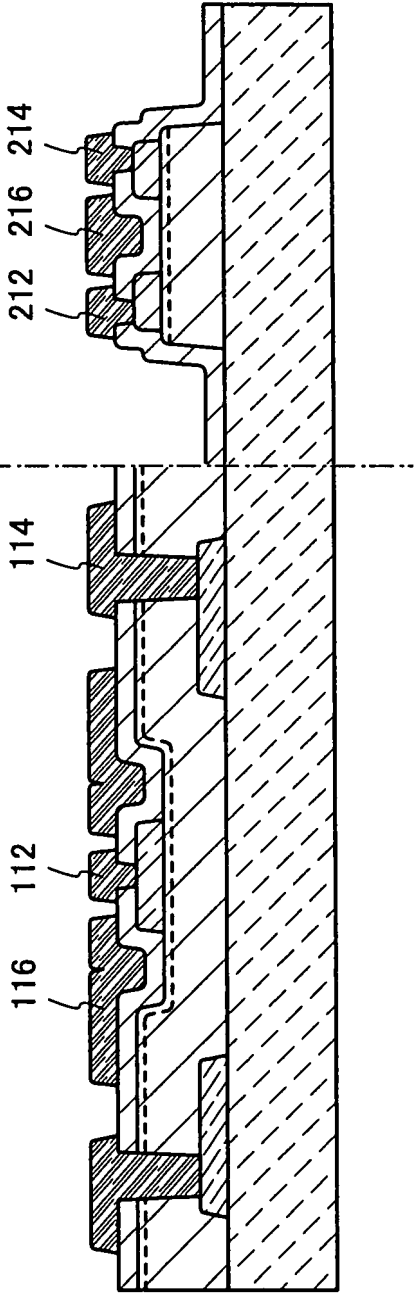


圖 9

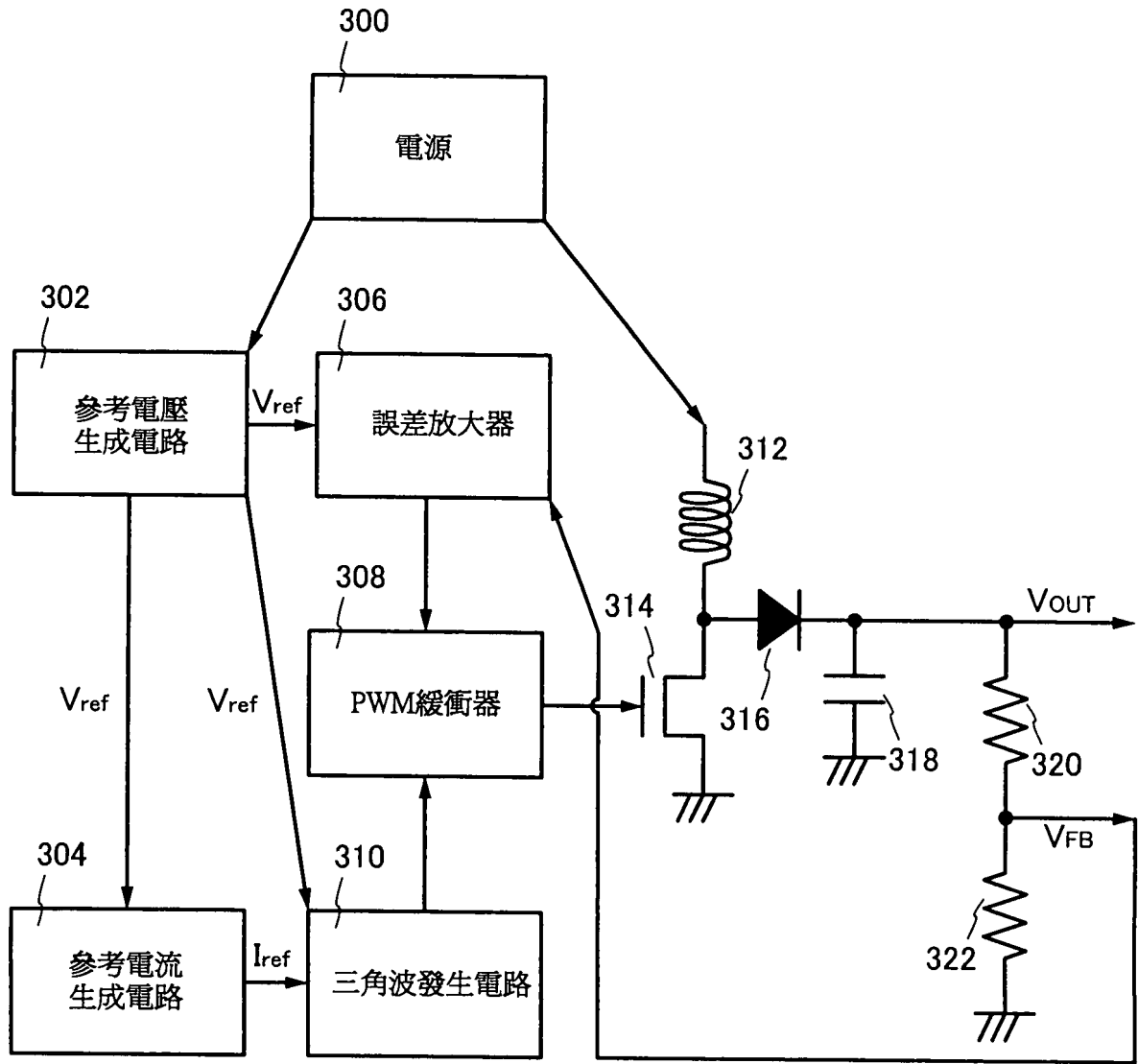


圖 10A

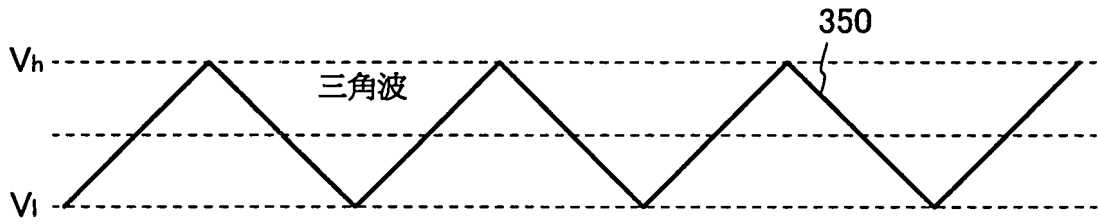


圖 10B

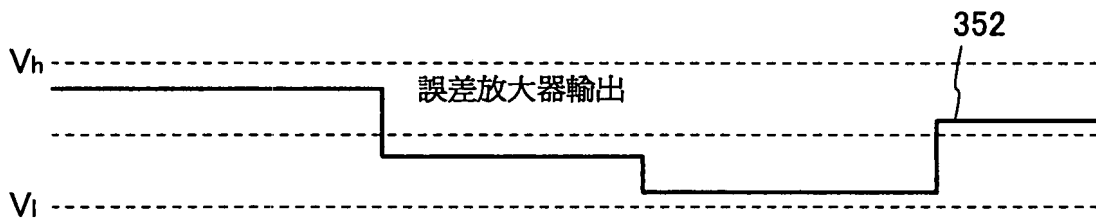


圖 10C

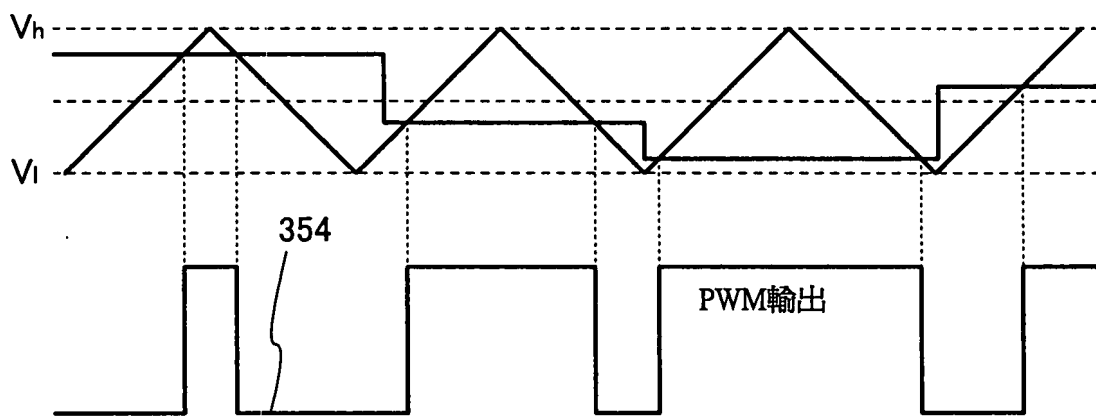
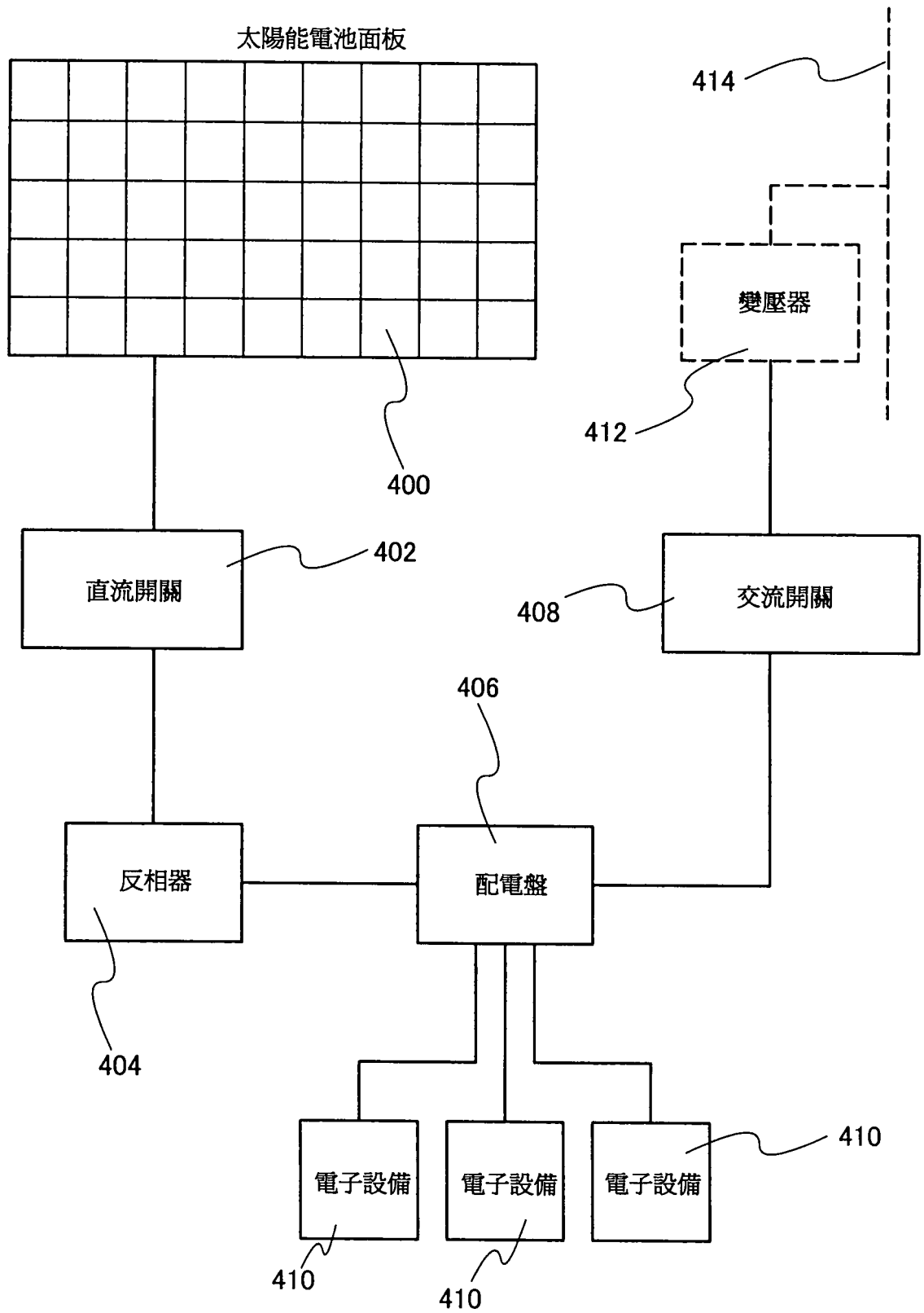


圖 11



四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

102：導電層

112：導電層

114：導電層

116：導電層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無