

公告本

申請日期	81. 3. 14
案 號	81104816
類 別	HOLL 21/00

A4
C4

538433

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	藉由電氣弱化本體下方氧化物之絕緣物上矽裝置中之本體接觸
	英文	BODY CONTACT IN SOI DEVICES BY ELECTRICALLY WEAKENING THE OXIDE UNDER THE BODY
二、發明人	姓名	1. 聖達 K. 艾爾 SUNDAR K. IYER 2. 戴文卓 K. 聖達那 DEVENDRA K. SADANA
	國籍	1. 印度 INDIA 2. 美國 U.S.A.
	住、居所	1 美國紐約州貝康市主街329號2室 329 MAIN STREET, #2, BEACON, NEW YORK 12508, U.S.A. 2 美國紐約州愉悅山莊市摩天大道90號 90 SKY TOP DRIVE, PLEASANTVILLE, NEW YORK 10570, U.S.A.
三、申請人	姓名 (名稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	美國 U.S.A.
	住、居所 (事務所)	美國紐約州阿蒙市新果園路 NEW ORCHARD ROAD, ARMONK, NEW YORK 10504, U.S.A.
	代表人 姓名	傑拉德 羅森賽 GERALD ROSENTHAL

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權
 美國 2001年03月16日 09/810,236 有 無 主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明領域

本發明領域係為具有本體接觸之氧化物之絕緣物上矽之積體電路。

發明背景

在氧化物之絕緣物上矽之積體電路中，一熟知之問題係為N型場效電晶體(NFET)及P型場效電晶體(PFET)本體中分別之電洞/電子的堆積，改變該電晶體之驅動力。標準的解答係為對該電晶體本體製作一接觸，提供一接地的路徑以排放電荷。不幸的是，大部分之本體接觸消耗極寶貴之矽面積(area)。在少數案例中，該接觸的製作可以藉由僅於該源極與汲極之下選擇植入氧氣，或是藉由在該嵌入之氧化物(SiO_2)中蝕刻一電洞並填充一導體。選擇植入很貴且費時。在現存技術中，不適合做小型特徵大小之電晶體。此外，必須得製作某種對準之參考，以將該等電晶體置於正確的位置。在該電晶體本體下蝕刻一電洞並以一絕緣體來填充，需要許多額外之處理步驟並且很昂貴。在該電晶體本體中矽之品質也會在處理過程中變差。

發明概要

本發明有關一種形成一本體接觸之方法，藉由在該電晶體本體之下建立一導體路徑穿過該嵌入之絕緣體下至該矽基板。

本發明之一特徵係為將離子植入穿過該電晶體本體，並植入該嵌入之絕緣體中，接著應用一電壓足夠擊穿該氧化物，並建立一導體路徑於該電晶體本體與該基板之間。

五、發明說明 (2)

圖式簡單說明

圖1至4示範處理過程中不同之階段。

圖5示範一完成之電晶體。

圖6示範應用偏壓於形成於該基板中之井等上。

較佳具體實施例說明

請參考圖1，其中示範一半導體作用區30(以矽做示範)之剖面視圖，其以淺槽隔絕(STI)構件等35來包圍。區域30係置於一絕緣層20之上。整個以大塊基板10來支持，示範的是摻雜p-型。示範層20係藉由植入氧氣形成，接以高溫(~1300°C)退火，在文獻中稱為SIMOX法(以植入氧氣隔絕)。

一電晶體將於作用區30中形成，其本體將連穿層20至基板10。以根據本發明形成之傳導路徑，將會有一路徑以自該操作中之電晶體本體排放電荷。

圖2示範沉積一層氧化物(SiO₂)40及一層抗蝕劑50的結果，於該抗蝕劑中形成一孔52。選擇抗蝕劑與氧化物的總厚度，以阻擋(block)該等即將植入之離子不至達到裝置層30。在示範之圖中，氧化物層40之厚度約為500nm，而抗蝕劑50之厚度約為1,000nm。該氧化物與抗蝕劑可以以高達200keV之能量阻擋植入之離子達到該孔外邊之矽。

圖3示範於氧化物40中蝕刻一孔54，並經過該孔將一劑離子植入至該嵌入氧化物(BOX)，並恰於其下的結果，該離子植入區以數字25來表示。如果需要的話，可以變化該等離子的能量，使得該離子植入區整個延伸過該氧化物。該離

五、發明說明 (3)

子能量值將取決於裝置層30與BOX 20的厚度。吾人發現在 $10^{13}/\text{cm}^2$ 左右的劑量，已足夠將一2.6nm厚之(高度積體)閘極氧化物的電擊穿場從 $\approx 18\text{MV}/\text{cm}$ 大大地降低至 $\approx 13\text{MV}/\text{cm}$ 。該劑量之大小將由植入區域的厚度來決定。SIMOX晶圓較接合之晶圓好，因為其具有相當之未反應之矽的量，可以貢獻做傳導路徑。較佳的是，以一直向反應離子蝕刻來蝕穿該氧化物40，使得該孔具直牆。

吾人發現銦可以滿足降低該氧化物之擊穿電壓，但是熟知此項技藝之人士可以使用其他的選擇。其他適合產生較低之擊穿電壓之離子等，包括至少與矽一樣重之離子，尤其是在週期表中之第III與IV行中的離子，例如鎵、鈦、矽、銻、錫、鉛、金與鐵等。

如果需要，該電晶體本體可以經過一井連接，其依次連接至該晶圓表面上之一接觸。該結構示於圖6中，其中一p-井15與一n-井115分別具有本體接觸25與125。接觸25可以使用p-型離子(例如硼)製作，而接觸125可以使用n-型離子(例如磷、砷或是銻)製作。

p-井15具有一額外之接觸26，其接觸於該裝置層中之一p-型植入區49。區域49，則具有一垂直接觸構件49'，其連接至一偏壓源。類似地，n-井115具有一接觸126穿過BOX 20，在該BOX中有一n-型植入區126、一n-型植入區149及一接觸構件149'。因此，兩井可以隨意偏壓，例如井15用負電壓或是接地，井115用正電壓。

在藉由植入來電氣弱化該氧化物後，該電晶體之處理可

五、發明說明(4)

以繼續下去。一方法為使用該掩蔽氧化物以於本體接觸25之上方形成一自我對準的閘極。現在請參考圖4，在孔54的底部已成長一閘極氧化物42，並已沉積一層多晶矽且以化學機械研磨法研磨，使用氧化物40之上表面做一拋光停止層以形成閘極45。另一種處理方法係在植入接觸25之後，將該沉積之抗蝕劑與氧化物層40移除。然後該電晶體可以使用一傳統之處理來製造。因為BOX弱化之微影蝕刻以該STI蝕刻記號為參考來對準，該相同之參考可以使用做閘極之定義。此允許該等電氣弱化BOX之區域直接出現於該N型場效電晶體與P型場效電晶體的本體下。該第二法並非自我對準，但是接觸25與本體之對準並不是最緊要的。

圖5示範該完成之電晶體，具閘極45、邊牆47、源極/汲極48與本體接觸25。其他之習知的步驟，如於閘極、源極與汲極上形成矽化物，並形成內連與中間介質層以連接電晶體來形成電路等，將被集合稱為“完成該電路”。類似地，習知的預備步驟，如形成襯墊氧化物及氮化物、形成STI、臨界值調整植入，及類似的步驟，因專利之故將稱為“備製該基板”。

在離子植入後任何方便之時間，可以應用一適當之電壓以擊穿該氧化物。該電壓應跨越該BOX產生一電場，其值高於該BOX“弱化”區域之擊穿值，但卻低於未植入BOX區域之擊穿電壓。此舉可藉由將該晶圓曝光於一電漿來完成，其具偏壓條件組使得該電漿電壓可以對擊穿有貢獻。或者，可以沉積一暫時之金屬層或是電鍍(或是將一導電液

五、發明說明(5)

塗佈於該上表面)以提供一接觸，另一接觸則應用於該基板上。對一厚度為100nm之BOX來說，該電壓的大小較佳約小於50 V，但是可以隨離子劑量的大小、離子種類等等而變化。

該術語“擊穿”在此使用的意思為失去該氧化物之絕緣特質，且該氧化物“漏電”(約低於 10^6 歐姆)。其並不必須為一導體，只要具有夠高之電漏，使得該等電洞可以穩定地排放。

較佳的是在該閘極氧化物成長之前進行此弱化植入，以保護該閘極氧化物不致受到植入的損壞。

雖然本發明僅以一單一較佳具體實施例來說明，對熟知此項技藝之人士而言，便可明瞭本發明可以有不同之變化，卻仍在以下申請專利範圍之精神與範疇之內。

四、中文發明摘要(發明之名稱：藉由電氣弱化本體下方氧化物之絕緣物上矽)裝置中之本體接觸

本發明藉由選擇性於本體漏電層(leaky)之下製作絕緣層，來將一氧化物之絕緣物上矽基板(SOI)的接點提供給製造於一氧化物之絕緣物上矽(SOI)中之電晶體本體內。此完成的方式係將一劑離子植入一組電晶體本體位置之下，該離子具有可讓該植入區垂直延伸穿過位於該本體與該晶圓基板間之嵌入絕緣體之能量，之後施以一足夠擊穿該氧化物之電壓，並於該本體與基板間建立一傳導路徑。

英文發明摘要(發明之名稱：

BODY CONTACT IN SOI DEVICES BY ELECTRICALLY WEAKENING THE OXIDE UNDER THE BODY)

An SOI substrate contact is provided to the bodies of transistors fabricated in an SOI silicon wafer by selectively making the insulating layer below the bodies leaky. This is achieved by implanting below a set of transistor body locations a dose of ions having an energy such that the implanted region extends vertically through the buried insulator between the body and the wafer substrate, after which a voltage is applied sufficient to break down the oxide and establish a conductive path between the body and the substrate.

六、申請專利範圍

1. 一種形成一積體電路之方法，包含以下步驟：
備製一半導體晶圓，其具有一位於半導體基板之上的絕緣體層之上的半導體裝置層；
於該裝置層中的一組電晶體本體位置內植入一劑離子，該劑離子使用之植入能量使得離子從該等本體位置延伸分佈過該絕緣體層並進入該基板；
於該裝置層與該基板之間施加一電壓，使得該絕緣體層之材料被擊穿並變成具傳導性；以及
形成一組電晶體並連接該組電晶體以形成該積體電路。
2. 如申請專利範圍第1項之方法，其中該裝置層為矽，且該絕緣體為氧化物。
3. 如申請專利範圍第2項之方法，其中該等離子係為週期表第III行之離子。
4. 如申請專利範圍第2項之方法，其中該等離子係為週期表第IV行之離子。
5. 如申請專利範圍第2項之方法，其中該等離子從矽、鎵、銻、銻、錫、鈦、金與鉑所組成的群組之中選出。
6. 如申請專利範圍第2項之方法，其中一N型場效電晶體組電晶體本體係摻雜之p-型，且該基板在該組電晶本體下之一區係摻雜之p-型。
7. 如申請專利範圍第2項之方法，其中一P型場效電晶體組電晶體本體係摻雜之n-型，且該基板在該組電晶本體下之一區係摻雜之n-型。

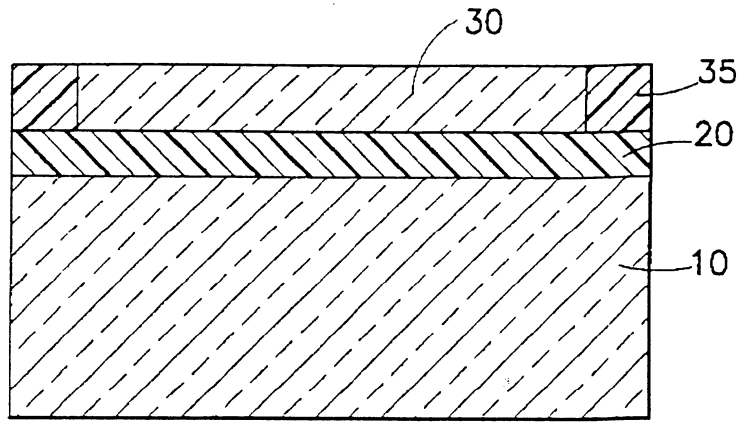


圖 1

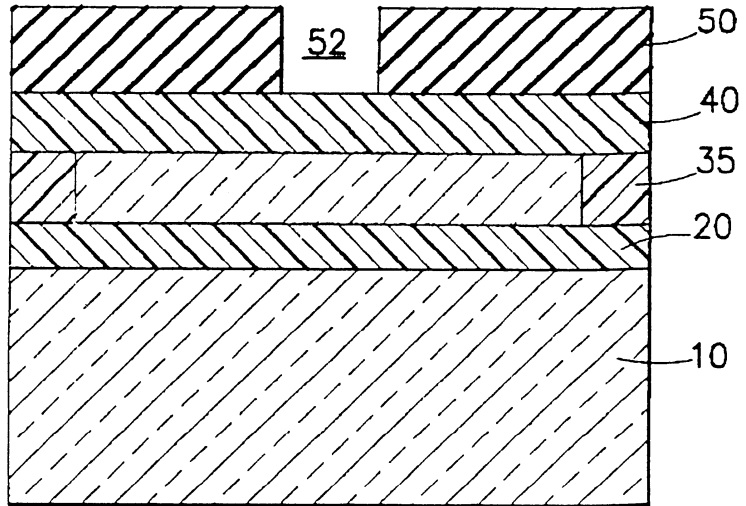


圖 2

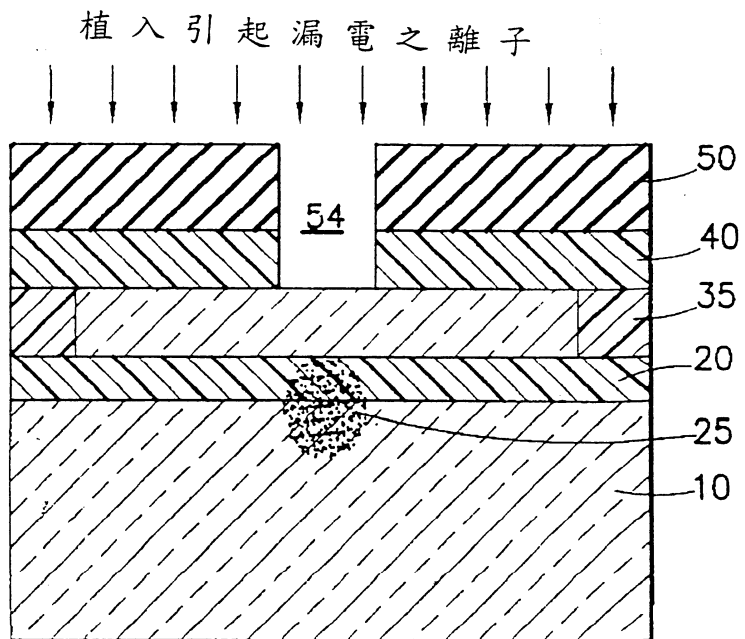


圖 3

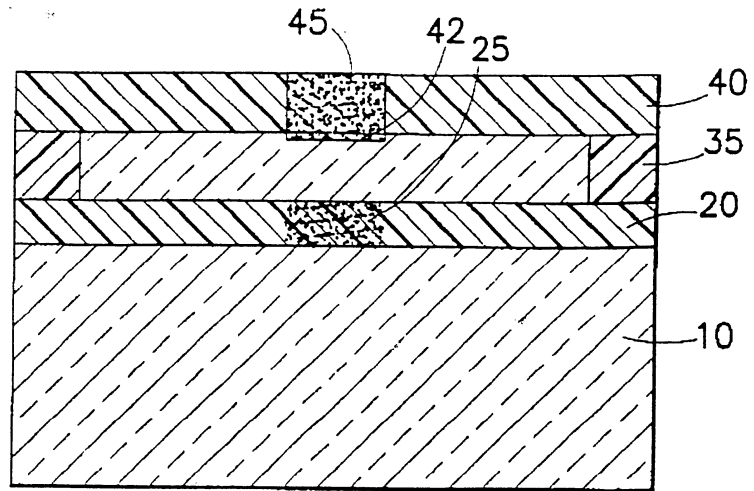


圖 4

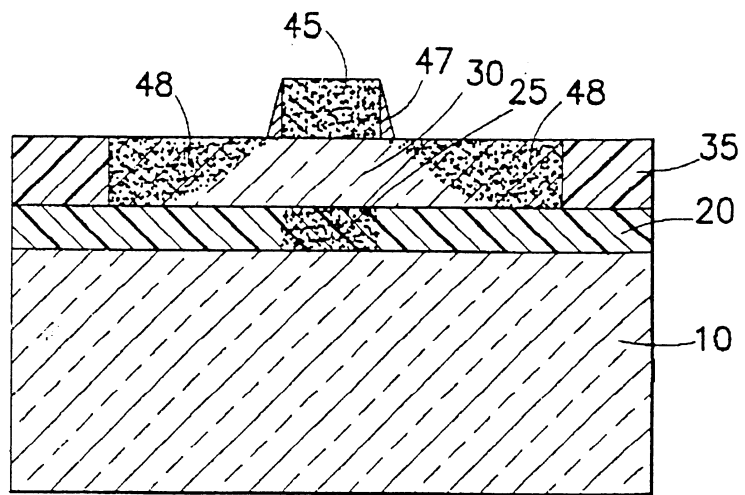


圖 5

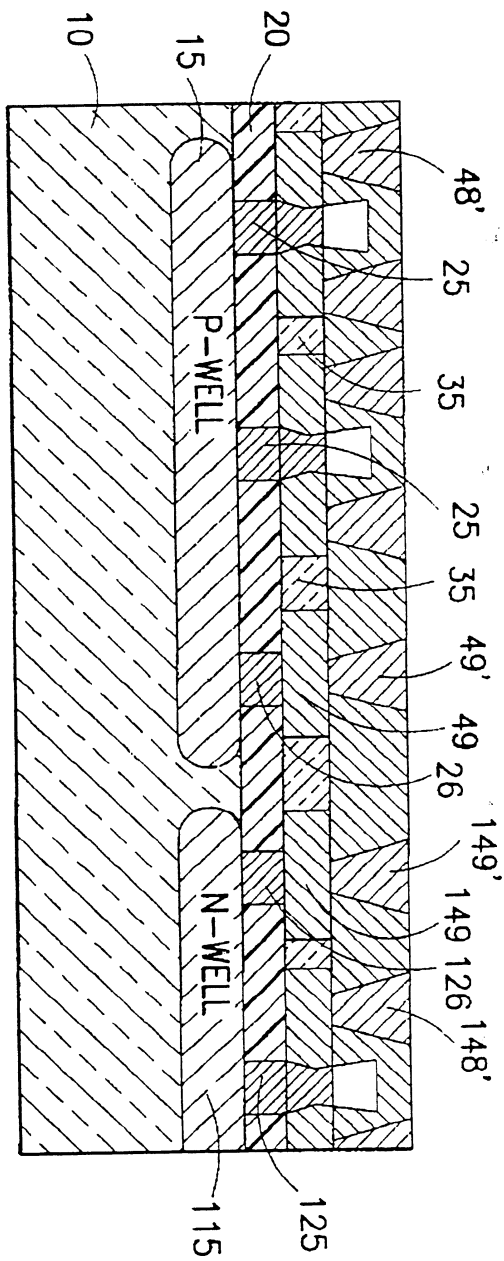


圖 6