



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0140603
(43) 공개일자 2019년12월20일

(51) 국제특허분류(Int. Cl.)
H01L 29/737 (2006.01) H01L 29/10 (2006.01)
H01L 29/16 (2006.01) H01L 29/66 (2006.01)
H01L 29/808 (2006.01)
(52) CPC특허분류
H01L 29/737 (2013.01)
H01L 29/1058 (2013.01)
(21) 출원번호 10-2018-0067262
(22) 출원일자 2018년06월12일
심사청구일자 2018년06월12일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김지현
서울특별시 강남구 도곡로93길 12, 205동 302호
이건엽
경상북도 예천군 호명면 행복로 230, 201동 1804
호
(74) 대리인
정은열

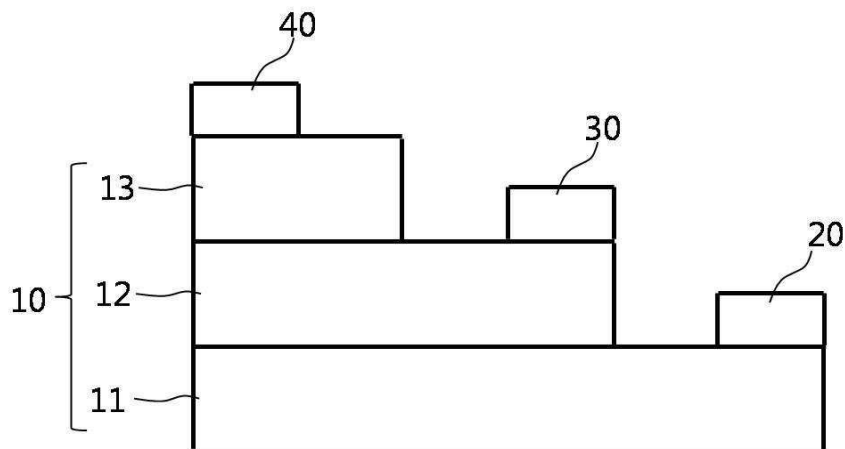
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **헤테로 접합 바이폴라 트랜지스터**

(57) 요약

본 발명은 헤테로 접합 바이폴라 트랜지스터에 관한 것으로, 본 발명의 일 실시예에 따른 헤테로 접합 바이폴라 트랜지스터는, 컬렉터층(11), 베이스층(12), 및 이미터층(13)이 순차적으로 적층되어 pnp 또는 npn 이중 헤테로 접합을 형성하는 헤테로 구조체(10)를 포함하는 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 헤테로 구조체(10)는, pn 접합을 이루는 p형 및 n형 2차원 물질이 교대로 적층되어, 컬렉터층(11), 베이스층(12), 및 이미터층(13)을 형성한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/1606 (2013.01)
H01L 29/66242 (2013.01)
H01L 29/66916 (2013.01)
H01L 29/808 (2013.01)
H01L 2924/10722 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2015R1D1A1A09057970
부처명 과학기술정보통신부
연구관리전문기관 한국연구재단
연구사업명 이공학개인기초연구지원
연구과제명 방사선을 이용한 black phosphorus 초박막의 물성제어 연구
기 여 율 50/100
주관기관 고려대학교 산학협력단
연구기간 2017.11.01 ~ 2018.10.31

이 발명을 지원한 국가연구개발사업

과제고유번호 20173010012970
부처명 산업통상자원부
연구관리전문기관 한국에너지기술평가원
연구사업명 에너지기술개발
연구과제명 Kerf-loss free 웨이퍼를 활용한 태양전지 및 모듈 제조기술 개발
기 여 율 50/100
주관기관 고려대학교 산학협력단
연구기간 2017.05.01 ~ 2020.04.30

명세서

청구범위

청구항 1

콜렉터층, 베이스층, 및 이미터층이 순차적으로 적층되어 pnp 또는 npn 이중 헤테로 접합을 형성하는 헤테로 구조체를 포함하는 헤테로 접합 바이폴라 트랜지스터에 있어서,

상기 헤테로 구조체는, pn 접합을 이루는 p형 및 n형 2차원 물질이 교대로 적층되어, 상기 콜렉터층, 베이스층, 및 이미터층을 형성하는 헤테로 접합 바이폴라 트랜지스터.

청구항 2

청구항 1에 있어서,

상기 p형 2차원 물질은, 흑린(black phosphorus)이고,

상기 n형 2차원 물질은, MoS_2 인 헤테로 접합 바이폴라 트랜지스터.

청구항 3

청구항 1에 있어서,

상기 p형 및 n형 2차원 물질 중 상기 콜렉터층 및 상기 이미터층을 형성하는 한 쌍의 p형 또는 n형 2차원 물질은,

서로 다른 물질인 헤테로 접합 바이폴라 트랜지스터.

청구항 4

청구항 1에 있어서,

상기 p형 및 n형 2차원 물질은,

각각 벌크 결정(bulk crystal)으로부터 플레이크(flake) 형태로 기계적 박리되고, 반데르 발스 결합에 의해 서로 적층되는 헤테로 접합 바이폴라 트랜지스터.

청구항 5

청구항 1에 있어서,

상기 콜렉터층의 상부 일영역에 형성되는 콜렉터 전극;

상기 콜렉터층의 상부 타영역에 적층된 상기 베이스층의 상부 일영역에 형성되는 베이스 전극;

상기 베이스층의 상부 타영역에 적층된 상기 이미터층의 상부 일영역에 형성되는 이미터 전극;

상기 헤테로 구조체와 마주보는 게이트 전극; 및

상기 헤테로 구조체와 상기 게이트 전극 사이에 배치되는 절연층;

을 더 포함하는 헤테로 접합 바이폴라 트랜지스터.

청구항 6

청구항 5에 있어서,

상기 절연층은,

산화물 및 절연성 2차원 물질로 구성된 군으로부터 선택되는 적어도 어느 하나 이상을 포함하는 헤테로 접합 바이폴라 트랜지스터.

청구항 7

청구항 5에 있어서,

상기 게이트 전극은,

금속 및 도전성 2차원 물질로 구성된 군으로부터 선택되는 적어도 어느 하나 이상을 포함하는 헤테로 접합 바이폴라 트랜지스터.

청구항 8

청구항 5에 있어서,

상기 절연층은,

상기 게이트 전극과 마주보는 상기 콜렉터층 하부에 형성되는 헤테로 접합 바이폴라 트랜지스터.

청구항 9

청구항 5에 있어서,

상기 절연층은,

상기 게이트 전극과 마주보는 상기 콜렉터 전극, 상기 베이스 전극, 상기 이미터 전극, 상기 콜렉터층, 상기 베이스층, 및 상기 이미터층 상부를 커버하는 헤테로 접합 바이폴라 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 헤테로 접합 바이폴라 트랜지스터에 관한 것으로, 보다 상세하게는 2차원 물질이 수직 적층되어 pn 접합을 이루는 2차원 물질 기반의 헤테로 접합 바이폴라 트랜지스터에 관한 것이다.

배경 기술

[0003] 바이폴라 접합 트랜지스터(bipolar junction transistor, BJT)는 2개의 p-n 접합 다이오드(p-n junction diode)를 서로 연결하여 제작하는 3 단자 트랜지스터로서, 높은 전류 이득(current gain) 및 고주파수(high frequency) 성능을 가진다. 그러나 BJT의 경우 높은 전류 이득을 가지기 위해서는 에미터(emitter)의 도핑 농도를 높이거나 베이스(base) 저항을 감소시켜야 하는데, 이 경우 주파수 성능(frequency performance)이 저하되는 문제가 있다.

[0004] 이에 하기 선행기술문헌의 특허문헌에 개시된 바와 같이, 헤테로 접합 바이폴라 트랜지스터(hetero-junction bipolar transistor, HBT)가 개발되었다. 헤테로 접합 바이폴라 트랜지스터는 헤테로 구조(heterostructure)를 가지는데, 그 헤테로 구조를 통해 전류 이득과 주파수 성능간의 트레이드 오프(trade-off) 문제를 해결한다. 이

러한 HBT는 높은 전력효율, 문턱전압의 균일성, 낮은 $1/f$ noise 특성 등의 장점을 지니며, 이와 같은 특성들로 인해 고출력 증폭기(high power amplifier), 스위칭 소자(switching device)와 RF 소자 등에 널리 사용되고 있다. 이러한 HBT는 GaAs/AlGaAs, GaN/AlGaN 등과 같은 III-V족 반도체물질을 기반으로 하는데, 현재까지도 고품질의 헤테로 구조를 성장시키기 위한 다양한 연구가 진행되고 있다. 그러나 지금까지 개발된 HBT에는 몇 가지 심각한 문제가 있다. 먼저, 고품질 박막 제작을 위해서는 금속유기화학기상증착법(metal-organic chemical vapor deposition, MOCVD) 또는 분자선 에피택셜법(molecular beam epitaxy, MBE)과 성장용 장비가 필수적인데, 이 경우 매우 고가의 고진공 장비와 유지비가 요구된다. 또한, 그 성장 방식에 의하면, 디스로케이션 결함(dislocation defect), 성장기관과 성장물질의 격자 부정합(lattice mismatch)으로 인한 스트레인(strain) 발생, 상호 오염(cross-contamination) 및 내부 확산(inter-diffusion) 등의 문제가 발생한다. III-V족 반도체 물질의 경우에, p형(p-type) 도핑이 어려운 점도 큰 문제가 된다. 결국, 이러한 문제점들은 HBT 소자의 누설 전류(leakage current) 증가, 항복 전압(breakdown voltage) 감소, 재결합률(recombination rate) 증가 등과 같은 소자 성능 저해요소로 작용한다.

[0005] 이에 종래 HBT의 문제점을 해결하기 위한 방안이 절실히 요구되고 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) KR 2002-0019488 A

발명의 내용

해결하려는 과제

[0008] 본 발명은 상술한 종래기술의 문제점을 해결하기 위한 것으로, 본 발명의 일 측면은 2차원 물질들이 반데르 발스 결합을 통해 수직 적층되어 pn 접합을 형성하는 헤테로 접합 바이폴라 트랜지스터를 제공하는 데 있다.

[0009] 또한, 본 발명의 다른 측면은 2차원 물질층에 게이트 전압이 인가되어 소자 특성이 제어되는 헤테로 접합 바이폴라 트랜지스터를 제공하고자 하는 것이다.

과제의 해결 수단

[0011] 본 발명의 실시예에 따른 헤테로 접합 바이폴라 트랜지스터는 콜렉터층, 베이스층, 및 에미터층이 순차적으로 적층되어 pnp 또는 npn 이종 헤테로 접합을 형성하는 헤테로 구조체를 포함하는 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 헤테로 구조체는, pn 접합을 이루는 p형 및 n형 2차원 물질이 교대로 적층되어, 상기 콜렉터층, 베이스층, 및 에미터층을 형성한다.

[0012] 또한, 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 p형 2차원 물질은, 흑린(black phosphorus)이고, 상기 n형 2차원 물질은, MoS_2 이다.

[0013] 또한, 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 p형 및 n형 2차원 물질 중 상기 콜렉터층 및 상기 에미터층을 형성하는 한 쌍의 p형 또는 n형 2차원 물질은, 서로 다른 물질이다.

[0014] 또한, 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 p형 및 n형 2차원 물질은, 각각 벌크 결정(bulk crystal)으로부터 플레이크(flake) 형태로 기계적 박리되고, 반데르 발스 결합에 의해 서로 적층된다.

[0015] 또한, 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 콜렉터층의 상부 일영역에 형성되는 콜렉터 전극; 상기 콜렉터층의 상부 타영역에 적층된 상기 베이스층의 상부 일영역에 형성되는 베이스 전극; 상기 베이스층의 상부 타영역에 적층된 상기 에미터층의 상부 일영역에 형성되는 에미터 전극; 상기 헤테로 구조체와 마주보는 게이트 전극; 및 상기 헤테로 구조체와 상기 게이트 전극 사이에 배치되는 절연층;을 더 포함한다.

- [0016] 또한, 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 절연층은, 산화물 및 절연성 2차원 물질로 구성된 군으로부터 선택되는 적어도 어느 하나 이상을 포함한다.
- [0017] 또한, 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 게이트 전극은, 금속 및 도전성 2차원 물질로 구성된 군으로부터 선택되는 적어도 어느 하나 이상을 포함한다.
- [0018] 또한, 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 절연층은, 상기 게이트 전극과 마주보는 상기 콜렉터층 하부에 형성된다.
- [0019] 또한, 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 절연층은, 상기 게이트 전극과 마주보는 상기 콜렉터 전극, 상기 베이스 전극, 상기 이미터 전극, 상기 콜렉터층, 상기 베이스층, 및 상기 이미터층 상부를 커버한다.
- [0021] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.
- [0023] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니 되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

발명의 효과

- [0025] 본 발명에 따르면, 2차원 물질들이 건식 전사(dry-transfer) 공정을 통해 수직 적층되어 pn 접합을 형성함으로써, 의도하지 않은 원자 확산(atomic diffusion), 디스로케이션 전파(dislocation propagation) 및 격자 부합(lattice mismatch) 등이 방지되고, 고주파수 성능을 갖는 HBT 소자를 구현할 수 있다.
- [0026] 또한, 2차원 물질들의 전기적 특성이 정전기 게이팅(electrostatic gating)에 의해 제어됨으로써, 소자 특성을 용이하게 조절할 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시예에 따른 헤테로 접합 바이폴라 트랜지스터의 단면을 개략적으로 도시한 단면도이다. 도 2 및 도 3은 본 발명의 다른 실시예에 따른 헤테로 접합 바이폴라 트랜지스터의 단면을 개략적으로 도시한 단면도이다.
- 도 4는 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터의 제조 공정을 나타내는 광학 현미경 이미지이다.
- 도 5의 (a)는 도 4의 공정에 의해 제조된 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터의 pnp 헤테로 구조체를 개략적으로 도시한 개략도이고, (b)는 도 4의 공정에 의해 제조된 pnp 헤테로 구조체의 원자힘 현미경(Atomic Force Microscope, AFM) 이미지이며, (c)는 상기 pnp 헤테로 구조체를 이루는 각각의 플레이크의 두께를 나타내는 그래프이고, (d)는 상기 pnp 헤테로 구조체의 라만 스펙트럼이며, (e)는 상기 pnp 헤테로 구조체의 투과전자현미경(Transmission Electron Microscope, TEM) 이미지이고, (f)는 상기 pnp 헤테로 구조체의 에너지 밴드 구조를 나타내는 도면이다.
- 도 6의 (a) 및 (b)는 도 4의 공정에 의해 제조된 pnp 헤테로 구조체의 전류-전압(I-V) 특성을, (c) 및 (d)는 상기 pnp 헤테로 구조체의 주입 전류(I_n)에 따른 전기적 특성을 각각 나타내는 그래프이다.
- 도 7의 (a)는 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터의 백게이트 pnp 헤테로 구조체의 광학 현미경 이미지이고, (b)는 백게이트 바이어스(V_g)에 대한 정류비를, (c) 및 (d)는 백게이트 바이어스에 대한 전류-전압(I-V) 특성을 각각 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 이하, 본 발명을 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략한다.
- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 헤테로 접합 바이폴라 트랜지스터의 단면을 개략적으로 도시한 단면도이다.
- [0034] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 헤테로 접합 바이폴라 트랜지스터는, 콜렉터층(11), 베이스층(12), 및 에미터층(13)이 순차적으로 적층되어 pnp 또는 npn 이중 헤테로 접합을 형성하는 헤테로 구조체(10)를 포함하는 헤테로 접합 바이폴라 트랜지스터에 있어서, 상기 헤테로 구조체(10)는, pn 접합을 이루는 p형 및 n형 2차원 물질이 교대로 적층되어, 콜렉터층(11), 베이스층(12), 및 에미터층(13)을 형성한다.
- [0036] 본 발명은 헤테로 접합 바이폴라 트랜지스터에 관한 것으로, 종래 III-V 족 반도체 물질을 기반으로 하는 헤테로 접합 바이폴라 트랜지스터의 누설 전류(leakage current) 증가, 항복 전압(breakdown voltage) 감소, 재결합률(recombination rate) 증가 등과 같은 문제점을 해결하고자 안출되었다.
- [0038] 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터는, 2차원 물질로 이루어지는 헤테로 구조체(10)를 포함한다.
- [0039] 그래핀, 전이금속 디칼코게나이드(transition metal dichalcogenide, TMDC) 등과 같은 2차원 물질들은 우수한 전기적, 기계적 그리고 광학적 물성을 가지므로 종래 반도체 물질을 대체할 수 있는 차세대 물질로 각광받고 있다. 2차원 물질들의 레이어(layer)들은 약한 반데르 발스(van der Waals, vdW) 인력으로 결합되기 때문에, 레이어들이 쉽게 분리될 뿐만 아니라, 다른 물질들과 vdW에 의해 층상으로 용이하게 결합될 수도 있다. 특히, 2차원 물질들의 레이어는 atomically sharp interface 특성을 가지고 단결링 본드(dangling bond)가 없기 때문에 헤테로 구조 소자 제작에 적합하다. 2차원 물질들이 헤테로 구조를 형성할 경우, 의도하지 않은 원자 확산(atomic diffusion), 디스로케이션 전파(dislocation propagation) 및 격자 부정합(lattice mismatch) 등을 방지할 수 있다. 또한, 2차원 물질들이 헤테로 접합(hetero-junction)을 형성하는 경우 불균일 헤테로 접합(abrupt hetero-junction)을 생성하게 되는데, 이때 launching ramp를 통해 intervalley transfer를 방지함으로써 고주파수(high-frequency) 성능을 가지는 소자를 제작할 수 있다. 한편, 2차원 물질들은 매우 다양한 전기적, 광학적 그리고 광전자적 특성을 가지고, 고유한 에너지 밴드갭(band gap), 전자친화도(electron affinity) 및 이동도(mobility) 특성 등이 두께 조절 등을 통해 제어될 수 있다. 이러한 2차원 물질들의 다양성과 유연성은 초고진공 챔버(ultra-high vacuum chamber) 없이도 헤테로 구조 소자 제작을 가능하게 한다.
- [0041] 여기서, 본 발명에 따른 헤테로 구조체(10)는, 콜렉터층(11), 베이스층(12), 및 에미터층(13)이 순차적으로 적층되어 형성되는데, 콜렉터층(11), 베이스층(12), 에미터층(13) 각각은 p형 또는 n형 2차원 물질로 이루어진다. 이때, 콜렉터층(11)과 베이스층(12) 사이에 하나의 pn 접합이, 베이스층(12)과 에미터층(13) 사이에 또 다른 pn 접합이 형성된다. 즉, 서로 pn 접합을 이루는 p형 및 n형 2차원 물질 중 어느 하나의 물질을 사이에 두고, 다른 한 쌍의 물질이 서로 마주보도록 배치되어, 2차원 물질들이 각각 콜렉터층(11), 베이스층(12), 및 에미터층(13)을 형성한다. 이때, 2차원 물질들 각각의 레이어는 단일층이거나 또는 반데르 발스 인력에 의해 결합된 다층일 수 있다. 결국, 본 발명에 따른 헤테로 구조체(10)는, n형 2차원 물질층(베이스층(12))을 사이에 두고 상하부에 p형 2차원 물질층(콜렉터층(11), 및 에미터층(13))이 반데르 발스 인력에 의해 결합된 pnp 이중 헤테로 접합을, 또는 p형 2차원 물질층(베이스층(12))을 사이에 두고 상하부에 n형 2차원 물질층(콜렉터층(11), 및 에미터층(13))이 배치되어 npn 이중 헤테로 접합을 형성한다.
- [0042] 여기서, 2차원 물질은 예를 들어, 흑린(black phosphorus)을 p형 2차원 물질로, MoS₂을 n형 2차원 물질로 사용할 수 있다. 흑린은 높은 정공 이동도(hole mobility, ~1,000 cm²/V·s)를 가질 뿐만 아니라 두께에 따라 밴드

갭(band gap) 특성이 0.3 (bulk) 에서 2.0 eV (monolayer)로 크게 변하기 때문에 pnp 소자의 p형 물질로 적합하다. 또한, MoS₂은 n형의 전이금속 디칼코게나이드(transition metal dichalcogenide, TMDC) 중 하나로 높은 전자 이동도(electron mobility, $\sim 700 \text{ cm}^2/\text{V} \cdot \text{s}$)와 1.2 eV (bulk)에서 1.8 eV (monolayer)까지 조절 가능한 밴드갭 특성을 가진다. 다만, p형 및 n형 2차원 물질이 반드시 흑린과 MoS₂에 한정되는 것은 아니다. 따라서, 그 자체로 p형 반도체 성질을 가지는 WSe₂ 등과 같은 2차원 물질을 사용하고, 그 자체로 n형 반도체 성질을 가지는 2차원 물질을 사용할 수 있으며, 나아가 다양한 밴드 형태를 가지는 양극성(ambipolar) 2차원 물질들의 스테거드 갭(staggered gap) 조합을 유도함으로써 pn 접합을 구현할 수도 있다.

[0044] 한편, pnp 또는 npn 헤테로 구조체(10)에 있어서, 콜렉터층(11)과 이미터층(13)을 형성하는 2차원 물질은 한 쌍의 p형 물질이거나, 또는 n형 물질로 이루어지는데, 이때 그 한 쌍의 p형 또는 n형의 2차원 물질은 서로 동일한 물질일 수 있다. 일례로, 흑린/MoS₂/흑린 형태의 pnp 헤테로 구조체(10)가 구현될 수 있다. 다만, 상기 한 쌍의 p형 또는 n형의 2차원 물질이 반드시 동일한 물질에 한정되어야 하는 것은 아니고, 서로 다른 물질이어도 무방하다.

[0046] 이러한 p형 및 n형 2차원 물질은 플레이크(flake) 형태로 건식 전사(dry transfer)되어 pnp 또는 npn 헤테로 구조체(10)를 형성할 수 있다. 구체적으로, p형 및 n형 2차원 물질 플레이크 각각은 접착 테이프를 이용해 벌크 결정(bulk crystal)으로부터 기계적으로 박리된 후, 투명 겔 필름에 전사되고, 마이크로 매니퓰레이터(micro manipulator)에 의해 어느 하나 위에 다른 하나가 수직으로 적층될 수 있다. 이때, p형 및 n형 2차원 물질 플레이크는 반데르 발스 인력에 의해 서로 결합된다.

[0048] 한편, p형 및 n형 2차원 물질이 적층되어 순차적으로 콜렉터층(11), 베이스층(12), 및 이미터층(13)이 형성되는데, 이때 콜렉터층(11), 베이스층(12), 및 이미터층(13)은 단차를 이루며 적층되고, 각각의 노출된 상부 영역에 전극이 배치될 수 있다. 구체적으로, 콜렉터층(11)의 상부 일영역에 콜렉터 전극(20)이, 콜렉터 전극(20)이 형성되지 않은 콜렉터층(11)의 상부 타영역에 베이스층(12)이, 그 베이스층(12) 상부 일영역에 베이스 전극(30)이, 베이스 전극(30)이 형성되지 않은 베이스층(12)의 상부 타영역에 이미터층(13)이, 그 이미터층(13)의 상부 일영역에 이미터 전극(40)이 각각 형성될 수 있다.

[0050] p형 및 n형 2차원 물질층(콜렉터층(11), 베이스층(12), 이미터층(13))이 적층되어 형성된 pn 접합의 경우, 그 2차원 물질층의 두께 조절을 통해 2차원 물질의 밴드갭, 전자친화도, 및 이동도 등의 전기적 특성이 제어될 수 있다. 이에 본 발명에 따른 2차원 물질층의 두께는 소자의 특성에 맞게 제어될 수 있고, 이때 콜렉터층(11), 베이스층(12), 및 이미터층(13)의 두께는 상이하게 형성될 수 있다.

[0052] 도 2 및 도 3은 본 발명의 다른 실시예에 따른 헤테로 접합 바이폴라 트랜지스터의 단면을 개략적으로 도시한 단면도이다.

[0053] 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터의 2차원 물질층은 매우 얇게 형성되므로, 전술한 2차원 물질층의 두께 조절 이외에, 게이트 전압을 통한 성능 제어가 가능하다. 이에 도 2 및 도 3을 참고로, 본 발명의 다른 실시예에 따른 헤테로 접합 바이폴라 트랜지스터는, 게이트 전극(50), 및 절연층(60)을 더 포함할 수 있다.

[0054] 여기서, 게이트 전극(50)은 바이어스(bias) 인가를 위한 전극으로서, 헤테로 구조체(10)와 마주보도록 배치된다. 흑린 및 MoS₂ 등과 같은 2차원 물질의 전기적 특성은 정전기 게이팅(electrostatic gating)으로 쉽게 조절될 수 있다. 특히, 흑린에 미치는 게이팅 영향은 좁은 밴드갭 및 고정되지 않은 페르미 레벨 특성으로 인해 다른 2차원 물질보다 효과적이다. 이에 게이트 전극(50)에 의해 인가되는 게이트의 전압에 따른 전기장을 통해 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터의 소자 성능을 용이하게 조절할 수 있다. 이러한 게이트 전극(50)은 금속 및 도전성 2차원 물질로 구성된 군으로부터 선택되는 적어도 어느 하나 이상을 포함할 수 있다.

[0055] 절연층(60)은 헤테로 구조체(10)와 게이트 전극(50) 사이에 배치되어, 게이트 전극(50)과 헤테로 구조체(10)를

절연한다. 이러한 절연층(60)은 산화물 및 절연성 2차원 물질로 구성된 군으로부터 선택되는 적어도 어느 하나 이상을 포함할 수 있다. 여기서, 절연성 2차원 물질로는, 일례로 질화붕소(hBN)를 사용할 수 있다.

[0056] 한편, 게이트 전극(50) 및 절연층(60)은, 헤테로 구조체(10)의 하부(도 2 참조) 또는 그 상부(도 3 참조)에 형성될 수 있다. 즉, 절연층(60)이 콜렉터층(11)의 하부에 형성되고, 절연층(60)의 하부에 게이트 전극(50)이 배치되거나(도 2 참조), 또는 절연층(60)이 헤테로 구조체(10)의 최상부에 배치된 이미터층(13)의 상부에 형성되고, 그 절연층(60)의 상부에 게이트 전극(50)이 배치될 수 있다(도 3 참조). 이때, 전술한 바와 같이, 콜렉터층(11), 베이스층(12), 및 이미터층(13)이 단차를 형성하면서 적층되고, 그 각각(11, 12, 13)에 전극(20, 30, 40)이 형성된 경우에는, 절연층(60)이 그 각각(11, 12, 13)과 전극(20, 30, 40)을 커버하도록 형성될 수 있다.

[0058] 이하에서는 구체적 실시예 및 평가예를 통해 본 발명을 보다 구체적으로 설명한다.

[0059] 실시예 1: 헤테로 접합 바이폴라 트랜지스터 제조

[0060] 도 4는 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터의 제조 공정을 나타내는 광학 현미경 이미지이다. 본 실시예에서는 흑린(BP) 및 MoS₂ 플레이크를 교대로 적층하여 BP/MoS₂/BP로 구성된 pnp 이중 헤테로 접합을 제조하였다. 이를 위해, 먼저 아르곤이 충전된 글로브 박스(glove box) 내에서 접착 테이프를 이용해 벌크 BP 결정체로부터 BP 플레이크를 기계적으로 박리한 후 즉시 투명 젤 필름에 건식 전사하였다. MoS₂ 플레이크도 동일한 방식으로 젤 필름에 전사하였다. SiO₂ / p⁺⁺ - Si 기판 (300 nm/525 μm)의 후면을 습식 에칭(wet-etching)하여 후면 산화물층을 제거한 후, 전자빔 증발기(electron beam evaporator)를 사용하여 후면 게이트 전극(Ti/Au, 20/80 nm)을 증착하였다. 다음에, SiO₂ / p⁺⁺ - Si 기판 상에 p형 BP 플레이크를 건식 전사하였고(도 4의 (a)), 그 후 n형 MoS₂(도 4의 (b)) 및 p형 BP 플레이크(도 4의 (c))를 마이크로 매니퓰레이터(micro-manipulator)를 이용해 대기에서 순차적으로 수직으로 적층하여 BP/MoS₂/BP 이중 헤테로 접합을 형성하였다. 마지막으로, 표준 전자빔 리소그래피(standard electron-beam lithography), 전자빔 증발(electron-beam evaporation), 및 리프트 오프 공정(lift-off process)에 따라, p-BP층과 n-MoS₂층 각각에 전극(Ti/Au, 20/80 nm)을 형성하였다(도 4의 (d)). 이러한 제조 공정이 완료되면, 48시간 내에 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터가 구현된다. 각각의 제조 공정 동안, 샘플들의 열화 방지를 위해 진공 상자(vacuum-sealed box) 내에 보관하였다.

[0062] 평가예 1: pnp 이중 헤테로 접합 평가

[0063] 도 5의 (a)는 도 4의 공정에 의해 제조된 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터의 pnp 헤테로 구조체를 개략적으로 도시한 개략도이고, (b)는 도 4의 공정에 의해 제조된 pnp 헤테로 구조체의 원자힘 현미경(Arithmetic Force Microscope, AFM) 이미지이며, (c)는 상기 pnp 헤테로 구조체를 이루는 각각의 플레이크의 두께를 나타내는 그래프이고, (d)는 상기 pnp 헤테로 구조체의 라만 스펙트럼이며, (e)는 상기 pnp 헤테로 구조체의 투과전자현미경(Transmission Electron Microscope, TEM) 이미지이고, (f)는 상기 pnp 헤테로 구조체의 에너지 밴드 구조를 나타내는 도면이다.

[0064] 실시예 1에서 제조된 pnp 이중 헤테로 접합은, 도 5의 (a)와 같이 BP 플레이크(p형)와 MoS₂ 플레이크(n형)가 교대로 수직 적층된 구조로 형성된다. 도 5의 (b)에서 green, blue 및 red dot line을 통해 각각 하부 BP, MoS₂ 및 상부 BP 플레이크를 표시하였는데, 이를 통해 각각의 플레이크가 잘 정렬되었음을 알 수 있다.

[0065] 도 5의 (c)에서는 각각의 플레이크 두께를 측정하여 그 결과를 그래프로 나타냈다. 이는 도 5의 (b)에 표시된 black dot line을 따라 측정된 것이다. 여기서, 하부 BP, MoS₂, 상부 BP 각각의 두께는 ~11, ~5.6, ~5.3 nm였다. 여기서, 하부 및 상부 BP 플레이크의 두께는 비대칭 접합의 수송 특성 차이를 조사하기 위해 서로 상이한 두께를 가지도록 제조하였다.

[0066] 도 5의 (d)에서는 BP/MoS₂/BP 헤테로구조의 라만 스펙트럼을 측정하였다. BP의 ~361, ~439 그리고 ~466 cm⁻¹에서

의 라만 피크들(Raman peaks)은 각각 A_g^1 , B_{2g} , A_g^2 phonon modes에 대응되는 것이며, ~ 383 과 $\sim 408 \text{ cm}^{-1}$ 위치에서의 Raman peak는 각각 MoS_2 의 E_{2g}^1 와 A_{1g} 의 phonon mode에 대응되는 것이다. 적층된 BP/ MoS_2 /BP 층의 중첩된 영역에서의 라만 모드는 각각의 플레이크의 라만 피크에 잘 대응되는데, 이는 반데르 발스(van der Waals)에 의한 strain-free heterojunction이 잘 형성되었음을 나타낸다.

[0067] 도 5의 (e)에서는 BP/ MoS_2 /BP 헤테로 접합의 TEM 이미지를 나타내는데, 여기서 각각의 BP/ MoS_2 /BP 플레이크가 주름 없이 수직으로 적층 되었는바, 이로써 건식 전사에 의해 이중 헤테로 접합이 잘 형성되었음을 알 수 있다.

[0068] 도 5의 (f)는 pnp 헤테로 접합의 에너지 밴드 구조(energy-band structure)를 나타낸다. 다수의 캐리어 확산으로 인한 전하 수송은 BP/ MoS_2 pn 헤테로 접합의 형성과 함께 발생하고, 그 결과 BP/ MoS_2 계면에서 공핍 영역(depletion region)이 생성된다. 본 발명에서 pnp 헤테로 접합의 에너지 밴드 구조는 5층 이상의 BP 플레이크가 벌크 BP와 동일한 에너지 밴드갭을 가지므로 대칭으로 간주될 수 있다. 그러나 실제 이중 헤테로 접합의 구동에서는 상부 및 하부 BP의 두께와 방향(orientation) 차이로 인한 저항의 불균형에 의해 비대칭적인 특성을 가지게 된다.

[0070] 평가예 2: 전기적 특성 평가

[0071] 도 6의 (a) 및 (b)는 도 4의 공정에 의해 제조된 pnp 헤테로 구조체의 전류-전압(I-V) 특성을, (c) 및 (d)는 상기 pnp 헤테로 구조체의 주입 전류(I_n)에 따른 전기적 특성을 각각 나타내는 그래프이다.

[0072] 도 6의 (a), (b)는 각각 BP/ MoS_2 /BP pnp 헤테로 접합의 p-BP(상부)/n- MoS_2 , 및 n- MoS_2 / p-BP(하부)의 전기적 특성을 나타낸다. 각각의 pn 접합에서 전형적인 정류 거동이 관찰되었고, 정류비(rectification ratio, $|I_{IV}/I_{-IV}|$)는 각각 45, 및 25였다.

[0073] 이상계수(ideality factor)값은 아래의 [수학식 1]에 따라 산출될 수 있다.

[0074] [수학식 1]

$$I = I_0 \left(\exp \left(\frac{qV}{nkT} \right) - 1 \right)$$

[0076] 여기서, I는 다이오드(diode)를 통과하는 전류, V는 다이오드에 인가되는 전압, I_0 는 포화 암전류(dark saturation current), n은 이상계수(ideality factor), k는 볼츠만 상수(boltzman constants), T는 온도이다. 결과적으로, p-BP(상부)/n- MoS_2 , 및 n- MoS_2 / p-BP(하부)의 이상계수는 각각 1.98 및 2.18이었다.

[0077] 도 6의 (c)는 pnp 이중 헤테로 접합의 I-V 특성을 나타낸다. 하부 BP와 MoS_2 사이의 서로 다른 주입 전류에서 인가된 전압의 함수로 측정되었다. P-BP(상부)와 n- MoS_2 층 사이의 pn 헤테로 접합은 순방향 바이어스되고, 하부 p-BP는 접지된다. BP/ MoS_2 접합에서 정공(hole)의 경우에는 steep한 barrier가 형성되고 전자의 경우에는 매우 낮은 barrier가 형성되므로 인가되는 전압방향으로 드리프트(drift)되는 주입 전류가 측정되는 전류에 영향을 미치면서 소자가 작동하는 것으로 판단된다.

[0078] 본 발명에 따른 2차원 물질 기반 pnp 이중 헤테로 접합은, pnp 헤테로 접합 바이폴라 트랜지스터가 common base mode에서 작동할 때에 기능하지만, 출력 전류는 positive base 전류(I_n)가 p-BP(하부)와 n- MoS_2 사이에 삽입되어 약간 증폭된다. 도 6의 (d)로부터 얻어진 전류이득(current gain, α)은 50 nA의 I_n 에서 약 2.75였다. 이는 헤테로 접합 바이폴라 트랜지스터에 대한 common base 동작 모드에 대응된다.

[0080] 평가예 3: 정전기 게이팅이 소자에 미치는 영향 평가

[0081] 도 7의 (a)는 본 발명에 따른 헤테로 접합 바이폴라 트랜지스터의 백게이트 pnp 헤테로 구조체의 광학 현미경 이미지이고, (b)는 백게이트 바이어스(V_g)에 대한 정류비를, (c) 및 (d)는 백게이트 바이어스에 대한 전류-전압

(I-V) 특성을 각각 나타내는 그래프이다.

[0082] 도 7의 (a)에 도시된 백게이트 pnp 이중 헤테로 접합(backgated pnp double heterojunction)은 소자 성능에 대한 정전기 게이팅 영향을 분석하기 위해 제작되었다. 도 7의 (b)는 백게이트 바이어스(V_g)에 대한 정류비가 -60에서 +60 V에 이르는 것을 나타낸다. BP 와 MoS_2 의 전하 캐리어 수에 영향을 받기 때문에 정류비는 V_g 에 의존적이다. 여기서 $V_g = -20 \sim +20$ V일 때에 정류비는 최대값에 도달한다.

[0083] 도 7의 (c) 및 (d)는 n- MoS_2 /p-BP(하부) 및 p-BP(상부)/n- MoS_2 p-n 접합의 V_g 변화에 따른 전기적 특성을 각각 도시한 것이다. 도 7의 (c)에서 V_g 가 감소함에 따라 정류 다이오드 동작이 감소하는 것을 발견할 수 있다. 이는 -50 V 부근에서 n- MoS_2 의 n형이 감소하기 때문으로 사료된다. 백워드 정류 다이오드(backward rectifying diode) 특성도 도 7의 (c)의 -50 V에서의 터널링 현상(tunneling phenomena)에 의해 설명될 수 있다. n- MoS_2 /p-BP(하부), 및 p-BP(상부)/n- MoS_2 접합은 서로 다른 경향을 보일 수 있다. 왜냐하면, 백게이트 영역이 플레이크의 하부에 의해 차단되기 때문이다. 또한, 접합의 저항(governing resistance)은 베이스의 MoS_2 플레이크(~10 nm)와 상부 BP(~15 nm) 및 하부 BP(~30 nm)의 두께가 다르기 때문에 pn 접합의 작동에도 영향을 줄 수 있다. 따라서, 정류 성능을 최적화하기 위해서 각 pn 접합에 인가되는 V_g 의 레벨을 조절할 필요가 있다.

[0085] 종합적으로, 본 발명에서는 BP/ MoS_2 /BP 구조의 pnp 이중 헤테로 접합을 제공하였다. 이때, 건식 전사 기술을 사용하여, p-BP, n- MoS_2 , p-BP의 나노레이어 플레이크(nano-layer flake)가 수직 적층되었다. 2개의 BP- MoS_2 p-n 헤테로 접합은 ~2의 이상계수로 다이오드 정류 거동을 보였다. 헤테로 접합에 대한 정전기 게이팅 효과는 V_g 가 변할 때에 평가되었고 -20 V의 V_g 에서 정류비는 최대로 증가하였다. 본 발명에서 pnp 이중 헤테로 접합은 입력 전류를 제어하여 출력 전류를 조절하였다. 이러한 결과는 2차원 물질로 구성된 첨단 헤테로 접합 소자의 기반을 제공할 수 있을 것으로 전망된다.

[0087] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

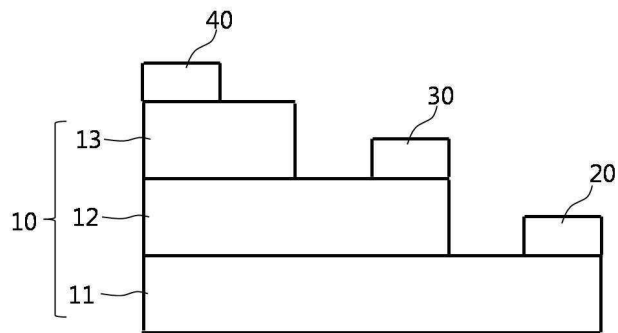
[0089] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속한 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

부호의 설명

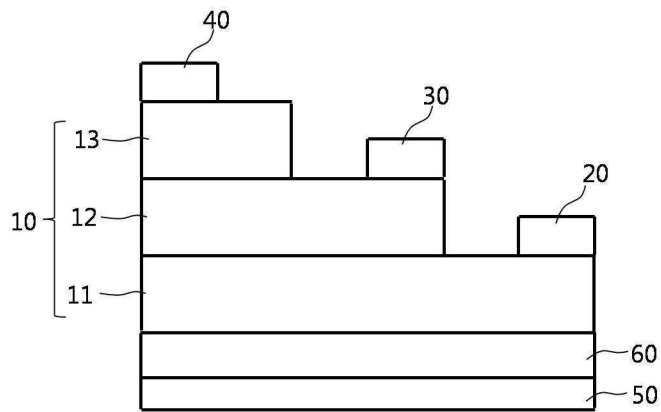
[0091] 10: 헤테로 구조체 11: 콜렉터층
12: 베이스층 13: 이미터층
20: 콜렉터 전극 30: 베이스 전극
40: 이미터 전극 50: 게이트 전극
60: 절연층

도면

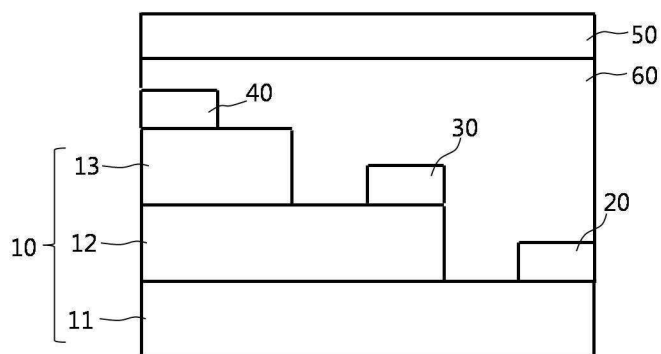
도면1



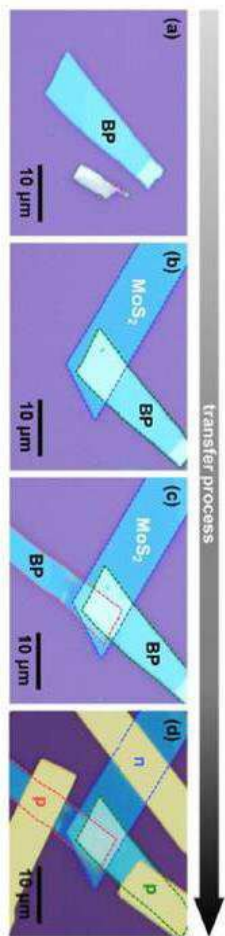
도면2



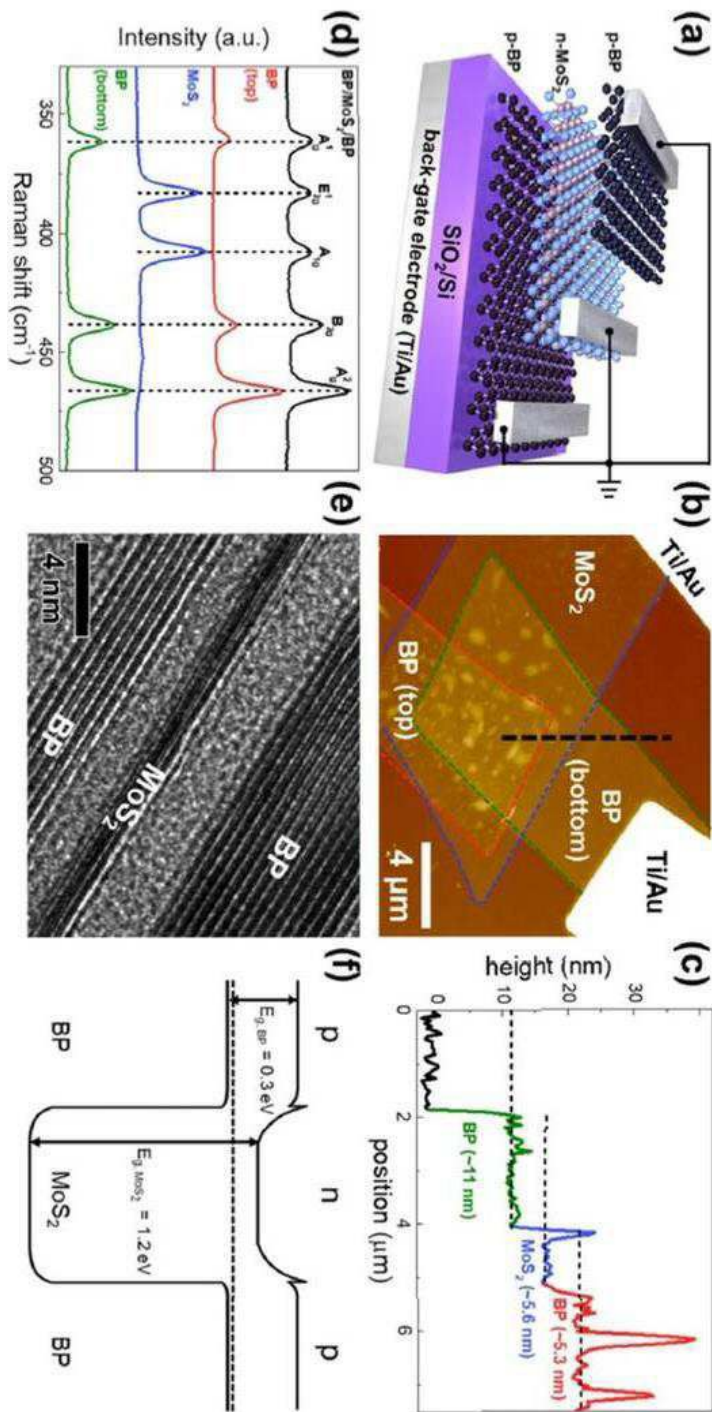
도면3



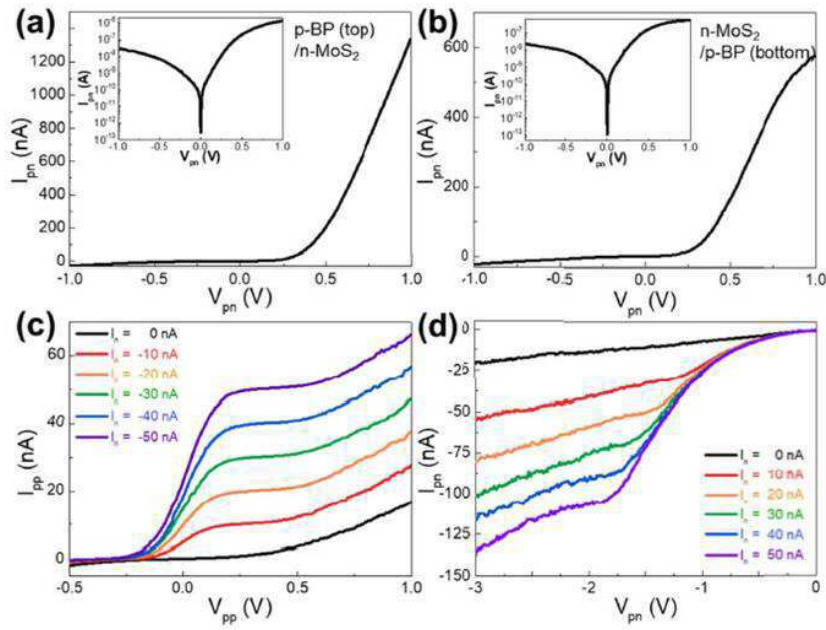
도면4



도면5



도면6



도면7

