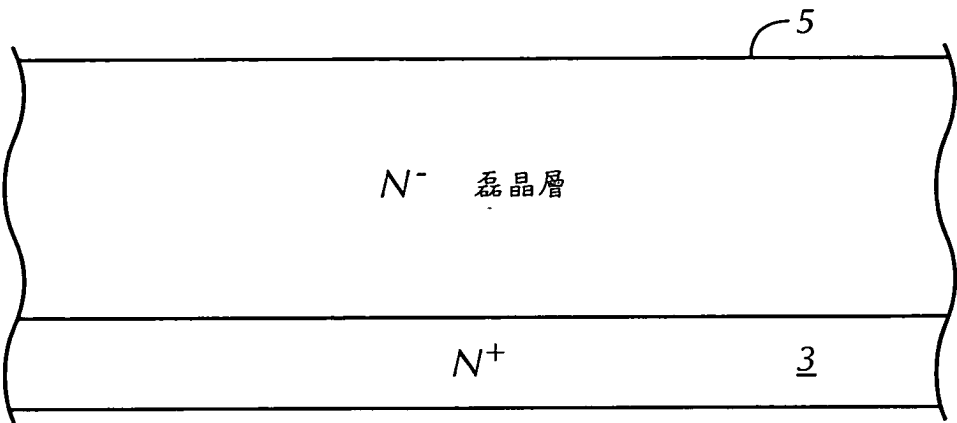
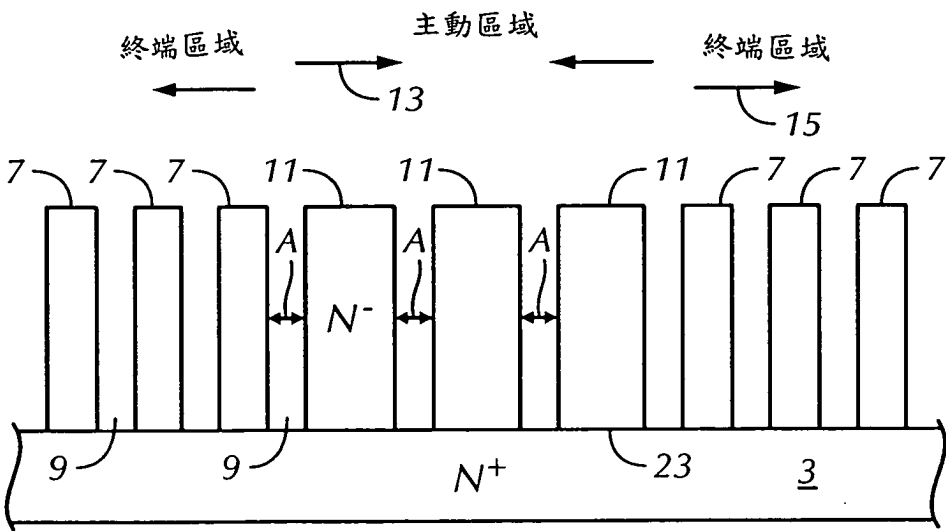
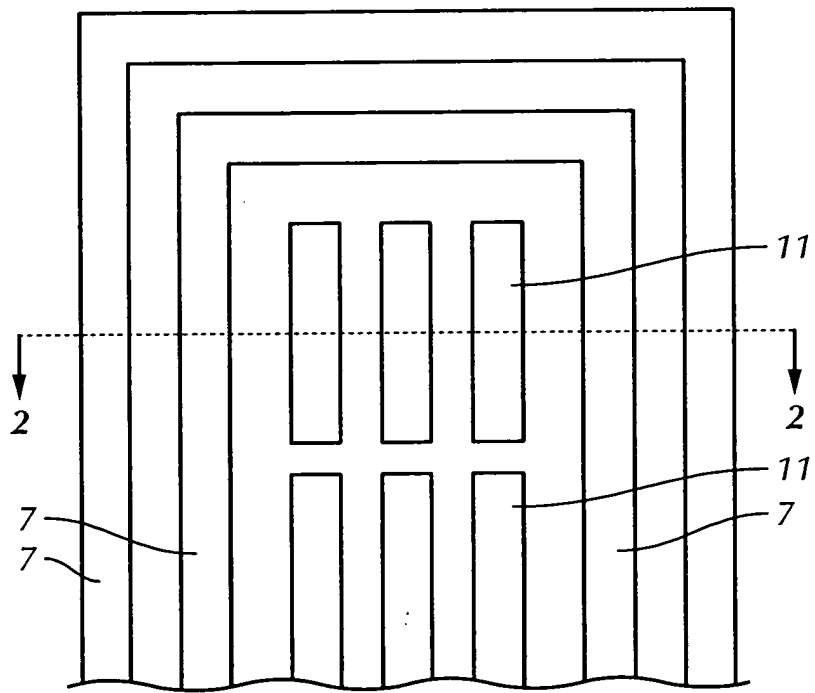




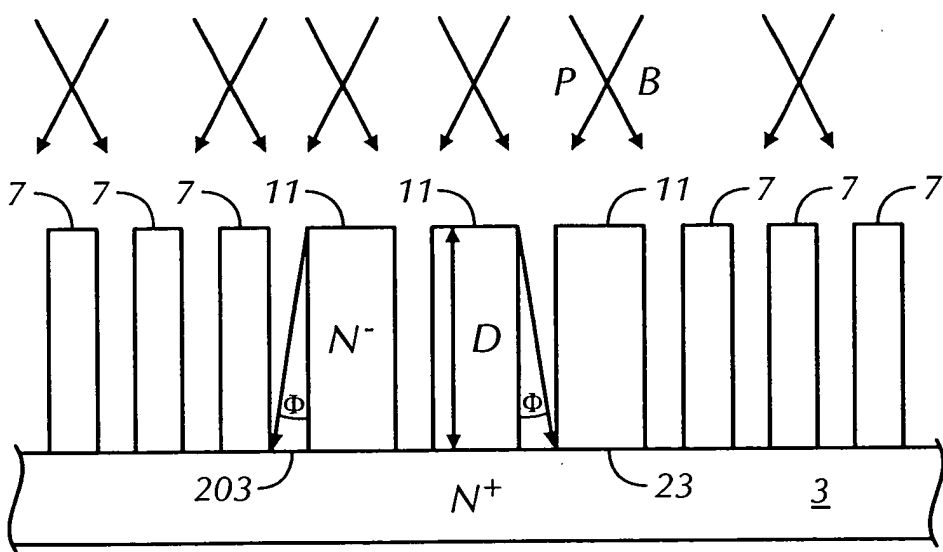
第 1 圖



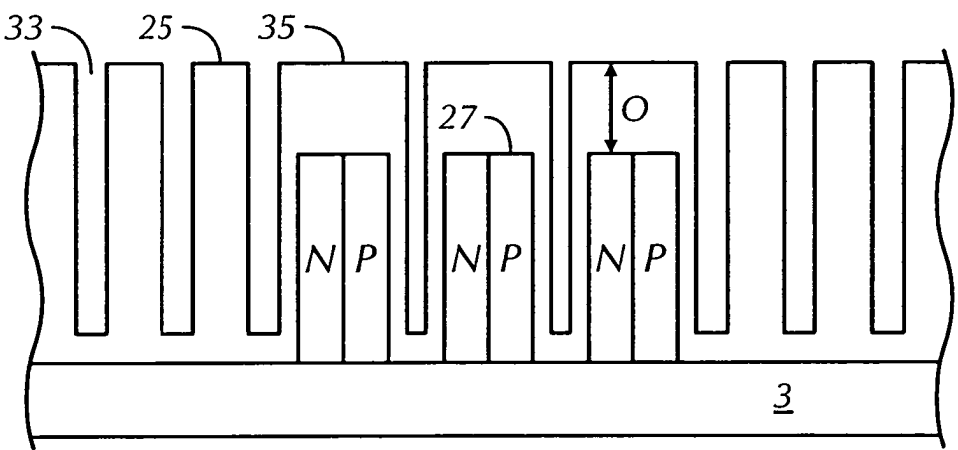
第 2 圖



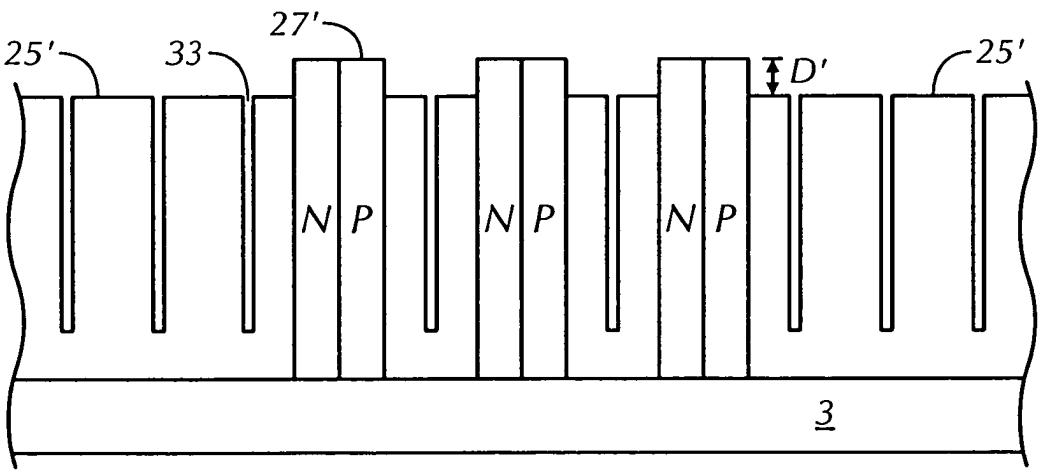
第 3 圖



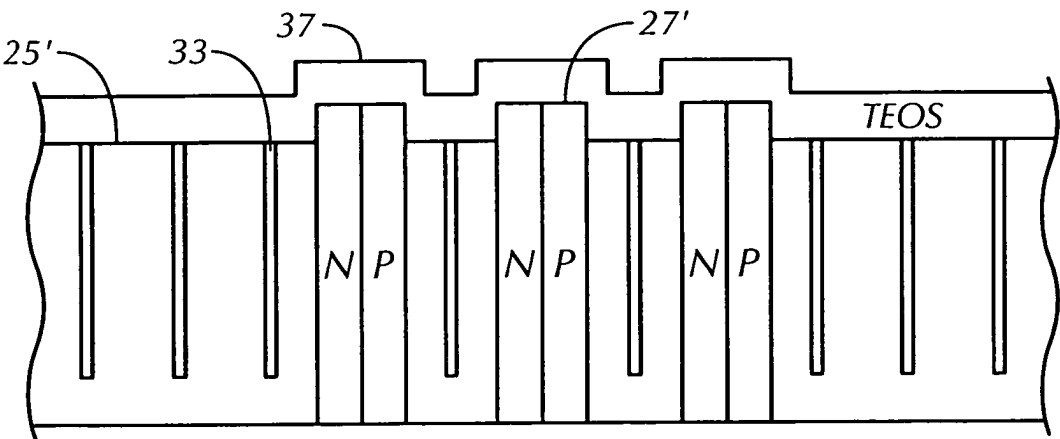
第 4 圖



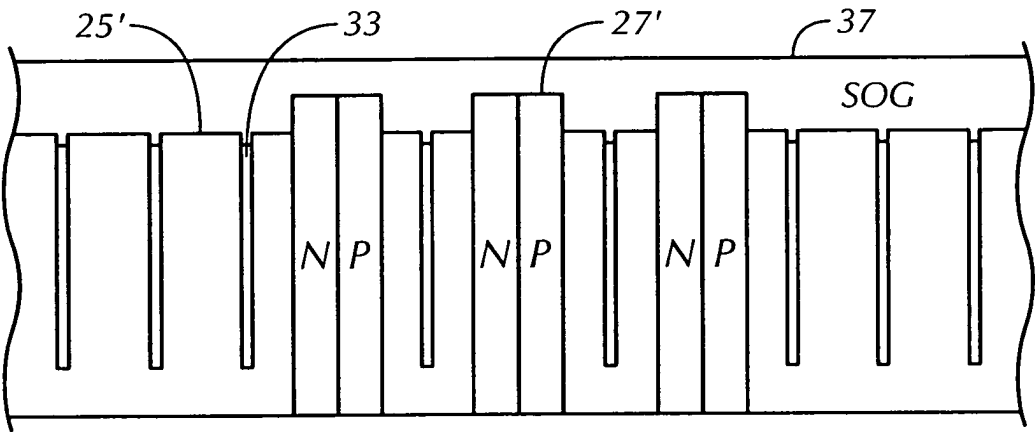
第 5 圖



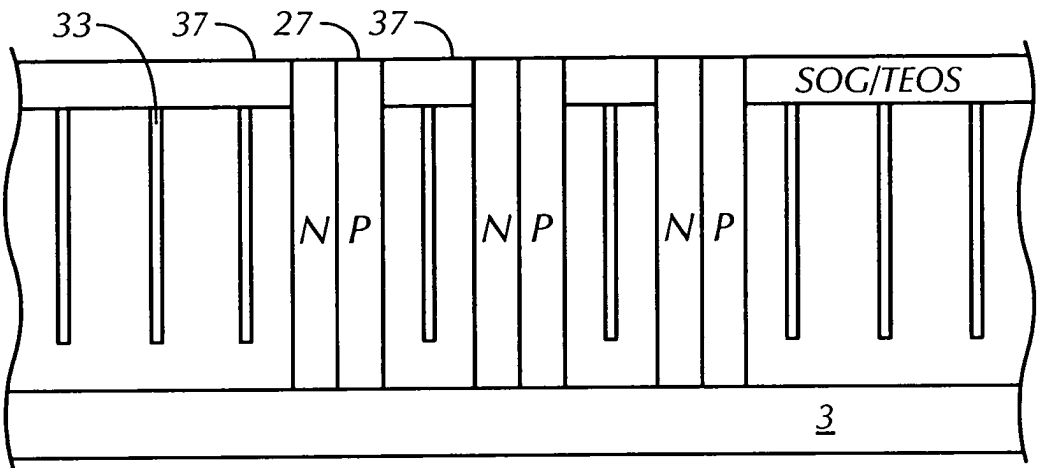
第 6 圖



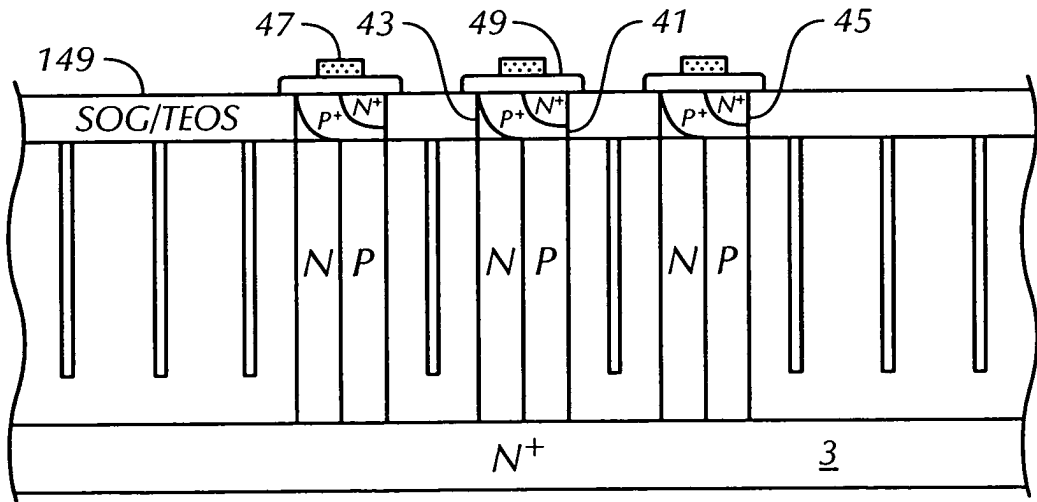
第 7 圖



第 8 圖



第 9 圖



第 10 圖

第 93138901 號專利申請案 **發明專利說明書**

修正日期：100.05.27.

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93138901

※ 申請日期：93.12.15

※IPC 分類：H01L 21/00 (2006.01)

一、發明名稱：(中文/英文)

製造超接面裝置的平坦化方法

PLANARIZATION METHOD OF MANUFACTURING A SUPERJUNCTION DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

3 D 半導體股份有限公司/THIRD DIMENSION (3D) SEMICONDUCTOR, INC.

代表人：(中文/英文)

安德森 山繆/ANDERSON, SAMUEL

住居所或營業所地址：(中文/英文)

美國亞利桑那州坦比·南河公園大道7855號122室·郵政信箱24619號

P.O. Box 24619, 7855 South River Parkway, Suite 122, Tempe, Arizona 85285,
USA

國 籍：(中文/英文)

美國/USA

三、發明人：(共 1 人)

姓 名：(中文/英文)

謝馥娟/HSIEH, FWU-IUAN

國 籍：(中文/英文)

美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國; 2003,12,19; 60/531,467

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明背景

本發明係與一種用於製造一具有一包括有厚氧化
5 物區域之邊緣終端結構的半導體裝置之方法有關，並且
本發明係特別與一種以金屬氧化物半導體 (MOS) 作
為閘極，且係為一種適合用於電能轉換之具有低導通電
阻和高崩潰電壓性質的半導體裝置有關。更明確地說，
本發明係與製造超接面半導體裝置的平坦化方法有關。

10 【先前技術】

基於美國專利第 5,216,275 號所揭示之 Xingbi
Chen 的超接面裝置之發明，已有許多擴展並改善其發
明之超接面效應的嘗試。美國專利第 6,410,958、
6,300,171 與 6,307,246 號係達成此等成果的範例，其等
15 在此被併入以供參考。

美國專利第 6,410,958 號 ("Usui 等人") 係與一半
導體元件之一邊緣終端結構以及一個漂移區有關。一種
導電類型的一半導體本體係具有一帶有埋於至少二相
互不同的平面中之數個另一種導電類型區域的邊緣區
20 域。在該半導體元件的作用區的下面，該漂移區域係利
用下層的基材來連接。

美國專利第 6,307,246 號 ("Nitta 等人") 中揭示一
種具有一高電壓維持邊緣之半導體元件，其中數個平行
連接的個別元件係被設置於一晶胞陣列之數個晶胞

第 93138901 號專利申請案

修正日期：100.05.27.

中。在一邊緣區域中，該半導體元件具有帶有經遮蔽的源極帶區域之晶胞。在與動力半導體元件相連接的時候，該經遮蔽的源極帶區域會抑制藉由該不成比例之大反向流動之電流密度所致的該寄生雙極電晶體的 "開啟"。此外，由 Nitta 等人之專利中所討論的科技術語中，可以非常容易地產生具有遮蔽源極帶區域的邊緣結構。其說明了各種參數的效果且使得一具有一由平行的 PN 層所組成的漂移層之半導體裝置得以量產，該平行的 PN 層會在 "開啟" 狀態下導電而在 "關閉" 狀態下不導電。在 N-型漂移區域中之活性雜質的淨含量係介於 P-型分割區域中之活性雜質量的 100% 到 150% 之範圍內。除此之外，N-型漂移區域和 P-型分割區域中之任一者的寬度係介於另一個區域的寬度之 94% 和 106% 之間的範圍內。

15 美國專利第 6,300,171 號 ("Frisina") 揭露一種製造一用於高電壓半導體裝置之邊緣結構的方法，其包括用於形成一第一導電類型之一第一半導體層的第一步驟，在該第一半導體層的頂表面上形成一第一光罩的第二步驟，移除部分的該第一光罩以在其中形成至少一開口之第三步驟，一在該第一半導體層中經由該至少一開口來導入一第二導電類型之雜質的第四步驟，一完全地
20 移除該第一光罩與在該第一半導體層上形成一係為第一導電類型之第二半導體層的第五步驟，一使得在該第一半導體層中植入的雜質擴散以在該第一和第二半導

體層中形成一該第二導電類型的摻雜區域之第六步驟。該第二步驟至第六步驟係至少被重複一次，以形成一最終的邊緣結構，其包括的許多的第一導電類型之重疊的半導體層，與至少係為第二導電類型的摻雜區域之

5 二柱狀區，該柱狀區係被插置於該等重疊的半導體層中，並藉著重疊該等經由該光罩開口來依序植入之摻雜區域而形成，該等靠近該高電壓半導體裝置之柱狀區係比與離該該高電壓半導體裝置之柱狀區還要來的深入。

本發明係要提供一種利用一種可以配合於製造該

10 裝置時僅利用單一次磊晶沈積步驟的製程之技術來製造的邊緣終端區域。

【發明內容】

發明摘要

簡單地說，本發明包含製造一個半導體裝置的方法，其包括提供一具有彼此相對的第一和第二主要表面之半導體基材。該半導體基材在該第二主要表面具有一第一導電類型之重度摻雜區域，而在該第一主要表面具有一第一導電類型之輕度摻雜區域。該方法包含在半導體基材中提供數個溝渠和數個台面。每個該等數個溝渠

15 都具有有一由該第一主要表面朝向該重度摻雜區域延伸至一第一深度位置的第一延伸部分，且每個該等數個溝渠都是被設置於相鄰的台面之間。每個該等數個溝渠相對於其他溝渠都具有一大約相等寬度。每個該等數個台面都具有有一相對於該第一主要表面維持一預定傾斜度

20

第 93138901 號專利申請案

修正日期：100.05.27.

之一側壁表面。該方法也包含以一第一預定植入角度將一係為該第一導電類型的雜質，在一台面的側壁表面上植入該半導體基材之一預定台面區域，以在該一台面的側壁表面上形成一具有比該重度摻雜區域更低之摻雜濃度的係為第一導電類型之第一摻雜區域。該方法也包含以一第二預定植入角度將一係為該第二導電類型的雜質，在一相對於該被植入第一導電類型雜質之側壁的側壁表面上植入該預定台面區域，以在該相對於該被植入第一導電類型雜質之側壁的側壁表面上提供一係為第二導電類型之第二摻雜區域，並提供一係為該第一與第二摻雜區域之 P-N 接面，其係位在沿著該等數個溝渠之該深度方向上。該方法進一步包含將每個溝渠的該等側壁與底部以及該等數個台面的頂端氧化以產生一頂端氧化物層，將該氧化物層平坦化蝕刻以將該預定台面的預定部分暴露，利用選自於包含原矽酸四乙酯 (TEOS) 與玻璃上旋轉塗敷 (SOG) 氧化物沈積作用之方式來沈積一氧化物層，以覆蓋該經平坦化蝕刻之頂端層與預定台面，並將該裝置的頂部表面平坦化。

本發明也包含製造一個半導體裝置的方法，其包括提供一具有彼此相對的第一和第二主要表面之半導體基材。該半導體基材在該第二主要表面具有一第一導電類型之重度摻雜區域，而在該第一主要表面具有一第一導電類型之輕度摻雜區域。該方法也包含在半導體基材中提供數個溝渠和數個台面區域。每個該等數個台面區

域都具有由該第一主要表面朝向該重度摻雜區域延伸至一第一深度位置的第一延伸部分，並具有一相對於該第一主要表面維持一預定傾斜度之一側壁表面。每個該等數個溝渠相對於其他溝渠都具有一大約相等寬度。每一該等數個台面區域都被該等數個溝渠之一所圍繞。該方法也包含以一第一預定植入角度將一係為該第一導電類型的雜質，在該等數個溝渠之一的一側壁表面上植入該等數個台面區域之一台面區域預定群組，以在每個該等台面區域之該台面區域預定群組的側壁表面上，形成一具有比該重度摻雜區域更低之摻雜濃度的係為第一導電類型之第一摻雜區域。該方法也包含以一第二預定植入角度將一係為該第二導電類型的雜質，在一相對於該被植入第一導電類型雜質之側壁的側壁表面上植入該等台面區域之該預定群組，以在該相對於該被植入該第一導電類型雜質之該側壁的側壁表面上提供一係為第二導電類型之第二摻雜區域，並提供一係為該第一與第二摻雜區域之 P-N 接面，其係位在沿著該等數個溝渠之該深度方向上。該方法進一步包含將每個溝渠的底部以及該等數個台面的側壁與該等頂端氧化以產生一頂端氧化物層，將該氧化物層平坦化蝕刻以將該等台面區域的預定群組的預定部分暴露，利用選自於包含原矽酸四乙酯 (TEOS) 與旋轉塗敷 (SOG) 氧化物沈積作用之方式來沈積一氧化物層，以覆蓋該經平坦化蝕

刻之頂端層與預定台面，並將該裝置的頂部表面平坦化。

圖式簡要說明

前述的摘要以及下述之本發明的詳細說明，將在參
5 照隨附的圖式下而被更加的了解。基於例示說明本發明
的目的，在該等圖式中顯示了目前之較佳具體例。然
而，應該要了解的是，本發明並未被侷限於其等所顯示
的精確結構與技術手段。

在該等圖式中：

10 第 1 圖是一半導體晶圓的一部分剖面正視圖；

第 2 圖是該晶圓在一蝕刻步驟之後的部分剖面正
視圖；

第 3 圖是第 2 圖的該半導體晶圓之部分頂視平
面圖；

15 第 4 圖是第 2 圖的該半導體晶圓在經過進行一
離子植入步驟後的部分剖面正視圖；

第 5 圖是第 4 圖的該半導體晶圓在一氧化作用
步驟之後的部分剖面正視圖；

第 6 圖是第 5 圖的該半導體晶圓在一乾式平坦
20 化蝕刻步驟之後的部分剖面正視圖；

第 7 圖是第 6 圖的該半導體晶圓在一原矽酸四
乙酯 (TEOS) 沈積步驟之後的部分剖面正視圖；

第 8 圖是第 7 圖的該半導體晶圓在一旋轉塗敷
(SOG) 沈積步驟之後的部分剖面正視圖；

第 9 圖是第 6 或 7 圖的該半導體晶圓在一化學機械研磨 (CMP) 步驟之後的部分剖面正視圖；

第 10 圖是第 9 圖的該半導體晶圓在完成該最終步驟之後的部分剖面正視圖；

5 第 11 圖是第 10 圖的該半導體晶圓之部分頂視平面圖；且

第 12 圖是第 9 圖的具體例之替代性具體例的部分剖面正視圖。

【實施方式】

10 具體例的詳細描述

在下述中，某些術語僅係基於便利而運用且其係不具限制性的。"右側"、"左側"、"下端" 以及 "上端" 係指其所參照的圖式中之方向。"向內" 與 "向外" 這些術語係分別指朝向與遠離所描述和指稱的物件之幾何中心。該等術語含有上述明確參照的字詞、情等之衍生字
15 詞以及相似涵義的字詞。此外，"一"這個字詞在用於申請專利範圍以及發明說明書內之對應部分中時，係代表 "至少一個"。

參照第 1 圖，其顯示包含一 N^+ 基材 3 與 N^- 磊晶層 5 的半導體晶圓之部分視圖。在此所參考使用的導電性質係受限制於所描述的具體例。然而，習於此藝者將會了解 P 型導電性質可以 N 型導電性質來轉換，而該裝置仍然可正確地作用（也就是，利用一第一或一
20

第 93138901 號專利申請案

修正日期：100.05.27.

第二導電類型)。因此，在此所參照使用的 N 或 P 也可以代表可相互替換之 N 和 P 或 P 和 N。

參照第 2 圖，利用在此技藝中已知的技術，該磊晶層 5 係被蝕刻以使得該溝渠底部會觸及或接近位在
5 基材 3 和磊晶層 5 之間的介面。該蝕刻加工過程會形成溝渠 9、第一台面 7 與第二台面 11。該第一台面 7 係被稱為 "犧牲台面"，因為該第一台面 7 將會在此處所描述的加工過程期間被轉變為二氧化矽。該第二台面 11 係被稱為 "裝置台面"，因為該台面 11 係被用來形
10 成藉由該加工過程所製造的每個電晶體晶胞之該電壓維持層。如箭號 15 所示，該台面 7 係位在被稱為 "終端區域" 或 "邊緣終端區域" 的位置中，且如箭號 13 所示，該等台面 11 係位在該 "主動區域" 中。

第 3 圖顯示第 2 圖的頂視平面圖，其中顯示了數
15 個裝置台面 11 與該等犧牲台面 7。可以發現該等台面 11 係比台面 7 更寬。這種在寬度上的差異是必要的，因為在氧化作用期間僅有部分的該等台面 11 會被轉變為二氧化矽，而犧牲台面 7 將會被完全地轉變為二氧化矽。然而，鄰近於台面 7 和 11 之溝渠 9 的寬度
20 A (第 2 圖)，係大約相對等於其他溝渠 9。雖然未清楚地顯示，在該等溝渠 9 之頂端係較佳地比其等之底部寬 1%-10% 以有助於該等溝渠的填充作用。因此，該等台面 7 和 11 係具有相對於晶膜層 5 的該第一主要表面維持一預定傾斜度之側壁表面。該等溝渠 9 由

該晶膜層 5 的該第一主要表面朝向該基材 (重度摻雜區域) 3 延伸至一深度 D 的一第一深度位置，但並不一定要延伸至該基材 (重度摻雜區域) 3。

參照第 4 圖，在未採用光罩掩蔽之步驟下，台面 5 11 和 7 係以一些微的角度 Φ (也就是，植入角 Φ) 將硼 (B) 植入一側並將磷的 (P) 植入相對側邊，分別如該等植入箭號 P 和 B 所示。該植入角 Φ 可以介於大約 2° 與 12° 之間，而較佳地為大約 4° 。然而，硼 (也就是，一具有第二導電性質的雜質) 與磷 (也就是，一具有第一導性質的雜質) 各別的植入角 Φ ，係由溝渠 9 的寬度 A (第 2 圖) 和深度 D 所決定。硼的植入作用可以係為植入角 Φ 之第一預定角度而磷的植入作用可以與第一預定角度不同的植入角 Φ 之第二預定角度來進行，但是硼和磷的植入角 Φ 的角度也可以是 15 相同。

參照第 5 圖，在該等植入物之輸灌後進行一蒸氣氧化步驟，其中該等台面 7 會因為其等之較窄的寬度而轉變為二氧化矽柱 25，而該等台面 11 係被轉變為被該等二氧化矽所包圍的 N/P 柱 27。在每個氧化台面柱 27 之間留下小間隙 33 (第 6 圖) 係為本發明的一部分。該間隙 33 將被覆蓋並分離而不致在製造過程中造成困難。這種結構係被顯示在第 6 圖中。然後進行一乾式蝕刻作用以將覆蓋該 N/P 柱 27 之該氧化物

第 93138901 號專利申請案

修正日期：100.05.27.

層 35 回蝕刻(etch back)。該以字母 O 表示之氧化物層 35 的厚度，係典型地大約為 0.5-3.0 微米 (μm)。

參照第 6 圖，因為 N/P 區域 27 的該蝕刻速率係比二氧化矽柱 25' 少，該 27' 的 N 和 P 柱狀體係以
5 典型地為大約 0.6-3.2 μm 之尺寸線 D' 所表示的方式而暴露出來。

在第 7 圖中，該氧化物層係以一種被稱為 "TEOS 氧化物沈積" 的技術來替換，其係為一種化學汽相沈積 (CVD) 的形式，且係利用化學品原矽酸四乙酯 (TEOS)
10 來提供一覆蓋在柱 25' 和 27' 之間的開口 33 的覆蓋氧化物層 37。

第 8 圖提供另一種具體例，其中該氧化物層 37 可如所示的進行玻璃上旋轉塗敷 (SOG)，其中該等開口 33 係被覆蓋且該氧化物柱 25' 係如該 N/ P 柱狀體
15 27' 被 SOG 所覆蓋。

在利用化學機械研磨 (CMP) 來平坦化之後，第 9 圖顯示該氧化物層 37 會使得該 N/ P 柱狀體 27' 的頂端暴露，以產生該電晶體之裝置結構。該平坦化的數值為 D' 或係為大約 0.6-3.2 μm 。然後，形成閘極介
20 電層，並沈積閘極導體且以光罩遮蔽來形成該等閘極。

在第 10 圖中，第 9 圖的裝置被以光罩遮蔽並形成一 P^+ 植入物，接著進行一輪灌步驟。接著，如果有需要的話，一 N^+ 型源極區域係利用為人所熟知的遮蔽技術來植入並輪灌。結果係被顯示在第 10 圖中，其具

有一其中植入 N^+ 源極區域 45 的 P^+ 區域 41，並具有一覆蓋該裝置的閘極氧化物區域 49，其中一閘極端子 47 係被設置在該覆蓋該 N 型區域 43、 P^+ 型區域 41 與該 N^+ 源極區域 45 之閘極氧化物層中。

5 雖然任何已知的幾何結構都可被用來製造第 10 圖的裝置，但是第 11 圖例示一種以條紋狀設計來製造的裝置 100 的部份頂視平面圖，其具有一依據本發明的終端區域 149。

如第 12 圖所示，第 9 圖的裝置可以一 P^+ 型基
10 材 103 與一 P 型磊晶層來開始製造。利用該另一種具體例，其進行一光罩遮蔽步驟並形成一 N^+ 植入物，接著進行一輸灌步驟，然後可以植入並輸灌一 P^+ 汲極區域。所產生的結構係被顯示在第 12 圖中，其中有一植入 P^+ 源極區域 145 的 N^+ 區域 141，並有一覆蓋該
15 裝置之閘極氧化物區域 49，其中在接點成形、金屬化與鈍化作用之前，一閘極端子 148 係被定位在覆蓋該 P^+ 區域 145 和 N^+ 型主體 141 之閘極氧化物區域 49 上。這個裝置的邊緣終端結構係為區域 249。因此，也可以藉由下列方式來提供額外的植入物，例如藉著在該
20 等第一與第二摻雜區域的該第一主要表面，提供一係為該第二導電類型之與該第二摻雜區域電氣連接的第三摻雜區域，以及藉由在至少一該主要表面或該一溝渠 9 之一側壁表面上，提供一係為該第一導電類型之第四摻雜區域，以使得該第四摻雜區域在其間插置該第三摻雜

第 93138901 號專利申請案

修正日期：100.05.27.

區域下係相對於該第一摻雜區域。該閘電極層 148 係相對於位在該等第一和第四摻雜劑區域之間的該第三摻雜區域而提供，而在其等之間插置有一閘絕緣層 49。

由上述中可知本發明係與一種半導體裝置，以及一種用於製造半導體裝置的平坦化方法有關。習於此藝者將會了解，上述的具體例可以進行變化而不背離其之廣義發明概念範圍。因此，需了解本發明並不侷限於所揭示的特定具體例中，而本發明應包含隨附的申請專利範圍所界定之本發明的精神和範圍。

10 【圖式簡單說明】

第 1 圖是一半導體晶圓的一部分剖面正視圖；

第 2 圖是該晶圓在一蝕刻步驟之後的部分剖面正視圖；

第 3 圖是第 2 圖的該半導體晶圓之部分頂視平面圖；

第 4 圖是第 2 圖的該半導體晶圓在經過進行一離子植入步驟後的部分剖面正視圖；

第 5 圖是第 4 圖的該半導體晶圓在一氧化作用步驟之後的部分剖面正視圖；

第 6 圖是第 5 圖的該半導體晶圓在一乾式平坦化蝕刻步驟之後的部分剖面正視圖；

第 7 圖是第 6 圖的該半導體晶圓在一原矽酸四乙酯 (TEOS) 沈積步驟之後的部分剖面正視圖；

第 8 圖是第 7 圖的該半導體晶圓在一旋轉塗敷 (SOG) 沈積步驟之後的部分剖面正視圖；

第 9 圖是第 6 或 7 圖的該半導體晶圓在一化學機械研磨 (CMP) 步驟之後的部分剖面正視圖；

5 第 10 圖是第 9 圖的該半導體晶圓在完成該最終步驟之後的部分剖面正視圖；

第 11 圖是第 10 圖的該半導體晶圓之部分頂視平面圖；且

第 12 圖是第 9 圖的具體例之替代性具體例的部分剖面正視圖。

【主要元件符號說明】

3	基材	37	覆蓋氧化物層
5	磊晶層	41	P ⁺ 區域
9	溝渠	43	N 型區域
7	第一台面	45	N ⁺ 源極區域
11	第二台面	47	閘極端子
15	終端區域	49	閘極氧化物區域
13	主動區域	100	裝置
25	二氧化矽柱	103	P ⁺ 型基材
25'	二氧化矽柱	141	N ⁺ 區域
27	N/P 柱	145	P ⁺ 源極區域
27'	N/P 柱狀體	148	閘電極層
33	間隙	149	終端區域
35	氧化物層	249	邊緣終端結構

第 93138901 號專利申請案

修正日期：100.05.27.

A 寬度

P 磷植入

D 深度

D' 尺寸線

B 硼植入

五、中文發明摘要：

一種用於製造一半導體裝置的方法，其包含提供一具有第一和第二主要表面之基材。該基材在該第二主要表面具有一係為第一導電類型之重度摻雜區域，且在該第一主要表面具有一係為第一導電類型之輕度摻雜區域。該方法包在該基材中提供溝渠和台面，以一個角度將係為第一導電性質的雜質植入一台面的側壁，並以一個角度將係為第二導電性質的雜質植入該台面的另一個側壁。該方法包含將每個溝渠的該等側壁與底部以及該等台面的頂端氧化，以產生一頂端氧化物層，平坦化蝕刻該頂端氧化物層以將部分的該等台面暴露，沈積一氧化物層以覆蓋該經平坦化蝕刻的頂端層和台面，並將該裝置的頂端表面平坦化。

六、英文發明摘要：

A method of manufacturing a semiconductor device includes providing a substrate having first and second main surfaces. The substrate has a heavily doped region of a first conductivity at the second main surface and has a lightly doped region of the first conductivity at the first main surface. The method includes providing trenches and mesas in the substrate, implanting, at an angle, a dopant of the first conductivity into a sidewall of a mesa and implanting, at an angle, a dopant of a second conductivity into the mesa at another sidewall. The method includes oxidizing the sidewalls and bottoms of each trench and tops of the mesas to create a top oxide layer, etching back the top oxide layer to expose a portion of the mesa, depositing an oxide layer to cover the etched back top layer and mesa and planarizing the top surface of the device.

十、申請專利範圍：

1. 一種製造半導體裝置的方法，其包含有：

5 提供一具有彼此相對的第一和第二主要表面之半導體基材，該半導體基材在該第二主要表面具有一第一導電類型之重度摻雜區域，而在該第一主要表面具有一第一導電類型之輕度摻雜區域；

10 在該半導體基材中形成數個溝渠和數個台面，該等數個溝渠之各者都具有一由該第一主要表面朝向該重度摻雜區域延伸至一第一深度位置的第一延伸部分，且該等數個溝渠之各者都是被設置於相鄰的台面之間，該等數個台面之各者都具有側壁表面；

15 將一第一導電類型的雜質，在一台面的側壁表面上植入該半導體基材之一預選定台面區域，以在至少一台面的側壁表面上形成一具有比該重度摻雜區域更低之摻雜濃度的該第一導電類型之第一摻雜區域；

20 將一係為該第二導電類型的雜質，在一相對於該被植入第一導電類型雜質之側壁的側壁表面上植入該預選定台面區域，以在該相對於該被植入第一導電類型雜質之側壁的側壁表面上提供該第二導電類型之一第二摻雜區域；

將至少鄰近該預選定台面區域之溝渠的該等側壁與底部以及該預選定台面區域的頂端氧化以產生一頂端氧化物層；

將該頂端氧化物層回蝕刻(etch back)以將該預選定台面的預選定部分暴露；

5 利用選自於包括原矽酸四乙酯 (TEOS) 與玻璃上旋轉塗敷(SOG) 氧化物沈積作用之群組之方式來沈積一氧化物層，以覆蓋該經回蝕刻之頂端層與預選定台面；並且

將該裝置的頂部表面平坦化。

2. 如申請專利範圍第 1 項的方法，其進一步包含：

10 在該等第一與第二摻雜區域的該第一主要表面，提供該第二導電類型之一第三摻雜區域，以與該第二摻雜區域電氣連接；

15 在該第一主要表面及該一溝渠之一側壁表面中之至少一者上，提供一該第一導電類型之一第四摻雜區域，以使得該第四摻雜區域係相對於該第一摻雜區域且該第三摻雜區域擺設於其間；並且

提供一閘電極層，其係相對於位在該等第一和第四摻雜區域之間的該第三摻雜區域，並具有一閘絕緣層插設於其間。

20 3. 如申請專利範圍第 2 項的方法，其中該閘電極層係形成於該第一主要表面之上。

4. 如申請專利範圍第 1 項的方法，其進一步包含：

在該等第一與第二摻雜區域的該第一主要表面，提供該第二導電類型之一第三摻雜區域，以與該第二摻雜區域電氣連接。

5. 如申請專利範圍第 1 項的方法，其中在製造該半導體裝置中該等第一與第二導電類型之雜質各者的擴散長度，係比從該相鄰成對的溝渠之側壁表面至該等第一和第二摻雜區域的 P-N 接面的距離更長。

5 6. 一種製造半導體裝置的方法，其包含有：

提供一具有彼此相對的第一和第二主要表面之半導體基材，該半導體基材在該第二主要表面具有一第一導電類型之重度摻雜區域，而在該第一主要表面具有一第一導電類型之輕度摻雜區域，；

10 在半導體基材中形成數個溝渠和數個台面區域，該等數個台面區域之各者都具有一由該第一主要表面朝向該重度摻雜區域延伸至一第一深度位置的第一延伸部分，並具有一側壁表面，該等數個台面區域之各者都被該等數個溝渠之一者所圍繞；

15 將該第一導電類型的一雜質，在該等數個溝渠之一的一側壁表面上植入該等數個台面區域之一預選定群組之台面區域，以在該預選定群組之台面區域之各者的側壁表面上形成一具有比該重度摻雜區域更低之摻雜濃度的該第一導電類型之一第一摻雜區域；

20

將該第二導電類型的一雜質，在一相對於該被植入第一導電類型雜質之側壁的側壁表面上植入該預選定群組之台面區域，以在相對於被植入該第一

導電類型雜質之該側壁的側壁表面上提供該第二導電類型之一第二摻雜區域；

5 將鄰近該預選定群組之台面區域之每個溝渠的至少底部以及該預選定群組之台面區域的側壁與該等頂端氧化以產生一頂端氧化物層；

將該頂端氧化物層回蝕刻以將該預選定群組之台面區域的一預選定部分暴露；

10 利用選自於包括原矽酸四乙酯 (TEOS) 與玻璃上旋轉塗敷(SOG) 氧化物沈積作用之群組之方式來沈積一氧化物層，以覆蓋該經回蝕刻之頂端層與預選定台面；並且

將該裝置的頂部表面平坦化。

7. 如申請專利範圍第 6 項的方法，其進一步包含：

15 在該等第一與第二摻雜區域的該第一主要表面，提供該第二導電類型之一第三摻雜區域，以與該第二摻雜區域電氣連接；

20 在該第一主要表面及該一溝渠之一側壁表面中之一者上，提供該第一導電類型之一第四摻雜區域，以使得該第四摻雜區域係相對於該第一摻雜區域且該第三摻雜區域擺設於其間；並且

提供一閘電極層，其係相對於位在該等第一和第四摻雜區域之間的該第三摻雜區域，並具有一閘絕緣層插設於其間。

8. 如申請專利範圍第 6 項的方法，其中該閘電極層係形成於該第一主要表面之上。
9. 如申請專利範圍第 6 項的方法，其進一步包含：
在該等第一與第二摻雜區域的該第一主要表面，提供該第二導電類型之一第三摻雜區域，以與該第二摻雜區域電氣連接。
10. 如申請專利範圍第 6 項的方法，其進一步包含：
提供一電極層，其係與該第一摻雜區域成歐姆接觸。
- 10 11. 如申請專利範圍第 6 項的方法，其中在製造該半導體裝置中該等第一與第二導電類型之雜質各者的擴散長度，係比從該相鄰成對的溝渠之側壁表面至該等第一和第二摻雜區域的 P-N 接面的距離更長。
12. 如申請專利範圍第 1 項的方法，其中該等數個溝渠之各者相對於其他溝渠具有一近似相等寬度，
- 15 13. 如申請專利範圍第 1 項的方法，其中該等側壁表面之各者具有維持在相對於該第一主要表面之一預定傾斜角度。
14. 如申請專利範圍第 1 項的方法，其中植入該第一導電類型的雜質係以一第一預定植入角度進行。
- 20 15. 如申請專利範圍第 1 項的方法，其中植入該第二導電類型的雜質係以一第二預定植入角度進行。
16. 如申請專利範圍第 6 項的方法，其中該等數個溝渠之各者相對於其他溝渠具有一近似相等寬度，

17. 如申請專利範圍第 6 項的方法，其中該等側壁表面之各者具有維持在相對於該第一主要表面之一預定傾斜角度。

5 18. 如申請專利範圍第 6 項的方法，其中植入該第一導電類型的雜質係以一第一預定植入角度進行。

19. 如申請專利範圍第 6 項的方法，其中植入該第二導電類型的雜質係以一第二預定植入角度進行。

20. 一種半導體裝置，其包含有：

10 一具有彼此相對的第一和第二主要表面之半導體基材，該半導體基材在該第二主要表面具有一第一導電類型之重度摻雜區域，且在該第一主要表面具有該第一導電類型之一輕度摻雜區域；

15 該第一主要表面包括數個溝渠和數個台面，該等數個溝渠之各者都具有一由該第一主要表面朝向該重度摻雜區域延伸至一第一深度位置的第一延伸部分，且該等數個溝渠之各者都是被設置於相鄰的台面之間，該等數個台面之各者都具有側壁表面；

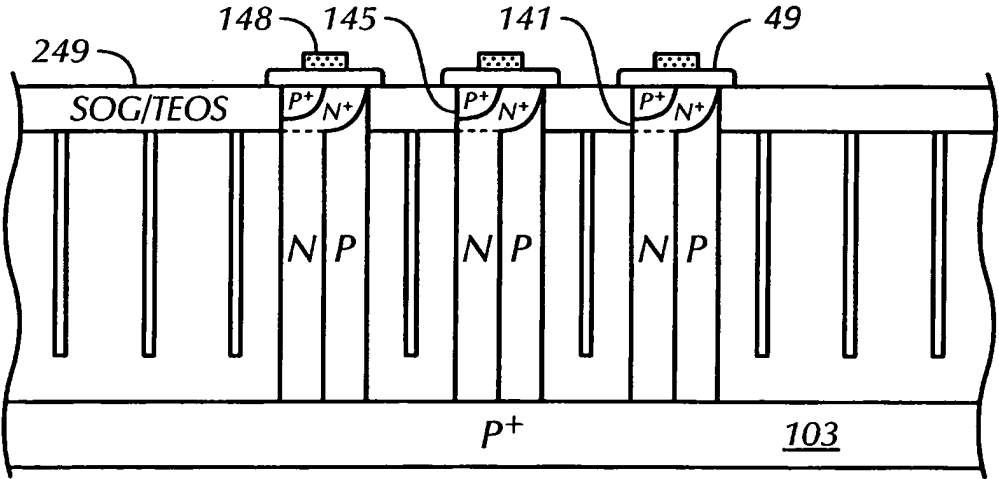
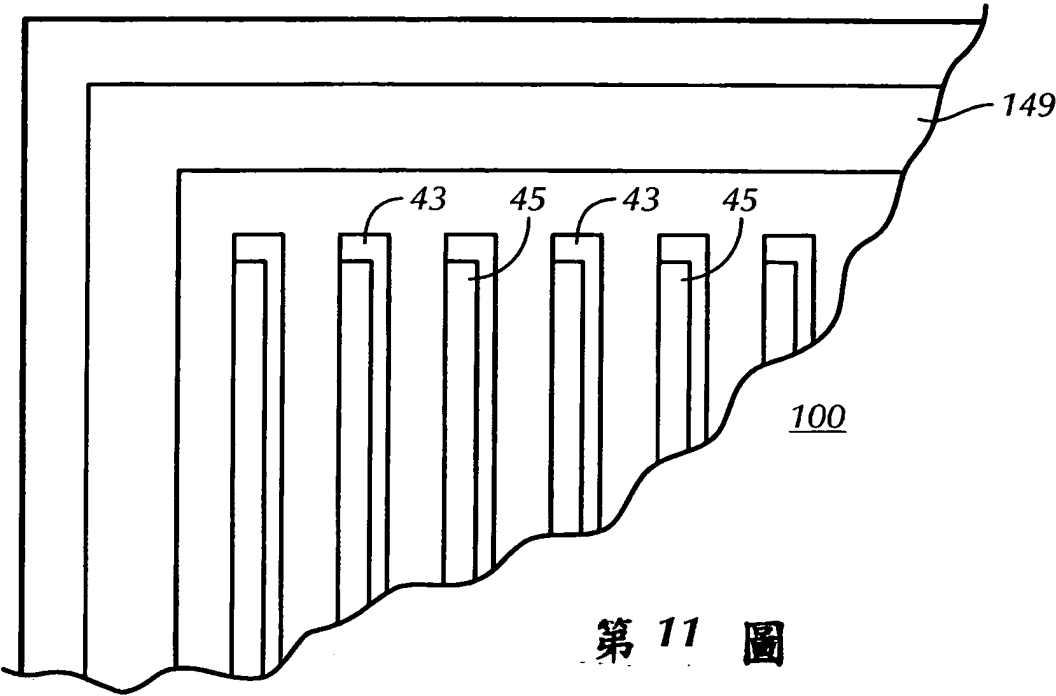
20 該第一導電類型之一第一摻雜區域，其具有比形成於至少一台面的側壁表面上的該重度摻雜區域更低的摻雜濃度；

該第二導電類型之一第二摻雜區域，其係形成於相對於具有該第一摻雜區域之側壁表面的一側壁表面上；

一頂端氧化物層，其係形成於至少鄰近該預選定台面區域及該預選定台面區域之頂端的該等溝渠的側壁及底部上；

5 一第二氧化物層，其係利用選自於包括原矽酸四乙酯 (TEOS) 與玻璃上旋轉塗敷(SOG) 氧化物沈積作用之群組之方式而形成，該第二氧化物層會覆蓋該頂端層與該預選定台面區域的至少一經回蝕刻部分。

6/6



七、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件符號簡單說明：

- | | | | |
|----|---------------------|-----|---------|
| 41 | P ⁺ 區域 | 47 | 閘極端子 |
| 43 | N 型區域 | 49 | 閘極氧化物區域 |
| 45 | N ⁺ 源極區域 | 149 | 終端區域 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：