



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월23일  
(11) 등록번호 10-1422929  
(24) 등록일자 2014년07월17일

(51) 국제특허분류(Int. Cl.)  
H01G 4/12 (2006.01) H01G 2/06 (2006.01)  
(21) 출원번호 10-2012-0125349  
(22) 출원일자 2012년11월07일  
심사청구일자 2012년11월07일  
(65) 공개번호 10-2014-0058903  
(43) 공개일자 2014년05월15일  
(56) 선행기술조사문헌  
JP10270288 A  
JP2004259736 A  
JP2009054973 A  
JP06084687 A

(73) 특허권자  
삼성전기주식회사  
경기도 수원시 영통구 매영로 150 (매탄동)  
(72) 발명자  
박명준  
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
박규식  
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
(74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 16 항

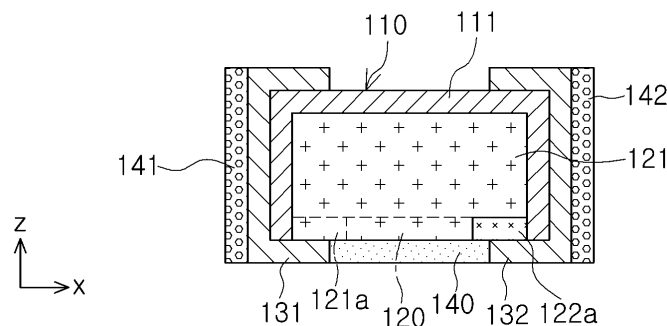
심사관 : 우만웅

(54) 발명의 명칭 적층 세라믹 전자부품 및 그 실장 기판

(57) 요약

본 발명은 적층 세라믹 전자부품에 관한 것으로, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 유전체층을 포함하며, 서로 마주보는 제1 및 제2 주면, 서로 마주보는 제1 측면 및 제2 측면 및 서로 마주보는 제1 및 제2 단면을 갖는 세라믹 본체; 상기 세라믹 본체의 내부에 용량부를 형성하는 중첩된 영역을 가지며 상기 중첩된 영역이 제1 측면에 노출되도록 형성되고, 용량부 및 용량부로부터 제1 측면에 노출되도록 연장 형성된 제1 리드부를 갖는 제1 내부전극 및 상기 제1 내부전극과 절연되며, 용량부로부터 제1 측면에 노출되도록 연장 형성된 제2 리드부를 가지는 제2 내부전극; 상기 제1 리드부와 연결되며, 상기 세라믹 본체의 제1 단면에 연장 형성되는 제1 외부전극 및 상기 제2 리드부와 연결되며, 상기 세라믹 본체의 제2 단면에 연장 형성되는 제2 외부전극; 및 상기 세라믹 본체의 제1 측면에 형성되는 절연층;을 포함하며, 상기 제1 단면 및 제2 단면 상에 형성된 제1 및 제2 외부전극 외측에는 부도체층이 더 형성될 수 있다.

대표도 - 도4



(72) 발명자

**이영숙**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

**최재열**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

**김두영**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

## 특허청구의 범위

### 청구항 1

유전체층을 포함하며, 서로 마주보는 제1 및 제2 주면, 서로 마주보는 제1 측면 및 제2 측면 및 서로 마주보는 제1 및 제2 단면을 갖는 세라믹 본체;

상기 세라믹 본체의 내부에 용량부를 형성하는 중첩된 영역을 가지며 상기 중첩된 영역이 제1 측면에 노출되도록 형성되고, 상기 용량부로부터 제1 측면에 노출되도록 연장 형성된 제1 리드부를 갖는 제1 내부전극 및 상기 제1 내부전극과 절연되며, 상기 용량부로부터 제1 측면에 노출되도록 연장 형성된 제2 리드부를 가지는 제2 내부전극;

상기 제1 리드부와 연결되며 상기 세라믹 본체의 제1 단면에 연장 형성되는 제1 외부전극 및 상기 제2 리드부와 연결되며 상기 세라믹 본체의 제2 단면에 연장 형성되는 제2 외부전극; 및

상기 세라믹 본체의 제1 측면에 형성되는 절연층;

을 포함하며, 상기 제1 단면 및 제2 단면 상에 형성된 제1 및 제2 외부전극 외측에는 부도체층이 더 형성되며, 상기 부도체층은 상기 제1 및 제2 단면 전체에 형성된 적층 세라믹 전자부품.

### 청구항 2

제1항에 있어서,

상기 부도체층은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함하는 적층 세라믹 전자부품.

### 청구항 3

제1항에 있어서,

상기 제1 및 제2 내부전극은 상기 세라믹 본체의 실장면에 대하여 수직으로 배치되는 적층 세라믹 전자부품.

### 청구항 4

제1항에 있어서,

상기 제1 외부전극은 상기 세라믹 본체의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성된 적층 세라믹 전자부품.

### 청구항 5

제1항에 있어서,

상기 제2 외부전극은 상기 세라믹 본체의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성된 적층 세라믹 전자부품.

### 청구항 6

제1항에 있어서,

상기 절연층은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함하

는 적층 세라믹 전자부품.

#### 청구항 7

제1항에 있어서,

상기 절연층은 서로 중첩된 제1 및 제2 내부전극의 노출부를 모두 덮도록 형성되는 적층 세라믹 전자부품.

#### 청구항 8

제1항에 있어서,

상기 절연층은 상기 세라믹 본체의 제1 측면으로부터 측정되는 제1 및 제2 외부전극의 높이보다 작게 형성되는 적층 세라믹 전자부품.

#### 청구항 9

제1항의 적층 세라믹 전자부품;

상기 적층 세라믹 전자부품의 외부전극과 솔더링 필렛(Soldering fillet)으로 연결되는 전극 패드; 및

상기 전극 패드가 형성되는 인쇄 회로 기판;을 포함하며,

상기 솔더링 필렛은 상기 인쇄 회로 기판과 인접하는 상기 부도체 층의 일단까지 형성되는 적층 세라믹 전자부품의 실장 기판.

#### 청구항 10

제9항에 있어서,

상기 부도체층은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함하는 적층 세라믹 전자부품의 실장 기판.

#### 청구항 11

제9항에 있어서,

상기 제1 및 제2 내부전극은 상기 세라믹 본체의 실장면에 대하여 수직으로 배치되는 적층 세라믹 전자부품의 실장 기판.

#### 청구항 12

제9항에 있어서,

상기 제1 외부전극은 상기 세라믹 본체의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성된 적층 세라믹 전자부품의 실장 기판.

#### 청구항 13

제9항에 있어서,

상기 제2 외부전극은 상기 세라믹 본체의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성된 적층

세라믹 전자부품의 실장 기판.

#### 청구항 14

제9항에 있어서,

상기 절연층은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함하는 적층 세라믹 전자부품의 실장 기판.

#### 청구항 15

제9항에 있어서,

상기 절연층은 서로 중첩된 제1 및 제2 내부전극의 노출부를 모두 덮도록 형성되는 적층 세라믹 전자부품의 실장 기판.

#### 청구항 16

제9항에 있어서,

상기 절연층은 상기 세라믹 본체의 제1 측면으로부터 측정되는 제1 및 제2 외부전극의 높이보다 작게 형성되는 적층 세라믹 전자부품의 실장 기판.

### 명세서

#### 기술분야

[0001] 본 발명은 전압 인가 시 적층 세라믹 전자부품에 의해서 발생하는 어쿠스틱 노이즈를 저감할 수 있는 적층 세라믹 전자부품 및 실장 기판에 관한 것이다.

#### 배경기술

[0002] 세라믹 재료를 사용하는 전자부품으로 커패시터, 인덕터, 압전 소자, 바리스터 또는 서미스터 등이 있다.

[0003] 이러한 세라믹 전자부품 중 적층 세라믹 커패시터(MLCC: Multi-Layered Ceramic Capacitor)는 소형이면서 고용량이 보장되고 실장이 용이한 장점을 갖는다.

[0004] 이러한 적층 세라믹 커패시터는 컴퓨터, 개인 휴대용 단말기(PDA: Personal Digital Assistants) 또는 휴대폰 등 여러 전자제품의 회로기판에 장착되어 전기를 충전 또는 방전시키는 중요한 역할을 하는 칩 형태의 콘덴서이며, 사용되는 용도 및 용량에 따라 다양한 크기와 적층 형태를 가진다.

[0005] 특히, 최근에는 전자제품이 소형화됨에 따라 이러한 전자제품에 사용되는 적층 세라믹 커패시터도 초소형화 및 초고용량화가 요구되고 있다.

[0006] 이에 제품의 초소형화를 위해 유전체층 및 내부전극의 두께를 얇게 하고, 초고용량화를 위해서 내부전극이 형성된 유전체층의 적층수를 증가한 적층 세라믹 커패시터가 제조되고 있다.

[0007] 한편, 외부전극이 모두 하면에 위치하는 적층 세라믹 커패시터가 있는데, 이러한 구조의 적층 세라믹 커패시터는 실장 밀도 및 용량이 우수하고 ESL이 낮은 장점을 가지지만, 고착강도가 낮고 적층체의 일면이 휘어지면서 크랙(crack)이 발생하기 쉬운 단점이 있다.

[0008] 상기의 문제를 해결하기 위해 상기 적층 세라믹 커패시터를 인쇄 회로 기판에 실장시 솔더 필렛(solder fillet)을 충분히 사용함으로써, 이를 해결하고 있는 실정이다.

[0009] 이러한 경우, 상기 솔더 필렛(solder fillet)을 리플로우시 오버플로우되는 현상에 따라, 불량이 발생하거나 상

기 적층 세라믹 커패시터의 실장 면적이 증가하는 문제가 있을 수 있다.

- [0010] 또한, 이로 인하여 상기 인쇄 회로 기판에 진동이 전달되어 어쿠스틱 노이즈(acoustic noise) 현상이 증가하는 문제가 있을 수 있다.
- [0011] 따라서, 적층 세라믹 커패시터의 실장 면적을 감소시키면서 동시에 어쿠스틱 노이즈(acoustic noise) 현상을 감소시킬 수 있는 연구는 여전히 필요한 실정이다.
- [0012] 아래의 특허문헌 1은 내충격성을 강화하기 위하여 적층 소재의 주면에서 금속 도금층의 단부 상에 걸쳐 도전성 수지층을 피착한 세라믹 전자부품을 개시하고 있다. 또한, 특허문헌 2는 외부 전극을 형성하는 Pd 도금 층과 Au 도금 층의 두께를 조절하여 용접의 과오름(overflow)를 방지하는 세라믹 전자부품을 개시하고 있다.
- [0013] 이들 특허문헌들은 본 특허의 청구항들 및 본 발명의 실시예들이 제안하는 부도체층을 이용하여 용접의 과오름을 방지하는 내용 등을 개시 또는 예상하지 못하고 있다.

## 선행기술문헌

### 특허문헌

- [0014] (특허문헌 0001) 일본특허공개공보 제2005-243944호  
(특허문헌 0002) 일본특허공개공보 제2003-109838호

## 발명의 내용

### 해결하려는 과제

- [0015] 본 발명의 목적은 인쇄 회로 기판과 적층 세라믹 전자부품을 솔더링할 때, 솔더가 적층 세라믹 전자부품의 두께 방향 상측으로 오버 플로우되는 것을 방지하여 실장 면적을 감소할 수 있는 적층 세라믹 전자부품을 제공하는 것이다.
- [0016] 또한, 본 발명의 또 다른 목적은 상기 적층 세라믹 전자부품이 인쇄 회로 기판에 실장되어 어쿠스틱 노이즈가 감소하는 적층 세라믹 전자부품 실장기판을 제공하는 것이다.

### 과제의 해결 수단

- [0017] 본 발명의 일 실시형태는 유전체층을 포함하며, 서로 마주보는 제1 및 제2 주면, 서로 마주보는 제1 측면 및 제2 측면 및 서로 마주보는 제1 및 제2 단면을 갖는 세라믹 본체; 상기 세라믹 본체의 내부에 용량부를 형성하는 증착된 영역을 가지며 상기 증착된 영역이 제1 측면에 노출되도록 형성되고, 상기 용량부로부터 제1 측면에 노출되도록 연장 형성된 제1 리드부를 갖는 제1 내부전극 및 상기 제1 내부전극과 절연되며, 상기 용량부로부터 제1 측면에 노출되도록 연장 형성된 제2 리드부를 가지는 제2 내부전극; 상기 제1 리드부와 연결되며, 상기 세라믹 본체의 제1 단면에 연장 형성되는 제1 외부전극 및 상기 제2 리드부와 연결되며, 상기 세라믹 본체의 제2 단면에 연장 형성되는 제2 외부전극; 및 상기 세라믹 본체의 제1 측면에 형성되는 절연층;을 포함하며, 상기 제1 단면 및 제2 단면 상에 형성된 제1 및 제2 외부전극 외측에는 부도체층이 더 형성된 적층 세라믹 전자부품을 제공한다.
- [0018] 상기 부도체층은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.

- [0019] 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 실장면에 대하여 수직으로 배치될 수 있다.
- [0020] 상기 제1 외부전극은 상기 세라믹 본체의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성될 수 있다.
- [0021] 상기 제2 외부전극은 상기 세라믹 본체의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성될 수 있다.
- [0022] 상기 절연층은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.
- [0023] 상기 절연층은 서로 중첩된 제1 및 제2 내부전극의 노출부를 모두 덮도록 형성될 수 있다.
- [0024] 상기 절연층은 상기 세라믹 본체의 제1 측면으로부터 측정되는 제1 및 제2 외부전극의 높이보다 작게 형성될 수 있다.
- [0025] 본 발명의 다른 실시형태는 제1항의 적층 세라믹 전자부품; 상기 적층 세라믹 전자부품의 외부전극과 솔더링 필렛(Soldering fillet)으로 연결되는 전극 패드; 및 상기 전극 패드가 형성되는 인쇄 회로 기판;을 포함하며, 상기 솔더링 필렛은 상기 인쇄 회로 기판과 인접하는 상기 부도체 층의 일단까지 형성되는 적층 세라믹 전자부품의 실장 기판을 제공한다.
- [0026] 상기 부도체층은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.
- [0027] 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 실장면에 대하여 수직으로 배치될 수 있다.
- [0028] 상기 제1 외부전극은 상기 세라믹 본체의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성될 수 있다.
- [0029] 상기 제2 외부전극은 상기 세라믹 본체의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성될 수 있다.
- [0030] 상기 절연층은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.
- [0031] 상기 절연층은 서로 중첩된 제1 및 제2 내부전극의 노출부를 모두 덮도록 형성될 수 있다.
- [0032] 상기 절연층은 상기 세라믹 본체의 제1 측면으로부터 측정되는 제1 및 제2 외부전극의 높이보다 작게 형성될 수 있다.

### 발명의 효과

- [0033] 본 발명의 일 실시형태에 따르면, 용량부를 형성하는 제1 및 제2 내부전극의 중첩 영역이 증가하여 적층 세라믹 커패시터의 용량이 증가될 수 있다.
- [0034] 또한, 외부에서 다른 극성의 전압이 인가되는 제1 및 제2 내부전극 간의 거리가 가까워져 커런트 루프(current loop)가 짧아질 수 있고, 이에 따라 등가직렬인덕턴스(ESL, Equivalent Series Inductance)가 낮아질 수 있다.
- [0035] 또한, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터 및 그 실장 기판에 의하면, 인쇄 회로 기판상의 실장 면적을 최소화할 수 있으며, 어쿠스틱 노이즈를 현저하게 감소할 수 있다.

### 도면의 간단한 설명

- [0036] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- 도 2는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 다른 방향에서 나타내는 개략적인 사시도이다.

도 3은 도 1 및 도 2에 도시된 적층 세라믹 커패시터의 내부전극 구조를 나타내는 단면도이다.

도 4는 도 2의 A-A'선에 따른 단면도이다.

도 5는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터가 인쇄 회로 기판에 실장된 모습을 개략적으로 도시한 개략 사시도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다. 다만, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0038] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- [0039] 도 2는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- [0040] 도 3은 도 1 및 도 2에 도시된 적층 세라믹 커패시터의 내부전극 구조를 나타내는 단면도이다.
- [0041] 도 4는 도 2의 A-A'선에 따른 단면도이다.
- [0042] 본 실시형태에 따른 적층 세라믹 커패시터는 2단자 수직 적층형 커패시터일 수 있다. “수직 적층형(vertically laminated or vertical multilayer)”은 커패시터 내의 적층된 내부전극이 회로기판의 실장 영역 면에 수직으로 배치되는 것을 의미하고, “2단자(2-terminal)”는 커패시터의 단자로서 2개의 단자가 회로기판에 접속됨을 의미한다.
- [0043] 도 1 내지 도 4를 참조하면, 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터(10)는 세라믹 본체(110); 상기 세라믹 본체의 내부에 형성되는 내부전극(121, 122); 상기 세라믹 본체의 일면에 형성되는 절연층(140) 및 외부전극(131, 132)을 포함할 수 있다.
- [0044] 본 실시형태에서, 세라믹 본체(110)는 서로 대향하는 제1주면(5) 및 제2주면(6)과 상기 제1주면 및 제2주면을 연결하는 제1 측면(1), 제2 측면(2), 제1 단면(3) 및 제2 단면(4)을 가질 수 있다. 상기 세라믹 본체(110)의 형상에 특별히 제한은 없지만, 도시된 바와 같이 육면체 형상일 수 있다. 본 발명의 일 실시형태에 따르면, 세라믹 본체의 제1 측면(1)은 회로기판의 실장 영역에 배치되는 실장 면이 될 수 있다.
- [0045] 본 발명의 일 실시형태에 따르면, x-방향은 제1 및 제2 외부전극이 소정의 간격을 두고 형성되는 방향이고, y-방향은 내부전극이 유전체층을 사이에 두고 적층되는 방향이며, z-방향은 내부전극이 회로기판에 실장되는 방향일 수 있다.
- [0046] 본 발명의 일 실시형태에 따르면, 상기 세라믹 본체(110)는 복수의 유전체층(111)이 적층되어 형성될 수 있다. 상기 세라믹 본체(110)를 구성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층끼리의 경계는 확인할 수 없을 정도로 일체화되어 있을 수 있다.
- [0047] 상기 유전체층(111)은 세라믹 파우더, 유기 용제 및 유기 바인더를 포함하는 세라믹 그린시트의 소성에 의하여 형성될 수 있다. 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니나 티탄산바륨



(BaTiO<sub>3</sub>)계 재료, 티탄산스트론튬(SrTiO<sub>3</sub>)계 재료 등을 사용할 수 있다.

- [0048] 본 발명의 일 실시형태에 따르면, 세라믹 본체(110) 내부에는 내부전극이 형성될 수 있다.
- [0049] 도 3은 세라믹 본체(110)를 구성하는 유전체층(111)과 상기 유전체층에 형성된 내부전극(121, 122)을 나타내는 단면도이다.
- [0050] 본 발명의 일 실시형태에 따르면, 제1 극성의 제1 내부전극(121)과 제2 극성의 제2 내부전극(122)을 한 쌍으로 할 수 있으며, 일 유전체층(111)을 사이에 두고 서로 대향하도록 y-방향으로 배치될 수 있다.
- [0051] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극(121, 122)은 적층 세라믹 커패시터의 실장면 즉, 제1 측면(1)에 수직으로 배치될 수 있다.
- [0052] 본 발명에서 제1 및 제2 는 서로 다른 극성을 의미할 수 있다.
- [0053] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극(121, 122)은 도전성 금속을 포함하는 도전성 페이스트에 의하여 형성될 수 있다.
- [0054] 상기 도전성 금속은 이에 제한되는 것은 아니나, 니켈(Ni), 구리(Cu), 팔라듐(Pd), 또는 이들의 합금일 수 있다.
- [0055] 유전체층을 형성하는 세라믹 그린시트 상에 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통하여 도전성 페이스트로 내부 전극층을 인쇄할 수 있다.
- [0056] 내부전극층이 인쇄된 세라믹 그린시트를 번갈아가며 적층하고 소성하여 세라믹 본체를 형성할 수 있다.
- [0057] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(10)는 상기 세라믹 본체(110)의 내부에 용량부(120)를 형성하는 중첩된 영역을 가지며 상기 중첩된 영역이 제1 측면(1)에 노출되도록 형성되고, 상기 용량부(120)로부터 제1 측면(1)에 노출되도록 연장 형성된 제1 리드부(121a)를 갖는 제1 내부전극(121) 및 상기 제1 내부전극(121)과 절연되며, 상기 용량부(120)로부터 제1 측면(1)에 노출되도록 연장 형성된 제2 리드부(122a)를 가지는 제2 내부전극(122)을 포함할 수 있다.
- [0058] 제1 및 제2 내부전극(121, 122)은 서로 다른 극성의 외부전극과 연결되기 위하여 각각 제1 및 제2 리드부(121a, 122a)를 가지며, 상기 제1 및 제2 리드부(121a, 122a)는 상기 세라믹 본체(110)의 제1 측면(1)으로 노출될 수 있다.
- [0059] 본 발명의 일 실시형태에 따르면 적층 세라믹 커패시터는 수직 적층형으로서, 제1 및 제2 리드부(121a, 122a)는 세라믹 본체의 동일면으로 노출될 수 있다.
- [0060] 본 발명의 일 실시형태에 따르면, 내부전극의 리드부는 내부전극을 형성하는 도체 패턴 중에서 폭(W)이 증가하여 세라믹 본체의 일면으로 노출된 영역을 의미할 수 있다.
- [0061] 일반적으로, 제1 및 제2 내부전극은 중첩되는 영역에 의하여 정전용량을 형성하며, 서로 다른 극성의 외부전극과 연결되는 리드부는 중첩되는 영역을 갖지 않는다.
- [0062] 본 발명의 일 실시형태에 따르면, 용량부(120)를 형성하는 중첩된 영역이 제1 측면(1)에 노출되도록 형성될 수 있고, 상기 제1 내부전극(121)이 상기 용량부(120)로부터 제1 측면(1)에 노출되도록 연장 형성된 제1 리드부(121a)를 가지며, 상기 제2 내부전극(122)이 상기 용량부(120)로부터 제1 측면(1)에 노출되도록 연장 형성된 제2 리드부(122a)를 가질 수 있다.
- [0063] 상기 제1 리드부(121a)와 제2 리드부(122a)는 서로 중첩되지 않아 상기 제1 내부전극(121)과 상기 제2 내부전극

(122)은 절연될 수 있다.

- [0064]      상기와 같이 본 발명의 일 실시형태에 따르면, 상기 세라믹 본체(110)의 내부에 용량부(120)를 형성하는 중첩된 영역이 제1 측면(1)에 노출되도록 형성됨으로써, 적층 세라믹 커패시터(10)의 용량이 증가될 수 있다.
- [0065]      또한, 외부에서 다른 극성의 전압이 인가되는 제1 및 제2 내부전극 간의 거리가 가까워져 커런트 루프(current loop)가 짧아질 수 있고, 이에 따라 등가직렬인덕턴스(ESL, Equivalent Series Inductance)가 낮아질 수 있다.
- [0066]      도 4를 참조하면, 세라믹 본체의 제1 측면으로 인출된 제1 내부전극의 제1 리드부(121a)와 연결되도록 제1 외부전극(131)이 형성되고, 세라믹 본체의 제1 측면으로 인출된 제2 내부전극의 제2 리드부(122a)와 연결되도록 제2 외부전극(132)이 형성될 수 있다.
- [0067]      상기 제1 외부전극(131)은 제1 리드부(121a)와 연결되기 위하여 상기 세라믹 본체의 제1 측면(1)에 형성되며, 상기 세라믹 본체의 제1 단면(3)에 연장 형성될 수 있으나, 이에 제한되는 것은 아니다.
- [0068]      또한, 상기 제2 외부전극(132)은 제2 리드부(122a)와 연결되기 위하여 상기 세라믹 본체의 제1 측면(1)에 형성되며, 상기 세라믹 본체의 제2 단면(4)에 연장 형성될 수 있으나, 이에 제한되는 것은 아니다.
- [0069]      즉, 상기 제1 외부전극(131)은 상기 세라믹 본체(110)의 제1 주면(5), 제2 주면(6) 및 제2 측면(2) 중 하나 이상으로 연장 형성될 수 있다.
- [0070]      또한, 상기 제2 외부전극(132)은 상기 세라믹 본체(110)의 제1 주면(5), 제2 주면(6) 및 제2 측면(2) 중 하나 이상으로 연장 형성될 수 있다.
- [0071]      따라서, 본 발명의 일 실시형태에 따르면, 상기 제1 외부전극(131)은 상기 세라믹 본체(110)의 제1 측면(1)으로 인출된 제1 내부전극(121)의 제1 리드부(121a)와 연결되면서, 상기 세라믹 본체(110)의 길이 방향 일측 단부를 둘러싸면서 형성될 수 있다.
- [0072]      또한, 상기 제2 외부전극(132)은 상기 세라믹 본체(110)의 제1 측면(1)으로 인출된 제2 내부전극(122)의 제2 리드부(122a)와 연결되면서, 상기 세라믹 본체(110)의 길이 방향 타측 단부를 둘러싸면서 형성될 수 있다.
- [0073]      상기 제1 및 제2 외부전극(131, 132)은 도전성 금속을 포함하는 도전성 페이스트에 의하여 형성될 수 있다.
- [0074]      상기 도전성 금속은 이에 제한되는 것은 아니나, 니켈(Ni), 구리(Cu), 주석(Sn), 또는 이들의 합금일 수 있다.
- [0075]      상기 도전성 페이스트는 절연성 물질을 더 포함할 수 있으며, 이에 제한되는 것은 아니나, 예를 들어 상기 절연성 물질은 글라스일 수 있다.
- [0076]      상기 제1 및 제2 외부전극(131, 132)을 형성하는 방법은 특별히 제한되지 않으며, 상기 세라믹 본체를 디핑(dipping)하여 형성할 수도 있으며, 도금 등의 다른 방법을 사용할 수도 있음은 물론이다.
- [0077]      본 발명의 일 실시형태에 따르면, 상기 제1 단면(3) 및 제2 단면(4) 상에 형성된 제1 및 제2 외부전극(131, 132) 외측에는 부도체층(141, 142)이 더 형성될 수 있다.
- [0078]      상기 부도체 층(141, 142)을 제외한 상기 제1 및 제2 외부전극(131, 132) 상에 전해 도금 방식으로 도금층(미도

시)이 피복될 수 있다.

- [0079] 상기 부도체 층(141, 142)은 상기 도금층이 피복되는 것을 방지할 수 있다.
- [0080] 또한, 후술하는 바와 같이, 인쇄 회로 기판에 상기 적층 세라믹 커패시터를 표면 실장할 때, 상기 부도체 층(141, 142)은 전극 패드에 형성되는 솔더 페이스트가 용융(wetting)되는 것을 방지하여 솔더가 부도체 층(141, 142)에 묻지 않게 한다.
- [0081] 이로 인하여, 상기 부도체 층(141, 142)은 인쇄 회로 기판에 상기 적층 세라믹 커패시터가 표면 실장될 때, 상기 적층 세라믹 커패시터를 상기 인쇄 회로 기판에 고정하는 솔더 필렛(solder fillet)의 높이를 줄일 수 있다.
- [0082] 상기 도금층은 구리(Cu), 니켈(Ni) 및 주석(Sn) 중 적어도 하나를 포함할 수 있으며, 특별히 이들로 제한되는 것은 아니다.
- [0083] 상기 부도체 층(141, 142)은 상기 제1 및 제2 외부 전극(131, 132)의 밴드부의 일부까지 연장되어 형성될 수도 있으며, 상기 적층 세라믹 커패시터가 인쇄 회로 기판에 형성되면, 솔더 필렛의 높이를 크게 줄일 수 있게 된다.
- [0084]
- [0085] 상기 도금층은 상기 제1 및 제2 외부 전극(131, 132)의 밴드부에만 형성될 수도 있다.
- [0086] 한편, 상기 부도체 층(141, 142)은 에폭시, 내열성 고분자, 글래스 및 세라믹 중 선택된 적어도 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0087] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(10)는 상기 제1 단면(3) 및 제2 단면(4) 상에 형성된 제1 및 제2 외부전극(131, 132) 각각의 외측에 부도체층(141, 142)을 더 형성함으로써, 상기 적층 세라믹 커패시터(10)를 인쇄 회로 기판상에 실장시 실장 면적을 최소화할 수 있으며,
- [0088] 상술한 적층 세라믹 커패시터를 인쇄 회로 기판에 실장하는 특징에 대한 자세한 사항은 후술하도록 한다.
- [0089] 한편, 본 발명의 일 실시형태에 따르면, 도 4에 도시된 바와 같이, 세라믹 본체(110)의 제1 측면에는 절연층(140)이 형성될 수 있다.
- [0090] 상기 절연층(140)은 제1 및 제2 외부전극(131, 132) 사이에 형성될 수 있다.
- [0091] 상기 절연층(140)은 제1 측면으로 노출된 용량부(120)를 덮도록 형성될 수 있으며, 제1 및 제2 내부전극(121, 122)의 중첩되는 영역을 모두 덮도록 형성될 수 있다.
- [0092] 본 발명의 일 실시형태에 따르면, 도 4에 도시된 바와 같이 상기 절연층(140)은 제1 및 제2 외부전극 사이의 세라믹 본체의 일면을 완전히 메우도록 형성될 수 있다.
- [0093] 또한 도시되지 않았으나, 본 발명의 일 실시형태에 따르면, 절연층(140)은 제1 및 제2 내부전극(121, 122)의 중첩 영역만을 덮도록 형성되고, 제1 및 제2 외부전극(131, 132)과 소정의 간격을 두고 형성될 수 있다.
- [0094] 본 발명의 일 실시형태에 따르면, 절연층(140)의 높이는 제1 외부전극(131) 또는 제2 외부전극(132)의 높이보다 작게 형성될 수 있다. 상기 절연층 및 외부전극의 높이는 실장면, 즉 제1 측면을 기준으로 측정될 수 있다.
- [0095] 본 실시형태에 따르면, 상기 절연층의 높이가 제1 및 제2 외부전극의 높이보다 낮아 적층 세라믹 커패시터(10)가 회로 기판 상에 보다 안정적으로 실장될 수 있다.

- [0096] 또한, 제1 및 제2 외부전극(131, 132)은 세라믹 본체의 제1 측면의 일부에 형성될 수 있다.
- [0097] 상기 절연층(140)은 특별히 제한되는 것은 아니나, 예를 들어 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.
- [0098] 본 발명의 일 실시형태에 따르면, 상기 절연층(140)은 세라믹 슬러리로 형성될 수 있다.
- [0099] 상기 세라믹 슬러리의 양 및 형상을 조절하여 절연층(140)의 형성 위치 및 높이를 조절할 수 있다.
- [0100] 상기 절연층(140)은 소성 공정에 의하여 세라믹 본체가 형성된 후, 상기 세라믹 본체에 세라믹 슬러리를 도포하고, 소성하여 형성될 수 있다.
- [0101] 다른 방법으로는 세라믹 본체를 형성하는 세라믹 그린시트 상에 절연층을 형성하는 세라믹 슬러리를 형성하고, 세라믹 그린시트와 함께 소성하여 형성될 수 있다.
- [0102] 상기 세라믹 슬러리의 형성 방법은 특별히 제한되지 않으며, 예를 들면 스프레이 방식으로 분사하거나, 롤러를 이용하여 도포할 수 있다.
- [0103] 상기 절연층(140)은 세라믹 본체의 일면으로 노출된 제1 및 제2 내부전극의 중첩 영역을 덮어 내부전극 간의 단락을 방지하고, 내습 특성 저하 등의 내부결함을 방지할 수 있다.
- [0104] 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극은 제1 측면으로 노출되는 부분에도 중첩 영역이 형성되어 적층 세라믹 커패시터의 용량이 증가될 수 있다.
- [0105] 또한, 외부에서 다른 극성의 전압이 인가되는 제1 및 제2 내부전극 간의 거리가 가까워져 커런트 루프(current loop)가 짧아질 수 있고, 이에 따라 등가직렬인덕턴스(ESL, Equivalent Series Inductance)가 낮아질 수 있다.
- [0106] 도 5는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터가 인쇄 회로 기판에 실장된 모습을 개략적으로 도시한 개략 사시도이다.
- [0107] 도 5를 참조하면, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 실장 기판은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품; 상기 적층 세라믹 전자부품의 외부전극(131, 132)과 솔더링 필렛(Soldering fillet)(162, 164)으로 연결되는 전극 패드(152, 154); 및 상기 전극 패드(152, 154)가 형성되는 인쇄 회로 기판(200);을 포함하며, 상기 솔더링 필렛(162, 164)은 상기 인쇄 회로 기판(200)과 인접하는 상기 부도체 층(141, 142)의 일단까지 형성될 수 있다.
- [0108] 상기 부도체 층(141, 142)은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.
- [0109] 상기 제1 및 제2 내부전극(121, 122)은 세라믹 본체(110)의 실장면에 대하여 수직으로 배치될 수 있다.
- [0110] 상기 제1 외부전극(131)은 상기 세라믹 본체(110)의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성될 수 있다.
- [0111] 상기 제2 외부전극(132)은 상기 세라믹 본체(110)의 제1 주면, 제2 주면 및 제2 측면 중 하나 이상으로 연장 형성될 수 있다.
- [0112] 상기 절연층(140)은 에폭시, 내열성 고분자, 글라스 및 세라믹으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.

- [0113] 상기 절연층(140)은 서로 중첩된 제1 및 제2 내부전극(121, 122)의 노출부를 모두 덮도록 형성될 수 있다.

[0114] 상기 절연층(140)은 상기 세라믹 본체(110)의 제1 측면으로부터 측정되는 제1 및 제2 외부전극(131, 132)의 높이보다 작게 형성될 수 있다.

[0115] 상술한 본 발명의 일 실시형태와 다른 구성요소를 중심으로 설명하며, 동일한 구성요소에 대한 자세한 설명은 생략한다.

[0116] 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 실장 기판은 적층 세라믹 전자부품, 전극 패드(152, 154) 및 인쇄 회로 기판(200)을 포함할 수 있다.

[0117] 상기 적층 세라믹 전자부품은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(10)일 수 있다.

[0118] 또한, 상기 제1 및 제2 내부 전극(121, 122)이 상기 인쇄 회로 기판(200)과 수직하도록 상기 적층 세라믹 커패시터(10)가 인쇄 회로 기판(200)에 실장될 수 있다.

[0119] 그리고, 인쇄 회로 기판(200)과 적층 세라믹 커패시터(10)의 도금 층(131a, 132a)은 상기 전극 패드(152, 154)와 솔더링 필렛(162, 164)으로 연결될 수 있다.

[0120] 또한, 상기 솔더링 필렛(162, 164)은 상기 인쇄 회로 기판(200)과 인접하는 상기 부도체 층(141, 142)의 일단까지 형성될 수 있다.

[0121] 일반적으로, 상기 적층 세라믹 커패시터(10)가 인쇄 회로 기판(200)에 실장된 상태에서, 전압을 인가하면 어쿠스틱 노이즈가 발생할 수 있다.

[0122] 그러나, 본 발명의 다른 실시형태에 따르면 상기 어쿠스틱 노이즈는 상기 솔더링 필렛(162, 164)의 높이를 줄임으로써 감소될 수 있다.

[0123] 즉, 본 발명의 다른 실시형태에 따르면 솔더링 필렛(162, 164)의 높이가 부도체 층(141, 142)에 의해 규정되는 경우 인쇄 회로 기판(200)을 거의 변형시키지 못하며, 이로 인하여 어쿠스틱 노이즈가 현저히 줄어드는 효과가 있다.

[0124] 또한, 본 발명의 다른 실시형태에 따르면 상기 솔더링 필렛(162, 164)의 높이를 줄임으로써, 적층 세라믹 커패시터(10)를 인쇄 회로 기판(200)에 실장시 실장 면적을 줄일 수 있다.

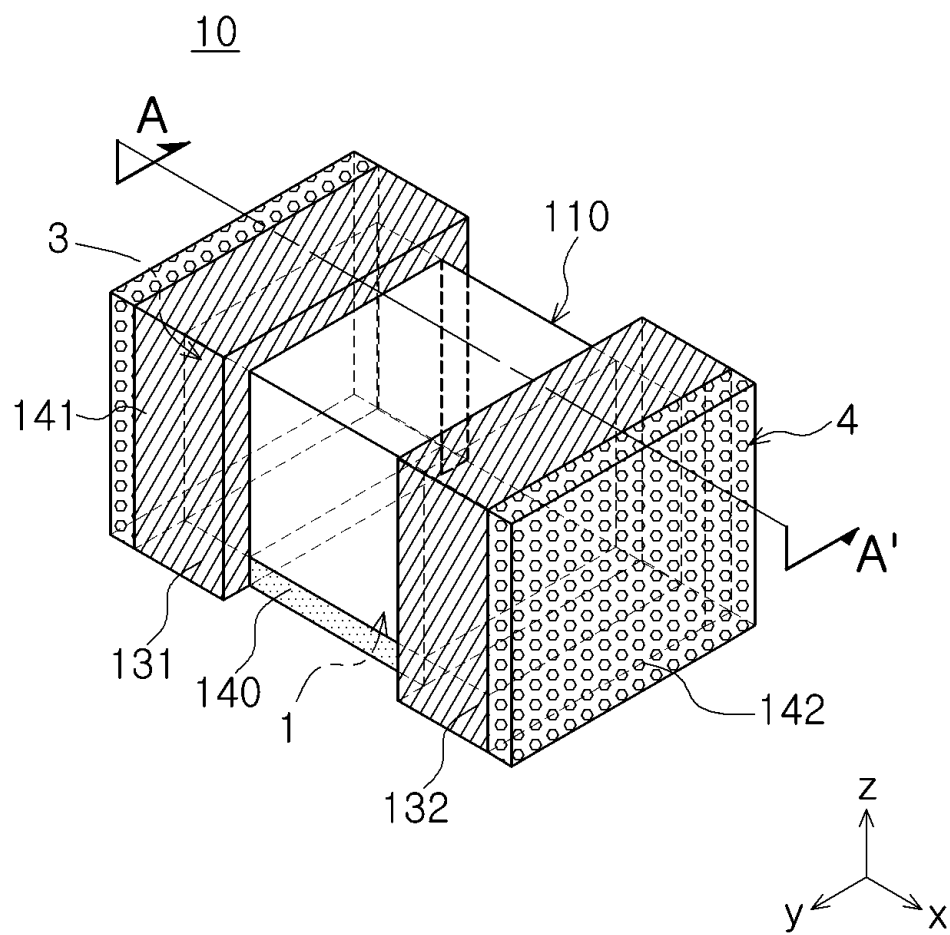
[0125] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

## 부호의 설명

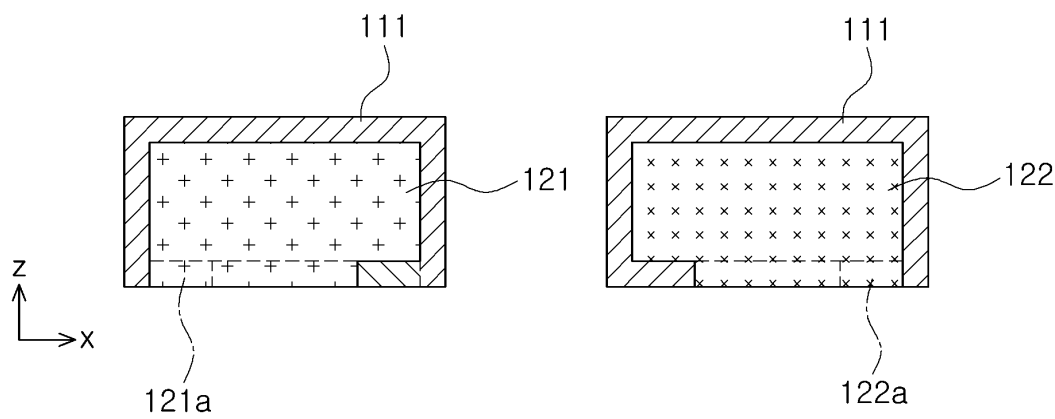
- |        |                        |                        |
|--------|------------------------|------------------------|
| [0126] | 10: 적층 세라믹 커패시터        |                        |
|        | 110: 세라믹 본체            | 111: 유전체층              |
|        | 120: 용량부               |                        |
|        | 121, 122: 제1 및 제2 내부전극 | 131, 132: 제1 및 제2 외부전극 |
|        | 140: 절연층               | 141, 142: 부도체층         |



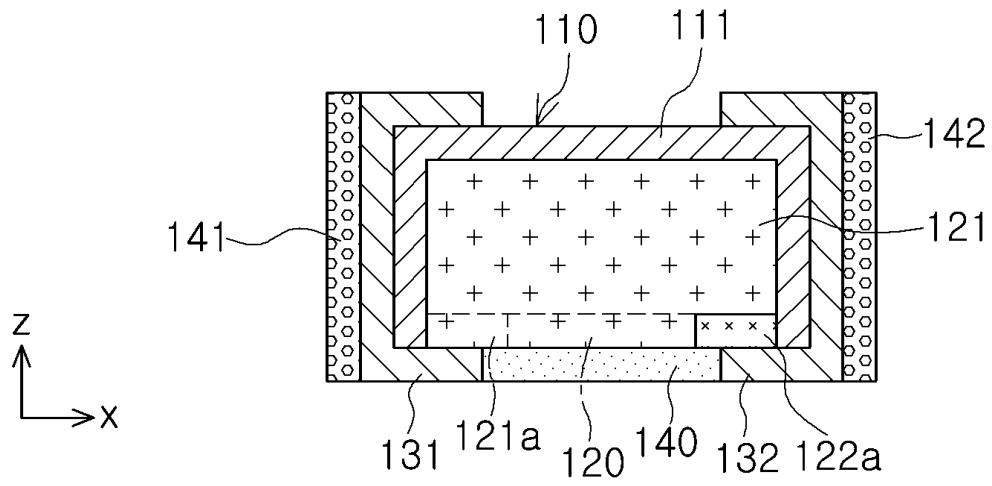
도면2



도면3



도면4



도면5

