



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월08일
(11) 등록번호 10-1807180
(24) 등록일자 2017년12월04일

(51) 국제특허분류(Int. Cl.)

G06F 17/50 (2006.01)

(52) CPC특허분류

G06F 17/5045 (2013.01)

(21) 출원번호 10-2016-0107927

(22) 출원일자 2016년08월24일

심사청구일자 2016년08월24일

(56) 선행기술조사문헌

“Reducing TMR overhead by combining approximate circuit, transistor topology and input permutation approaches”, Integrated Circuits and Systems Design 2013 26th Symposium on, 2013*

“A flexible inexact TMR technique for SRAM-based FPGAs”, Design, Automation & Test in Europe Conference & Exhibition, 2016. 03.

“Exploring the use of approximate TMR to mask transient faults in logic with low area overhead”, Volume 55 Issues 9-10(pp. 2072-2076), 2015

“Approximate logic circuits for low overhead, non-intrusive concurrent error detection”, Design, Automation and Test in Europe, 2008

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

조선대학교 산학협력단

광주광역시 동구 필문대로 309 (서석동)

(72) 발명자

이정아

광주광역시 북구 첨단과기로 123. C동 1202호(오룡동, 교수아파트)

아리핀 투바

신드, 카라치, 클리프턴 블럭2, 클리프턴 콘도미니엄 플랫 424

(뒷면에 계속)

(74) 대리인

특허법인아이엠

전체 청구항 수 : 총 7 항

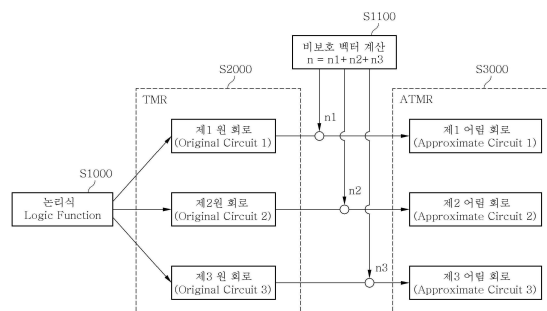
심사관 : 박승철

(54) 발명의 명칭 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법 및 그 방법으로 설계된 삼중 중복형 모듈러 장치

(57) 요약

본 발명은 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법 및 그 방법으로 설계된 삼중 중복형 모듈러 장치에 관한 것으로, 보다 구체적으로는 허용 가능한 에러율(acceptable error rate)에 기반하여 논리식의 문자 수(number of literals)를 최대한 간소화함으로써 공간(area), 지연(delay) 및 전력 소비(power consumption) 등에 성능 향상을 달성할 수 있는 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법 및 그 방법으로 설계된 삼중 중복형 모듈러 장치에 관한 것이다.

대표도



(72) 발명자

하싼 압두스 사미

이슬라마바드, 제다 타운 스트리트 5, 하우스 41

호세인 무라디안사드로우디

광주광역시 동구 밤실로3번길 13-1, 303호 (지산동, 코스모스빌)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711024151

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 신진연구자지원

연구과제명 확장가능한 자가오류 탐지 및 오류회복 연산기 설계

기 여 율 1/1

주관기관 조선대학교 산학협력단

연구기간 2015.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

삭제

청구항 2

삼중 중복형 모듈러 장치를 위한 어림 회로(ATMR: Approximate circuits for Triple Modular Redundancy)의 설계 방법으로,

연산해야 할 논리식과 허용 가능한 에러율(error rate)이 주어지는 단계;

상기 논리식으로부터 원 회로(original circuit)를 초기화하고 상기 허용 가능한 에러율로부터 비 보호 벡터(unprotected vectors)의 개수를 계산하는 단계; 및

맵 법(map method)을 통해 상기 원 회로의 출력 벡터를 보수취하여(complements) 단순화함으로써 복수의 어림 회로를 순차 설계하는 단계;를 포함하고,

이전 어림 회로의 설계시 보수 취해지는 출력 벡터는 다음 어림 회로 설계시에 블록 처리(block state)되어 변화되지 않으며,

상기 단순화하는 과정은 상기 원 회로의 출력 벡터 값이 '1'인지 '0'인지 관계없이 주 항목 확장(Prime Implicant Expansion) 또는 주 항목 축소(Prime Implicant Reduction)의 방법으로 단순화하는 것을 특징으로 하는 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법.

청구항 3

제 2 항에 있어서,

상기 어림 회로의 설계를 위해 보수 취해지는 출력 벡터의 총 합은 상기 비 보호 벡터의 개수와 동일한 것을 특징으로 하는 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법.

청구항 4

제 2 항 또는 제 3 항의 방법으로 설계된 어림 회로들로 구성되는 삼중 중복형 모듈러 장치.

청구항 5

제 4 항에 있어서,

상기 삼중 중복형 모듈러 장치는 하나의 원 회로와 두 개의 어림 회로로 구성되는 것을 특징으로 하는 삼중 중복형 모듈러 장치.

청구항 6

제 4 항에 있어서,

상기 삼중 중복형 모듈러 장치는 세 개의 어림 회로로 구성되는 것을 특징으로 하는 삼중 중복형 모듈러 장치.

청구항 7

컴퓨터를 제 2 항 또는 제 3 항의 방법으로 설계된 삼중 중복형 모듈러 장치로 기능하게 하는 매체에 저장된 컴퓨터 프로그램.

청구항 8

컴퓨터와 결합하여 제 2 항 또는 제 3 항의 방법을 수행하는 매체에 저장된 컴퓨터 프로그램.

발명의 설명

기술 분야

[0001] 본 발명은 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법 및 그 방법으로 설계된 삼중 중복형 모듈러 장치에 관한 것으로, 보다 구체적으로는 허용 가능한 에러율(acceptable error rate)에 기반하여 논리식의 문자 수(number of literals)를 최대한 간소화함으로써 공간(area), 지연(delay) 및 전력 소비(power consumption) 등에 성능 향상을 달성할 수 있는 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법 및 그 방법으로 설계된 삼중 중복형 모듈러 장치에 관한 것이다.

배경 기술

[0003] 삼중 중복형 모듈러(TMR:Triple Modular Redundancy) 기법은 결함이 발생하였을 경우에도 시스템이 정상적인 동작을 수행할 수 있도록 보장하는 기법 중, 하나로 주로 결함 허용 시스템(Fault Tolerant System)의 설계에 이용된다.

[0004] 이 기법에 의해 설계된 삼중 중복형 모듈러 장치는 시스템의 일부에 오류가 발생하더라도 전체 시스템 동작에는 영향을 주지 않고 실행되는 처리를 계속 유지시켜준다.

[0005] 또한, 삼중 중복형 모듈러 장치는 중앙 처리 장치, 시스템 버스와 기억 장치, 입출력 처리 장치 및 입출력 버스 등과 같은 주요한 하드웨어의 요소들을 다중화하여 어떠한 고장이 발생하더라도 이를 진단하여 회복시키는 기능을 갖추고 있다.

[0006] 도 1은 일반적인 삼중 중복형 모듈러 장치를 보여주는 것으로 도 1을 참조하면, 일반적인 삼중 중복형 모듈러 장치(TMR)는 제1 원 회로(11,Original circuit 1), 제2 원 회로(12,Original circuit 2) 및 제3 원 회로(13,Original circuit 3)를 포함하여 이루어지며, 상기 원 회로들(11,12,13)은 서로 동일한 논리식을 갖는 회로이다.

[0007] 예를 들면, 상기 원 회로들(11,12,13) 불 연산(Boolean logic)을 수행하는 회로일 수 있다.

[0008] 또한, 상기 원 회로들(11,12,13)은 입력 벡터(1,input vectors)를 입력받고 입력 벡터에 대해 병렬적으로 연산을 수행한 후 출력 벡터를 출력한다.

[0009] 또한, 상기 출력 벡터들은 투표기(3,Voter)로 입력되고, 상기 투표기(3)는 입력된 출력 벡터들 중 결함이 존재하는 출력은 무시하고 올바른 출력 벡터를 선택하여 최종 출력 벡터(2)를 출력하게 된다.

[0010] 또한, 상기 투표기(3)는 세 개의 출력 벡터가 모두 동일할 경우 상기 원 회로들(11,12,13)에 결함이 없는 것으로 판단하여 최종 출력 벡터(2)를 출력하고, 어느 하나의 출력 벡터가 다른 두 개의 출력 벡터와 상이할 경우 상이한 출력 벡터는 결함이 존재하는 출력 벡터로 판단하여 무시하고 다른 두 개의 동일한 출력 벡터를 상기 최종 출력 벡터(2)로 출력하게 된다.

[0011] 즉, 일반적인 삼중 중복형 모듈러 장치는 상기 원 회로들(11,12,13) 중 어느 하나에 고장이 발생하더라도 정확한 출력을 출력할 수 있고, 고장이 발생한 원 회로를 수리하여 시스템을 정상화할 수 있게 하는 장점이 있다.

[0012] 그러나 일반적인 삼중 중복형 모듈러 장치는 세 개 이상의 원 회로를 포함하여야 하므로 시스템을 구성하기 위한 공간(area), 처리 속도의 지연(delay) 및 전력 소비(power consumption)가 증가되는 단점이 있다.

[0013] 이러한 단점을 극복하기 위해 세 개의 원 회로들(11,12,13) 중, 두 개의 원회로를 어림 회로로 설계하여 공간,

지연 및 전력 소비의 증가를 줄인 어림 회로를 갖는 삼중 중복형 모듈러 장치(ATMR:Approximate TMR)가 제안된 바 있다.

- [0014] 도 2는 일반적인 어림 회로를 갖는 삼중 중복형 모듈러 장치를 보여주는 것으로 도 2를 참조하면, 일반적인 어림 회로를 갖는 삼중 중복형 모듈러 장치(3)는 원래의 논리식에 의해 출력 벡터를 출력하는 하나의 원 회로(21,Original Circuit)와 단순화된 논리식에 의해 출력 벡터를 출력하는 두 개의 어림 회로들(22,23)로 구성된다.
- [0015] 또한, 상기 어림 회로들(22,23) 제1 어림 회로(22,Approximate Circuit 1)와 제2 어림 회로(23,Approximate Circuit 2)로 구성되며, 상기 어림 회로들(22,23)은 각각 상기 원 회로(21)의 논리식을 카르노 맵(Karnaugh map) 또는 케이-맵(K-map)와 같은 맵 법(map method)에 의해 단순화한 회로이다.
- [0016] 도 3은 일반적인 어림 회로를 갖는 삼중 중복형 모듈러 장치(20)의 예시적인 진리표이다.
- [0017] 도 3을 참조하면, 상기 제1 어림 회로(Approximate Circuit 1)와 상기 제2 어림 회로(Approximate Circuit 2)는 단순화된 논리식에 의해 설계되므로 출력 벡터들 중, 상기 원 회로(Original Circuit)의 출력 벡터와 서로 상이한 출력 벡터가 존재하며, 이러한 출력 벡터를 비 보호 벡터(unprotected vector)라 한다.
- [0018] 또한, 도 3의 예시에서는 상기 제1 어림 회로(Approximate Circuit 1)에 세 개의 비 보호 벡터(입력 벡터 XYZ가 011,100,111인 경우)가 존재하고, 상기 제2 어림 회로(Approximate Circuit 2)에는 하나의 비 보호 벡터(입력 벡터 XYZ가 001인 경우)가 존재한다.
- [0019] 즉, 일반적인 어림 회로를 갖는 삼중 중복형 모듈러 장치(20)는 도 1에 삼중 중복형 모듈러 장치(10)와 비교하여 어림 회로를 이용하므로 공간, 지연 및 전력 소비를 줄일 수 있는 장점이 있다.
- [0020] 다만, 비 보호 벡터가 존재하는 입력에 대해 다른 회로에 결함이 발생할 경우 올바른 출력을 출력할 수 없으므로 소정의 에러율(Error Rate)을 갖는다.
- [0021] 예를 들면, 도 3의 진리표에서 입력 벡터가 001일 때 상기 원 회로(21)나 상기 제2 어림 회로(2)에 결함이 존재한다면 상기 투표기(20)는 출력 벡터 '1'을 출력하게 되고 출력에 오류가 발생한다.
- [0022] 또한, 상기 에러율은 아래의 수학식 1과 같이 표현할 수 있다.

수학식 1

$$\text{에러율(Error Rate)} = \frac{\text{비 보호 벡터 수(Number of unprotected vectors)}}{\text{총 입력 벡터 수(Number of total input vectors)}} \times 100$$

- [0024] 또한, 도 2의 어림 회로를 갖는 삼중 중복형 모듈러 장치(20)는 총 입력 벡터가 8개이고, 비 보호 벡터 수가 4개 이므로 에러율을 50%이다.
- [0025] 도 4는 일반적인 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치를 보여주는 것으로, 도 2를 참조하면, 일반적인 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치(30,Fully ATMR)는 도 2의 일반적인 어림 회로를 갖는 삼중 중복형 모듈러 장치(20)와 비교하여 원 회로(21) 역시 어림 회로로 설계된다.
- [0026] 즉, 상기 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치(30)는 세 개의 어림 회로(31,32,33)를 포함하여 이루어지며, 도 2에 도시한 두 개의 어림 회로를 갖는 삼중 중복형 모듈러 장치(20)와 비교하여 공간, 지연 및 전력 소비를 더욱 줄일 수 있다.
- [0027] 또한, 도 5는 상기 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치(30)의 예시적인 진리표이다.
- [0028] 도 5를 참조하면, 상기 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치(30)는 제1 어림 회로(31,Approximate Circuit 1)에 하나의 비 보호 벡터, 제2 어림 회로(32,Approximate Circuit 2)에 두 개의 비 보호 벡터, 제3 어림 회로(33,Approximate Circuit 3)에 하나의 비 보호 벡터가 존재한다.
- [0029] 즉, 도 3에 도시한 진리표와 비교하여 에러율은 동일하나 원 회로를 어림 회로로 단순화할 수 있으므로 공간, 지연 및 전력 소비의 증가를 더욱 줄일 수 있는 것이다.
- [0030] 다만, 도 3 및 도 5의 진리표는 일반적인 어림 회로의 설계 방법으로 설계된 것이 아니며 공지 기술이 아니다.

- [0031] 공지된 기술들에는 출력 벡터를 하나만 비 보호 벡터로 교체하여 설계하는 기법과 출력 벡터 '0'을 '1'로 교체하여 주 항목을 확장하는 기법(Prime Implicant expansion)만이 개시되어 있다.[1][2][3][4][5]
- [0032] [선행기술문헌]
- [0033] [비특허문헌]
- [0034] [1] Gomes I. A., Martins M. G., Re A. I., and Kastensmidt F. L., “Exploring the use of approximate TMR to mask transient faults in logic with low area overhead,” Microelectronics Reliability , 2015
- [0035] [2] Shin D. and GuptaS. K., “Approximate logic synthesis for error tolerant applications,” Proceedings of Conference on Design, Automation and Test in Europe, European Design and Automation Association, March 2010
- [0036] [3] Gomes I. A., and Kastensmidt F. G., “Reducing TMR overhead by combining approximate circuit, transistor topology and input permutation approaches,” IEEE 26th Symposium on Integrated Circuits and Systems, September 2013
- [0037] [4] Gomes I. A., Martins M., Lima Kastensmidt F., Reis A., Ribas R., and Novales S. P., “Methodology for achieving best trade-off of area and fault masking coverage in ATMR,” IEEE 15th Latin American Test Workshop-LATW, March 2014
- [0038] [5] Gomes I. A., Martins M., Reis A., and Lima Kastensmidt F. L., “Using only redundant modules with approximate logic to reduce drastically area overhead in TMR,” IEEE 16th Latin-American Test Symposium, March 2015

발명의 내용

해결하려는 과제

- [0040] 본 발명의 목적은 공간 오버헤드(area overhead), 실행시간의 지연(delay) 및 전력 소모(power consumption)를 최소화할 수 있는 삼중 중복형 모듈러 장치의 어림 회로를 설계하기 위한 방법을 제공하는 것이다.
- [0041] 또한, 본 발명의 목적은 상기 방법으로 설계되는 어림 회로들로 구성되는 삼중 중복형 모듈러 장치를 제공하는 것이다.

과제의 해결 수단

- [0043] 상기의 목적을 달성하기 위하여 본 발명은 삼중 중복형 모듈러 장치를 위한 어림 회로(ATMR:Approximate circuits for Triple Modular Redundancy)의 설계 방법으로, 연산해야 할 논리식과 허용 가능한 에러율(error rate)이 주어지는 단계; 상기 논리식으로부터 원 회로(original circuit)를 초기화하고 상기 허용 가능한 에러율로부터 비 보호 벡터(unprotected vectors)의 개수를 계산하는 단계; 및 맵 법(map method)을 통해 상기 원 회로의 출력 벡터를 보수취하여(complements) 단순화함으로써 복수의 어림 회로를 순차 설계하는 단계;를 포함하고, 이전 어림 회로의 설계시 보수 취해지는 출력 벡터는 다음 어림 회로 설계시에 블록 처리(block state)되어 변화되지 않는 것을 특징으로 하는 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법을 제공한다.
- [0044] 바람직한 실시예에 있어서, 상기 단순화하는 과정은 상기 원 회로의 출력 벡터 값이 '1'인지 '0'인지 관계없이 주 항목 확장(Prime Implicant Expansion) 또는 주 항목 축소(Prime Implicant Reduction)의 방법으로 단순화하는 과정이다.
- [0045] 바람직한 실시예에 있어서, 상기 어림 회로의 설계를 위해 보수 취해지는 출력 벡터의 총 합은 상기 비 보호 벡터의 개수와 동일하다.
- [0046] 또한, 본 발명은 상기 설계 방법으로 설계된 어림 회로들로 구성되는 삼중 중복형 모듈러 장치를 더 제공한다.
- [0047] 바람직한 실시예에 있어서, 상기 삼중 중복형 모듈러 장치는 하나의 원 회로와 두 개의 어림 회로로 구성된다.
- [0048] 바람직한 실시예에 있어서, 상기 삼중 중복형 모듈러 장치는 세 개의 어림 회로로 구성된다.
- [0049] 또한, 본 발명은 컴퓨터를 상기 설계 방법으로 설계된 삼중 중복형 모듈러 장치로 기능하게 하는 매체에 저장된

프로그램을 더 제공한다.

[0050] 또한, 본 발명은 컴퓨터와 결합하여 상기 설계 방법을 수행하는 매체에 저장된 컴퓨터 프로그램을 더 제공한다.

발명의 효과

[0052] 본 발명은 다음과 같은 우수한 효과를 가진다.

[0053] 본 발명의 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법 및 그 방법으로 설계된 삼중 중복형 모듈러 장치에 의하면, 주 항목 확장 기법과 축소 기법을 함께 이용하여 공간 오버헤드(area overhead), 실행시간의 지연(delay) 및 전력 소모(power consumption)를 최소화할 수 있는 장점이 있다.

도면의 간단한 설명

[0055] 도 1은 일반적인 삼중 중복형 모듈러 장치를 보여주는 도면,

도 2는 일반적인 어림 회로를 갖는 삼중 중복형 모듈러 장치를 보여주는 도면,

도 3은 일반적인 어림 회로를 갖는 삼중 중복형 모듈러 장치의 예시적인 진리표를 보여주는 도면,

도 4는 일반적인 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치를 보여주는 도면,

도 5는 일반적인 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치의 예시적인 진리표를 보여주는 도면,

도 6은 본 발명의 일 실시예에 따른 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법을 설명하기 위한 도면,

도 7은 본 발명의 일 실시예에 따른 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법으로 어림 회로를 설계하는 과정의 예제를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0056] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명의 상세한 설명 부분에 기재되거나 사용된 의미를 고려하여 그 의미가 파악되어야 할 것이다.

[0057] 이하, 첨부한 도면에 도시된 바람직한 실시예들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.

[0058] 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 명세서 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0060] 본 발명의 일 실시예에 따른 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법은 도 2에 도시한 어림 회로를 갖는 삼중 중복형 모듈러 장치 또는 도 3에 도시한 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치를 설계하기 위한 방법으로 최적의 어림 회로를 설계하여 공간 오버헤드, 실행시간의 지연 및 전력 소모를 줄일 수 있는 기술이다.

[0061] 다만, 본 발명의 일 실시예에 설계 방법은 삼중에 한정되지 않고 네 개 이상의 다중의 어림 회로를 갖는 다중 중복형 모듈러 장치의 설계에도 응용할 수 있다.

[0062] 또한, 본 발명의 일 실시예에 따른 설계 방법으로 설계되는 삼중 중복형 모듈러 장치는 최적 경로(critical-path), 스위칭 커패시턴스(switching capacitance), 실리콘 면적(silicon area)의 측면에서 회로의 복잡도가 감소된 소정의 하드웨어 장치이다.

[0063] 예를 들면, 상기 삼중 중복형 모듈러 장치는 컴퓨터, 스마트 기기의 중앙 처리 장치, 시스템 버스화 기억 장치, 입출력 처리 장치 및 입출력 버스를 위한 하드웨어, 임베디드 시스템의 정보처리를 위한 하드웨어일 수 있다.

[0064] 그러나 상기 삼중 중복형 모듈러 장치는 논리 연산을 수행할 수 있는 스위칭 디바이스의 집합으로 이루어진다면 어떠한 하드웨어로도 제공될 수 있다.

[0065] 또한, 상기 삼중 중복형 모듈러 장치는 하드웨어뿐만 아니라 소프트웨어로 설계될 수 있다.

[0066] 또한, 상기 삼중 중복형 모듈러 장치가 소프트웨어로 제공될 경우에는 컴퓨터를 상기 삼중 중복형 모듈러 장치로 기능하게 하는 프로그램(이하 '연산 프로그램'이라 함)의 형태로 제공될 수 있다.

- [0067] 또한, 상기 연산 프로그램은 컴퓨터로 읽을 수 있는 매체에 저장되어 제공될 수 있고, 통신망을 통해 다운로드 하여 컴퓨터에 설치할 수 있도록 통신망에 접속된 서버 시스템에 저장되어 제공될 수 있다.
- [0068] 또한, 상기 매체는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD, DVD와 같은 광 기록 매체, 자기 및 광 기록을 결합할 수 있는 자기-광 기록 매체, 롬, 램, 플래시 메모리 등 단독 또는 조합에 의해 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치일 수 있다.
- [0069] 또한, 상기 연산 프로그램은 프로그램 명령, 로컬 데이터 파일, 로컬 데이터 구조 등이 단독 또는 조합으로 구성된 프로그램일 수 있고, 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라, 인터프리터 등을 사용하여 컴퓨터에 의해 실행될 수 있는 고급 언어 코드로 짜여진 프로그램일 수 있다.
- [0071] 이하에서는 도 4를 참조하여, 본 발명의 일 실시예에 따른 삼중 중복형 모듈러 장치를 위한 어림 회로의 설계 방법(이하, '설계 방법'이라 함)을 설명한다.
- [0072] 본 발명의 일 실시예에 따른 설계 방법은 컴퓨터 프로그램(이하 '설계 프로그램'이라 함)이 컴퓨터를 기능시켜 수행된다.
- [0073] 그러나 설계자가 직접 수동으로 설계할 수 있다.
- [0074] 또한, 상기 설계 프로그램은 전술한 소정의 매체에 의해 저장되어 제공될 수 있으며, 통신망에 접속 가능한 서버 시스템에 저장되어 다운로드 될 수 있다.
- [0075] 먼저, 연산해야 할 논리식(Logig Function)이 주어지며(S1000), 상기 논리 식으로부터 원 회로(orinal circuit)를 초기화한다(S2000).
- [0076] 더불어 허용 가능한 에러율(error rate)이 주어지며, 상기 허용 가능한 에러율로부터 비 보호 벡터(unprotected vector)의 개수(n)를 계산한다(S1100).
- [0077] 또한, 상기 비 보호 벡터는 상기 수학적 1에서 도시한 계산 방법으로 계산할 수 있다.
- [0078] 또한, 상기 원 회로는 세 개의 원 회로로 초기화될 수 있으며, 이는 도 1에 도시한 삼중 중복형 모듈러 장치(TMR)와 동일한 구조이다.
- [0079] 다음, 상기 원 회로들 중, 제1 원회로(Original circuit 1)를 제1 어림 회로(Approximate circuit 1)로, 제2 원회로(Original circuit 2)를 제2 어림 회로(Approximate circuit 2)로, 제3 원회로(Original circuit 1)를 제3 어림 회로(Approximate circuit 1)로 순차 설계한다(S3000).
- [0080] 또한, 상기 어림 회로들은 하나의 완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치(Fully ATMR)를 구성한다.
- [0081] 또한, 상기 어림 회로들은 맵 법(map method)을 통해 상기 원 회로의 출력 벡터를 단순화하여 설계된다.
- [0082] 또한, 상기 출력 벡터의 단순화는 출력 벡터의 값이 '1'인지 '0'인지 관계 없이 보수 취해질 수 있으며, 이는 주 항목 확장(Prime Implicant Expansion)과 주 항목 축소(Prime Implicant Reduction)의 방법을 함께 이용하여 단순화하는 것을 의미한다.
- [0083] 즉, 종래의 기술은 '0'을 '1'로 보수취하여 단순화하는 주 항목 확장의 방법으로만 단순화를 수행하나 본 발명은 주 항목 축소의 방법을 함께 이용하여 단순화를 수행한다.
- [0084] 한편, 주 항목 확장의 방법은 항상 논리식의 문자수(number of literals)를 감소시킬 수 있으나 주 항목 축소의 방법은 논리식의 문자수를 증가시킬 수 있다.
- [0085] 그러나 주 항목 축소에 의해 단순화되는 어림 회로는 주 항목 확장에 의해 단순화되는 다른 어림 회로의 설계에 도움이 되므로 전체 어림 회로의 문자수를 최소화할 수 있는 효과가 있다.
- [0086] 또한, 상기 맵 법은 카르노 맵(Karnaugh map), 케이-맵(k-map)을 이용하여 불 대수의 단순화를 수행하기 위한 방법으로, 이용되는 맵의 종류에는 제한이 없다.
- [0087] 또한, 상기 어림 회로들의 설계를 위해 보수 취해지는 출력 벡터의 개수(n1,n2,n3)의 합은 상기 비 보호 벡터의 개수(n)와 동일하다.
- [0088] 또한, 이전 어림 회로의 설계시 보수 취해지는 출력 벡터는 다음 어림 회로 설계시에 블록 처리(block state)되어 변화되지 않는다.

[0089] 이하에서는 도 7의 예제를 참조하여 상기 설계 방법을 더욱 자세하게 설명한다.

[0090] 도 7의 예제는 네 개의 입력 벡터를 볼 연산 하기 위한 회로로 주어진 논리식(G)은 아래의 수학식 2와 같고 허용 가능한 에러율은 18.75%이며 비 보호 벡터의 개수는 아래의 수학식 3을 통해 계산된다.

수학식 2

[0091]
$$G=ad+bcd$$

수학식 3

[0092]
$$18.75=\frac{\text{비 보호 벡터 개수}}{16} \times 100$$

[0093] 즉, 상기 논리식은 다섯 개의 문자로 구성되며 원 회로들만으로 삼중 중복형 모듈러 장치를 구성할 경우 총 열 다섯 개의 문자에 대응하는 공간 오버헤드가 필요하다.

[0094] 도 7의 (a)는 상기 논리식을 카르노 맵 상에 도식화하여 원 회로를 초기화한 것을 보여주는 것이다.

[0095] 도 7의 (b)는 상기 원 회로의 출력 벡터 $\overline{a}bcd$ 를 보수 취하여 두 개의 묶음(100,200)으로 묶이게 함으로써 단순화한 제1 어림 회로이다.

[0096] 또한, 상기 제1 어림 회로는 가장 넓게 커버 가능하도록 단순화된 회로이다.

[0097] 또한, 상기 제1 어림 회로의 논리식(f1)은 아래의 수학식 4와 같고 네 개의 문자 수로 연산 기능을 수행할 수 있다.

수학식 4

[0098]
$$f1=ad+cd$$

[0099] 다음, 도 7의 (c)는 상기 원 회로의 출력 벡터 $\overline{a}bcd$ 를 보수 취하여 하나의 묶음(300)으로 묶이게 함으로써 단순화한 제2 어림 회로이다.

[0100] 또한, 상기 제2 어림 회로를 단순화할 때, 상기 제1 어림 회로의 단순화를 위해 보수 취해진 출력 벡터 $\overline{a}bcd$ 는 변화되지 않도록 블록 처리(block state)된다.

[0101] 이는 상기 원 회로에서 이미 변경된 출력 벡터는 단 하나 여야만 하기 때문이다.

[0102] 또한, 상기 제2 어림 회로의 논리식(f2)는 아래의 수학식 5와 같고 두 개의 문자 수로 연산 기능을 수행할 수 있다.

수학식 5

[0103]
$$f2=ad$$

[0104] 다음, 도 7의 (d)는 상기 원 회로의 출력 벡터 $\overline{a}b\overline{c}d$ 를 보수 취하여 두 개의 묶음(400,500)으로 묶이게 함으로써 단순화한 제3 어림 회로이다.

[0105] 또한, 상기 제3 어림 회로를 단순화할 때, 상기 제1 어림 회로 및 상기 제2 어림 회로의 단순화를 위해 보수 취

해진 출력 벡터 $\overline{abcd}, \overline{abcd}$ 는 변화되지 않도록 블록 처리된다.

[0106] 또한, 상기 제3 어림 회로의 논리식(f3)은 아래의 수학식 6과 같고 네 개의 문자 수로 연산 기능을 수행할 수 있다.

수학식 6

[0107] $f3=ad+bd$

[0108] 즉, 본 발명의 일 실시예에 따라 설계된 어림 회로들은 연산에 필요한 문자 수가 총 열 개로써 원 회로들만으로 구성된 삼중 중복형 모듈러 장치와 비교하여 다섯 개의 문자 수를 줄일 수 있고 이에 대응하여 공간 오버헤드를 감소시킬 수 있다.

[0109] 또한, 도 7에서는 세 개의 어림 회로로 구성되는 삼중 중복형 모듈러 장치의 설계 방법을 예시하였으나 두 개의 어림 회로와 하나의 원 회로로 구성되는 삼중 중복형 모듈러 장치, 네 개 이상의 어림 회로로 구성되는 다중 중복형 모듈러 장치의 설계에도 응용이 가능하다.

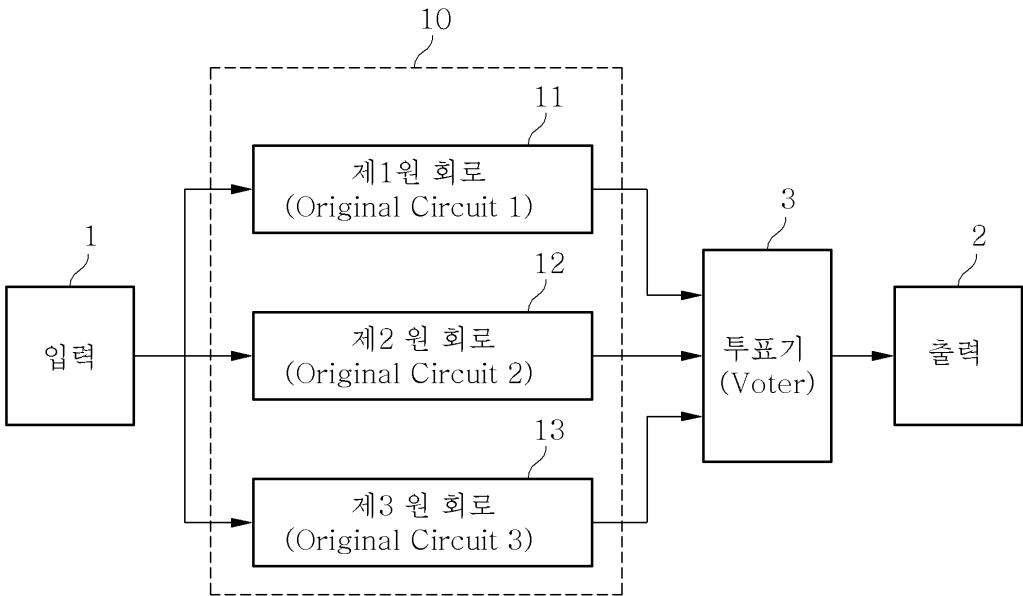
[0111] 이상에서 살펴본 바와 같이 본 발명은 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

부호의 설명

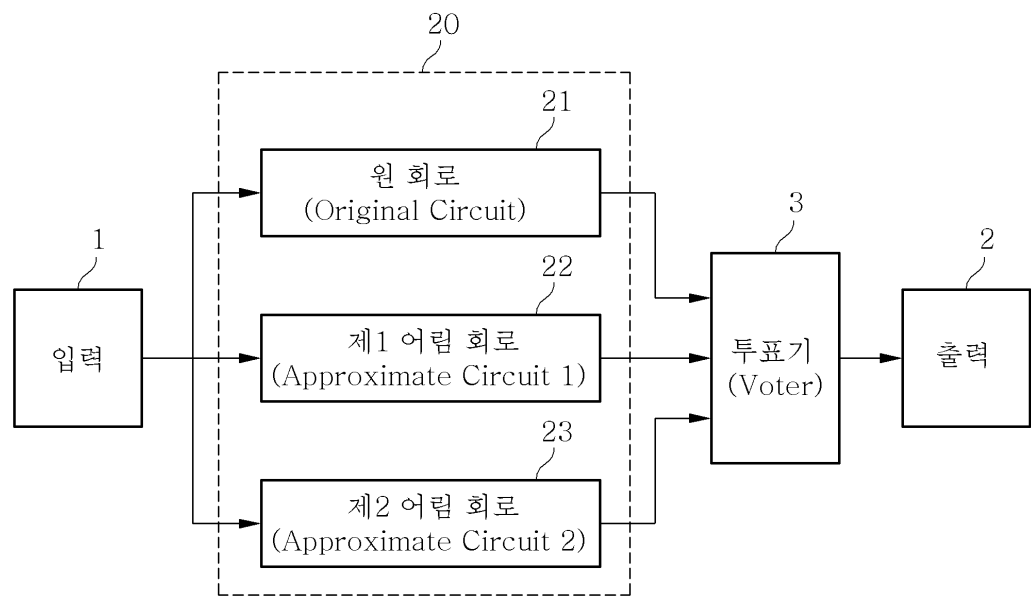
- [0113] 10:삼중 중복형 모듈러 장치(TMR)
- 20:어림 회로를 갖는 삼중 중복형 모듈러 장치(ATMR)
- 30:완전한 어림 회로를 갖는 삼중 중복형 모듈러 장치(Fully ATMR)

도면

도면1



도면2

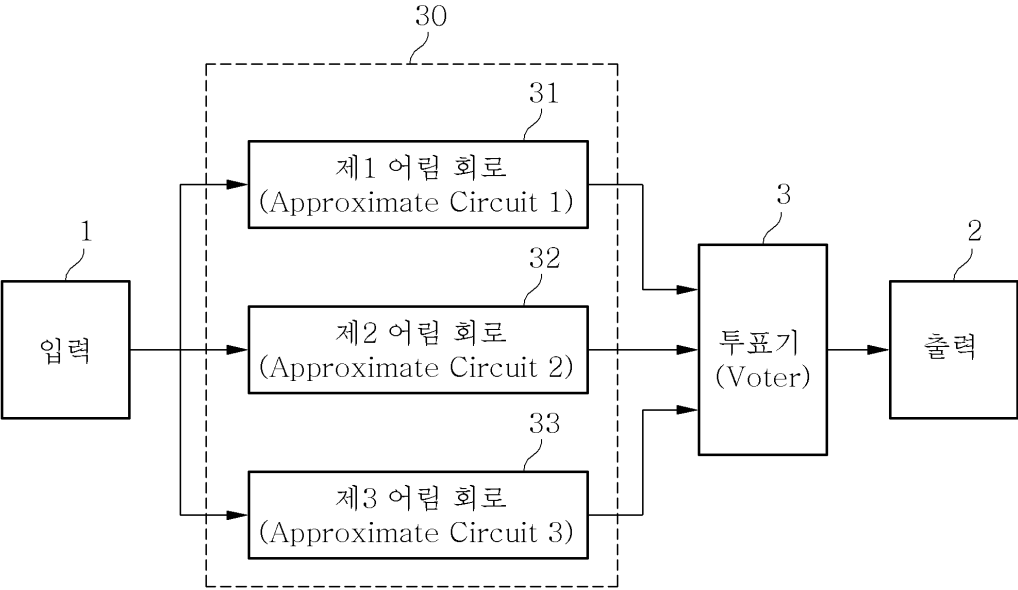


도면3

Input Vectors			Outputs			Voter Output
X	Y	Z	Original Circuit [G]	Approximate Circuit 1 [f1]	Approximate Circuit 2 [f2]	
0	0	0	0	0	0	0
0	0	1	0	0	1	0
0	1	0	1	1	1	1
0	1	1	0	1	0	0
1	0	0	1	0	1	1
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	0	1	0	0

비보호 벡터(Unprotected vector)

도면4

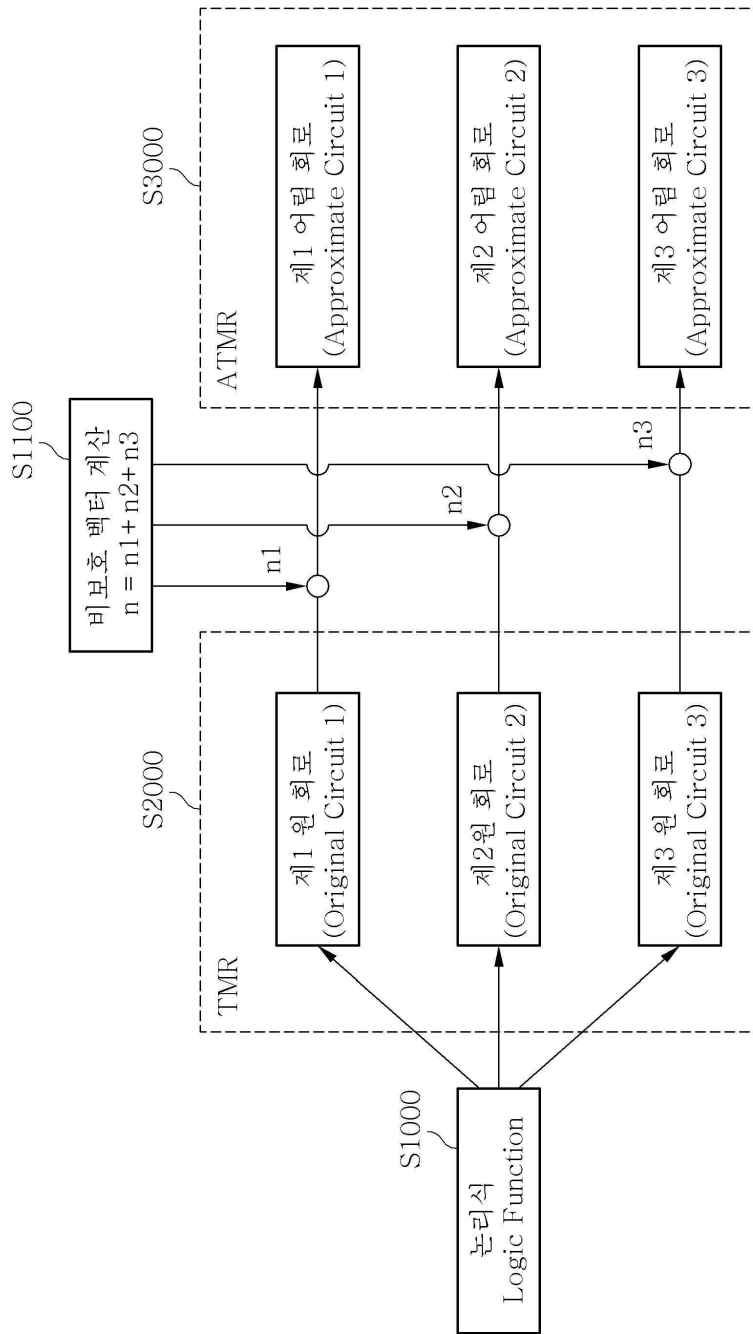


도면5

Input Vectors			Outputs			Voter Output
X	Y	Z	Approximate Circuit 1 [f1]	Approximate Circuit 2 [f2]	Approximate Circuit 3 [f3]	
0	0	0	0	0	0	0
0	0	1	0	0	1	0
0	1	0	1	1	1	1
0	1	1	0	1	0	0
1	0	0	1	0	1	1
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	1	0	0	0

비보호 벡터(Unprotected vector)

도면6



도면7

