



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0017045
(43) 공개일자 2009년02월18일

- | | |
|---|---|
| <p>(51) Int. Cl. <i>H01L 21/336</i> (2006.01) <i>H01L 21/335</i> (2006.01)</p> <p>(21) 출원번호 10-2007-0081464</p> <p>(22) 출원일자 2007년08월13일 심사청구일자 2007년08월13일</p> | <p>(71) 출원인 성균관대학교산학협력단 경기 수원시 장안구 천천동 300 성균관대학교내</p> <p>(72) 발명자 정일섭 서울 서초구 반포동 50-6 세서울빌라 501호 손병일 서울 관악구 신림9동 1534-8 (뒷면에 계속)</p> <p>(74) 대리인 김인철</p> |
|---|---|

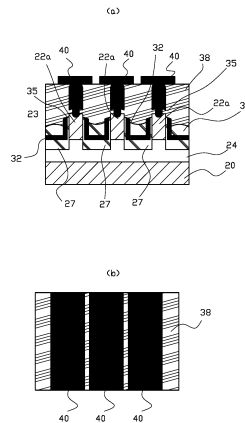
전체 청구항 수 : 총 16 항

(54) 수직 실린더형 트랜지스터의 제조방법 및 이에 의해 제조된 수직 실린더형 트랜지스터

(57) 요약

본 발명은 수직 실린더형 트랜지스터의 제조방법 및 이에 의해 제조된 수직 실린더형 트랜지스터에 관한 것이다. 본 발명에 따른 수직 실린더형 트랜지스터의 제조방법은 단위 셀 면적이 감소되어 고집적화가 가능하고, 전기적 특성 및 신뢰성이 향상된 수직 실린더형 트랜지스터의 제조가 가능하게 한다. 또한, 본 발명에 따른 수직 실린더형 트랜지스터의 제조방법은 채널과 드레인 전극이 셀프-얼라인(Self-align) 구조를 가짐으로서 기존의 수직형 트랜지스터보다 나은 특성을 제공하게 된다. 그리고, 더미 공간을 이용하여 드레인 전극을 형성한다.

대표도 - 도29



(72) 발명자

권남용

경기 수원시 장안구 천천동 325-13 평화빌라트 10
6호

이상민

서울 동작구 사당동 신동아아파트 405동 609호

김수경

서울 서대문구 홍제3동 현대그린아파트 102동 150
5호

특허청구의 범위

청구항 1

수직 실린더형 트랜지스터의 제조방법에 있어서,

- (a) 실리콘 기판층과, 상기 실리콘 기판층에 제1 방향으로 배열된 복수의 소스 형성층과, 상기 소스 형성층으로부터 상향 돌출된 복수의 제1 실린더 기둥을 형성하는 과정과;
- (b) 상기 소스 형성층을 소정 두께만큼 제거하여, 상기 제1 실린더 기둥 및 상기 소스 형성층의 의해 형성되는 소스층으로 구성된 제2 실린더 기둥과 소스 전극을 형성하는 과정과;
- (c) 상기 소스 전극의 표면에 상기 제2 실린더 기둥의 상기 소스층에 대응하는 두께만큼 제1 실리콘 산화막층을 형성하는 과정과;
- (d) 상기 제2 실린더 기둥이 감싸지도록 게이트 절연막을 형성하는 과정과;
- (e) 상기 게이트 절연막 및 상기 제1 실리콘 산화막층에 제1 반도체막을 증착하는 과정과;
- (f) 상기 제1 반도체막의 표면에 일정 높이만큼 제2 실리콘 산화막층을 형성하는 과정과;
- (g) 상기 제1 반도체막 및 상기 게이트 절연막 중 상기 제2 실리콘 산화막층의 외부로 노출된 부분을 제거하여 상기 제1 반도체막에 의해 형성되는 게이트 전극을 형성하는 과정과;
- (h) 상기 제2 실린더 기둥 중 상기 제1 반도체막의 제거에 의해 상기 제2 실리콘 산화막층의 외부로 노출된 부분의 직경을 감소시켜 제3 실린더 기둥을 형성하는 과정과;
- (i) 상기 제3 실린더 기둥의 주변에 노출된 상기 게이트 절연막, 상기 게이트 전극 및 상기 제2 실리콘 산화막층이 외부로부터 차단되도록 제1 실리콘 질화막을 형성하는 과정과;
- (j) 상기 제3 실린더 기둥을 산화시켜 반도체 산화물을 형성하는 과정과;
- (k) 상기 반도체 산화물의 높이만큼 제2 실리콘 질화막을 형성하는 과정과;
- (l) 상기 반도체 산화물을 제거하여 상기 제2 실리콘 질화막의 내부에 더미 공간을 형성하는 과정과;
- (m) 상기 더미 공간의 내부와 상기 제2 실리콘 질화막의 표면에 제2 반도체막을 형성하는 과정과;
- (n) 상기 제2 반도체막을 패터닝 처리하여 상기 제2 실리콘 질화막의 표면에 상기 제1 방향과 교차하는 방향으로 배열된 복수의 드레인 전극을 형성하는 과정을 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 2

제1항에 있어서,

상기 (a) 과정은,

- (a1) 서브 실리콘 기판층과, 상기 서브 실리콘 기판층으로부터 상향 돌출된 복수의 서브 실린더 기둥을 형성하는 과정과;
- (a2) 상기 서브 실리콘 기판층과 상기 서브 실린더 기둥에 실리콘 산화막을 증착하는 과정과;
- (a3) 이온 주입 기법을 통해 상기 서브 실리콘 기판 내부에 이온을 주입하여 상기 실리콘 산화막과의 사이에 상기 소스 형성층에 대응하는 패턴의 복수의 불순물층을 형성하는 과정과;
- (a4) 상기 불순물층을 어닐링(Annealing)하여 상기 소스 형성층을 형성하고, 상기 불순물층의 어닐링(Annealing)을 통해 상기 서브 실리콘 기판층 및 상기 서브 실린더 기둥을 각각 상기 실리콘 기판층 및 상기 제1 실린더 기둥으로 형성하는 과정과;
- (a5) 상기 실리콘 산화막을 습식 식각 공정을 통해 제거하는 과정을 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 3

제2항에 있어서,

상기 (a1) 과정은,

(a11) 실리콘 베이스 기판의 일측 표면에 실리콘 산화막을 증착하는 과정과;

(a12) 상기 실리콘 산화막의 표면에 실리콘 질화막을 증착하는 과정과;

(a13) 상기 실리콘 질화막의 표면의 상기 제1 서브 실리콘 기둥이 형성되는 위치에 유기 ARC를 매개로 하여 복수의 포토 레지스트 패턴을 형성하는 과정과;

(a14) 상기 포토 레지스트 패턴에 따라 상기 실리콘 베이스 기판 상에 순차적으로 형성된 상기 실리콘 산화막 및 상기 실리콘 질화막을 건식 식각하여 복수의 마스크 패턴을 형성하는 과정과;

(a15) 애싱(Ashing) 공정을 통해 상기 유기 ARC 및 상기 포토 레지스트를 제거하는 과정과;

(a16) 상기 마스크 패턴에 따라 상기 실리콘 베이스 기판을 일정 깊이만큼 건식 식각하여 상기 마스크 패턴에 대응하는 복수의 베이스 실린더 기둥과 상기 서브 실리콘 기판층을 형성하는 과정과;

(a17) 상기 베이스 실린더 기둥의 직경이 감소되도록 적어도 1회 이상의 산화-식각(Fin-Trimming) 공정을 수행하여 상기 복수의 서브 실린더 기둥을 형성하는 과정과;

(a18) 상기 마스크 패턴을 습식 식각 공정을 통해 제거하는 과정을 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 4

제2항에 있어서,

상기 (a3) 과정에서 상기 불순물층의 형성을 위해 주입되는 이온은 인 이온, 비소 이온 및 붕소 이온 중 어느 하나를 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 5

제1항에 있어서,

상기 (b) 과정은 상기 소스 형성층을 건식 식각하여 수행되는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 6

제1항에 있어서,

상기 (c) 과정은,

(c1) 상기 실린더 기둥 및 상기 소스 전극이 커버되도록 실리콘 산화막을 증착하는 과정과;

(c2) 상기 실리콘 산화막을 습식 식각하여 상기 제1 실리콘 산화막층을 형성하는 과정을 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 7

제1항에 있어서,

상기 (d) 과정에서 상기 게이트 절연막은 건식 산화막 성장 공정을 통해 형성되는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 8

제1항에 있어서,

상기 (e) 과정에서 상기 제1 반도체막은 인-시튜 도핑된 폴리 실리콘(In-Situ doped Poly-Si)의 증착에 의해 형성되는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 9

제1항에 있어서,

상기 (f) 과정은,

(f1) 상기 제1 반도체막이 커버되도록 실리콘 산화막을 증착하는 과정과;

(f2) 상기 실리콘 산화막을 습식 식각하여 상기 제2 실리콘 산화막층을 형성하는 과정을 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 10

제1항에 있어서,

상기 (g) 과정에서 상기 제1 반도체막 및 상기 게이트 절연막은 습식 식각 공정을 통해 제거되는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 11

제1항에 있어서,

상기 (h) 과정에서 상기 제3 실린더 기둥은 상기 제2 실린더 기둥에 대해 적어도 1회 이상의 산화-식각(Fin-Trimming) 공정을 수행하여 형성되는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 12

제1항에 있어서,

상기 (i) 과정은,

(i1) 상기 제3 실린더 기둥과, 상기 제3 실린더 기둥의 주변에 노출된 상기 게이트 절연막, 상기 게이트 전극 및 상기 제2 실리콘 산화막층이 커버되도록 실리콘 질화막을 증착하는 과정과;

(i2) 상기 실리콘 질화막을 건식 식각하여 상기 제1 실리콘 질화막을 형성하는 과정을 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 13

제1항에 있어서,

상기 (k) 과정은,

(k1) 상기 반도체 산화물, 상기 제1 실리콘 질화막 및 상기 제2 실리콘 산화막층이 커버되도록 실리콘 질화막을 증착하는 과정과;

(k2) 상기 실리콘 질화막을 습식 식각하여 상기 제2 실리콘 질화막을 형성하는 과정을 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 14

제1항에 있어서,

상기 (l) 과정에서 상기 반도체 산화막은 습식 식각을 통해 제거되는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 15

제1항에 있어서,

상기 (m) 과정에서 상기 제2 반도체막은 인-시투 도핑된 폴리 실리콘(In-Situ doped Poly-Si)의 증착에 의해 형성되는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법.

청구항 16

제1항 내지 제15항 중 어느 한 항에 따른 제조방법에 의해 제조된 수직 실린더형 트랜지스터.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 수직 실린더형 트랜지스터의 제조방법 및 이에 의해 제조된 수직 실린더형 트랜지스터에 관한 것으로서, 보다 상세하게는 수직 채널을 갖는 수직 실린더형 트랜지스터의 제조방법 및 이에 의해 제조된 수직 실린더형 트랜지스터에 관한 것이다.

배경 기술

- <2> 반도체 장치는 다기능 및 고용량을 가지면서도 보다 저비용으로 만들 수 있도록 발전해왔다. 특히, 반도체 메모리 장치, 예컨대, DRAM이나 SRAM, 불휘발성 메모리 장치(NVM)의 경우 메모리 셀을 집적화하여 단위 웨이퍼에 더 많은 소자를 형성하는 방향으로 공정이 발전되고 있다. 메모리 셀을 집적화시키기 위해, 최소 선포 감소를 위한 단위 공정과 셀 레이아웃 및 트랜지스터와 같은 소자의 구조 등을 개발하고 있다.
- <3> 반도체 메모리 장치는 1개 이상의 셀 트랜지스터를 포함하고 있으므로, 트랜지스터의 수평 방향으로의 크기를 축소시키는 것은 메모리 셀을 집적화시키는데 있어 가장 중요하다고 할 수 있다. 그러나, 수평 채널 구조의 트랜지스터는 여러 가지 구조적 문제와 물리적 한계가 들어나고 있으며, 이로 인하여 무어의 법칙에 따라 발전되어 왔던 트랜지스터의 집적화는 한계에 이르고 있다.
- <4> 수평 채널 구조의 트랜지스터에서 집적화에 따른 문제로는 단 채널 효과(Short channel effect)를 들 수 있다. 단 채널 효과(Short channel effect)는 트랜지스터의 채널 길이가 좁아짐에 따라 발생하는 현상으로, 펀치 스루(Punch-through), 드레인 기인 베리어 강하(Drain induced barrier lowering : DIBL) 및 문턱 아래 변동(Subthreshold swing) 등과 같은 트랜지스터의 특성을 열화시키는 문제들을 유발한다.
- <5> 또한, 트랜지스터의 채널 길이가 감소할 경우, 소스 전극 및 드레인 전극과 기판 사이의 기생 정전용량(Parasitic capacitance)의 증가 및 누설 전류(Leakage current)의 증가와 같은 문제들도 야기된다.
- <6> 이와 같은 문제들은 수평 채널 구조의 트랜지스터의 채널 길이를 줄이는데, 즉 수평 채널 구조의 트랜지스터의 집적도를 향상시키는데 제약으로 작용하게 된다.
- <7> 따라서, 일반적인 수평 채널 구조의 트랜지스터에서는, 트랜지스터의 특성 개선과 집적도의 증가라는 기술적인 요구들을 서로 양립되기 어렵기에 새로운 구조의 트랜지스터를 개발하는 연구가 지속되고 있으며, 그 연구의 결과물로 핀(Fin) 구조, DELTA(fully Depleted Lean-channel Transistor) 구조, GAA(Gate All Around) 구조와 같은 수직 실린더형 트랜지스터가 제안되고 있다.

발명의 내용

해결 하고자하는 과제

- <8> 수직 실린더형 트랜지스터를 제조하는 종래의 제조방법에서는 소스(Source), 드레인(Drain), 채널(Channel) 형성시 기판 위에 채널 층인 실리콘 반도체 기둥을 VLS(Vapor-Liquid-Solid) 방식을 이용하여 성장시키거나, 적층 구조 안에 트렌치(Trench)를 만든 후 반도체 재료를 채워 넣는 방식을 사용하였다.
- <9> 이에 본 발명은 수직 실린더형 트랜지스터를 제조하는데 있어서, 단위 셀 면적이 감소되어 고집적화가 가능하고, 전기적 특성 및 신뢰성이 향상된 수직 실린더형 트랜지스터의 제조방법을 제안한다.
- <10> 또한, 채널과 드레인 전극이 셀프-얼라인(Self-align) 구조를 가짐으로서 기존의 수직형 트랜지스터보다 나은 특성을 제공하게 된다.

과제 해결수단

<11> 상기 해결하고자 하는 과제는 본 발명에 따라, 수직 실린더형 트랜지스터의 제조방법에 있어서, (a) 실리콘 기판층과, 상기 실리콘 기판층에 제1 방향으로 배열된 복수의 소스 형성층과, 상기 소스 형성층으로부터 상향 돌출된 복수의 제1 실린더 기둥을 형성하는 과정과; (b) 상기 소스 형성층을 소정 두께만큼 제거하여, 상기 제1

실린더 기둥 및 상기 소스 형성층의 의해 형성되는 소스층으로 구성된 제2 실린더 기둥과 소스 전극을 형성하는 과정과; (c) 상기 소스 전극의 표면에 상기 제2 실린더 기둥의 상기 소스층에 대응하는 두께만큼 제1 실리콘 산화막층을 형성하는 과정과; (d) 상기 제2 실린더 기둥이 감싸지도록 게이트 절연막을 형성하는 과정과; (e) 상기 게이트 절연막 및 상기 제1 실리콘 산화막층에 제1 반도체막을 증착하는 과정과; (f) 상기 제1 반도체막의 표면에 일정 높이만큼 제2 실리콘 산화막층을 형성하는 과정과; (g) 상기 제1 반도체막 및 상기 게이트 절연막 중 상기 제2 실리콘 산화막층의 외부로 노출된 부분을 제거하여 상기 제1 반도체막에 의해 형성되는 게이트 전극을 형성하는 과정과; (h) 상기 제2 실린더 기둥 중 상기 제1 반도체막의 제거에 의해 상기 제2 실리콘 산화막층의 외부로 노출된 부분의 직경을 감소시켜 제3 실린더 기둥을 형성하는 과정과; (i) 상기 제3 실린더 기둥의 주변에 노출된 상기 게이트 절연막, 상기 게이트 전극 및 상기 제2 실리콘 산화막층이 외부로부터 차단되도록 제1 실리콘 질화막을 형성하는 과정과; (j) 상기 제3 실린더 기둥을 산화시켜 반도체 산화물을 형성하는 과정과; (k) 상기 반도체 산화물의 높이만큼 제2 실리콘 질화막을 형성하는 과정과; (l) 상기 반도체 산화물을 제거하여 상기 제2 실리콘 질화막의 내부에 더미 공간을 형성하는 과정과; (m) 상기 더미 공간의 내부와 상기 제2 실리콘 질화막의 표면에 제2 반도체막을 형성하는 과정과; (n) 상기 제2 반도체막을 패터닝 처리하여 상기 제2 실리콘 질화막의 표면에 상기 제1 방향과 교차하는 방향으로 배열된 복수의 드레인 전극을 형성하는 과정을 포함하는 것을 특징으로 하는 수직 실린더형 트랜지스터의 제조방법에 의해서 달성된다.

<12> 여기서, 상기 (a) 과정은, (a1) 서브 실리콘 기판층과, 상기 서브 실리콘 기판층으로부터 상향 돌출된 복수의 서브 실린더 기둥을 형성하는 과정과; (a2) 상기 서브 실리콘 기판층과 상기 서브 실린더 기둥에 실리콘 산화막을 증착하는 과정과; (a3) 이온 주입 기법을 통해 상기 서브 실리콘 기판 내부에 이온을 주입하여 상기 실리콘 산화막과의 사이에 상기 소스 형성층에 대응하는 패턴의 복수의 불순물층을 형성하는 과정과; (a4) 상기 불순물층을 어닐링(Annealing)하여 상기 소스 형성층을 형성하고, 상기 불순물층의 어닐링(Annealing)을 통해 상기 서브 실리콘 기판층 및 상기 서브 실린더 기둥을 각각 상기 실리콘 기판층 및 상기 제1 실린더 기둥으로 형성하는 과정과; (a5) 상기 실리콘 산화막을 습식 식각 공정을 통해 제거하는 과정을 포함할 수 있다.

<13> 그리고, 상기 (a1) 과정은, (a11) 실리콘 베이스 기판의 일측 표면에 실리콘 산화막을 증착하는 과정과; (a12) 상기 실리콘 산화막의 표면에 실리콘 질화막을 증착하는 과정과; (a13) 상기 실리콘 질화막의 표면의 상기 제1 서브 실리콘 기둥이 형성되는 위치에 유기 ARC를 매개로 하여 복수의 포토 레지스트 패턴을 형성하는 과정과; (a14) 상기 포토 레지스트 패턴에 따라 상기 실리콘 베이스 기판 상에 순차적으로 형성된 상기 실리콘 산화막 및 상기 실리콘 질화막을 건식 식각하여 복수의 마스크 패턴을 형성하는 과정과; (a15) 애싱(Ashing) 공정을 통해 상기 유기 ARC 및 상기 포토 레지스트를 제거하는 과정과; (a16) 상기 마스크 패턴에 따라 상기 실리콘 베이스 기판을 일정 깊이만큼 건식 식각하여 상기 마스크 패턴에 대응하는 복수의 베이스 실린더 기둥과 상기 서브 실리콘 기판층을 형성하는 과정과; (a17) 상기 베이스 실린더 기둥의 직경이 감소되도록 적어도 1회 이상의 산화-식각(Fin-Trimming) 공정을 수행하여 상기 복수의 서브 실린더 기둥을 형성하는 과정과; (a18) 상기 마스크 패턴을 습식 식각 공정을 통해 제거하는 과정을 포함할 수 있다.

<14> 그리고, 상기 (a3) 과정에서 상기 불순물층의 형성을 위해 주입되는 이온은 인 이온, 비소 이온 및 붕소 이온 중 어느 하나를 포함할 수 있다.

<15> 여기서, 상기 (b) 과정은 상기 소스 형성층을 건식 식각하여 수행될 수 있다.

<16> 또한, 상기 (c) 과정은, (c1) 상기 실린더 기둥 및 상기 소스 전극이 커버되도록 실리콘 산화막을 증착하는 과정과; (c2) 상기 실리콘 산화막을 습식 식각하여 상기 제1 실리콘 산화막층을 형성하는 과정을 포함할 수 있다.

<17> 그리고, 상기 (d) 과정에서 상기 게이트 절연막은 건식 산화막 성장 공정을 통해 형성될 수 있다.

<18> 그리고, 상기 (e) 과정에서 상기 제1 반도체막은 인-시투 도핑된 폴리 실리콘(In-Situ doped Poly-Si)의 증착에 의해 형성될 수 있다.

<19> 여기서, 상기 (f) 과정은, (f1) 상기 제1 반도체막이 커버되도록 실리콘 산화막을 증착하는 과정과; (f2) 상기 실리콘 산화막을 습식 식각하여 상기 제2 실리콘 산화막층을 형성하는 과정을 포함할 수 있다.

<20> 여기서, 상기 (g) 과정에서 상기 제1 반도체막 및 상기 게이트 절연막은 습식 식각 공정을 통해 제거될 수 있다.

<21> 여기서, 상기 (h) 과정에서 상기 제3 실린더 기둥은 상기 제2 실린더 기둥에 대해 적어도 1회 이상의 산화-식각(Fin-Trimming) 공정을 수행하여 형성될 수 있다.

- <22> 그리고, 상기 (i) 과정은, (i1) 상기 제3 실린더 기둥과, 상기 제3 실린더 기둥의 주변에 노출된 상기 게이트 절연막, 상기 게이트 전극 및 상기 제2 실리콘 산화막층이 커버되도록 실리콘 질화막을 증착하는 과정과; (i2) 상기 실리콘 질화막을 건식 식각하여 상기 제1 실리콘 질화막을 형성하는 과정을 포함할 수 있다.
- <23> 또한, 상기 (k) 과정은, (k1) 상기 반도체 산화물, 상기 제1 실리콘 질화막 및 상기 제2 실리콘 산화막층이 커버되도록 실리콘 질화막을 증착하는 과정과; (k2) 상기 실리콘 질화막을 습식 식각하여 상기 제2 실리콘 질화막을 형성하는 과정을 포함할 수 있다.
- <24> 그리고, 상기 (l) 과정에서 상기 반도체 산화막은 습식 식각을 통해 제거될 수 있다.
- <25> 그리고, 상기 (m) 과정에서 상기 제2 반도체막은 인-시튜 도핑된 폴리 실리콘(In-Situ doped Poly-Si)의 증착에 의해 형성될 수 있다.

효과

- <26> 본 발명에 따르면, 단위 셀 면적을 감소시켜 고집적화가 가능하고, 채널의 길이 및 폭의 조절이 용이하며, 전기적 특성 및 신뢰성이 향상된 수직 실린더형 트랜지스터의 제조방법 및 이에 의해 제조된 수직 실린더형 트랜지스터가 제공된다.
- <27> 또한, 채널의 길이 및 폭의 조절이 용이하여 단 채널 효과에서 기인하는 펀치 쓰루(Punch through), 채널 캐리어 이동도(Carrier mobility) 등이 개선되며, 협 채널 효과에 기인하는 문턱 전압(Threshold voltage)을 감소시킬 수 있다.
- <28> 결과적으로, 단 채널 효과 및 협 채널 효과를 효율적으로 억제할 수 있는 수직 실린더형 트랜지스터, 특히, 전계 효과 트랜지스터(FET : Field Effect Transistor)가 제공되어 MOS 트랜지스터로의 동작 특성을 개선할 수 있게 된다.

발명의 실시를 위한 구체적인 내용

- <29> 이하에서는 첨부된 도면들을 참조하여 본 발명에 따른 수직 실린더형 트랜지스터의 제조방법에 대해 보다 상세히 설명한다. 여기서, 도 1 내지 도 29에서 (a) 도면은 단면도이고, (b) 도면은 평면도이다.
- <30> 먼저, 도 12에 도시된 바와 같이, 실리콘 기판층(20), 소스 형성층(21), 제1 실린더 기둥(22)을 갖는 실리콘 기초판을 형성한다. 소스 형성층(21)은, 도 12의 (b)에 도시된 바와 같이, 실리콘 기판 층에 제1 방향(도 12의 (b)에서는 상하 방향)으로 배열된다. 그리고, 제1 실린더 기둥(22)은 소스 형성층(21)으로부터 상향 돌출되어 형성된다.
- <31> 도 1 내지 도 12를 참조하여 본 발명에 따른 실리콘 기초판을 형성하는 과정에 대해 보다 구체적으로 설명한다.
- <32> 먼저, 도 8에 도시된 바와 같이, 서브 실리콘 기판층(20)과, 서브 실리콘 기판층(20)으로부터 상향 돌출된 복수의 서브 실린더 기둥(17)을 형성한다.
- <33> 서브 실리콘 기판층(20) 및 서브 실린더 기둥(17)의 제조과정을 설명하면, 먼저, 도 1에 도시된 바와 같이, 실리콘 베이스 기판(10)을 마련한다. 여기서, 실리콘 베이스 기판(10)은 실리콘(Si) 재질로 마련되며, 본 발명에 따른 실리콘 베이스 기판(10)은 n-type 실리콘 재질이 사용되는 것을 일 예로 한다.
- <34> 그런 다음, 도 2에 도시된 바와 같이, 실리콘 베이스 기판(10)의 일측 표면에 실리콘 산화막(11)을 증착한다. 여기서, 실리콘 산화막(11)은 이산화규소(SiO₂) 재질로 마련된다.
- <35> 그리고, 실리콘 산화막(11)의 표면에는, 도 3에 도시된 바와 같이, 실리콘 질화막(12)이 증착된다. 여기서, 실리콘 질화막(12)은 실리콘 나이트라이드(SiN)의 증착에 의해 형성되며, 실리콘 산화막(11)은 실리콘 질화막(12)과 실리콘 베이스 기판(10) 간의 접착력을 증대시키는 기능을 수행한다.
- <36> 그런 다음, 실리콘 질화막(12)의 표면에는, 도 4에 도시된 바와 같이, 유기 ARC(14a)를 매개로 하여 복수의 포토 레지스트 패턴(14b)이 형성된다. 복수의 포토 레지스트 패턴(14b)은 실리콘 질화막(12)의 표면 중 제1 서브 실리콘 기둥이 형성되는 위치에 배열된다.
- <37> 그리고, 포토 레지스트 패턴(14b)에 따라 실리콘 베이스 기판(10) 상에 순차적으로 형성된 실리콘 산화막(11) 및 실리콘 질화막(12)을 건식 식각하여, 도 5에 도시된 바와 같이, 마스크 패턴(15)을 형성한다. 즉, 마스크

패턴(15)은 포토 레지스트 패턴(14b)에 의해 식각되지 않은 부분에 의해 형성된다. 여기서, 도 5는 애싱(Asing) 공정을 통해 유기 ARC(14a) 및 포토 레지스트 패턴(14b)이 제거된 상태를 도시한 도면이다.

- <38> 그런 다음, 마스크 패턴(15)을 따라 실리콘 베이스 기판(10)을 일정 깊이만큼 건식 식각하여, 도 6에 도시된 바와 같이, 마스크 패턴(15)에 대응하는 복수의 베이스 실린더 기둥(17a)을 형성하는데, 식각되지 않는 실리콘 베이스 기판(10)은 베이스 실리콘 기판층(16a)을 형성하게 된다. 여기서, 실리콘 베이스 기판(10)의 건식 식각에는 Cl_2 , F 화합물 가스가 사용될 수 있다.
- <39> 그런 다음, 베이스 실린더 기둥(17a)의 직경이 감소되도록 적어도 1회 이상의 산화-식각(Fin-Trimming) 공정을 수행하여, 도 7에 도시된 바와 같이 서브 실린더 기둥(17)을 형성하게 된다. 그리고, 서브 실린더 기둥(17)의 직경이 요구되는 만큼 감소된 후, 마스크 패턴(15)을 습식 식각 공정을 통해 제거함으로써, 도 8에 도시된 바와 같은 서브 실리콘 기판층(16) 및 서브 실린더 기둥(17)이 형성된다.
- <40> 상기와 같은 과정을 통해 서브 실리콘 기판층(16) 및 서브 실린더 기둥(17)이 형성되면, 서브 실리콘 기판층(16)과 서브 실린더 기둥(17)에, 도 9에 도시된 바와 같이 실리콘 산화막(18)을 증착한다. 여기서, 실리콘 산화막(18)은 이산화규소(SiO_2) 재질로 마련되며, 대략 10nm 두께로 형성하는 것을 일 예로 한다.
- <41> 그리고, 실리콘 산화막(18)이 증착된 상태에서, 도 10에 도시된 바와 같이, 서브 실리콘 기판층(16) 내부에 이온 주입(Ion-implantation) 공정을 통해 이온을 주입하여, 실리콘 산화막(18)과의 사이에, 도 12에 도시된 소스 형성층(21)에 대응하는 패턴의 복수의 불순물층(19a)을 형성한다. 본 발명에서 불순물층(19a)을 형성하기 위해 주입되는 이온으로는 인(P) 이온, 비소(As) 이온 또는 붕소(B) 이온을 사용되는 것을 일 예로 한다.
- <42> 그런 다음, 서브 실리콘 기판층(16)에 불순물층(19a)이 형성된 상태에서 불순물층(19a)을 어닐링(Annealing)하여 안정화시켜 불순물층(19a)을 소스 형성층(21)으로 형성한다. 여기서, 불순물층(19a)의 어닐링(Annealing)을 통해 서브 실리콘 기판층(16) 및 서브 실린더 기둥(17)을 각각, 도 12에 도시된 실리콘 기판층(20) 및 상기 제1 실린더 기둥(22)으로 형성된다.
- <43> 여기서, 실리콘 산화막(18)은 이온 주입(Ion-implantation) 공정이나 어닐링(Annealing) 중에 서브 실리콘 기판층(16)의 손상을 방지해주는 기능을 수행하며, 소스 형성층(21)의 형성 후에, 도 12에 도시된 바와 같이 실리콘 산화막(18)은 제거된다.
- <44> 본 발명에서 실리콘 산화막(18)은 습식 식각(Wet etching) 공정을 통해 제거되며, 습식 식각(Wet etching) 공정에서의 식각액(Etchant, 또는 부식액, 이하 동일)으로는 불산(HF)이 사용되는 것을 일 예로 한다.
- <45> 여기서, 도 11 및 도12에서 소스 형성층(21)의 형성과 함께 제1 실린더 기둥(22)의 상부에 형성된 층(도 11 및 도 12의 'A' 영역)은 추후에 제거되는 영역으로 소스 형성층(21)의 기능과 무관하다.
- <46> 상기와 같은 방법을 통해, 실리콘 기판층(20), 소스 형성층(21) 및 제1 실린더 기둥(22)으로 구성된 실리콘 기초판이 마련되면, 실리콘 기초판의 소스 형성층(21)을 소정 두께만큼 제거한다. 이에 따라, 도 12에 도시된 바와 같이, 제1 실린더 기둥(22) 및 제1 실린더 기둥(22)의 하부의 소스 형성층(21)에 의해 형성되는 소스층(23)으로 구성된 제2 실린더 기둥(25)과, 소스 전극(24)이 형성된다. 여기서, 소스 형성층(21)의 제거는 건식 식각 공정을 통해 수행되며, Cl_2 , F 화합물 가스가 사용될 수 있다.
- <47> 그런 다음, 소스 전극(24)의 표면에 제2 실린더 기둥(25)의 소스층(23)에 대응하는 두께, 즉 소스 전극(24)의 표면으로부터 소스층(23)의 높이만큼 제1 실리콘 산화막층(27)을 형성한다.
- <48> 도 14 및 도 15를 참조하여 보다 구체적으로 설명하면, 도 14에 도시된 바와 같이, 제2 실린더 기둥(25) 및 소스 전극(24)이 커비도록 실리콘 산화막(26)을 전체적으로 증착한다. 여기서, 실리콘 산화막(26)은 이산화규소(SiO_2) 재질로 마련될 수 있다.
- <49> 그런 다음, 실리콘 산화막(26)을 제2 실린더 기둥(25)의 소스층(23)까지 습식 식각하여 제1 실리콘 산화막층(27)을 형성한다. 여기서, 습식 식각(Wet etching) 공정에서의 식각액으로는 불산(HF)이 사용되는 것을 일 예로 한다.
- <50> 한편, 도 15에 도시된 상태에서, 제2 실린더 기둥(25)이 감싸지도록 게이트 절연막(28)을 형성한다. 본 발명에서는 게이트 절연막(28)이 산화막 성장(건식) 공정을 통해 형성되는 것을 일 예로 한다.
- <51> 그런 다음, 도 17에 도시된 바와 같이, 게이트 절연막(28) 및 제1 실리콘 산화막층(27)에 제1 반도체막(29)을

증착한다. 본 발명에서는 제1 반도체막(29)이 인-시튜 도핑된 폴리 실리콘(In-Situ doped Poly-Si)의 증착에 의해 형성되는 것을 일 예로 한다.

- <52> 여기서, 제1 반도체막(29)은 이후의 공정을 통해 게이트 전극(32)을 형성하게 되는데, 제1 반도체막(29)을 통해 게이트 전극(32)을 형성하는 과정은 다음과 같다.
- <53> 먼저, 제1 반도체막(29)의 표면에 일정 높이만큼 제2 실리콘 산화막층(31)을 형성한다. 보다 구체적으로 설명하면, 도 18에 도시된 바와 같이, 제1 반도체막(29) 전체가 커버되도록 실리콘 산화막(30)을 전체적으로 증착한다.
- <54> 그런 다음, 실리콘 산화막(30)을 습식 식각하여, 도 19에 도시된 바와 같이, 제2 실리콘 산화막층(31)을 형성한다. 여기서, 실리콘 산화막(30)이 식각되는 깊이는 게이트 전극(32), 후술할 드레인 전극(40)의 수직 방향으로의 크기를 고려하여 결정된다.
- <55> 그리고, 제1 반도체막(29) 및 게이트 절연막(28) 중 제2 실리콘 산화막층(31)의 외부로 노출된 부분을 제거하여, 도 21에 도시된 바와 같이, 제1 반도체막(29)에 의해 형성되는 게이트 전극(32)을 형성한다.
- <56> 여기서, 제1 반도체막(29) 및 게이트 절연막(28)은 습식 식각 공정을 통해 제거될 수 있으며, 식각액이 상이한 경우에는 도 19 내지 도 21에 도시된 바와 같이, 제1 반도체막(29) 및 게이트 절연막(28)을 다른 식각액을 통해 순차적으로 제거할 수 있다.
- <57> 상기와 같은 방법으로 게이트 전극(32)의 형성이 완료되면, 제2 실린더 기둥(25) 중 제1 반도체막(29)의 제거에 의해 제2 실리콘 산화막층(31)의 외부로 노출된 부분의 직경을 감소시켜, 도 22에 도시된 바와 같이, 제3 실린더 기둥(33)을 형성한다. 본 발명에서는 제2 실린더 기둥(25)에 대해 적어도 1회 이상의 산화-식각(Fin-Trimming) 공정을 수행함으로써, 제3 실린더 기둥(33)을 형성하는 것을 일 예로 한다. 여기서, 제3 실린더 기둥(33)의 직경은, 후술할 드레인 전극(40)의 사이즈를 결정하게 된다. 또한, 제2 실린더 기둥(25)의 나머지 영역은 본 발명에 따른 수직 실린더형 트랜지스터의 채널(22a)이 된다.
- <58> 제3 실린더 기둥(33)의 형성이 완료되면, 제3 실린더 기둥(33)의 주변에 노출된 게이트 절연막(28), 게이트 전극(32), 제3 실리콘 산화막(11)층이 외부로부터 차단되도록 제1 실리콘 질화막을 형성한다.
- <59> 보다 구체적으로 설명하면, 도 23에 도시된 바와 같이, 제3 실린더 기둥(33), 제3 실린더 기둥(33)의 주변에 노출된 게이트 절연막(28), 게이트 전극(32) 및 제2 실리콘 산화막층(31)이 전체적으로 커버되도록 실리콘 질화막(34)을 증착한다. 여기서, 실리콘 질화막(34)은 실리콘 나이트라이드(SiN) 재질로 마련되는 것을 일 예로 한다.
- <60> 그런 다음, 실리콘 질화막(34)을 건식 식각하여, 도 24에 도시된 바와 같은 제1 실리콘 질화막(35)을 형성한다. 제1 실리콘 질화막(35)은 제3 실린더 기둥(33), 제3 실린더 기둥(33)의 주변에 노출된 게이트 절연막(28), 게이트 전극(32) 및 제2 실리콘 산화막층(31)을 외부로 차단하는데, 특히 후술할 드레인 전극(40)이 게이트 전극(32)과 연결되는 것을 차단하는 것과 동시에, 후술할 드레인 전극(40)의 형성을 위한 습식 식각 공정으로 인해 게이트 절연막(28)이 손상되는 것을 방지하게 된다.
- <61> 상기와 같이 제1 실리콘 질화막(35)이 형성되면, 제3 실린더 기둥(33)을 산화시켜, 도 25에 도시된 바와 같이, 제3 실린더 기둥(33), 즉 실리콘 재질을 반도체 산화물(36)로 변환시킨다.
- <62> 그런 다음, 반도체 산화물(36)의 높이만큼 제2 실리콘 질화막(38)을 형성한다. 여기서, 제2 실리콘 질화막(38)의 형성과정은, 먼저, 도 26에 도시된 바와 같이, 반도체 산화물(36), 제1 실리콘 질화막(35), 제2 실리콘 산화막층(31)이 전체적으로 커버되도록 실리콘 질화막(37)을 증착한다. 여기서, 실리콘 질화막(37)은 실리콘 나이트라이드(SiN) 재질로 마련되는 것을 일 예로 한다.
- <63> 그런 다음, 실리콘 질화막(37)을 습식 식각하여, 도 27에 도시된 바와 같이, 제2 실리콘 질화막(38)을 형성한다. 이 때, 반도체 산화물(36)은 제2 실리콘 질화막(38)의 상부에 노출된다. 여기서, 실리콘 질화막(37)의 습식 식각에는 인산(Phosphoric acid)이 사용될 수 있다.
- <64> 그리고, 반도체 산화물(36)을 제2 실리콘 질화막(38)으로부터 제거하여, 도 28에 도시된 바와 같이, 제2 실리콘 질화막(38) 내부에 더미 공간(39)을 형성한다. 본 발명에서는 반도체 산화물(36)을 습식 식각을 통해 제거하는 것을 일 예로 한다.
- <65> 그리고, 더미 공간(39)의 내부와 제2 실리콘 질화막(38)의 표면에 제2 반도체막을 형성한다. 여기서, 제2 반도체

체막은 인-시튜 도핑된 폴리 실리콘(In-Situ doped Poly-Si)의 증착에 의해 형성되는 것을 일 예로 한다.

- <66> 그런 다음, 제2 실리콘 질화막(38)의 표면에 증착된 제2 반도체막을 패터닝 처리하여, 도 29에 도시된 바와 같이, 제2 실리콘 질화막(38)의 표면에 제1 방향, 즉 전술한 소스 전극(24)이 배열된 방향과 교차하는 방향으로 드레인 전극(40)을 형성하게 된다.
- <67> 상기와 같은 구성을 통해, 도 29에 도시된 바와 같이, 소스 전극(24), 게이트 전극(32), 드레인 전극(40) 및 채널(22a)을 갖는 수직 실린더형 트랜지스터의 제작이 완료된다.
- <68> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

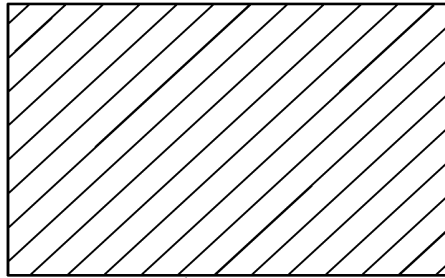
도면의 간단한 설명

- <69> 도 1 내지 도 29은 본 발명에 따른 수직 실린더형 트랜지스터의 제조방법을 설명하기 위한 도면이다.
- <70> <도면의 주요 부분에 대한 부호의 설명>
- <71> 10 : 실리콘 베이스 기판 11,18,26,30 : 실리콘 산화막
- <72> 12,34,37 : 실리콘 질화막 14a : 유기 ARC
- <73> 14b : 포토 레지스트 패턴 15 : 마스크 패턴
- <74> 16 : 서브 실리콘 기판층 16a : 베이스 실리콘 기판층
- <75> 17 : 서브 실린더 기둥 17a : 베이스 실린더 기둥
- <76> 19a : 불순물층 20 : 실리콘 기판층
- <77> 21 : 소스 형성층 22 : 제1 실린더 기둥
- <78> 23 : 소스층 24 : 소스 전극
- <79> 25 : 제2 실린더 기둥 27 : 제1 실리콘 산화막층
- <80> 28 : 게이트 절연막 29 : 제1 반도체막
- <81> 31 : 제2 실리콘 산화막층 32 : 게이트 전극
- <82> 33 : 제3 실린더 기둥 35 : 제1 실리콘 질화막
- <83> 36 : 반도체 산화물 38 : 제2 실리콘 질화막
- <84> 39 : 더미 공간 40 : 드레인 전극

도면

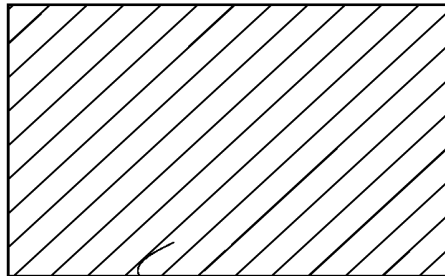
도면1

(a)



10

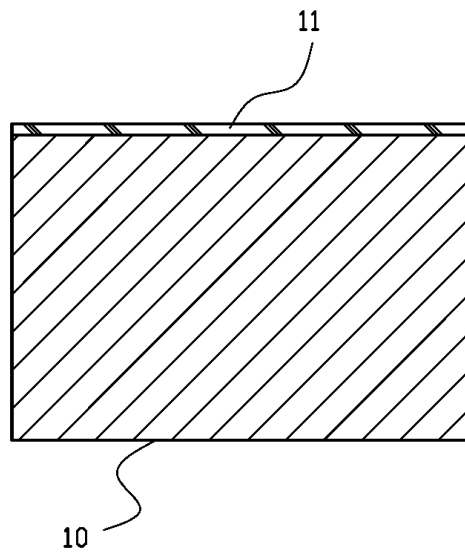
(b)



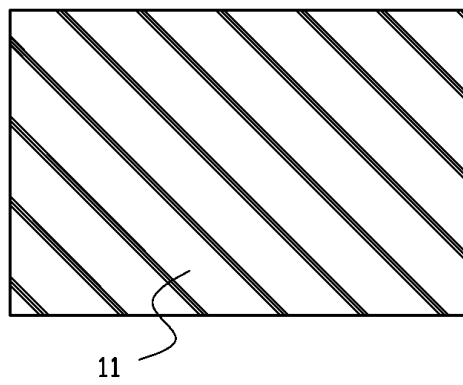
10

도면2

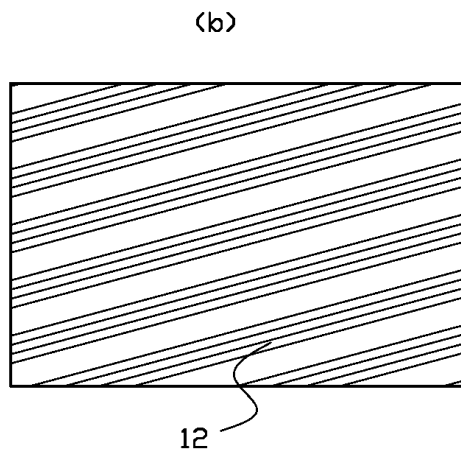
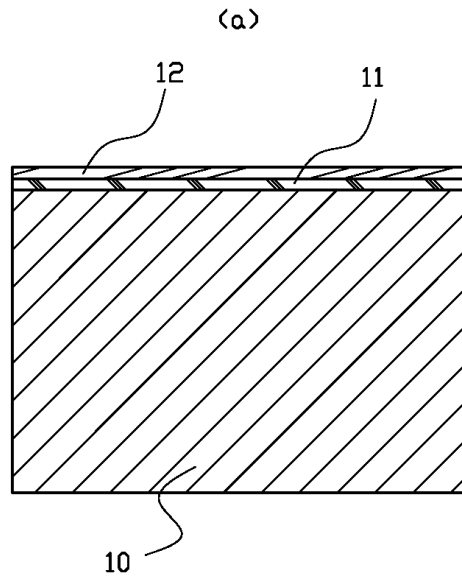
(a)



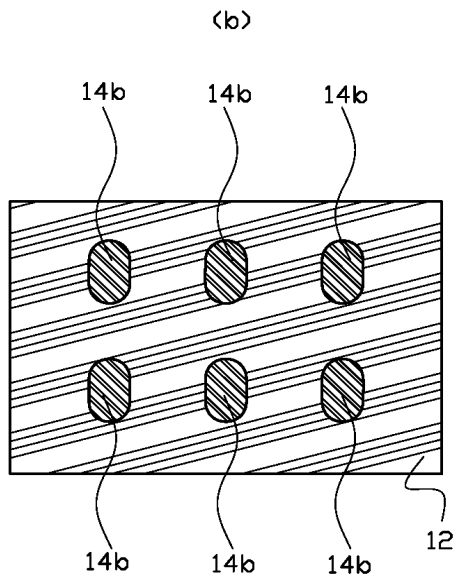
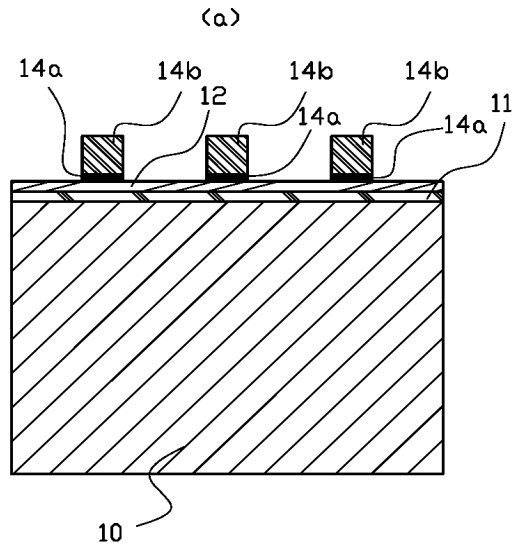
(b)



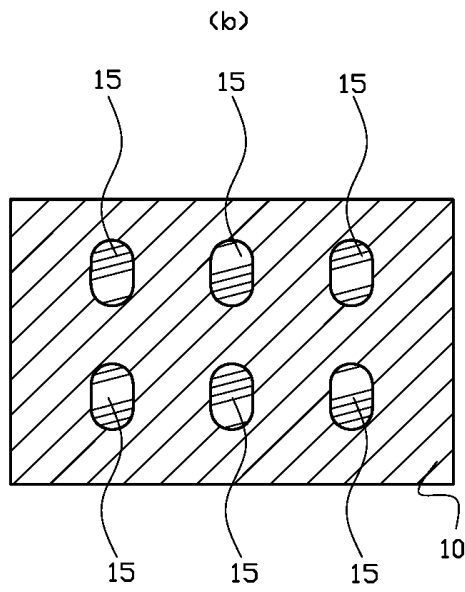
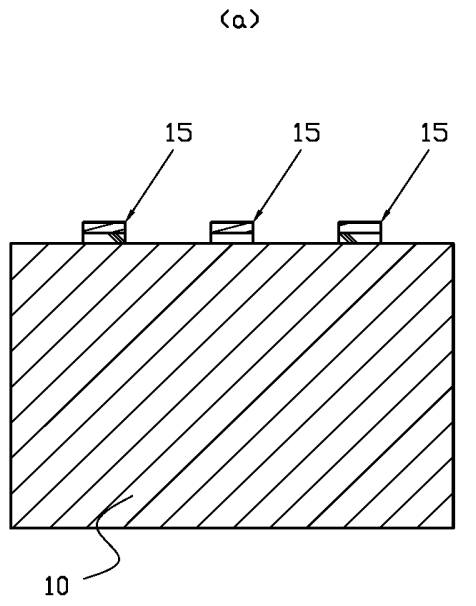
도면3



도면4

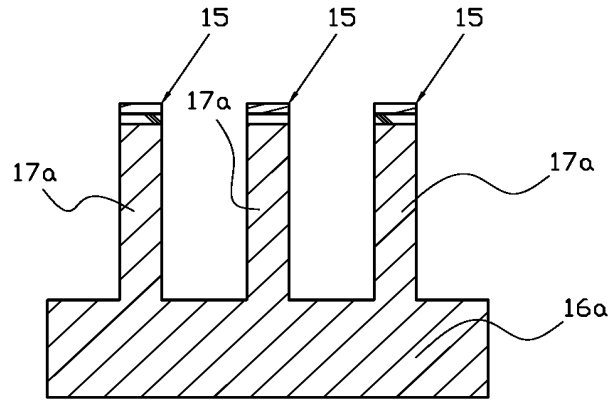


도면5

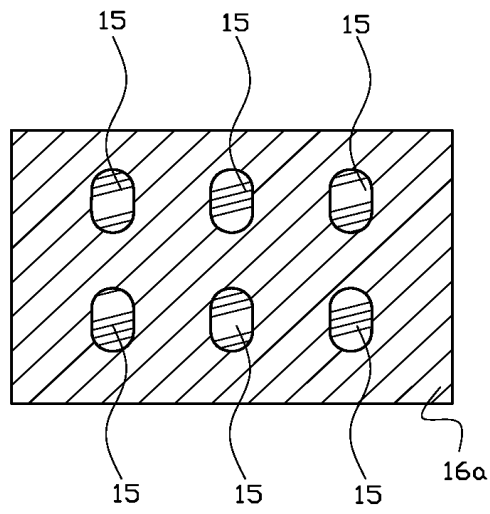


도면6

(a)

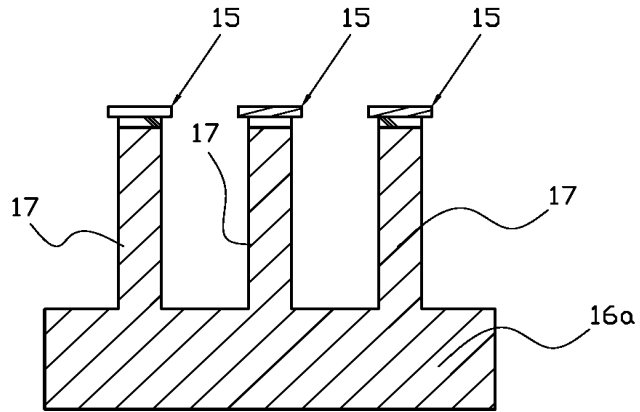


(b)

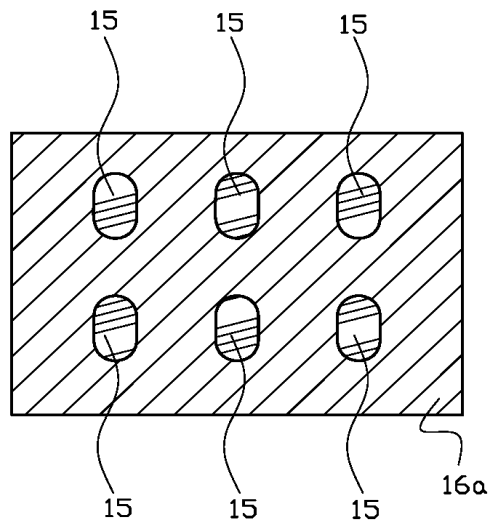


도면7

(a)

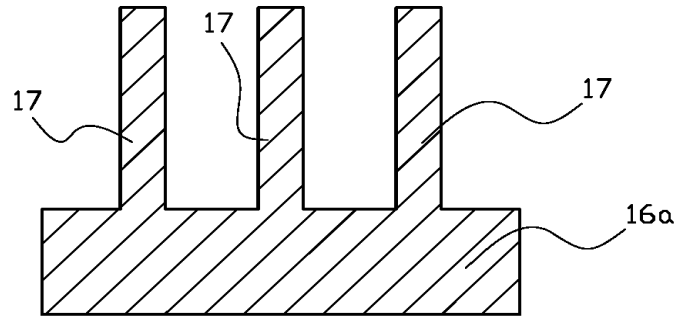


(b)

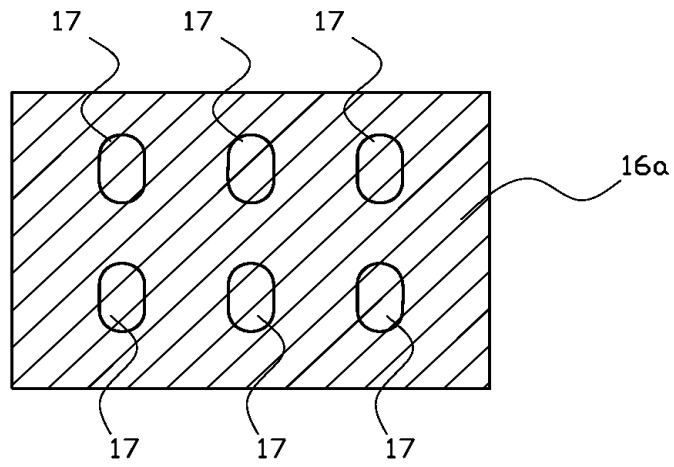


도면8

(a)

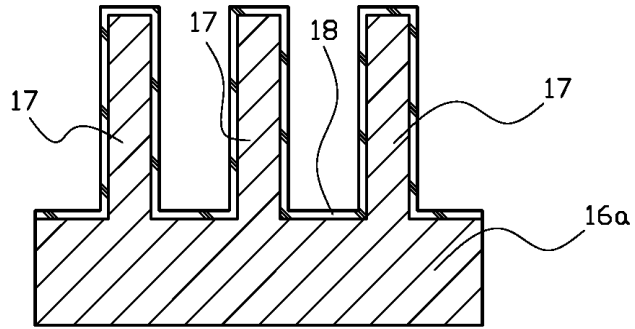


(b)

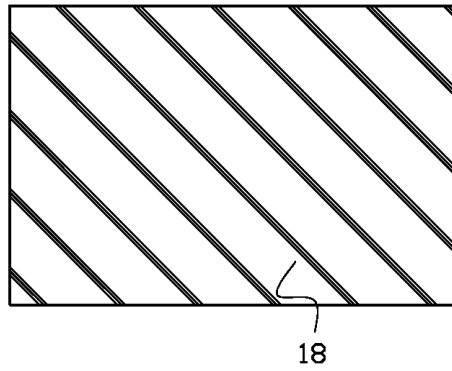


도면9

(a)

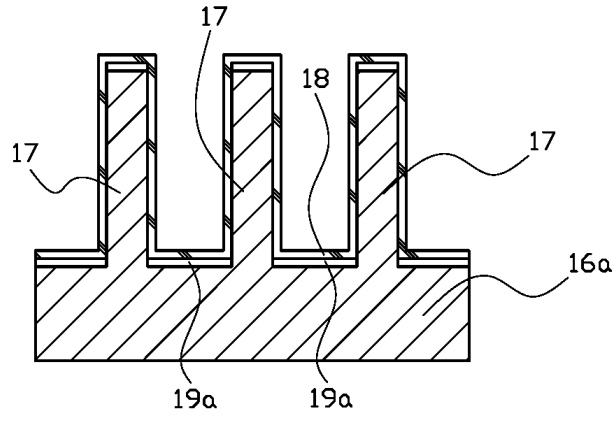


(b)

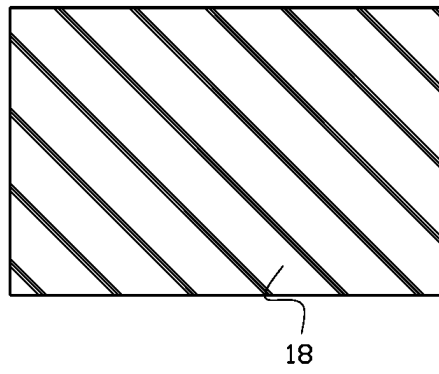


도면10

(a)

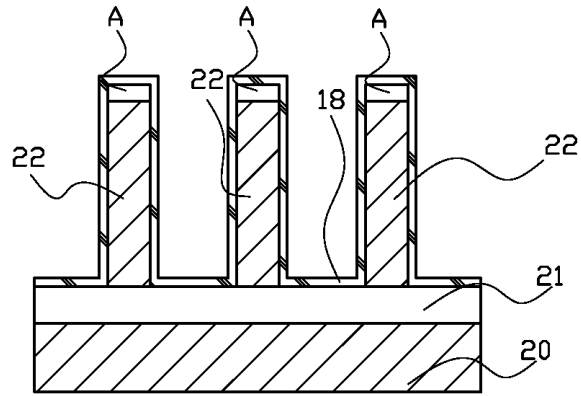


(b)

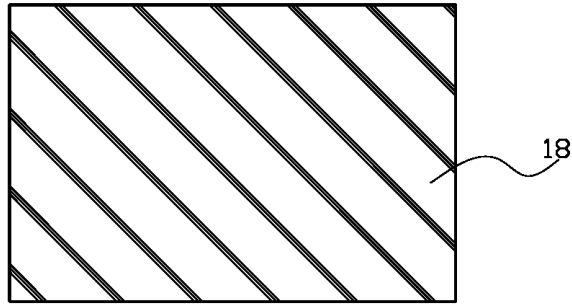


도면11

(a)

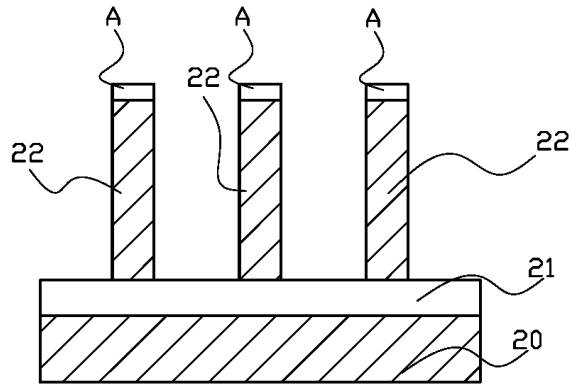


(b)

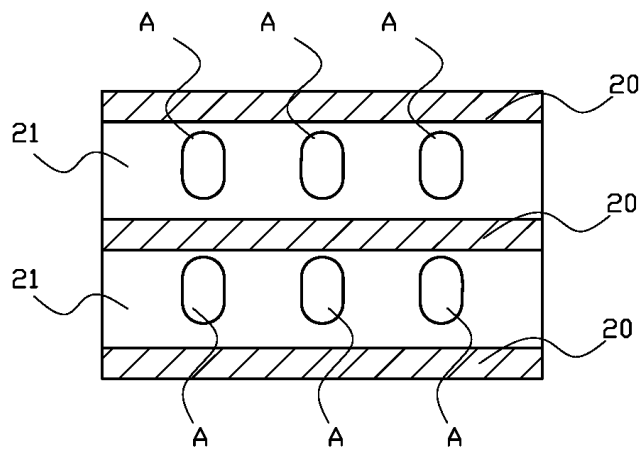


도면12

(a)

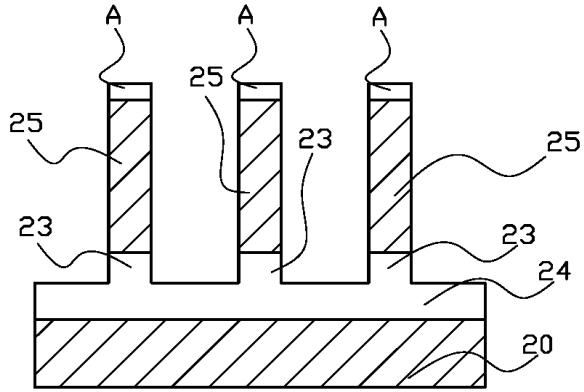


(b)

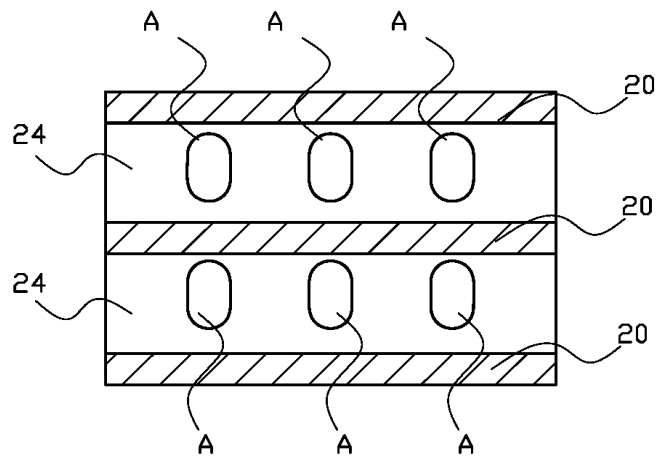


도면13

(a)

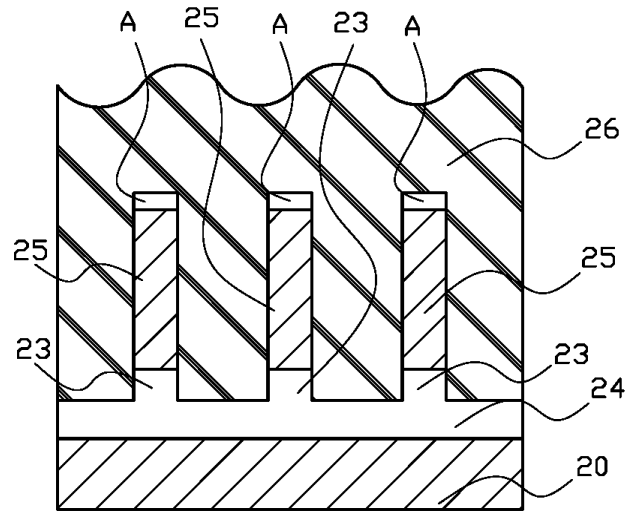


(b)

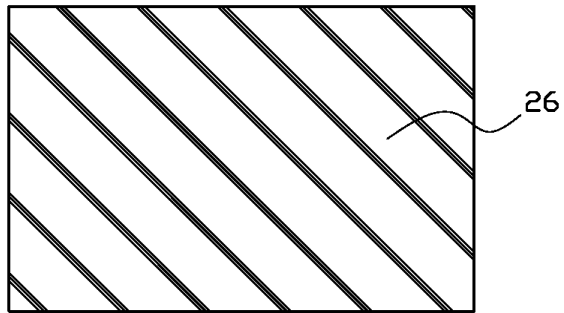


도면14

(a)

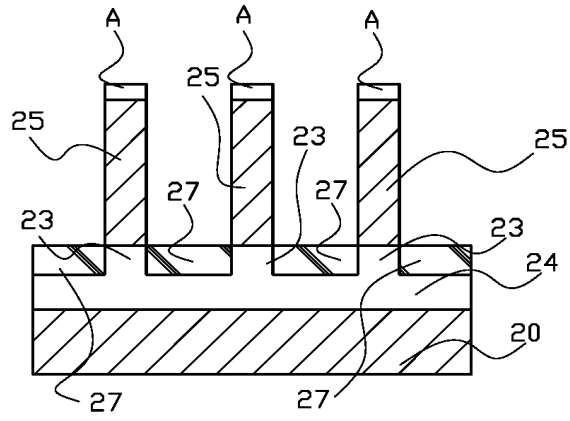


(b)

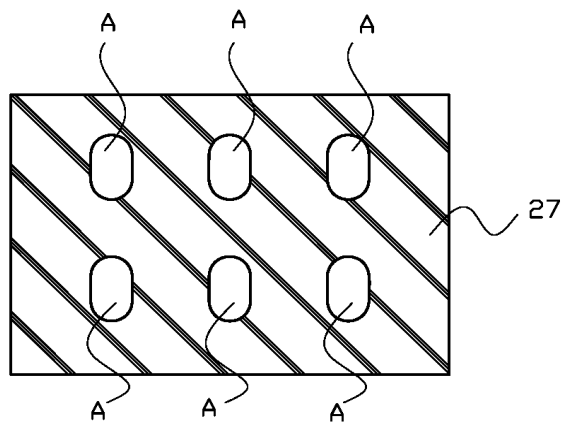


도면15

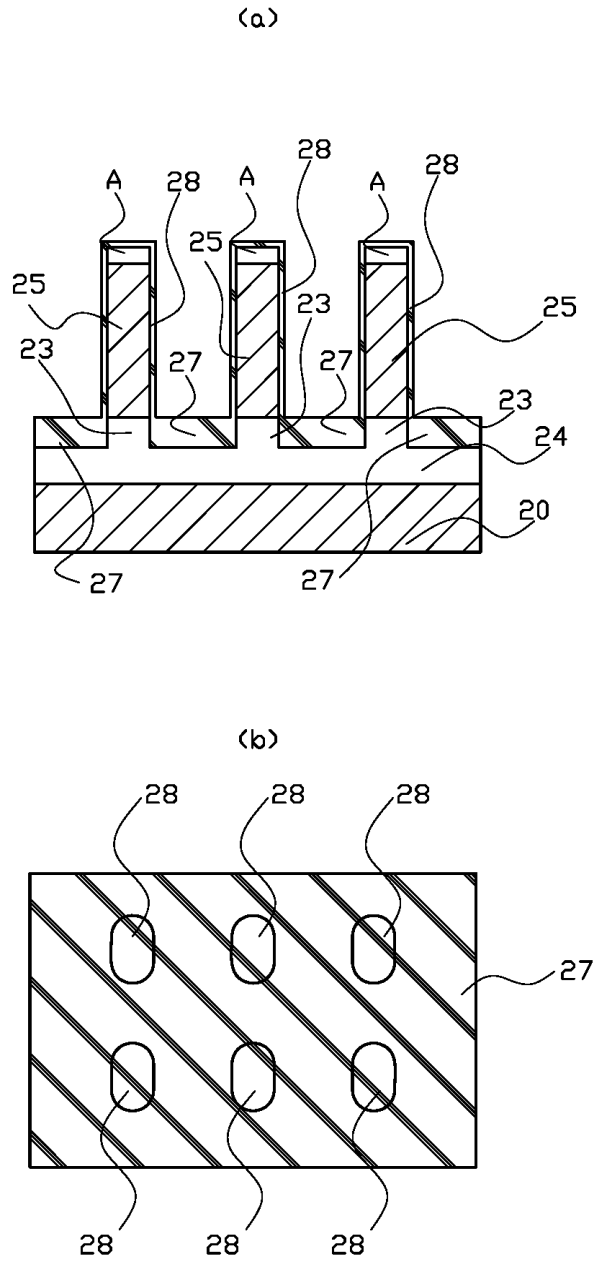
(a)



(b)

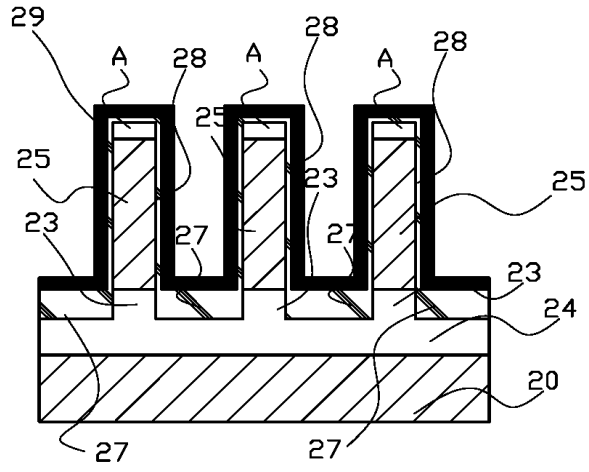


도면16

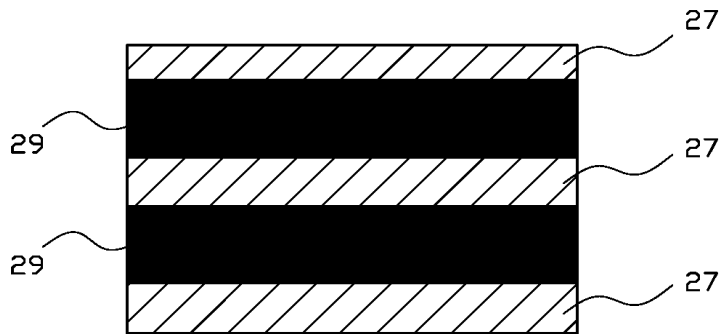


도면17

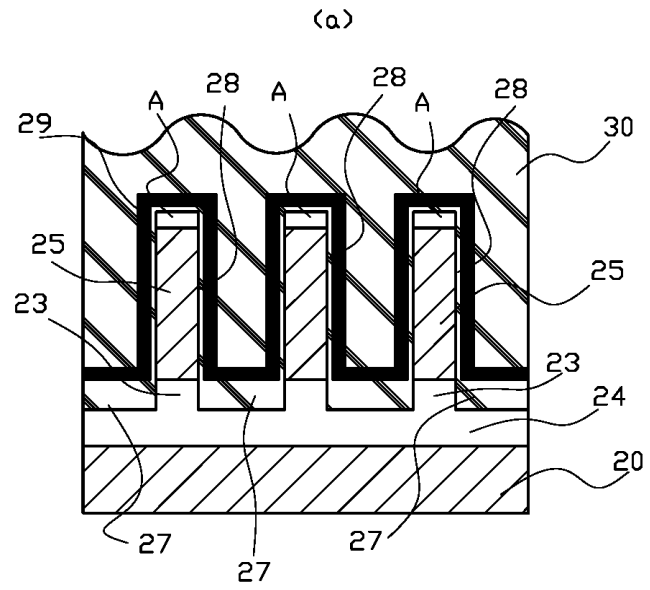
(a)



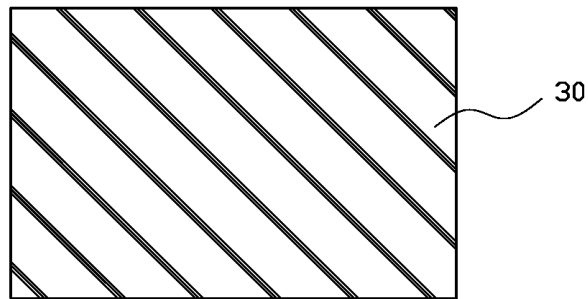
(b)



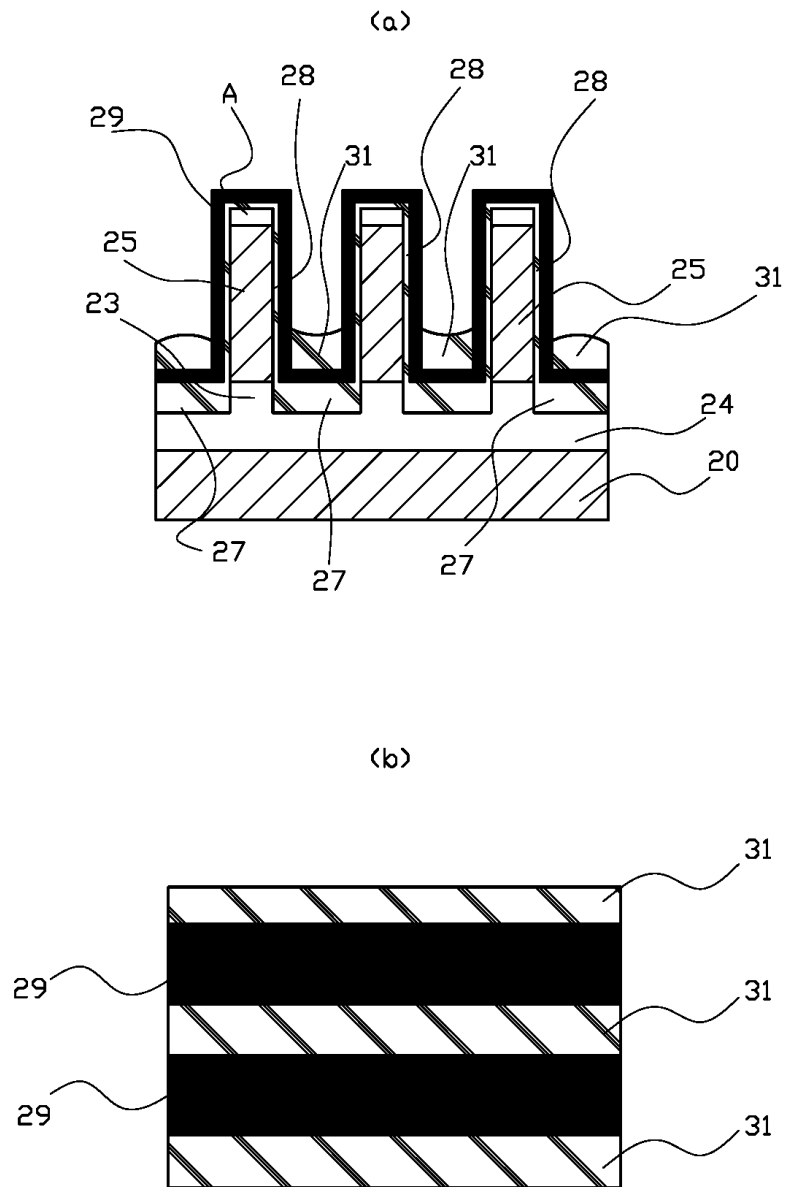
도면18



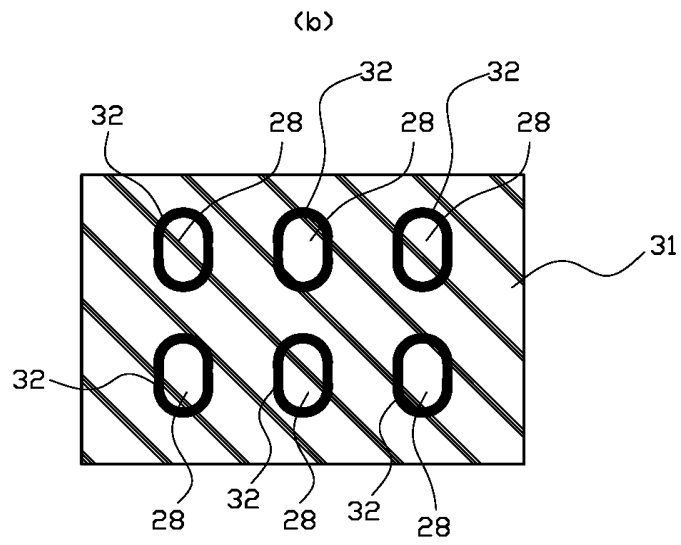
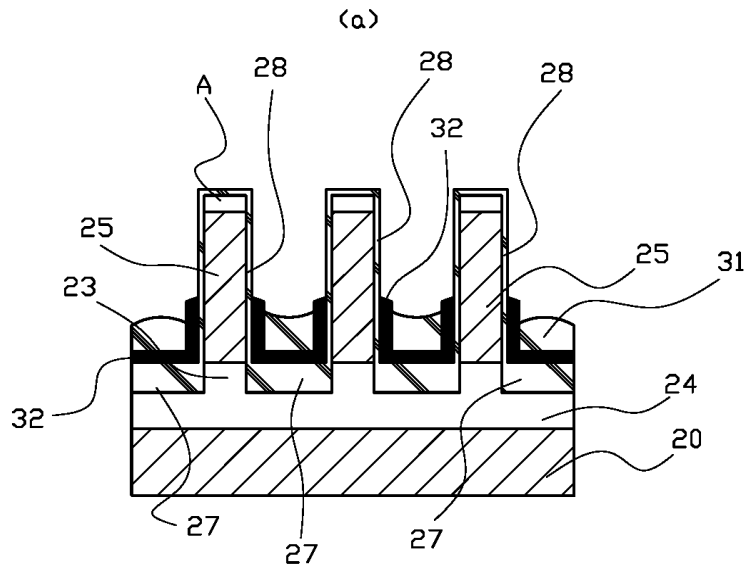
(b)



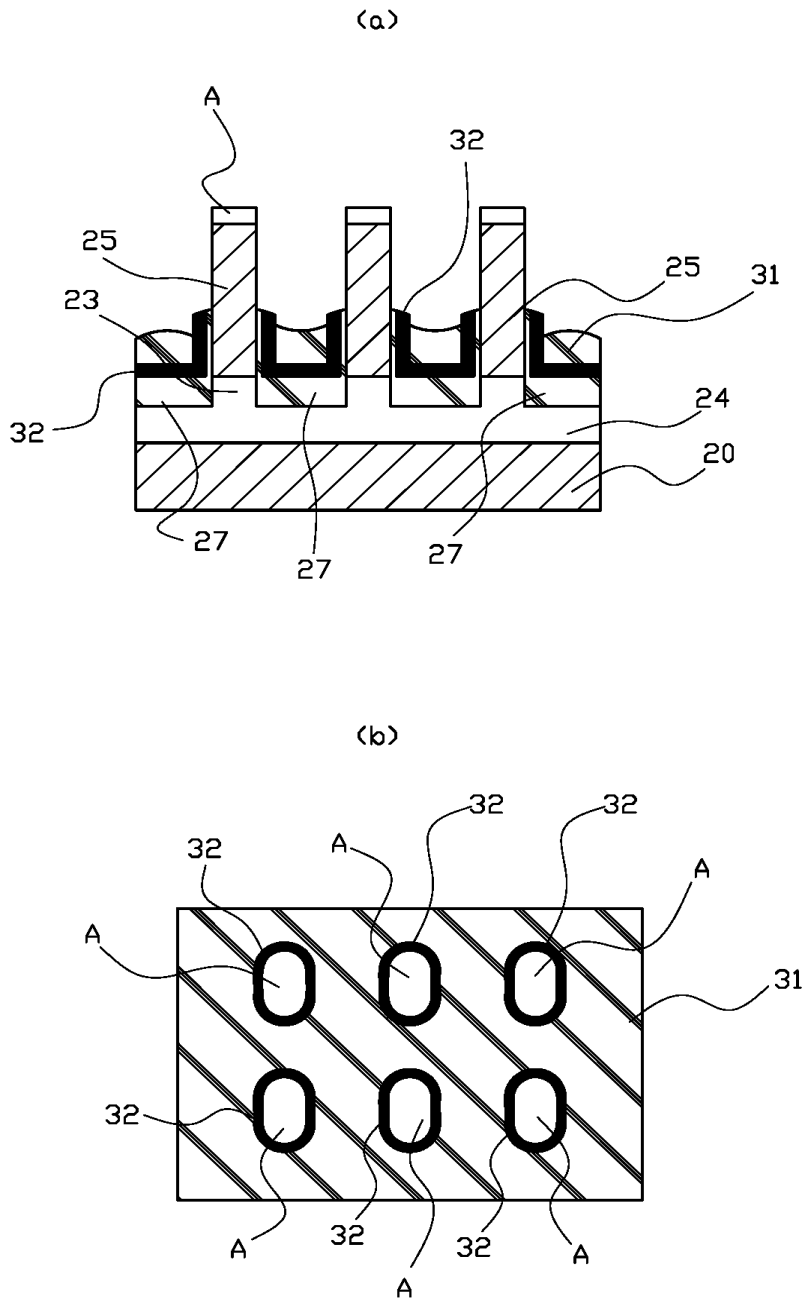
도면19



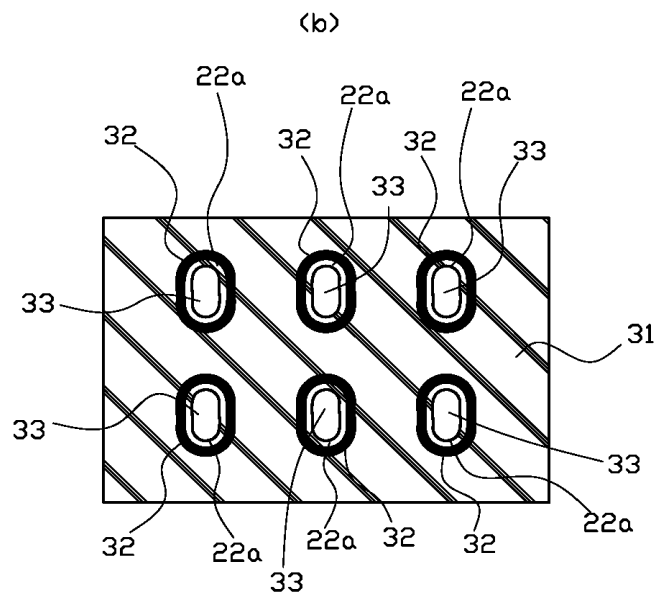
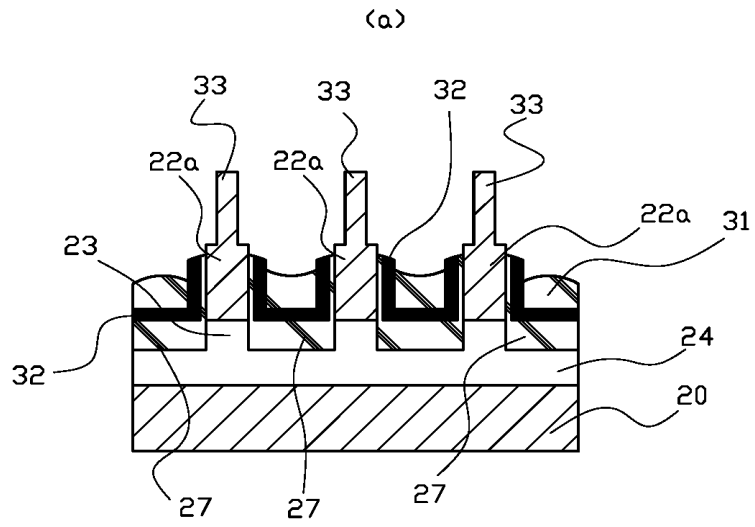
도면20



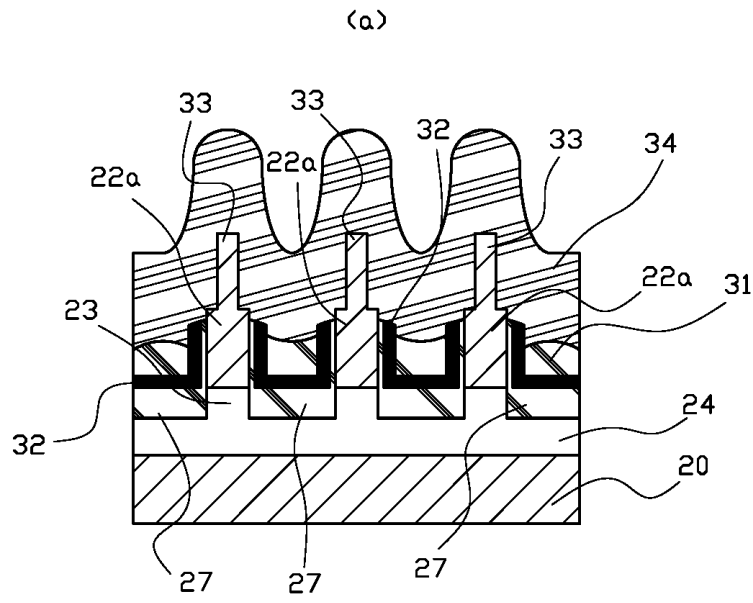
도면21



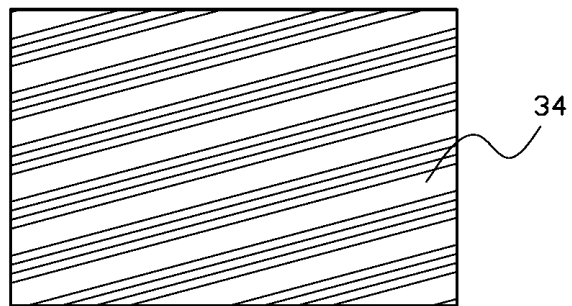
도면22



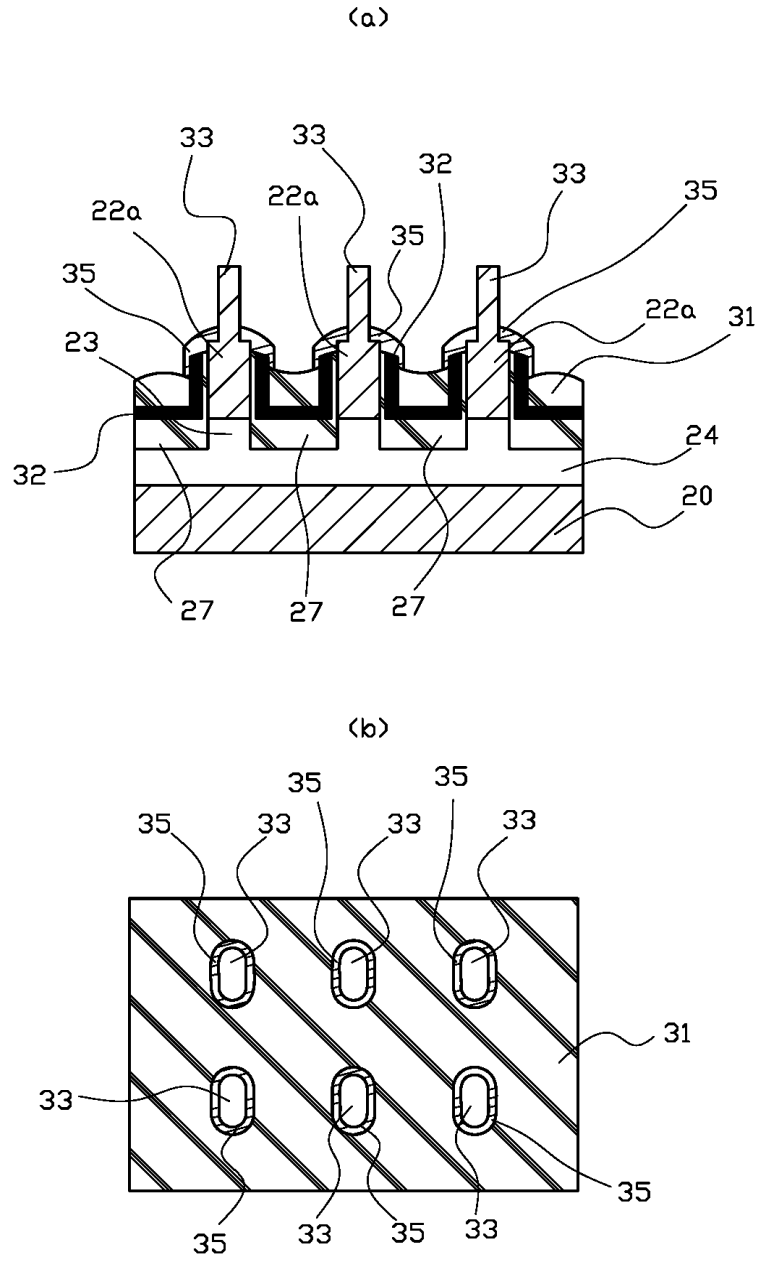
도면23



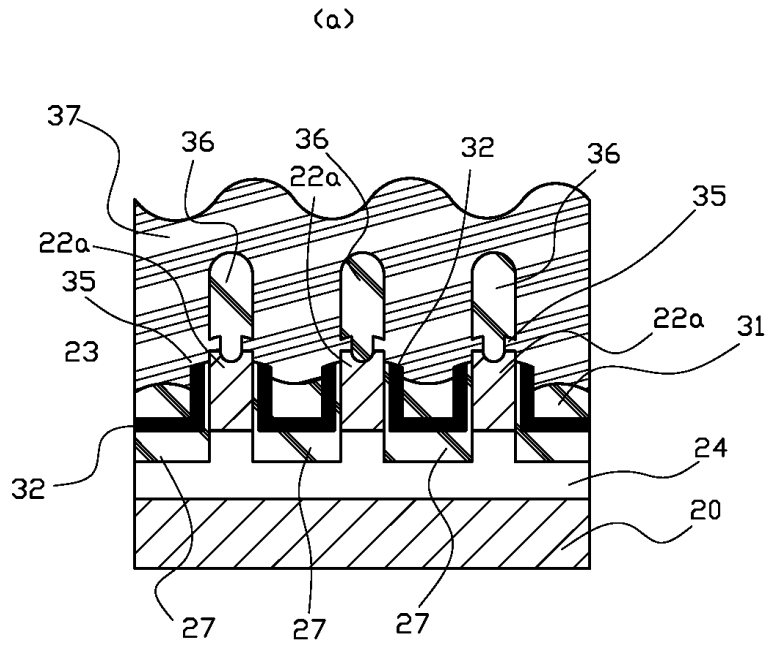
(b)



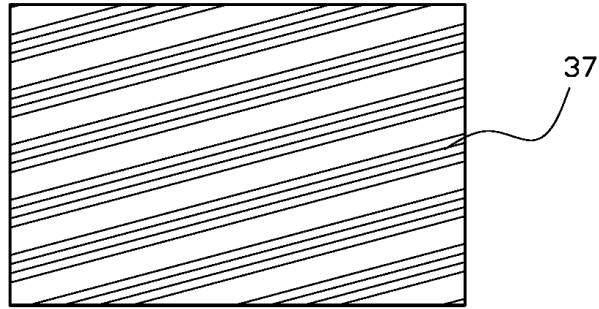
도면24



도면26

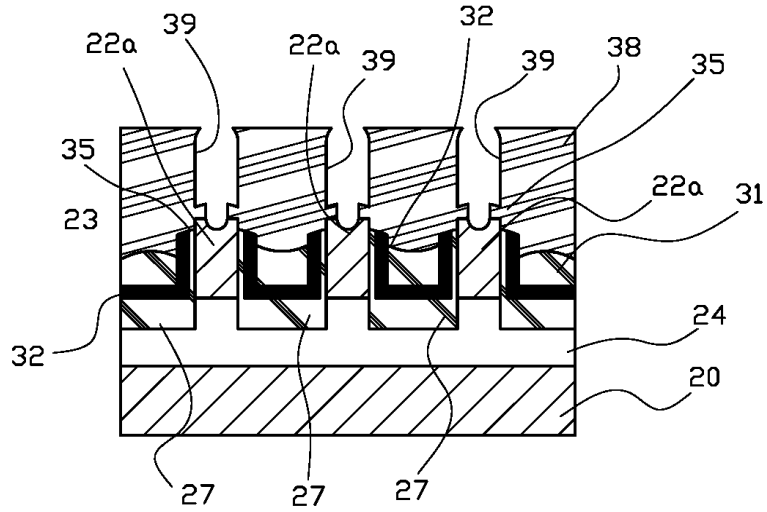


(b)

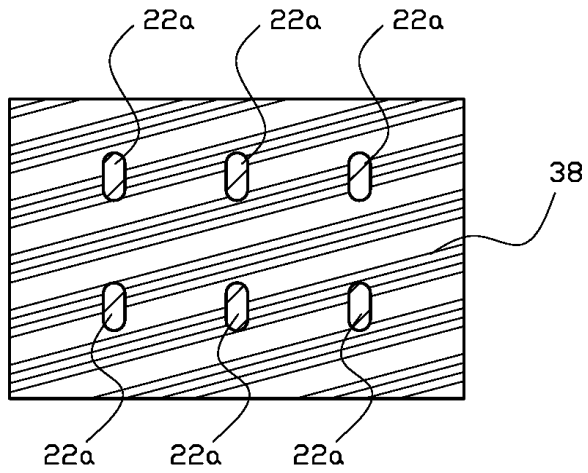


도면28

(a)



(b)



도면29

