(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0063401
(43) 공개일자 2015년06월09일

(51) 국제특허분류(Int. Cl.)
H03F 3/45 (2006.01) *H03F 3/30* (2006.01)
(52) CPC특허분류
H03F 3/45 (2013.01)
H03F 3/3069 (2013.01)
(21) 출원번호 10-2015-7007989
(22) 출원일자(국제) 2013년09월09일
심사청구일자 없음
(85) 번역문제출일자 2015년03월27일
(86) 국제출원번호 PCT/US2013/058784
(87) 국제공개번호 WO 2014/039982
국제공개일자 2014년03월13일
(30) 우선권주장
13/609,107 2012년09월10일 미국(US)

(71) 출원인
크레인 일렉트로닉스, 아이엔씨.
미국 워싱턴 98052 레드몬드 윌로우스 로드 10201
(72) 발명자
램, 쿠온
미국 98059 워싱턴 렌턴 노스이스트 4번 코트 5302
쿠에니, 제이
미국 98074 워싱턴 사마미시 사우스이스트 210번 코트 323
퍼치릭, 데이비드
미국 98052 워싱턴 레드몬드 노스이스트 90번 코트 16214
(74) 대리인
특허법인 무한

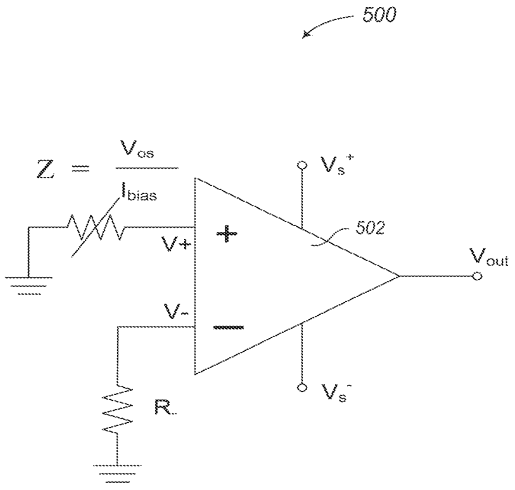
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 **가변적인 환경들에서 사용되는 연산 증폭기를 위한 임피던스 보상**

(57) 요 약

이중 보상 연산 증폭기는 환경이 주변 에너지 레벨의 변동을 겪는 경우에 사용하기 적합하다. 이중 보상 임피던스는 입력 오프셋 전압과 입력 바이어스 전류 중의 하나 또는 전부를 무효화하거나 보상하기 위해 결정될 수 있다. 이중 보상 임피던스에 대한 조정은, 이중 보상 임피던스가 서로 다른 목표 수행 환경에서의 예상 조건에 대해 미리 정해지거나 실시간으로 자동적으로 조정될 수 있도록, 다양한 환경 조건에 대한 캘리브레이션 데이터에 기초하여 수행될 수 있다. 그러한 이중 보상 임피던스로부터 이득을 얻는 목표 작동 환경은, 극도의 또는 가변적인 온도를 갖는 원거리 지역, 높은 고도, 우주, 또는 고도의 방사선 환경을 포함한다.

대 표 도 - 도5



(52) CPC특허분류
H03F 3/4508 (2013.01)
H03F 3/45475 (2013.01)
H03F 3/45928 (2013.01)
H03F 2203/45528 (2013.01)
H03F 2203/45586 (2013.01)
H03F 2203/45588 (2013.01)
H03F 2203/45591 (2013.01)

명 세 서

청구범위

청구항 1

주변 에너지 레벨이 변동하는 환경에서 연산 증폭기와 함께 사용되는 회로에 있어서,

상기 연산 증폭기는,

제1 입력 신호를 수용하는 제1 입력단자 상기 제1 입력 단자는 제1 입력 임피던스와 연관됨-;

제2 입력 신호를 수용하는 제2 입력 단자 상기 제2 입력 단자는 제2 입력 임피던스와 연관됨-

상기 제1 입력 신호와 제2 입력 신호에 기초하여 출력 신호를 생성하는 출력 단자; 및

입력 오프셋 전압과 입력 바이어스 전류를 생성하는 내부 컴포넌트들

을 포함하고,

상기 회로는,

상기 제1 입력 임피던스와 상기 제2 입력 임피던스를 밸런싱하지 않으면서, 상기 입력 오프셋 전압과 상기 입력 바이어스 전류에서 환경적으로 야기된 변화들을 보상하는 이중 보상 임피던스를 갖는 이중 보상 임피던스 스테이지

를 포함하는 회로.

청구항 2

제1항에 있어서,

상기 회로는,

상기 연산 증폭기를 더 포함하고,

상기 입력 오프셋 전압과 상기 입력 바이어스 전류는 상기 주변 에너지 레벨의 변동에 응답하여 변화하는 회로.

청구항 3

제2항에 있어서,

상기 이중 보상 임피던스는 상기 연산 증폭기의 집합 단일 부분(integral unitary portion)인 회로.

청구항 4

제1항에 있어서,

상기 제1 입력 단자는 비반전 입력 단자이고,

상기 이중 보상 임피던스는, 상기 제1 입력 단자에 전기적으로 연결된 추가된 제1 저항을 포함하는 회로.

청구항 5

제4항에 있어서,

상기 추가된 제1 저항은,

상기 이중 보상 임피던스를 조정하기 위해 선택적으로 동작 가능한 전위차계를 포함하는 회로.

청구항 6

제1항에 있어서,

상기 연산 증폭기는, 내부 오프셋 널을 더 포함하고,

상기 이중 보상 임피던스는, 상기 입력 바이어스 전류를 보상하기 위하여 상기 제1 입력 단자에 적용되는 회로.

청구항 7

제1항에 있어서,

상기 이중 보상 임피던스는,

상기 입력 오프셋 전압과 상기 입력 바이어스 전류의 비율에 비례하는 회로.

청구항 8

제7항에 있어서,

상기 입력 오프셋 전압의 값과 상기 입력 바이어스 전류의 값은,

목표 환경에서 상기 연산 증폭기가 작동하는 동안 측정된 데이터로부터 결정되는 회로.

청구항 9

제7항에 있어서,

상기 입력 오프셋 전압의 값과 상기 입력 바이어스 전류의 값은,

예상되는 목표 환경의 주변 에너지 레벨의 영향을 보상하기 위하여, 비일시적(non-transitory) 저장 매체에 저장된 캘리브레이션 데이터의 집합으로부터 결정되는 회로.

청구항 10

제9항에 있어서,

상기 입력 오프셋 전압의 값과 상기 입력 바이어스 전류의 값은,

논리 회로에 의해 상기 캘리브레이션 데이터로부터 추정되는 회로.

청구항 11

제10항에 있어서,

상기 회로는,

하나 이상의 에너지 레벨 센서들을 더 포함하고,

상기 논리 회로는,

상기 목표 환경의 주변 에너지 레벨에 반응하는 하나 이상의 에너지 레벨 센서들을 포함하는 회로.

청구항 12

제10항에 있어서,

상기 에너지 레벨 센서들은,

하나 이상의 온도 센서와 방사선 레벨 센서를 포함하는 회로.

청구항 13

제1항에 있어서,

상기 이중 보상 임피던스의 값은,

시뮬레이트된 목표 환경에서 획득된 데이터로부터 결정되는 회로.

청구항 14

제4항에 있어서,

상기 제2 입력 단자는 반전 입력 단자이고,

상기 이중 보상 임피던스 스테이지는,

상기 제2 입력 단자에 전기적으로 연결된 제2 저항

을 더 포함하는 회로.

청구항 15

제14항에 있어서,

상기 제1 저항의 값과 제2 저항의 값은,

상기 입력 오프셋 전압과 상기 입력 바이어스 전류 중 하나 이상의 효과를 무효화하기 위해 밸런스되지 않는 회로.

청구항 16

제14항에 있어서,

상기 제1 저항의 값과 상기 제2 저항의 값은,

상기 입력 오프셋 전압과 상기 입력 바이어스 전류 중 하나 이상의 효과에 대한 과보상(over-compensation)을 제공하기 위해 밸런스되지 않는(unbalanced) 회로.

청구항 17

제14항에 있어서,

상기 이중 보상 임피던스 스테이지는,

상기 제1 입력 단자에 연결된 접지; 및

상기 제1 입력 단자와 상기 접지 사이에 전기적으로 연결된 제3저항

을 포함하는 회로.

청구항 18

제17항에 있어서,

상기 이중 보상 임피던스 스테이지는,

상기 제2 입력 단자와 상기 출력 단자 사이에 전기적으로 연결된 제4 저항

을 더 포함하는 회로.

청구항 19

연산 증폭기에 영향을 미치는 주변 에너지 레벨의 변동에 대해 가변적으로 보상하는 방법에 있어서,

상기 연산 증폭기의 제1 입력 단자에서 제1 전압과 제1 전류를 감지하는 단계;

상기 연산 증폭기의 제2 입력 단자에서 제2 전압과 제2 전류를 감지하는 단계 상기 제2 입력 단자는 접지와 전기적으로 연결됨-;

상기 제1 전압과 상기 제2 전압 사이의 차이에 기초하여 입력 오프셋 전압을 결정하는 단계;

상기 제1 전류와 상기 제2 전류 사이의 차이에 기초하여 입력 바이어스 전류를 결정하는 단계;

상기 입력 오프셋 전압과 상기 입력 바이어스 전류로부터 입력 임피던스를 결정하는 단계 상기 입력 임피던스는 주변 에너지 레벨의 상기 변동에 따라 변화됨-; 및

상기 입력 임피던스를 보상하기 위하여 상기 연산 증폭기에 이중 보상 임피던스 스테이지를 전기적으로 연결하

는 단계

를 포함하는 방법.

청구항 20

제19항에 있어서,

상기 이중 보상 임피던스 스테이지를 전기적으로 연결하는 단계는,

상기 입력 오프셋 전압과 상기 입력 바이어스 전류의 비율에 비례하는 제1 저항을 제공하는 단계

를 포함하는 방법.

청구항 21

제19항에 있어서,

캘리브레이션 데이터를 생성하기 위하여, 서로 다른 시뮬레이트된 환경 조건에서 상기 감지하는 단계와 상기 결정하는 단계를 반복하는 단계; 및

상기 캘리브레이션 데이터로부터 예상되는 목표 환경에서의 작동을 위한 상기 제1 저항의 값을 결정하는 단계

를 더 포함하는 방법.

청구항 22

제21항에 있어서,

상기 목표 환경의 내부에서 주변 에너지 레벨을 감지하는 단계; 및

상기 목표 환경에 있는 동안 상기 캘리브레이션 데이터와 상기 주변 에너지 레벨로부터 상기 연산 증폭기의 작동을 위한 제1 저항의 값을 결정하는 단계

를 더 포함하는 방법.

청구항 23

제19항에 있어서,

일정한 시간 구간이 완료될 때까지 상기 방법을 반복함으로써 환경적인 변화들에 적응하기 위하여, 상기 이중 보상 임피던스 스테이지를 조정하는 단계

를 더 포함하는 방법.

청구항 24

제20항에 있어서,

상기 제2 입력 단자에 제2 저항을 제공하는 단계

를 더 포함하는 방법.

청구항 25

제24항에 있어서,

상기 제1 입력 단자에 상기 제1 저항을 제공하는 단계는,

상기 제2 입력 단자에 상기 제2 저항을 제공하는 단계와 결합하여, 상기 입력 임피던스의 전기적 효과를 무효화하는 불균형(imbalance)을 생성하는 방법.

청구항 26

제24항에 있어서,

상기 제1 입력 단자에 상기 제1 저항을 제공하는 단계는,

상기 제2 입력 단자에 상기 제2 저항을 제공하는 단계와 결합하여, 상기 입력 임피던스의 전기적 효과를 보상하는 불균형을 생성하는 방법.

청구항 27

제24항에 있어서,

상기 제1 입력 단자를 접지하는 단계; 및

상기 제1 입력 단자와 상기 접지 사이에 제3 저항을 제공하는 단계

를 더 포함하는 방법.

청구항 28

제27항에 있어서,

상기 제2 입력 단자와 상기 연산 증폭기의 출력 단자 사이에 제4 저항을 제공하는 단계

를 더 포함하는 방법.

발명의 설명

기 술 분 야

[0001] 현재 개시는 일반적으로 전기 또는 전자 회로에서 사용되는 연산 증폭기와 관련되며, 특히, 특정 환경에서 발생하는 성능의 변화를 보상하기 위해 연산 증폭기를 조정하는 방식과 관련이 있다.

배 경 기 술

[0002] 연산 증폭기("op-amps")는 많은 다양한 어플리케이션들을 위한 전기 회로에서 흔히 사용되는 범용 차동 전압 증폭기(general purpose differential voltage amplifiers)이다. 예를 들어, 연산 증폭기는 소리를 증폭하기 위한 복소 신호 처리 회로를 수반하는 오디오 시스템에서 블록들을 만들 때 자주 사용된다. 도 1A에 도시된 이상적인 연산 증폭기(100)은 두 개의 입력 단자인 V^+(비반전 입력), V^-(반전 입력), 그리고 출력 단자인 V_{out}를 갖는 삼 단자 장치(three-terminal device)이다 (추가 단자들은 전원(예를 들면, 배터리)을 V^+와 V^-에 연결하기 위해 제공된다). 증폭될 차동 입력 전압은 $\Delta V = V+ - V-$이다. 이상적인 연산 증폭기(100)의 내부 컴포넌트들은 증폭될 차동 입력 전압 ΔV가 증폭 인자(amplification factor) 또는 이득만큼 곱해져서 $Vout = A\ \Delta V$이 되도록 출력 단자에 나타나도록 야기한다. 연산 증폭기에 대한 증폭 인자들은 약 1000 100,000의 범위에 있을 수 있다. 이 특성은 연산 증폭기가 많은 어플리케이션들에서 센서로서 사용되기에 적합하도록 만들며, 그 어플리케이션들에서 작은 신호 변화는 모니터링(monitor)되고 감지되기 쉽도록 증폭(exaggerated)될 수 있다.

[0003] 만약 고정된 기준 전압 V_{ref}이 비반전 입력에 인가(applied)된 경우, 도 1B에 도시된 바와 같이 연산 증폭기는 반전 입력의 입력 전압을 V_{ref}와 비교하는 비교기(150)로서 작동한다. 만약 입력 전압 V_{in}이 V_{ref}와 대략 동일하다면, 증폭된 출력 V_{out}은 작은 값을 유지한다. V_{in}이 V_{ref}로부터 약간 차이가 날 때, 그 차이는 V_{out}이 매우 커지도록 증폭되고, 다운스트림(downstream) 장치에 트리거(trigger) 신호로서 작동(serve)할 수 있다.

[0004] 센서 또는 비교기(comparator)로서 사용되는 연산 증폭기의 정확도를 시험하는 방식은 의도적으로 차동 입력 전압 ΔV를 제로로 설정하고(예를 들어, 두 입력을 함께 연결하거나 두 입력을 접지함으로써), V_{out}도 제로임을 확인하는 것이다. 그러나, 연산 증폭기의 다양한 내부 컴포넌트들의 고유 에러들은 혼합될 수 있고, 입력 오프셋 전압(input offset voltage)을 나타내는 감지할 수 있는 제로 에러를 야기할 수 있다. 만약, 비제로(non-zero) 전위 V_{os}가 두 입력 사이에 존재한다면, V_{os}그 자체는 증폭될 수 있고, 출력에 상당한 오류가 있는 비제로 전압을 생성한다. 연산 증폭기와 연관된 제로 에러는 스케일(scale)과 연관된 제로 에러와 유사한 것으로 생각될 수 있는데, 그것은 오브젝트(object)가 스케일에 배치되기에 앞서 스케일이 비제로 웨이트(weight)를 기록할

때 명백하다. 스케일들은 전형적으로 이러한 제로 에러들을 수정하기 위한 기계적인 제로 조정(zeroing adjustment)을 수반하게 된다(come equipped). 유사한 방식으로, 오프셋 널 스테이지(offset null stage)를 연산 증폭기의 입력 V-에 전기적으로 연결함으로써, 연산 증폭기의 입력 오프셋 전압 V_{os}은 수정되거나 무효화(nullify)될 수 있다.

[0005] 도 2는 종래의 전압 보상된 연산 증폭기(200)의 일실시예를 나타내며, 여기서 입력 오프셋 전압 V_{os}을 나타내는 종래의 연산 증폭기(202)는 그 같은 오프셋 널 스테이지(204)가 특징이다. 이 예에서, 오프셋 널 스테이지는 오류가 있는 입력 오프셋 전압을 효과적으로 제로로 만드는 전압 전원 V_{null}의 형태에 있다. 무효화 될 입력 오프셋 전압 V_{os}는 전형적으로 약 마이크로볼트(㎶)에서 약 밀리볼트(mV)의 범위에 있다. 오프셋 널 스테이지(204)는, 예를 들어 하나 또는 복수의 고정 저항, 가변 저항, 전위차계(potentiometer), 전류 전원 또는 사이리스터(thyristor)와 같은 다른 형태를 가질 수 있다. 만약 입력 오프셋 전압 V_{os}이 불변하는 것으로 알려진다면, 불변 저항(예를 들어, 고정 저항 또는 고정 저항의 네트워크)을 갖는 오프셋 널(offset null)이 적용될 수 있다. 만약 입력 오프셋 전압 V_{os}이 변동한다면, 가변 저항 또는 전위차계를 포함하는 오프셋 널이 적용될 수 있다. 오프셋 널은 연산 증폭기의 입력 중 하나 또는 양쪽에 인가되거나, 또는 연산 증폭기안에 있는 내장된 오프셋 널 스테이지로서 제공될 수 있다.

[0006] 도 3은 전압 보상된 연산 증폭기(300)의 다른 실시예를 나타내며, 여기에서 종래의 연산 증폭기(302)는 내부 컴포넌트들이 도시되고 입력 오프셋 전압을 나타내며 내장된 오프셋 널 스테이지(304)가 제공된다.

[0007] 도 4를 참조하면, 입력 오프셋 전류 $I_{io}=|I_+-I_-|$를 나타내는 두 입력 전류 I_+와 I_-사이의 차이가 존재하는 종래의 연산 증폭기(400)가 도시된다. 그 두 입력 전류의 평균은 입력 바이어스 전류, $I_{bias}=(I_++I_-)/2$를 나타낸다. 이상적인 연산 증폭기에서 입력 저항이 너무 높기 때문에, 입력 전류 I_+와 I_-는 둘 다 무시할 수 있으므로 $I_{bias}=0$이다. 연산 증폭기(400)의 입력 단자에 나타나는 어떤 전류는 대부분의 어플리케이션들에서 무시할 수 있는 작은 누설 전류이지만, 입력 오프셋 전압을 무효화(cancel)하기 위해 그조차 주의를 기울여야 한다. 입력 바이어스 전류는 전형적으로 약 마이크로-암페어(micro-amp)에서 피코-암페어(pico-amp)만큼 작은 값까지의 범위를 갖는다. 그러나, 어떤 전자장치에서 비제로 입력 바이어스 전류 I_{bias}는 환경 의존적이며 변동하는 또 다른 에러의 원인이자 무효화를 보장하는 ΔI_{bias}를 유발한다. 그러므로, 만약 입력 바이어스 전류가 존재하는 경우, 단순히 V_{os}(또는 ΔV_{os})를 무효화하기 위해 오프셋 널 스테이지를 사용하는 것은 불충분할 수 있다. 회로에 저항을 추가함으로써 입력 바이어스 전류(input bias current)는 무효화될 수 있고, 이를 위해 회로 성능에 영향을 미치지 않으면서 바이어스 전류를 정확히 무효화하도록 저항 값들은 가급적 조심스럽게 선택된다.

발명의 내용

해결하려는 과제

[0008] 입력 오프셋 전압 ΔV_{os}이나 입력 바이어스 전류 ΔI_{bias}중 어느 하나 또는 양쪽의 변동들은, 예를 들어 온도 변화와 같은 환경 조건의 변화들에 의해 야기될 수 있다. 예를 들어 저항, 이동도(mobility) 등의 전자 컴포넌트들의 물질 특성들은 일반적으로 온도 의존적 특성들이기 때문에, V_{os}와 I_{os}의 이러한 변동들은 발생한다. 이러한 또는 다른 환경 의존적 특성들을 고려하면, 연산 증폭기의 입력 오프셋 전압과 입력 바이어스 전류는 일반적으로 증폭기의 작동 환경에 의존하여 변할 수 있다. 전자 장비 안에 위치한 연산 증폭기는 전형적으로 상온에 가까운 중온 또는 적어도 통제된 온도 환경에서 유지되므로, 대부분의 어플리케이션들에서 온도로부터 유발된 변동은 문제가 되지 않을 수 있다. 그러나 만약 연산 증폭기가 자동차들, 비행기, 우주선, 배들, 잠수함들 등과 같은 곳에서 사용될 예정이거나, 또는 연산 증폭기가 일반적으로 극도의 온도들이나 크게 변하는 온도 또는 방사선 조건들을 포함하는 군사적 그리고/또는 환경적 구체적인 조건들에서 작동될 것이 기대된다면, 환경 의존적인 고유 에러들을 통제하거나 조정하는 가장 좋은 방법이 무엇인지에 대한 질문을 해결하거나, 그것들을 수정하는 대안적 방법을 찾는 것은 필수적일 것이다.

[0009] ΔV_{os}와 ΔI_{bias}의 효과들을 피하는 방법 중 하나는 신호 레벨을 높이 증가시켜 입력 바이어스 전류와 입력 오프셋 전압의 변화들이 회로 성능에 미치는 영향을 줄이는 것이다. 그러나 이 접근법은 회로에 불필요하게 높은 스트레스들을 야기할 수 있고, 과도한 양의 전력 소모를 초래할 수 있다. 또 다른 해결책은 각각의 입력의 임

피던스(예를 들어, 도 4의 R^+와 R^-)를 밸런스(balance)하는 것인데, 그것은 I_{bias}를 보상할 수 있지만 ΔV_{os}를 해결하지 못한다. 다른 해결책들은 온도 민감성을 줄이기 위해 과도한 온도 의존성을 갖는 서미스터를 채용하는 것인데, 이는 방사선 효과들을 해결하지 못한다. 더욱이, 예를 들어 우주 환경이나 진공관 같은 곳처럼 많은 어플리케이션들에서 방사선 효과는 무시할 수 없다. 그럼에도 불구하고 디자이너들은 고에너지 전자기 방사선과 같은 다른 주변 에너지 원천들이나 이온화된 입자들이 존재하는 곳에서 발생된 전리 방사선이라는 다른 원천들로부터의 효과들을 고려하지 못할 수 있다.

[0010] 온도나 다른 주변 에너지 레벨의 변동들 때문에 발생할 수 있는 가변적인 입력 오프셋 전압과 가변적인 입력 바이어스 전류를 나타내는 연산 증폭기는, V_{os}와 I_{bias}양자의 함수인 이중 보상 임피던스를 사용함으로써 두 에러 원인들에 대해 수정될 수 있다. 예를 들어, 이중 보상 임피던스는 단일 또는 복수의 저항, 전위차계들, 사이리스터들, 전류 전원들, 그리고 전압 전원들, 또는 이들의 조합의 형태를 취할 수 있다. V_{os}와 I_{bias}를 결정하는 다양한 방법들은, 장치를 극도의 또는 변동하는 환경 조건들에 종속시키는 다양한 목표 환경들에서 연산 증폭기가 작동할 것을 예상하여 오프셋에 도달하는 방식들을 제공하거나 이러한 에러들을 보상한다.

과제의 해결 수단

[0011] 본 발명의 일실시예에 따른 주변 에너지 레벨이 변동하는 환경에서 연산 증폭기와 함께 사용되는 회로에 있어서, 상기 연산 증폭기는, 제1 입력 신호를 수용하는 제1 입력단자 상기 제1 입력 단자는 제1 입력 임피던스와 연관됨-; 제2 입력 신호를 수용하는 제2 입력 단자 상기 제2 입력 단자는 제2 입력 임피던스와 연관됨- 상기 제1 입력 신호와 제2 입력 신호에 기초하여 출력 신호를 생성하는 출력 단자; 및 입력 오프셋 전압과 입력 바이어스 전류를 생성하는 내부 컴포넌트들 을 포함하고, 상기 회로는, 상기 제1 입력 임피던스와 상기 제2 입력 임피던스를 밸런싱하지 않으면서, 상기 입력 오프셋 전압과 상기 입력 바이어스 전류에서 환경적으로 야기된 변화들을 보상하는 이중 보상 임피던스를 갖는 이중 보상 임피던스 스테이지를 포함할 수 있다.

[0012] 상기 회로는, 상기 연산 증폭기를 더 포함하고, 상기 입력 오프셋 전압과 상기 입력 바이어스 전류는 상기 주변 에너지 레벨의 변동에 응답하여 변화할 수 있다.

[0013] 상기 이중 보상 임피던스는, 상기 연산 증폭기의 집합 단일 부분(integral unitary portion)일 수 있다.

[0014] 상기 제1 입력 단자는 비반전 입력 단자이고, 상기 이중 보상 임피던스는, 상기 제1 입력 단자에 전기적으로 연결된 추가된 제1 저항을 포함할 수 있다.

[0015] 상기 추가된 제1 저항은, 상기 이중 보상 임피던스를 조정하기 위해 선택적으로 동작 가능한 전위차계를 포함할 수 있다.

[0016] 상기 연산 증폭기는, 내부 오프셋 널을 더 포함하고, 상기 이중 보상 임피던스는, 상기 입력 바이어스 전류를 보상하기 위하여 상기 제1 입력 단자에 적용될 수 있다.

[0017] 상기 이중 보상 임피던스는, 상기 입력 오프셋 전압과 상기 입력 바이어스 전류의 비율에 비례할 수 있다.

[0018] 상기 입력 오프셋 전압의 값과 상기 입력 바이어스 전류의 값은, 목표 환경에서 상기 연산 증폭기가 작동하는 동안 측정된 데이터로부터 결정될 수 있다.

[0019] 상기 입력 오프셋 전압의 값과 상기 입력 바이어스 전류의 값은, 예상되는 목표 환경의 주변 에너지 레벨의 영향을 보상하기 위하여, 비일시적(non-transitory) 저장 매체에 저장된 캘리브레이션 데이터의 집합으로부터 결정될 수 있다.

[0020] 상기 입력 오프셋 전압의 값과 상기 입력 바이어스 전류의 값은, 논리 회로에 의해 상기 캘리브레이션 데이터로부터 추정될 수 있다.

[0021] 상기 회로는, 하나 이상의 에너지 레벨 센서들을 더 포함하고, 상기 논리 회로는, 상기 목표 환경의 주변 에너지 레벨에 반응하는 하나 이상의 에너지 레벨 센서들을 포함할 수 있다.

[0022] 상기 에너지 레벨 센서들은, 하나 이상의 온도 센서와 방사선 레벨 센서를 포함할 수 있다.

[0023] 상기 이중 보상 임피던스의 값은, 시뮬레이트된 목표 환경에서 획득된 데이터로부터 결정될 수 있다.

[0024] 상기 제2 입력 단자는 반전 입력 단자이고, 상기 이중 보상 임피던스 스테이지는, 상기 제2 입력 단자에 전기적

으로 연결된 제2 저항을 더 포함할 수 있다.

[0025] 상기 제1 저항의 값과 제2 저항의 값은, 상기 입력 오프셋 전압과 상기 입력 바이어스 전류 중 하나 이상의 효과를 무효화하기 위해 밸런스되지 않을 수 있다.

[0026] 상기 제1 저항의 값과 상기 제2 저항의 값은, 상기 입력 오프셋 전압과 상기 입력 바이어스 전류 중 하나 이상의 효과에 대한 과보상(over-compensation)을 제공하기 위해 밸런스되지 않을 수 있다.

[0027] 상기 이중 보상 임피던스 스테이지는, 상기 제1 입력 단자에 연결된 접지; 및

[0028] 상기 제1 입력 단자와 상기 접지 사이에 전기적으로 연결된 제3저항을 포함할 수 있다.

[0029] 상기 이중 보상 임피던스 스테이지는, 상기 제2 입력 단자와 상기 출력 단자 사이에 전기적으로 연결된 제4 저항을 더 포함할 수 있다.

[0030] 본 발명의 일실시예에 따른 연산 증폭기에 영향을 미치는 주변 에너지 레벨의 변동에 대해 가변적으로 보상하는 방법에 있어서, 상기 연산 증폭기의 제1 입력 단자에서 제1 전압과 제1 전류를 감지하는 단계; 상기 연산 증폭기의 제2 입력 단자에서 제2 전압과 제2 전류를 감지하는 단계 상기 제2 입력 단자는 접지와 전기적으로 연결됨-; 상기 제1 전압과 상기 제2 전압 사이의 차이에 기초하여 입력 오프셋 전압을 결정하는 단계; 상기 제1 전류와 상기 제2 전류 사이의 차이에 기초하여 입력 바이어스 전류를 결정하는 단계; 상기 입력 오프셋 전압과 상기 입력 바이어스 전류로부터 입력 임피던스를 결정하는 단계 상기 입력 임피던스는 주변 에너지 레벨의 상기 변동에 따라 변화됨-; 및 상기 입력 임피던스를 보상하기 위하여 상기 연산 증폭기에 이중 보상 임피던스 스테이지를 전기적으로 연결하는 단계를 포함할 수 있다.

[0031] 상기 이중 보상 임피던스 스테이지를 전기적으로 연결하는 단계는, 상기 입력 오프셋 전압과 상기 입력 바이어스 전류의 비율에 비례하는 제1 저항을 제공하는 단계를 포함할 수 있다.

[0032] 캘리브레이션 데이터를 생성하기 위하여, 서로 다른 시뮬레이트된 환경 조건에서 상기 감지하는 단계와 상기 결정하는 단계를 반복하는 단계; 및 상기 캘리브레이션 데이터로부터 예상되는 목표 환경에서의 작동을 위한 상기 제1 저항의 값을 결정하는 단계를 더 포함할 수 있다.

[0033] 상기 목표 환경의 내부에서 주변 에너지 레벨을 감지하는 단계; 및 상기 목표 환경에 있는 동안 상기 캘리브레이션 데이터와 상기 주변 에너지 레벨로부터 상기 연산 증폭기의 작동을 위한 제1 저항의 값을 결정하는 단계를 더 포함할 수 있다.

[0034] 일정한 시간 구간이 완료될 때까지 상기 방법을 반복함으로써 환경적인 변화들에 적응하기 위하여, 상기 이중 보상 임피던스 스테이지를 조정하는 단계를 더 포함할 수 있다.

[0035] 상기 제2 입력 단자에 제2 저항을 제공하는 단계를 더 포함할 수 있다.

[0036] 상기 제1 입력 단자에 상기 제1 저항을 제공하는 단계는, 상기 제2 입력 단자에 상기 제2 저항을 제공하는 단계와 결합하여, 상기 입력 임피던스의 전기적 효과를 무효화하는 불균형(imbalance)을 생성할 수 있다.

[0037] 상기 제1 입력 단자에 상기 제1 저항을 제공하는 단계는, 상기 제2 입력 단자에 상기 제2 저항을 제공하는 단계와 결합하여, 상기 입력 임피던스의 전기적 효과를 보상하는 불균형을 생성할 수 있다.

[0038] 상기 제1 입력 단자를 접지하는 단계; 및 상기 제1 입력 단자와 상기 접지 사이에 제3 저항을 제공하는 단계를 더 포함할 수 있다.

[0039] 상기 제2 입력 단자와 상기 연산 증폭기의 출력 단자 사이에 제4 저항을 제공하는 단계를 더 포함할 수 있다.

도면의 간단한 설명

[0040] 도 1A와 도 1B는 각각 일반적인 연산 증폭기(차동 증폭기)와 종래의 비교기의 개략도들이다.

도 2는 외부 오프셋 널 수정이 적용된, 입력 오프셋 전압을 나타내는 종래의 연산 증폭기의 개략도이다.

도 3은 내부 오프셋 널이 적용된, 입력 오프셋 전압을 도시하는, 내부 컴포넌트들을 도시한 종래의 연산 증폭기의 개략도이다.

도 4는 입력 바이어스 전류를 도시한 종래의 연산 증폭기의 개략도이다.

도 5는 환경적으로 유발된 입력 오프셋 전압과 환경적으로 유발된 입력 바이어스 전류를 도시한, 이중 보상 임

피던스가 적용된 연산 증폭기의 개략도이다.

도 6은 이중 보상된 연산 증폭기의 개략도이며, 내부 오프셋 널 수정이 적용된 입력 오프셋 전압과 보상 임피던스가 적용된 입력 바이어스 전류를 나타내는 내부 컴포넌트들을 도시한다.

도 7은 환경에 의해 유발된 입력 오프셋 전압와 환경에 의해 유발된 입력 바이어스 전류를 나타내는 연산 증폭기의 개략도이며, 밸런스되지 않는 이중 보상 임피던스 스테이지로서 저항 네트워크가 여기에 적용된다.

도 8은 설명된 일실시예에 따라 연산 증폭기에 영향을 미치는 주변 에너지 레벨의 변동들에 대한 가변적인 임피던스 보상의 방법을 도시한 순서도이다.

도 9A와 9B는 캘리브레이션 데이터의 사용을 수반하는 설명된 또 다른 실시예에 따라 목표 환경에 영향을 주는 예상되는 주변 에너지 레벨의 변동들에 대한 가변적인 임피던스 보상의 방법을 설명한다.

도 10A와 10B는 설명된 또 다른 실시예에 따라 목표 환경에서 작동하는 동안 주변 에너지 레벨의 변동들에 대한 가변적인 임피던스 보상의 방법을 설명한다. 실시예는 캘리브레이션 데이터와 조합하여 센서의 사용을 수반한다.

도 11A와 도 11B는, 선택된 시간 간격에 따라 주기적으로 임피던스 보상을 조정할 수 있는 실시간(in-situ) 센서 장치의 사용을 수반하는 설명된 또 다른 실시예에 따라서 목표 환경에서 작동하는 동안 주변 에너지 레벨에 대해 가변적으로 임피던스를 보상하는 방법을 설명한다.

발명을 실시하기 위한 구체적인 내용

[0041] 도면들에서, 동일한 참조 번호들은 동일한 구성요소들 또는 행위들을 지칭한다. 도면들에서 구성 요소들의 크기들이나 상대적 위치들은 반드시 일정한 비율로 도시된 것은 아니다. 예를 들어, 다양한 구성요소들의 형태들과 각도들은 일정한 비율인 것이 아니고, 이 구성요소들 중 일부는 가독성을 위하여 임의로 확장되거나 배치된 것이다. 더욱이, 구성요소들의 그려진 대로의 특정 형태들은 특정 구성요소의 실제 형태와 관련된 어떠한 정보를 담도록 의도된 것이 아니며, 단순히 도면들에서 쉽게 인식되도록 선택된 것이다.

[0042] 이하의 설명에서, 다양하게 개시된 실시예들의 철저한 이해를 제공하기 위해 특정한 구체적인 설명들이 제시된다. 그러나, 관련 기술 분야에서 숙련된 자는 이러한 구체적인 설명들 중 하나 또는 복수의 것이 없거나, 다른 방법들, 컴포넌트들, 물질들 기타 등등에 의해서도, 실시예들이 실행될 수 있음을 인식할 것이다. 다른 예시에서, 연산 증폭기들 및 연관 회로들에 관련된 잘 알려진 구조들은 불필요하게 실시예들의 설명을 모호하게 만들지 않도록 자세한 설명을 생략한다.

[0043] 만약 문맥상 다른 방식이 요구되지 않는다면, 명세서와 청구항들 전체에 걸쳐서, "구성되다"라는 단어와 "구성된다"나 "구성되는"과 같은 그 변형들은 개방적이고 포함하는 의미, 즉 "그것을 포함하되 그것으로 제한되지 않는"이라는 의미로 구성된다.

[0044] 이 명세서 전체에 걸쳐서 "일실시예"의 언급은 그 실시예와 연관되어 설명된 특별한 특징, 구조 또는 특성이 적어도 일실시예에 포함된 것을 의미한다. 그러므로, 이 명세서 전체에 걸쳐 다양한 곳에서의 "일실시예에서"라는 문구의 등장은 반드시 동일한 실시예를 언급하는 것은 아니다. 더욱이, 그 특정한 특징들, 구조들 또는 특성들은 하나 또는 복수의 실시예들에서 적절한 방식으로 조합될 수 있다.

[0045] 이 명세서와 첨부된 청구항들에서 사용된 대로, 만약 문맥상 명백히 다른 방식으로 지정되지 않는다면, 단수 형태 "a", "an"과 "the"는 복수의 대상을 포함한다. 만약 문맥상 명백히 다른 방식으로 지정되지 않는다면, "또는"이라는 용어는 일반적으로 "및/또는"을 포함하는 의미로 이용된다.

[0046] 여기서 제공된 공개공보의 제목과 초록은 편의를 위한 것이며 실시예들의 범위나 의미를 해석하지 않는다.

[0047] 도 5를 참조하면, 이중 보상된 연산 증폭기(500)는 종래의 연산 증폭기(502) 내의 환경적 민감성을 해결한다. 종래의 연산 증폭기(502)는 두 가지 종류의 고유 에러들인 V_{os}와 I_{bias}를 나타내는 장치를 나타낸다. 이중 보상된 연산 증폭기(500)는 동시에 입력 바이어스 전류와 입력 오프셋 전압을 보상한다. 이중 보상된 연산 증폭기(500)는, 이중 보상 임피던스 Z는 일반적으로 V_{os}와 I_{bias}양자의 함수인 입력 임피던스와 대략 동일하도록 설정되는 이중 보상 임피던스 스테이지를 도입한다. 예를 들어, 만약 입력 임피던스가 V_{os}/I_{bias}의 비율이라면, 이중 보상 임피던스 Z는 입력 임피던스를 오프셋하는 이 비율과 대략 동일하도록 설정될 수 있다. 대신에, 이중 보

상 임피던스 Z는 다른 방식으로 V_{os}와 I_{bias}또는 그들의 비율과 관련될 수 있다. 더욱이, 입력 오프셋 전압의 변화 ΔV_{os}를 야기하는 환경 효과는 또한 입력 바이어스 전류의 상응하는 변화 ΔI_{bias}를 야기하는 경향이 있을 것이고, 두 변화는 가변적인 이중 보상 임피던스 $\Delta Z = \Delta V_{os}/\Delta I_{bias}$를 이중 보상된 연산 증폭기(500)의 비반전 입력에 적용함으로써 고려될 수 있다. 예를 들어, 만약 온도 변화에 의해 V_{os}가 2배만큼 증가한다면, I_{bias}역시 2배만큼 증가할 수 있는데, 이 경우에 효과는 소거되고 가변적인 이중 보상 임피던스 ΔZ는 변하지 않는다. 연산 증폭기의 두 입력 전류를 밸런스(balance)하는 일반적인 방법을 쓰는 대신, 입력 중 어느 하나에 이중 보상 임피던스 $Z = \Delta Z$를 제공하는 것은, 환경에 의해 유발된 에러의 변화뿐만 아니라 두 고유 에러 원인을 동시에 보상하는 불균형을 야기한다.

[0048] 도 6을 참조하면 일실시예에서 부분적으로 보상된 연산 증폭기(600)는, 이미 V_{os}를 보상하는 내부 오프셋 널(304)을 포함하는 연산 증폭기(302)의 비반전 입력 V_+에 적용된 이중 보상 임피던스 스테이지를 포함한다. 이 경우에 만약 내부 오프셋 널(304)이 불충분한 것으로 판명되는 경우 이중 보상 임피던스 Z는 오직 I_{bias}를 보상할 수도 있고 추가적인 오프셋 전압 보상을 제공하도록 조정될 수 있다. 이중 보상된 연산 증폭기(500)와 부분적으로 보상된 연산 증폭기(600) 각각에 대해, 이중 보상 임피던스 스테이지는 단일 저항의 형태를 취할 수도 있고, 이중 보상 임피던스는 저항들, 사이리스터들, 서미스터들, 저항 네트워크들, 가변 저항들, 전위차계들 기타 유사한 요소와 같은, 하나 또는 복수의 저항성 컴포넌트를 포함할 수 있다. 이중 보상 임피더스 스테이지는 부분적으로 보상된 연산 증폭기(600)에 내장될 수도 있다.

[0049] 도 7를 참조하면, 이중 보상된 연산 증폭기(700)의 일실시예에서, 이중 보상 임피던스 스테이지는, 비반전 입력 단자 V^+,반전 입력 단자 V^-,출력 단자 V_{out}또는 이들의 조합들에 선택적으로 전기적으로 연결된 저항 네트워크로서, 연산 증폭기(502)에 적용될 수 있다. 예를 들어, 제2 저항 R_2를 반전 단자 V^-에 전기적으로 연결하거나, 양의 입력 단자와 접지 사이에 전기적으로 연결된 제3저항 R_3를 제공하거나, 반전 입력 단자 V-와 출력 단자 V_{out}사이에 전기적으로 연결된 제4 저항을 제공하거나, 이들의 조합들을 제공함으로써, 이중 보상 임피던스 Z는 연산 증폭기(502)를 수정하기 위해 적용될 수 있다.

[0050] 보상된 연산 증폭기(500, 600, 700)의 다양한 실시예들은, V_{os}와 I_{bias}의 값에서 파생된 이중 보상 임피던스 Z의 정확하고 유용한 값을 제공하는 방법상의 차이점들에 의해 더욱 구별될 수 있다. 이중 보상 임피던스 Z를 조정하기 위해, V_{os}와 I_{bias}의 값이 요구되며, 센서들, 계산들, 추정들 또는 이들의 조합들을 통해 얻어질 수 있다. 더욱이 변동하는 에너지 환경 또는 멀리 떨어진 환경에서, 이중 보상 임피던스 Z는 주기적으로 업데이트될 필요가 있을 수 있다. 예를 들어, 연산 증폭기가 실험실, 제조 장치 또는 다른 캘리브레이션 환경에 있는 동안, 이중 보상 임피던스 Z의 값은 설정될 수 있고, 그 후에 연산 증폭기는 자동차에 설치되어 그것의 의도된 목표 수행 환경에 보내질 수 있다. 또는, 즉시 측정하거나 환경 파라미터들을 감지하고 필수적인 보상을 추정하는 단계에 기초하여, 이중 보상 임피던스 Z의 결정은 실시간으로 또는 해당 목표 환경에서 이루어질 수 있다.

[0051] 도 8에 기술된 시나리오에서, 목표환경이나 시뮬레이트된 목표 환경(802)에서 특정 연산 증폭기의 실제 제로 측정들이 이루어지는 방법(800)에 따라 가능한 한 정밀하게 V_{os}와 I_{bias}를 소거하도록 이중 보상 임피던스 Z는 설정될 수 있다. 이것은, 장치가 원거리에 있는 목표 수행 환경에 도달한 후에 수행될 수 있다. 또는 연산 증폭기는 시뮬레이트된 목표 환경에서 구성될 수 있다. 목표 환경은 실험실 캘리브레이션 환경 그 자체, 또는 동등한 접지 기반(ground-based) 환경일수도 있고 아닐 수도 있다. 단계(804)에서, 단계(808)에서 V_{os}가 결정될 수 있도록 연산 증폭기의 전기적 특성들(전압과 전류)은 감지될 수 있다. 예를 들어, 두 입력 단자들 V^+와 V^-를 함께 연결하고 V_{out}을 측정하고 알려진 이득 인자 A로 나눔으로써 V_{os}는 결정될 수 있다. 그 후에 단계(810)에서, 연산 증폭기가 작동하는 동안 두 입력 단자들에서 누설 전류 I^+와 I^-를 측정하고 그 차이를 계산함으로써 I_{bias}는 결정될 수 있다. 마지막으로, 단계(812)에서 연산 증폭기가 보상 저항(compensation resistance)으로 구성되고 이미 가동중인 임피던스 수정을 고객에게 제공할 수 있도록, 이중 보상 임피던스 Z는 V_{os}와 I_{bias}의 비율을 취함으로써 결정될 수 있다. 단계(814)에서 이중 보상 임피던스 Z는 연산 증폭기에 적용되고, 그 후 단계(816)에서 그 장치는 그것의 목표 환경에서 작동할 준비가 된다. 만약 연산 증폭기가 멀리 떨어진 조건들을 시뮬레이트(simulate)하는 환경에서 구성된다면, 연산 증폭기는 작동을 위해 전원이 켜지기 전에 그것의 목표 환경으로 우

선 이송될 수 있다.

[0052] 도 9A와 도 9B에 도시된 일실시예에 따르면, 이중 보상 임피던스 Z는 예상되는 레벨에서 하나 또는 둘 모두의 에러 원인들(V_{os}와 I_{bias})을 보상하도록 의도적으로 설정될 수 있다. 예를 들어, 만약 알려진 극도의 온도 T를 갖는 목표 환경에서 작동할 수 있는 비행기 기내의 항공 전자 공학 시스템에서 연산 증폭기가 사용될 예정이라면, 현재 환경의 국부적인 주변 온도에 의한 효과들을 소거하도록 설정 되는 대신에, 예상되는 미래의 주변 온도 T의 효과를 소거하기 위해 이중 보상 임피던스 Z의 값은 미리 추정될 수 있다. 도 9A와 도 9B에 도시된 것처럼, 장치가 고객에게 분배되기 전에 실험실이나 제조 시설에서 각각의 장치에 대한 캘리브레이션 곡선들의 세트를 생성함으로써 이것은 수행될 수 있다. 예를 들어, 캘리브레이션 환경(예, 실험실)(901)에서 캘리브레이션 곡선들(908, 910)을 생성하기 위해 캘리브레이션 방법(900)이 수행될 수 있다. 멀리 떨어진 목표 환경(951)(예, 특정 고도에서 비행하는 비행기)의 조건들에 부합하는 임피던스 설정 단계(912)를 위한 예측들을 추정하기 위해 캘리브레이션 곡선들(908, 910)은 후에 사용될 수 있다. 실험실 온도 T_c에서 입력 오프셋 전압 V_{osc}(902)와 입력 바이어스 전류 I_{biasc}(904)의 값들을 결정하기 위해, 이중 보상 임피던스 Z의 값은 우선 캘리브레이션 환경에서 측정될 수 있다. 그 후 단계(902, 904)에서 캘리브레이션 환경에서 온도는 변화될 수 있고, 온도의 함수로서 V_{os}캘리브레이션 곡선(908)과 I_{bias}캘리브레이션 곡선(910)을 각각 생성(906)하기 위해 계속적인 V_{os}와 I_{bias}의 측정은 수행될 수 있다. 마지막으로 알려진 온도 T_t를 갖는 알려진 목표 환경(951)에 대해, 알려진 온도 T_t에서의 캘리브레이션 곡선들(908, 910)에서 나타난 에러 값들을 사용하여 비율 V_{ost}/I_{biast}을 계산함으로써, 목표 환경(951)에서 사용되기 위한 이중 보상 임피던스 Z의 수정된 값에 대한 예측은 획득될 수 있고 연산 증폭기는 이에 따라 설정될 수 있다. 장래의 참고를 위한 전자 메모리와 같은 비일시적인 저장 매체에, 장래에 참고하기 위해 곡선들의 세트(908, 910)는 저장될 수 있고, 캘리브레이션 데이터는 장치들과 함께 고객들에게 제공될 수 있다. 온도에 기초한 캘리브레이션 곡선들(908, 910)을 생성하는 대신에, 또는 추가로, 주변 방사선 레벨과 같은 변화하는 다른 환경 조건에 의해 다른 곡선들의 세트가 생성될 수 있다.

[0053] 만약 목표 환경이 변한다면, 이중 보상 임피던스 Z의 설정을 업데이트하기 위해 도 9B에 도시된 방법(950)이 사용될 수 있다. 단계(952)에서, 예를 들어 실시간 측정 또는 새로운 작동 목적지의 알려진 특성들로부터, 새로운 목표 온도가 결정될 수 있다. 단계(954)에서, 위에서 설명된 대로 기존의 캘리브레이션 곡선들(908, 910)로부터 이중 보상 임피던스 Z의 값은 결정된다. 단계(956)에서 이중 보상 임피던스 Z의 새로운 값이 새로운 목표 온도에서 연산 증폭기에 적용되고, 단계(958)에서 작동은 단계(960)에서 목표 환경이 다시 변해서 방법(950)의 반복을 트리거할 때까지 계속된다. 단계(954)에서, 캘리브레이션 곡선들로부터 또는 캘리브레이션 곡선들로부터 도출된 캘리브레이션 표들로부터 값들을 추출하기 위하여, 이중 보상 임피던스 Z를 추정하는 것은 하나 또는 복수의 프로세서(processor)를 사용함으로써 반자동으로 수행될 수 있다.

[0054] 대신에, 도 10A와 10B에 도시된 것처럼, 변하는 목표 환경(1001)에서 연산 증폭기가 작동하는 시간 내내 이중 보상 임피던스 Z를 정확한 값으로 유지하기 위해, 전형적인 피드백(feedback) 조절 방법(1000)이 사용될 수 있다. 이 실시예에서, 목표 환경(1001)에 위치한 전형적인 피드백 조절 시스템(1003)을 사용하여, 이중 보상 임피던스 Z가 실시간으로 자동으로 설정될 수 있다. 방법(1000)을 사용하여, 온도와 방사선 같은 목표 환경(1001)의 변동하는 주변 조건들의 측정에 따라, 이중 보상 임피던스 Z가 조정된다. 전형적인 피드백 조절 시스템(1003)은, 목표 환경의 주변 에너지 레벨을 나타내는 신호를 제공하는 하나 또는 복수의 에너지 레벨 센서(1005)를 포함한다. 피드백 조절 시스템(1003)은 또한, 적어도 프로세서와 전자 메모리와 같은 비일시적 저장 매체를 포함하는 하나 또는 복수의 컴퓨팅 장치(1007)를 포함한다. 단계(1002)에서, 특정 주변 환경을 특징짓는 정보(예, 온도)를 수집하기 위해 센서(1005)가 사용된다. 그 후에, 단계(1004, 1006)에서, 계산, 룩업 테이블(look-up table)들 또는 다른 방법들에 의해 이중 보상 임피던스 Z의 적절한 값을 계산적으로 결정하기 위해 감지된 정보가 사용될 수 있다. 예를 들어, 위에서 설명된 캘리브레이션 곡선(908, 910)은 컴퓨팅 장치(1007) 내부의 전자 컴퓨터 메모리에 저장될 수 있다. 그러므로, 연산 증폭기(500)가 목적 환경(destination environment)에 배치되는 경우, 센서(1005)에 의해 온도 측정이 획득될 수 있고, 단계(1004)에서 에러 값인 V_{ost}와 I_{biast}는 저장된 캘리브레이션 곡선으로부터 추정될 수 있으며, 단계(1006)에서 입력 임피던스 값은 그에 따라 계산될 수 있다. 단계(1008)에서 이중 보상 임피던스 Z가 다시 업데이트될 것을 요구하는 온도 변동이 있거나 다른 온도 측정이 이루어질 때까지, 이중 보상 임피던스 Z는 입력 임피던스를 오프셋하기 위해 적용될 수 있다.

[0055] 피드백 조절 방법(1000)은 프로세서 기초 시스템(1003)을 사용하여 자동화된 방법으로서 수행될 수 있는데, 여기서 프로그램된 지시들에 따라 이중 보상 임피던스 Z의 결정이 이루어지며, 도출된 이중 보상 임피던스 Z 조정

은, 프로세서 기초 시스템(1003)으로부터 나온 출력 신호에 응답하여 바로 연산 증폭기에 적용된다. 이 자동화된 피드백 조절 방법(1000)의 장점은 환경이 변하는 경우 현재 환경에 이중 보상 임피던스 Z가 최적으로 조정된 상태 유지를 보장하기 위해 필요한 만큼 반복될 수 있다는 것이다. 두 번째 장점은 피드백 조절 방법(1000)이 사람의 개입을 요구하지 않는다는 것이다. 세 번째 장점은 피드백 조절 방법(1000)이 캘리브레이션 데이터의 대표 세트의 추정치에 의존하는 대신 실제 주변 조건들에 기초한다는 것이다.

[0056] 다른 실시예에서, 주기적인 실시간 캘리브레이션 방법(1100)은, 도 11A와 도 11B에 도시된 것처럼, 실시간 캘리브레이션 장치(1101)을 사용하여, 선택된 시간 간격으로 목표 환경에서 수행될 수 있다. 전형적인 실시간 캘리브레이션 장치(1101)는 전자 멀티미터(1103)를 포함하고, 이중 보상된 연산 증폭기(500)으로부터 신호들을 받거나 주기 위한 컴퓨팅 장치(1105)을 포함한다. 캘리브레이션 장치(1101)는 다양한 형태를 취할 수 있는데, 예를 들어 캘리브레이션 장치(1101)는 연산 증폭기(500)의 외부에 있거나 연산 증폭기(500)을 포함하는 칩(chip)에 내장될 수 있다. 단계(1102)에서, 실시간 캘리브레이션 방법(1100)에 따르면 이중 보상된 연산 증폭기(500)는 작동 모드로부터 일시적으로 빠져 나와서(released from) 리캘리브레이션(re-calibration)을 위한 에러 조정 모드로 들어갈(placed into) 수 있다. (대신, 이중 보상 임피던스 Z의 값은 연산 증폭기 성능상의 변동에 대한 감지에 대응하여 그때그때 조정될 수 있다.) 리캘리브레이션 동안 단계(1104)에서 비반전 입력의 입력 전압과 입력 전류는 감지될 수 있고, 단계(1106)에서 반전 입력의 전압과 전류는 감지될 수 있다. 단계(1108)과 단계(1110)에서 V_{os}와 I_{bias}에러들은 이 측정들로부터 각각 결정될 수 있고, 단계(1112)에서 입력 임피던스는 그에 맞춰 결정될 수 있다. 예를 들어, 이중 보상된 연산 증폭기(500)의 비반전 입력에 더 많거나 적은 저항을 제공함으로써 또는 R_1,R_2,R_3,또는 R_4중 어느 하나를 조정함으로써, 단계(1114)에서 이중 보상 임피던스 Z는 그 후 적용될 수 있다. 일단 단계(1114)에서 임피던스 조정이 이루어지면, 현재 시간 간격이 이미 만료되었는지를 나타내는 시계에 따라 결정 블록(1118)이 다른 업데이트가 만료되었는지를 결정할 때까지, 단계(1116)에서 연산 증폭기는 작동 모드에 놓여질 수 있다.

[0057] 향후의 자세한 설명은 블록 다이어그램들, 개략도들, 그리고 예시들을 사용하여 장치들 또는/그리고 과정들의 다양한 실시예를 진술한다. 그 같은 블록 다이어그램들, 개략도들, 그리고 예시들이 하나 또는 복수의 기능 그리고/또는 오퍼레이션(operation)들을 포함하는 한, 해당 기술분야의 숙련자들은, 넓은 범위의 하드웨어, 소프트웨어, 펌웨어(firmware) 또는 실질적으로 가능한 모든 그들의 조합에 의해, 그 같은 블록 다이어그램, 순서도, 그리고 예시들 내의 각각의 기능 그리고/또는 오퍼레이션이 개별적 그리고/또는 집합적으로 수행될 수 있음을 알 것이다. 일실시예에서 본 발명의 주제는 주문형 반도체(ASICs)를 통하여 수행될 수 있다. 그러나, 해당 기술분야의 숙련자들은, 하나 또는 복수의 컴퓨터를 실행하는 하나 또는 복수의 컴퓨터 프로그램 (예, 하나 또는 복수의 컴퓨터 시스템을 실행하는 하나 또는 복수의 프로그램 같이), 하나 또는 복수의 제어장치(예, 마이크로컨트롤러)를 실행하는 하나 또는 복수의 컴퓨터 프로그램, 하나 또는 복수의 프로세서(예, 마이크로프로세서)를 실행하는 하나 또는 복수의 프로그램, 펌웨어, 또는 실질적으로 가능한 그들의 모든 조합과 같이 종래의 집적회로들에서 여기에 개시된 실시예들 전부 또는 일부가 동일하게 수행될 수 있음을 알 것이며, 그러한 회로 그리고/또는 소프트웨어 그리고/또는 펌웨어를 디자인하는 것이 이 공개 문서의 관점에서 해당 기술 분야의 통상의 기술자의 통상의 창작능력 범위 내에 있음을 알 것이다.

[0058] 해당 기술 분야의 숙련자들은 여기에서 언급된 많은 방법들이나 알고리즘들이 추가적인 동작들을 이용하거나, 어떤 동작을 생략하거나 그리고/또는 지정된 것과 다른 순서로 동작들을 수행할 수 있다는 것을 알 것이다.

[0059] 게다가, 예를 들어 캘리브레이션 곡선들 또는 룩업 테이블들과 같이 여기서 설명된 메커니즘들이 다양한 형태로 프로그램 제품으로서 분배될 수 있고, 예시된 실시예는 실질적으로 분배를 수행하기 위해 사용되는 매체와 관련된 신호의 종류가 무엇인지 상관없이 동일하게 적용될 수 있음을, 해당 기술분야의 숙련자들은 인정할 것이다. 매체와 관련된 신호의 예시는 다음을 포함하지만 이에 한정되지 않는다: 플로피 디스크, 하드 디스크 드라이브, 씨디롬, 디지털 테이프, 그리고 컴퓨터 메모리와 같은 기록 가능한 종류의 매체.

[0060] 위에 기술된 다양한 실시예들은 추가적인 실시를 제공하기 위해 조합될 수 있다. 여기서 서술된 특정 설명(teaching) 및 정의와 불일치하지 않는 정도에서, 이 명세서에서 나타난 모든 미국 특허, 미국 출원 공보, 미국 출원, 외국 특허, 외국 특허 출원, 그리고 비특허 공보는 그 전체로서 참고로 인용된다. 필요한 경우 또 다른 실시예를 제공하도록 다양한 특허, 출원 그리고 공보의, 시스템, 회로 그리고 개념을 채용하도록 실시예의 양태는 수정될 수 있다.

[0061] 위에서 상세하게 설명된 관점에서, 이러한 그리고 다른 변형들은 실시예에 대해 이루어질 수 있다. 일반적으로, 다음의 청구범위에서 사용된 용어들은 상세한 설명과 청구범위에 개시된 특정 실시예로 청구범위를

제한하도록 해석되지 않으며 그 같은 청구범위에 부여된 균등한 범위 전체에 따르는 모든 가능한 실시예를 포함하는 것으로 해석되어야 한다. 따라서 청구범위는 공개된 것에 한정되지 않는다.

[0062] 2012년 9월 10일에 신청된 출원 번호 13/609,107의 미국 특허 출원은 그 전체로서 여기에 이용된다.

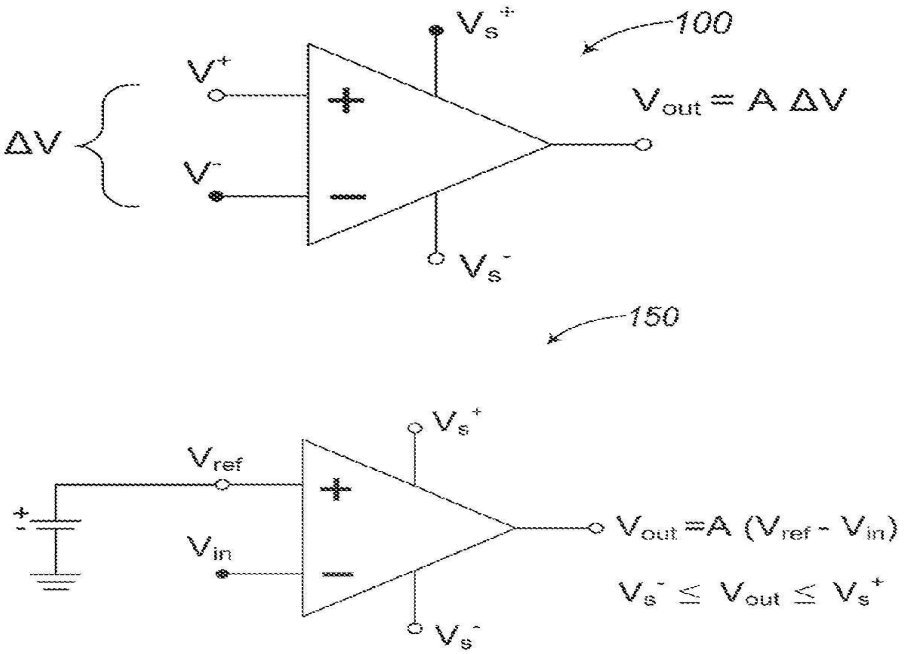
부호의 설명

[0063] 500: 이중 보상된 연산 증폭기

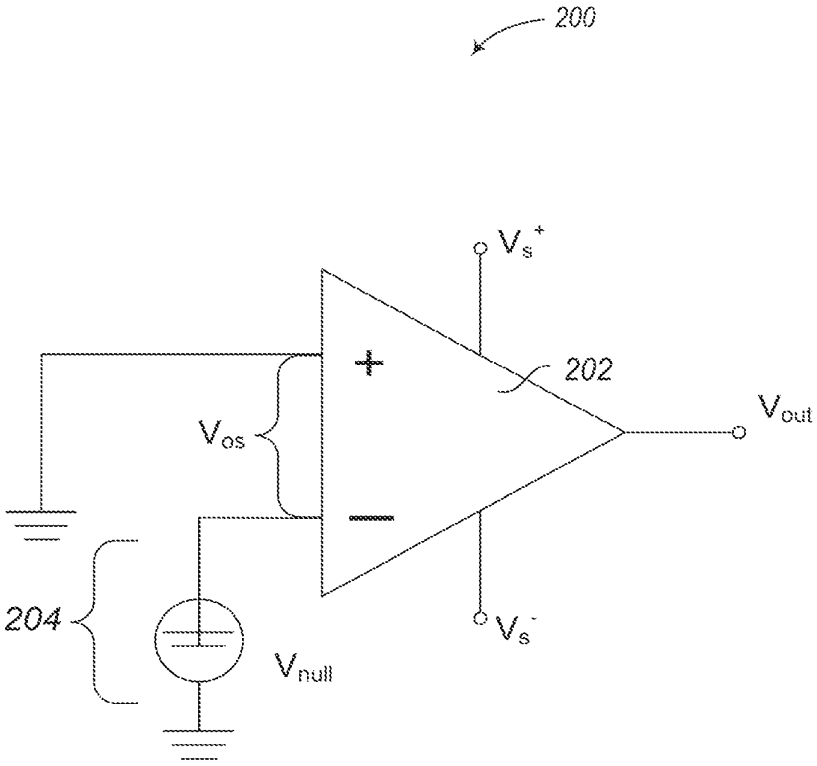
502: 종래의 연산 증폭기

도면

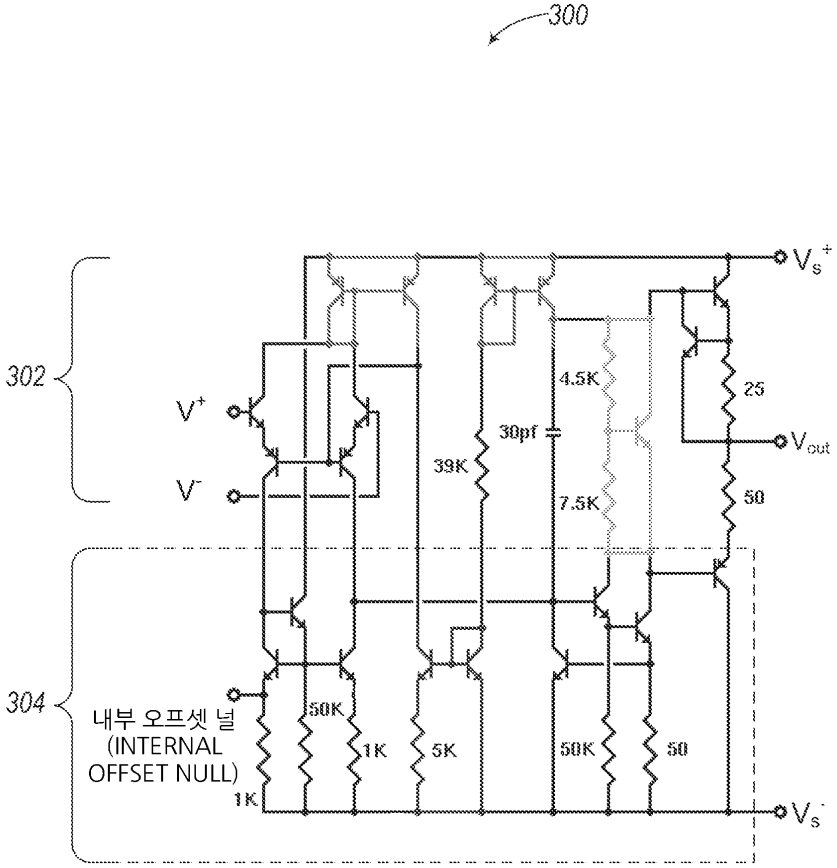
도면1



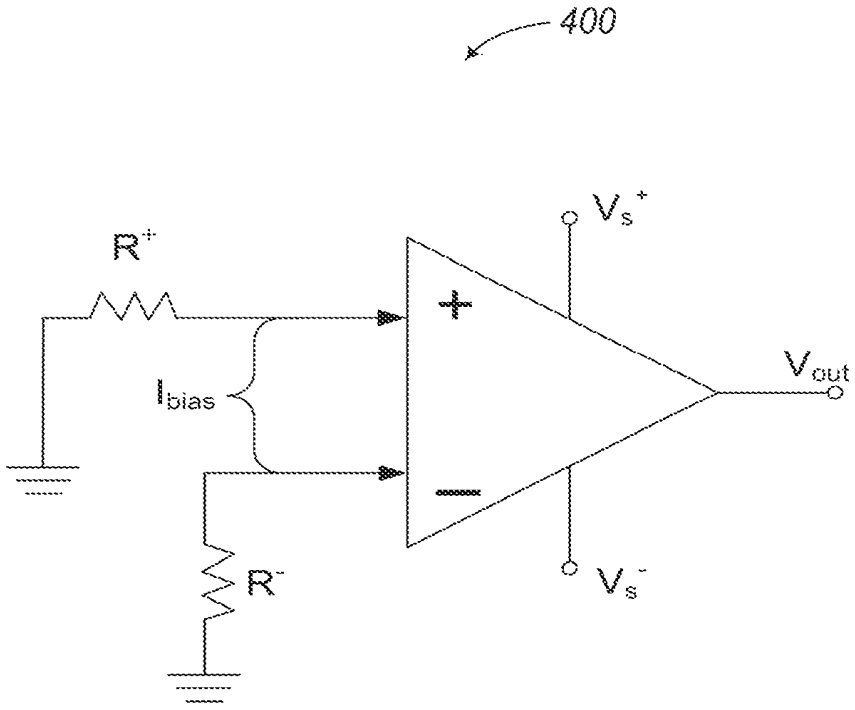
도면2



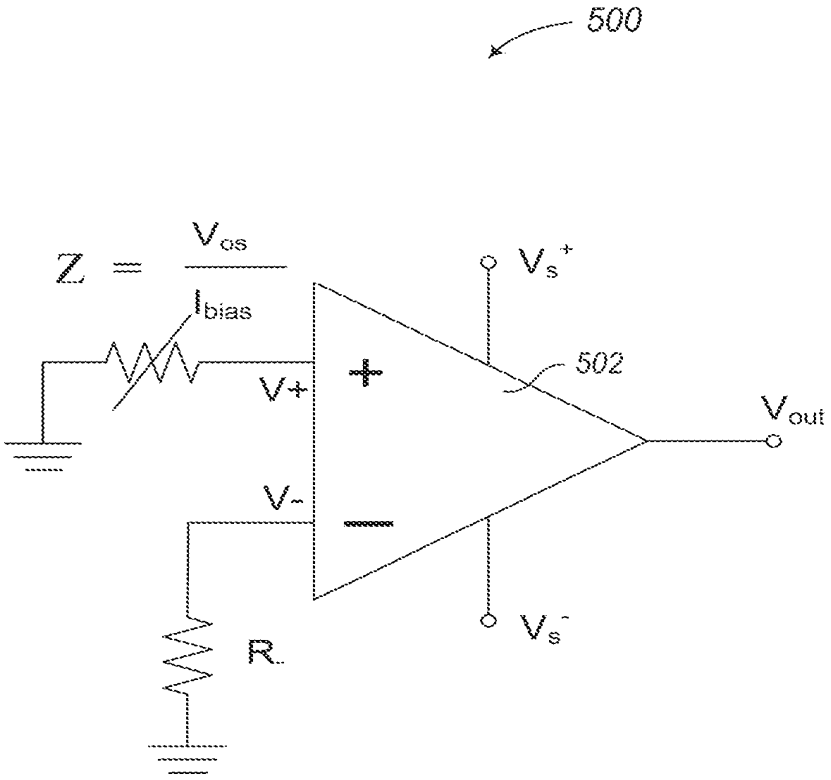
도면3


300
302
304
V+
V-
내부 오프셋 널
(INTERNAL
OFFSET NULL)
Vs+
Vs-
Vout
4.5K
25
30pf
39K
7.5K
50
50K
1K
5K
50K
50
1K

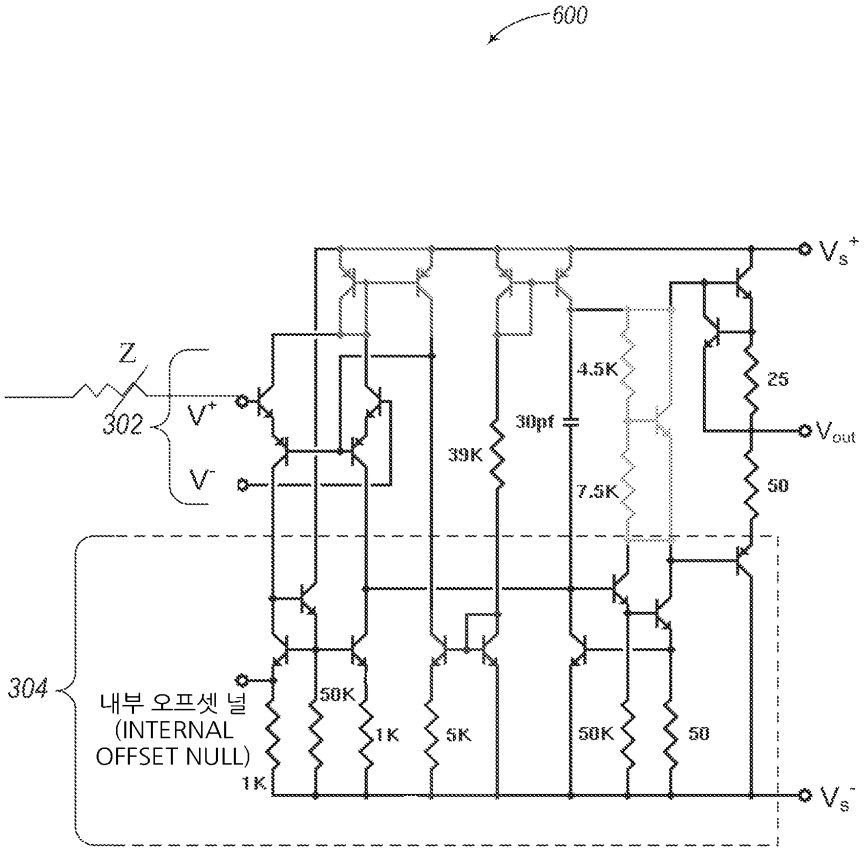
도면4


400
R+
Ibias
R-
Vs+
Vs-
Vout
+
—

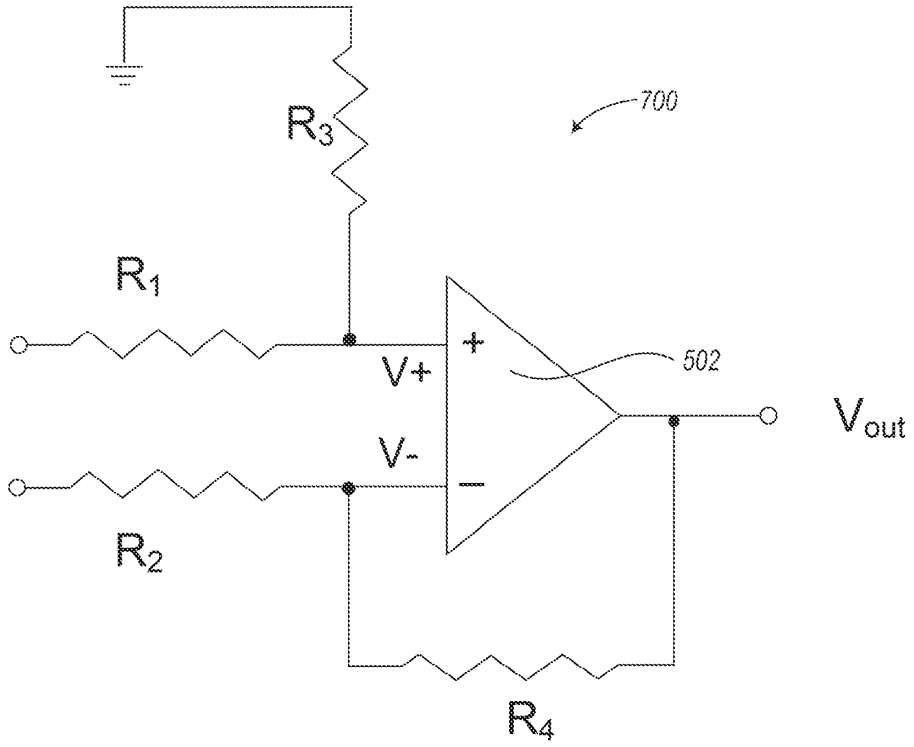
도면5



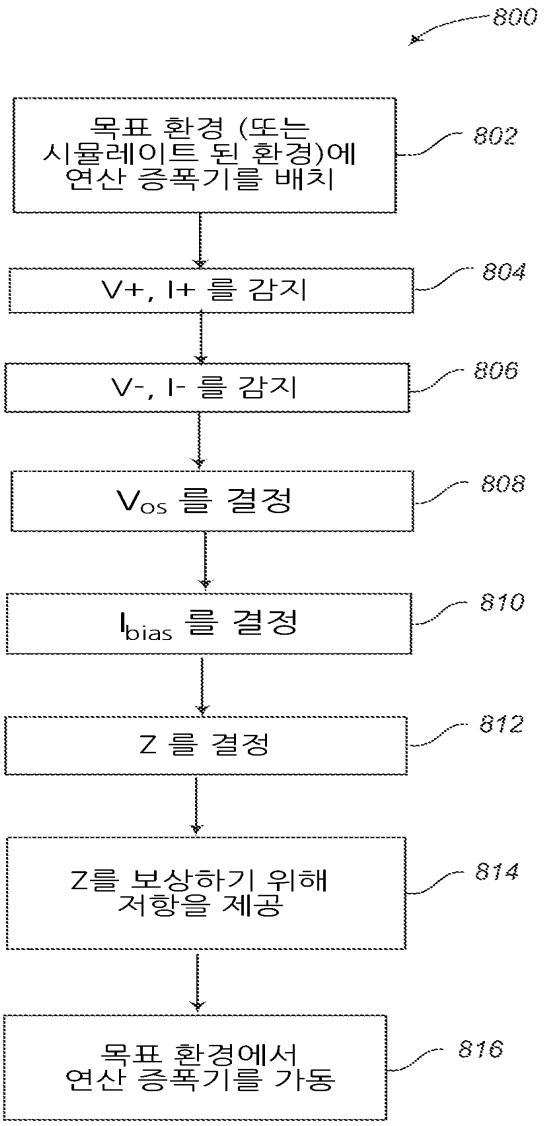
도면6


600
Z
302
V+
V-
304
내부 오프셋 널
(INTERNAL
OFFSET NULL)
1K
50K
1K
5K
39K
30pf
4.5K
7.5K
50K
50
25
50
Vs+
Vout
Vs-

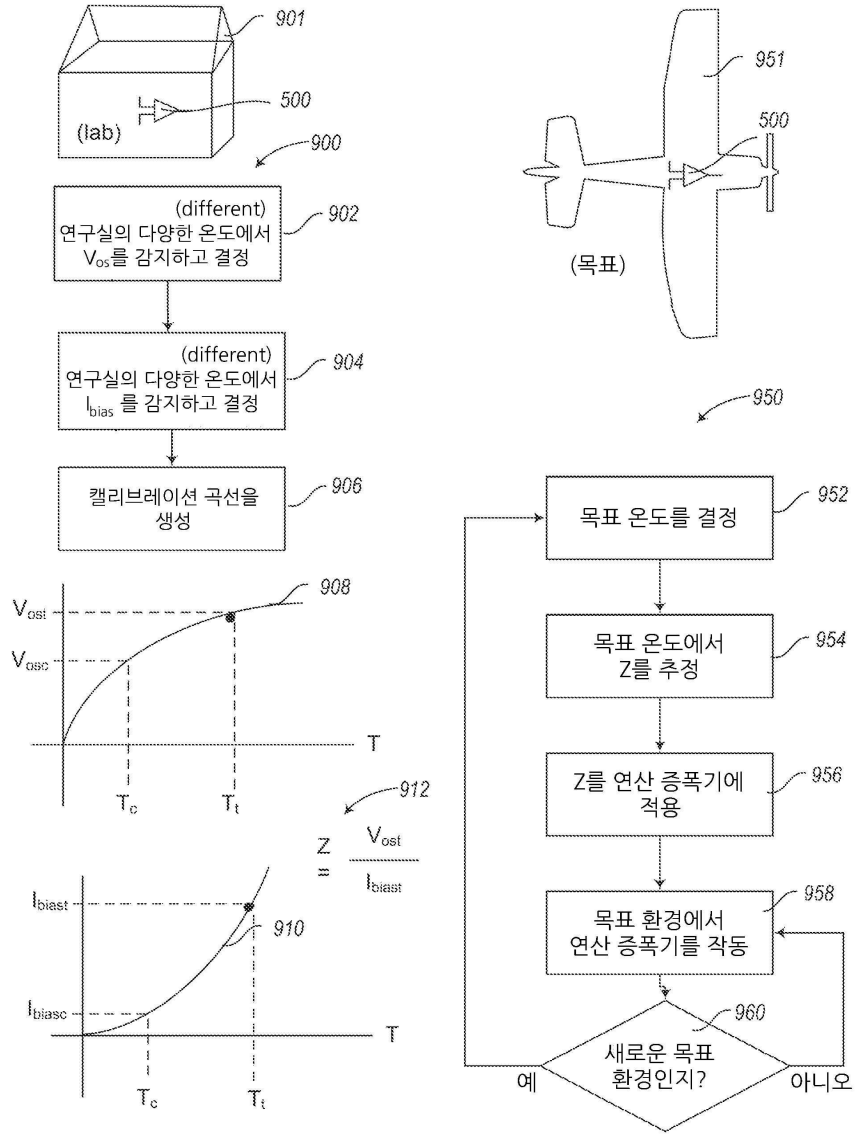
도면7



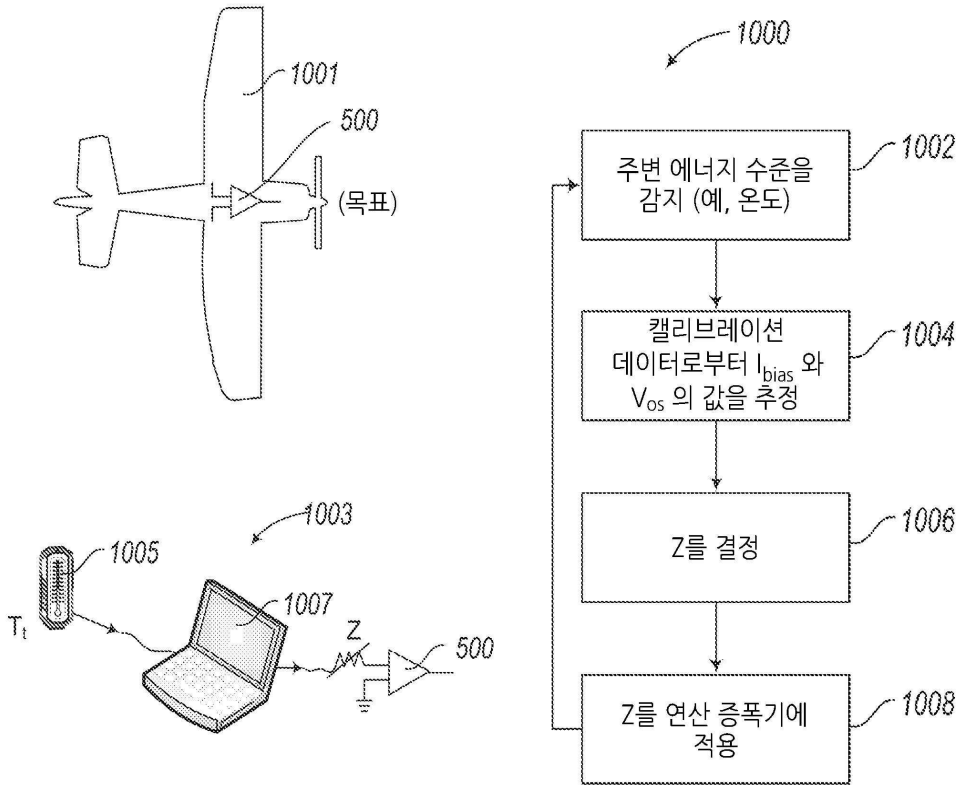
도면8


800
목표 환경 (또는 시뮬레이트 된 환경)에 연산 증폭기를 배치
802
V+, I+ 를 감지
804
V-, I- 를 감지
806
V_{os} 를 결정
808
I_{bias} 를 결정
810
Z 를 결정
812
Z를 보상하기 위해 저항을 제공
814
목표 환경에서 연산 증폭기를 가동
816

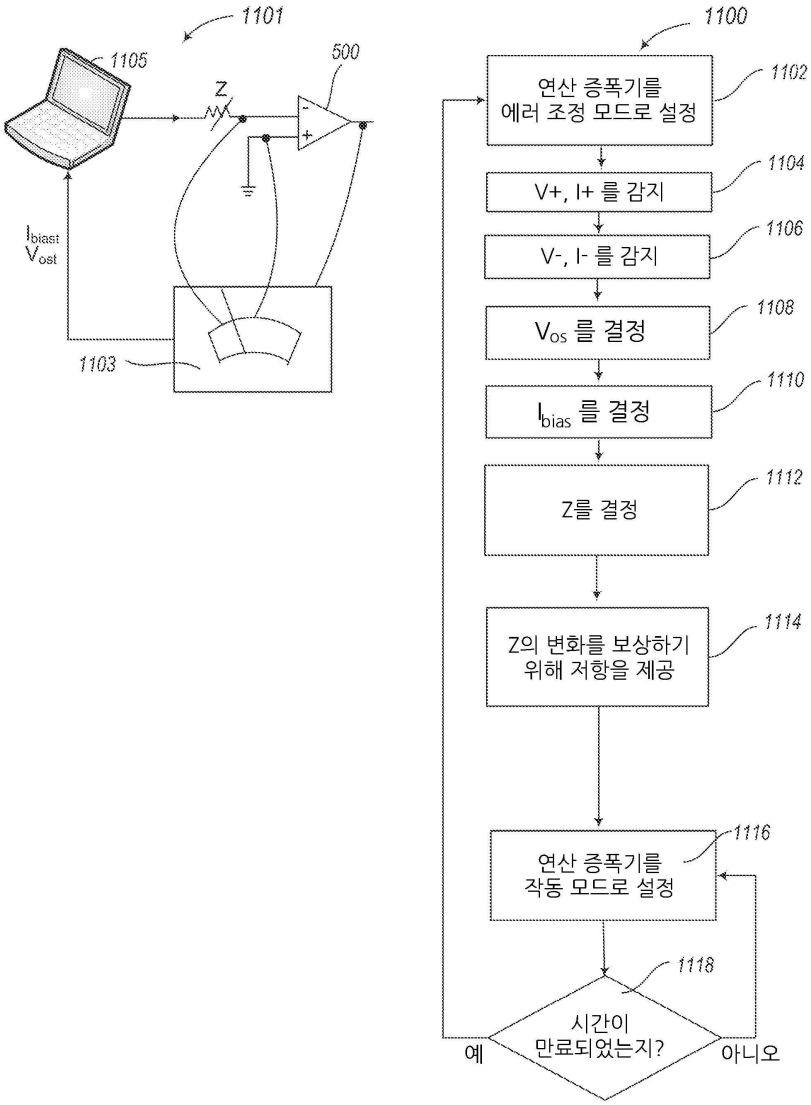
도면9


901
500
(lab)
900
(different)
연구실의 다양한 온도에서
Vos를 감지하고 결정
902
(different)
연구실의 다양한 온도에서
Ibias 를 감지하고 결정
904
캘리브레이션 곡선을
생성
906
908
Vost
Vosc
T
Tc
Tt
912
Z = Vost / Ibiast
Ibiast
910
Ibiasc
T
Tc
Tt
951
500
(목표)
950
목표 온도를 결정
952
목표 온도에서
Z를 추정
954
Z를 연산 증폭기에
적용
956
목표 환경에서
연산 증폭기를 작동
958
960
새로운 목표
환경인지?
예
아니오

도면10


1001
500
(목표)
1003
1005
T_t
1007
Z
500
1000
주변 에너지 수준을 감지 (예, 온도)
1002
캘리브레이션 데이터로부터 I_{bias} 와 V_{os} 의 값을 추정
1004
Z를 결정
1006
Z를 연산 증폭기에 적용
1008

도면11


1101
1105
500
Z
I_{biast}
V_{ost}
1103
1100
연산 증폭기를 에러 조정 모드로 설정
1102
V+, I+ 를 감지
1104
V-, I- 를 감지
1106
V_{os} 를 결정
1108
I_{bias} 를 결정
1110
Z를 결정
1112
Z의 변화를 보상하기 위해 저항을 제공
1114
연산 증폭기를 작동 모드로 설정
1116
시간이 만료되었는지?
1118
예
아니오